



(12) 发明专利

(10) 授权公告号 CN 101794815 B

(45) 授权公告日 2013.06.05

(21) 申请号 201010111011.9

JP 特开 2006-165207 A, 2006.06.22, 全文.

(22) 申请日 2010.02.02

CN 101009346 A, 2007.08.01, 全文.

(30) 优先权数据

JP 特开 2005-32823 A, 2005.02.03, 全文.

2009-023953 2009.02.04 JP

审查员 谢正旺

(73) 专利权人 富士通株式会社

地址 日本神奈川县川崎市

(72) 发明人 吉川俊英 今西健治

(74) 专利代理机构 隆天国际知识产权代理有限

公司 72003

代理人 郑小军 陈昌柏

(51) Int. Cl.

H01L 29/778(2006.01)

H01L 21/335(2006.01)

(56) 对比文件

EP 1657754 A2, 2006.05.17, 全文.

JP 特开 2003-309071 A, 2003.10.31, 全文.

JP 特开 2006-147663 A, 2006.06.08, 全文.

CN 101276792 A, 2008.10.01, 全文.

US 2008/0197359 A1, 2008.08.21, 全文.

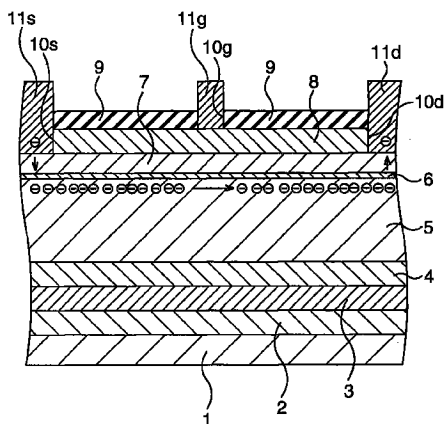
权利要求书3页 说明书8页 附图12页

(54) 发明名称

化合物半导体器件及其制造方法

(57) 摘要

本发明提供了一种化合物半导体器件及其制造方法,该化合物半导体器件具有:衬底;形成在衬底上方的AlN层;形成在AlN层上方并且在电子亲和力方面大于AlN层的AlGaIn层;形成在该AlGaIn层上方并且在电子亲和力方面小于该AlGaIn层的另一个AlGaIn层。此外,还提供了形成在后一个AlGaIn层上方的i-GaN层以及形成在i-GaN层上方的i-AlGaIn层和n-AlGaIn层。



1. 一种化合物半导体器件,包括:
 - 衬底;
 - 第一缓冲层,形成在所述衬底上方;
 - 第二缓冲层,形成在所述第一缓冲层上方,并且在电子亲和力方面大于所述第一缓冲层;
 - 第三缓冲层,形成在所述第二缓冲层上方,并且在电子亲和力方面小于所述第二缓冲层;
 - 沟道层,形成在所述第三缓冲层上方;
 - 电子供应层,形成在所述沟道层上方;以及
 - 栅电极、源电极和漏电极,形成在该电子供应层上方,其中
 - 所述第二缓冲层具有由 $\text{Al}_{x_1}\text{Ga}_{1-x_1}\text{N}$ 表示的成分,其中 $0.1 \leq x_1 \leq 0.5$;
 - 所述第三缓冲层具有由 $\text{Al}_{x_2}\text{Ga}_{1-x_2}\text{N}$ 表示的成分,其中 $0.3 \leq x_2 \leq 1$;以及
 - x_1 的值小于 x_2 的值。
2. 一种化合物半导体器件,包括:
 - 衬底;
 - 第一缓冲层,形成在所述衬底上方;
 - 第二缓冲层,形成在所述第一缓冲层上方,并且在电子亲和力方面大于所述第一缓冲层;
 - 第三缓冲层,形成在所述第二缓冲层上方,并且在电子亲和力方面小于所述第二缓冲层;
 - 沟道层,形成在所述第三缓冲层上方;
 - 电子供应层,形成在所述沟道层上方;以及
 - 栅电极、源电极和漏电极,形成在该电子供应层上方,其中
 - 所述第二缓冲层具有由 $\text{In}_{y_1}\text{Al}_{1-y_1}\text{N}$ 表示的成分,其中 $0.1 \leq y_1 \leq 0.25$;
 - 所述第三缓冲层具有由 $\text{In}_{y_2}\text{Al}_{1-y_2}\text{N}$ 表示的成分,其中 $0.1 \leq y_2 \leq 0.25$;以及
 - y_1 的值大于 y_2 的值。
3. 根据权利要求 2 所述的化合物半导体器件,其中
- 所述第二缓冲层的晶格常数大于氮化镓的晶格常数;以及
- 所述第三缓冲层的晶格常数小于氮化镓的晶格常数。
4. 一种化合物半导体器件,包括:
 - 衬底;
 - 第一缓冲层,形成在所述衬底上方;
 - 第二缓冲层,形成在所述第一缓冲层上方,并且在电子亲和力方面大于所述第一缓冲层;
 - 第三缓冲层,形成在所述第二缓冲层上方,并且在电子亲和力方面小于所述第二缓冲层;
 - 沟道层,形成在所述第三缓冲层上方;
 - 电子供应层,形成在所述沟道层上方;以及
 - 栅电极、源电极和漏电极,形成在该电子供应层上方,其中

所述第二缓冲层具有由 $\text{In}_{y1}\text{Al}_{1-y1}\text{N}$ 表示的成分,其中 $0.1 \leq y1 \leq 0.25$;以及
所述第三缓冲层具有由 $\text{Al}_{x2}\text{Ga}_{1-x2}\text{N}$ 表示的成分,其中 $0.3 \leq x2 \leq 1$ 。

5. 根据权利要求 1 至 4 的任意一个所述的化合物半导体器件,其中所述第一缓冲层的电子亲和力小于所述第三缓冲层的电子亲和力。

6. 根据权利要求 1 至 4 的任意一个所述的化合物半导体器件,其中所述第一缓冲层由氮化物半导体形成。

7. 根据权利要求 1 至 4 的任意一个所述的化合物半导体器件,其中所述第一缓冲层至少包含铝。

8. 根据权利要求 1 至 4 的任意一个所述的化合物半导体器件,其中所述第一缓冲层具有由 AlN 表示的成分。

9. 根据权利要求 1 至 4 的任意一个所述的化合物半导体器件,还包括第四缓冲层,布置在所述第三缓冲层与所述沟道层之间,并且在电子亲和力方面大于所述第三缓冲层。

10. 一种化合物半导体器件,包括:

衬底;

第一缓冲层,形成在所述衬底上方并且包含铝;

第二缓冲层,形成在所述第一缓冲层上方,并且包含比所述第一缓冲层中的铝的浓度更低的铝;

第三缓冲层,形成在所述第二缓冲层上方,并且包含比所述第二缓冲层中的铝的浓度更高的铝;

沟道层,形成在所述第三缓冲层上方;

电子供应层,形成在所述沟道层上方;以及

栅电极、源电极和漏电极,形成在该电子供应层上方。

11. 根据权利要求 10 所述的化合物半导体器件,还包括第四缓冲层,布置在所述第三缓冲层与所述沟道层之间,并且在电子亲和力方面大于所述第三缓冲层。

12. 一种化合物半导体器件的制造方法,包括如下步骤:

在衬底上方形成第一缓冲层;

在所述第一缓冲层上方形成在电子亲和力方面大于所述第一缓冲层的第二缓冲层;

在所述第二缓冲层上方形成在电子亲和力方面小于所述第二缓冲层的第三缓冲层;

在所述第三缓冲层上方形成沟道层;

在所述沟道层上方形成电子供应层;以及

在该电子供应层上方形成栅电极、源电极和漏电极,其中

形成具有由 $\text{Al}_{x1}\text{Ga}_{1-x1}\text{N}$ 表示的成分的层作为所述第二缓冲层,其中 $0.1 \leq x1 \leq 0.5$;

形成具有由 $\text{Al}_{x2}\text{Ga}_{1-x2}\text{N}$ 表示的成分的层作为所述第三缓冲层,其中 $0.3 \leq x2 \leq 1$;以及 $x1$ 的值小于 $x2$ 的值。

13. 一种化合物半导体器件的制造方法,包括如下步骤:

在衬底上方形成第一缓冲层;

在所述第一缓冲层上方形成在电子亲和力方面大于所述第一缓冲层的第二缓冲层;

在所述第二缓冲层上方形成在电子亲和力方面小于所述第二缓冲层的第三缓冲层;

在所述第三缓冲层上方形成沟道层;

在所述沟道层上方形成电子供应层 ;以及
在该电子供应层上方形成栅电极、源电极和漏电极,其中
形成具有由 $\text{In}_{y_1}\text{Al}_{1-y_1}\text{N}$ 表示的组成的层作为所述第二缓冲层,其中 $0.1 \leq y_1 \leq 0.25$;
形成具有由 $\text{In}_{y_2}\text{Al}_{1-y_2}\text{N}$ 表示的组成的层作为所述第三缓冲层,其中 $0.1 \leq y_2 \leq 0.25$;
以及

y_1 的值小于 y_2 的值

14. 根据权利要求 13 所述的化合物半导体器件的制造方法,其中
形成晶格常数大于氮化镓的晶格常数的层作为所述第二缓冲层 ;以及
形成晶格常数小于氮化镓的晶格常数的层作为所述第三缓冲层。

15. 根据权利要求 10 至 12 的任意一个所述的化合物半导体器件的制造方法,还包括如下步骤 :在形成所述第三缓冲层与形成所述沟道层的步骤之间,形成在电子亲和力方面大于所述第三缓冲层的第四缓冲层。

16. 根据权利要求 10 至 12 的任意一个所述的化合物半导体器件的制造方法,其中,形成多个氮化物半导体层作为所述第一缓冲层。

17. 根据权利要求 10 至 12 的任意一个所述的化合物半导体器件的制造方法,其中,形成至少包含铝的多个层作为所述第一缓冲层。

18. 一种化合物半导体器件的制造方法,包括如下步骤 :

在衬底上方形成包含铝的第一缓冲层 ;

在所述第一缓冲层上方形成包含比所述第一缓冲层中的铝的浓度低的铝的第二缓冲层 ;

在所述第二缓冲层上方形成包含比所述第二缓冲层中的铝的浓度高的铝的第三缓冲层 ;

在所述第三缓冲层上方形成沟道层 ;

在所述沟道层上方形成电子供应层 ;以及

在该电子供应层上方形成栅电极、源电极和漏电极。

化合物半导体器件及其制造方法

技术领域

[0001] 此处讨论的实施例涉及一种化合物半导体器件及其制造方法。

背景技术

[0002] 近年来,在由蓝宝石、SiC、GaN、Si 等制成的衬底上顺序地形成 GaN 层和 AlGaN 层并且 GaN 层被用作沟道层的电子器件(化合物半导体器件)得到了急切地发展。GaN 的带隙(band gap)是 3.4eV,比 GaAs 的 1.4eV 大。因此,期望化合物半导体器件在高击穿电压下工作。

[0003] 要求用于移动电话基站的放大器在高电压下工作以提高电流效率,从而需要提高击穿电压。目前,已经报导了当在基站的放大器中使用的 GaN 基高电子迁移率晶体管(HEMT)中的电流断开(off)时,将高于 300V 的值作为击穿电压。此外,已经报导了当在极高频带中使用的 HEMT 中的电流也被断开时,将高于 200V 的值作为击穿电压。

[0004] 图 1 是示出传统的 GaN 基 HEMT 的结构横截面图。在 SiC 衬底 101 上,顺序地形成 AlN 层 102、未掺杂 i-GaN 层 105、未掺杂 i-AlGaN 层 106、n 型 n-AlGaN 层 107 以及 n 型 n-GaN 层 108。而且,在 n-GaN 层 108 上形成 SiN 层 109。在 SiN 层 109 中形成一个开口,并且在其中形成栅电极 111g。在 n-GaN 层 108 和 SiN 层 109 中,进一步形成两个开口,栅电极 111g 插入在它们之间。在两个开口其中之一中形成源电极 111s,在另一个中形成漏电极 111d。顺便说一句,AlN 层 102 起缓冲层的作用。栅电极 111g 与 n-GaN 层 108 肖特基接触,源电极 111s 和漏电极 111d 与 n-AlGaN 层 107 欧姆接触。

[0005] 当使用这种传统的 GaN 基 HEMT 作为具有高击穿电压的电子器件时,它的特性可能在很大程度上发生变化。例如,当重复进行开启/断开高频电源的操作时,其输出可能会漂移。下面将描述这种现象。

[0006] 图 2 是示出具有 GaN 基 HEMT 的电路结构的电路图。在该电路中,晶体管(GaN 基 HEMT)Tr 的源极接地,而该晶体管的漏极连接到电感器 L 的一端和电阻器 R 的一端。直流(DC)偏压 Vd 被施加到电感器 L 的另一端。此外,电阻器 R 的另一端接地。晶体管 Tr 的栅极连接交流(AC)电源 P,其施加 -2V 至 4V 的 AC 信号 RF。顺便说一句,对于晶体管 Tr 的栅极,在断开期间,施加 -1V 的栅极电压 Vg,在断开时间中没有施加 AC 信号 RF。

[0007] 当将这一电路用于基站的放大器时,DC 偏压 Vd 被设置为大约 50V,漏极电流的平均值被设置为最大值的大约 2%至 3%。当将大约 2GHz 的高频信号(AC 信号 RF)施加到晶体管 Tr 的栅极时,可以得到如图 3 所示的电流-电压特性。图 3 中的横轴是漏极(漏极-源极)电压,纵轴是漏极(漏极-源极)电流。

[0008] 此外,在用于基站的放大器中,频繁地转换晶体管 Tr 的开启/断开。例如执行如图 4A 所示的控制。图 4A 中的纵轴是偏压点处的 DC 漏极电流的值。静态电流值 10mA/mm 是预先设置的电流值,其当高频信号断开时流动,平均值 150mA/mm 是当高频信号开启时漏极电流的平均值。

[0009] 然而,当试图执行如图 4A 所示的控制时,当断开高频信号时,电流实际上会下降

过度,如图 4B 所示,并且在之后开启高频信号时,不能得到足够的输出(150mA/mm 的电流)。即,会发生输出漂移现象(drift phenomenon of output)。由于这种过度下降,电流可能会变成约 1mA/mm 至 2mA/mm。电流的下降随着时间的推进恢复,但是为了恢复到输出变稳定的程度,需要一或多分钟的长时间周期。因此,DC 偏压需要一或多分钟的时间周期以恢复到原始状态,其可能阻碍高频信号的间歇性开启/断开操作。这种过度响应特性存在于图 1 所示的传统的 GaN 基 HEMT 中。

[0010] 在日本特开专利公开 No. 2006-147663 中讨论了抑制伴随这种过度响应特性的输出漂移现象的技术。图 5 是示出在日本特开专利公开 No. 2006-147663 中讨论的传统的 GaN 基 HEMT 的结构横截面图。

[0011] 在该 GaN 基 HEMT 中,在图 1 所示的 GaN 基 HEMT 的 AlN 层 102 和 i-GaN 层 105 之间设置 AlGaIn 层 103。

[0012] 在图 5 所示的这种 GaN 基 HEMT 中,与图 1 所示的 GaN 基 HEMT 相比,i-GaN 层 105 的结晶性改善了。因此,可以容易地发射出在存在于 i-GaN 层 105 下部的陷阱中捕获的二维电子气,并且抑制伴随过度响应特性的输出漂移现象。图 6 是示出图 1 所示的 GaN 基 HEMT 和图 5 所示的 GaN 基 HEMT 的输出漂移现象的曲线图。图 6 中的实线图示图 1 所示的 GaN 基 HEMT 的特性,点划线图示图 5 所示的 GaN 基 HEMT 的特性。当在高频信号的施加的断开期间的漏极电流的静态电流值是 10mA/mm 时,基于下一个高频信号的施加,漏极电流恢复到大约 9mA/mm 就允许得到足够的输出。然后,如图 6 所示,即使在高频信号的施加的断开期间漏极电流减少到大约 2mA/mm,漏极电流恢复到大约 9mA/mm 也只需要大约 4 秒。

[0013] 此外,在日本特开专利公开 No. 2008-251966 中也讨论了抑制输出漂移现象的技术。在该技术中,粗糙地制成与图 1 所示的 GaN 基 HEMT 的 AlN 层 102 相对应的 AlN 层的表面。

[0014] 通过在日本特开专利公开 No. 2006-147663 和日本特开专利公开 No. 2008-251966 中讨论的技术,可以达到最初目的。但是,为了实现更快速的操作,有必要更加快速地恢复下降的漏极电流。

[0015] 专利文献 1:日本特开专利公开 No. 2006-114653

[0016] 专利文献 2:日本特开专利公开 No. 2006-147663

[0017] 专利文献 3:日本特开专利公开 No. 2008-251966

[0018] 专利文献 4:日本特开专利公开 No. 2008-205146

发明内容

[0019] 本发明实施例的目的在于提供一种化合物半导体器件及其制造方法,该化合物半导体器件能够更加快速地恢复在断开期间过度下降的漏极电流。

[0020] 根据实施例的第一方案,一种化合物半导体器件具有:衬底,形成在所述衬底上方的第一缓冲层,形成在所述第一缓冲层上方并且在电子亲和力方面大于所述第一缓冲层的第二缓冲层,以及形成在所述第二缓冲层上方并且在电子亲和力方面小于所述第二缓冲层的第三缓冲层。此外,该化合物半导体器件还具有形成在所述第三缓冲层上方的沟道层以及形成在所述沟道层上方的电子供应层。

[0021] 根据实施例的第二方案,一种化合物半导体器件具有:衬底,形成在所述衬底上方

并且包含铝的第一缓冲层,形成在所述第一缓冲层上方并且包含比所述第一缓冲层中的铝浓度低的铝的第二缓冲层,以及形成在所述第二缓冲层上方并且包含比所述第二缓冲层中的铝浓度高的铝的第三缓冲层。此外,该化合物半导体器件还具有形成在所述第三缓冲层上方的沟道层以及形成在所述沟道层上方的电子供应层。

附图说明

- [0022] 图 1 是示出传统的 GaN 基 HEMT 的结构横截面图；
- [0023] 图 2 是示出具有 GaN 基 HEMT 的电路结构的电路图；
- [0024] 图 3 是示出传统的 GaN 基 HEMT 的电流 - 电压特性的图表；
- [0025] 图 4A 和图 4B 是示出控制晶体管 Tr 的方法的图表；
- [0026] 图 5 是示出在日本特开专利公开 No. 2006-147663 中讨论的传统的 GaN 基 HEMT 的结构横截面图；
- [0027] 图 6 是示出图 1 所示的 GaN 基 HEMT 和图 5 所示的 GaN 基 HEMT 的输出漂移现象的曲线图；
- [0028] 图 7 是示出根据第一实施例的 GaN 基 HEMT (化合物半导体器件) 的结构横截面图；
- [0029] 图 8 是示出根据第一实施例的 GaN 基 HEMT 的结构布局图；
- [0030] 图 9A 和图 9B 是示出第一实施例中的带结构和载流子浓度的图表；
- [0031] 图 10A 和图 10B 是示出图 1 所示的传统的 GaN 基 HEMT 的带结构和载流子浓度的图表；
- [0032] 图 11 是示出根据第一实施例的 GaN 基 HEMT 的输出漂移现象的曲线图；
- [0033] 图 12A 至图 12E 是按步骤次序示出根据第一实施例的 GaN 基 HEMT 的制造方法的横截面图；
- [0034] 图 13 是示出根据第二实施例的 GaN 基 HEMT (化合物半导体器件) 的结构横截面图；
- [0035] 图 14A 和图 14B 是示出第二实施例中的带结构和载流子浓度的图表；
- [0036] 图 15 是示出根据第二实施例的 GaN 基 HEMT 的输出漂移现象的曲线图；以及
- [0037] 图 16 是示出晶格常数和能隙之间的关系图表。

具体实施方式

- [0038] 以下,将参照附图具体说明实施例。
- [0039] 第一实施例
- [0040] 首先,将描述第一实施例。图 7 是示出根据第一实施例的 GaN 基 HEMT (化合物半导体器件) 的结构横截面图。
- [0041] 在第一实施例中,在诸如 SiC 衬底等的衬底 1 上,形成厚度大约为 5nm 至 300nm (例如 200nm) 的 AlN 层 2。在 AlN 层 2 上,形成厚度大约为 10nm 至 300nm (例如 200nm) 的 AlGaIn 层 3,并且在 AlGaIn 层 3 上形成厚度大约为 2nm 至 100nm (例如 10nm) 的 AlGaIn 层 4。AlGaIn 层 3 具有由 $Al_{x1}Ga_{1-x1}N$ 表示的成分,AlGaIn 层 4 具有由 $Al_{x2}Ga_{1-x2}N$ 表示的成分。AlGaIn 层 3 的电子亲和力高于 AlN 层 2 和 AlGaIn 层 4 的电子亲和力,AlN 层 2 的电子亲和力低于 AlGaIn

层 4 的电子亲和力。x1 的值小于 x2 的值。x1 的值大约是 0.1 至 0.5 (例如 0.4), x2 的值大约是 0.3 至 1 (例如 0.8)。此外,在 AlGaIn 层 4 上,形成厚度大约为 200nm 至 3000nm (例如 800nm) 的未掺杂 i-GaN 层 5。在 i-GaN 层 5 上形成厚度大约为 0nm 至 10nm (例如 2nm) 的未掺杂 i-AlGaIn 层 6,并且在 i-AlGaIn 层 6 上形成厚度大约为 5nm 至 50nm (例如 20nm) 的 n 型 n-AlGaIn 层 7。i-AlGaIn 层 6 和 n-AlGaIn 层 7 具有由 $Al_{x_3}Ga_{1-x_3}N$ 表示的成分,x3 的值大约是 0.1 至 0.4 (例如 0.2)。此外,在 n-AlGaIn 层 7 上形成厚度大约为 1nm 至 15nm (例如 6nm) 的 n 型 n-GaN 层 8,并且在 n-GaN 层 8 上形成厚度大约为 10nm 至 700nm (例如 40nm) 的 SiN 层 9。n-AlGaIn 层 7 掺杂有从大约 $1 \times 10^{15} \text{cm}^{-3}$ 至大约 $5 \times 10^{18} \text{cm}^{-3}$ (例如 $1 \times 10^{18} \text{cm}^{-3}$) 的 Si。n-GaN 层 8 掺杂有从大约 $1 \times 10^{15} \text{cm}^{-3}$ 至大约 $1 \times 10^{19} \text{cm}^{-3}$ (例如 $5 \times 10^{18} \text{cm}^{-3}$) 的 Si。

[0042] 在 SiN 层 9 中,形成用于栅电极的开口 10g。此外,在 SiN 层 9 和 n-GaN 层 8 中,形成用于源电极的开口 10s 和用于漏电极的开口 10d,开口 10g 插入在它们之间。栅电极 11g 形成在开口 10g 中,源电极 11s 形成在开口 10s 中,漏电极 11d 形成在开口 10d 中。栅电极 11g 例如由 Ni 膜和形成于其上的 Au 膜构成。此外,源电极 11s 和漏电极 11d 例如由 Ta 膜和形成于其上的 Al 膜构成。栅电极 11g 与 n-GaN 层 8 肖特基接触,源电极 11s 和漏电极 11d 与 n-AlGaIn 层 7 欧姆接触。

[0043] 顺便提及,从衬底 1 的表面侧看到的布局例如如图 8 所示。即,栅电极 11g、源电极 11s 和漏电极 11d 具有梳状平面形状,其中源电极 11s 和漏电极 11d 交替布置。栅电极 11g 被布置在源电极 11s 和漏电极 11d 之间。通过采用这种多指栅极 (multi-finger gate) 结构,可以改善输出。请注意,图 7 所示的横截面是沿着图 8 中的 I-I 线所截取的。此外,在有源区 10 中包括 AlN 层 2、AlGaIn 层 3、AlGaIn 层 4 以及 i-GaN 层 5 等,并且有源区 10 的周围通过离子注入、台面蚀刻 (mesa etching) 等被制成非有源区。

[0044] 在如上所述的第一实施例中,由于晶格不匹配而引起的压电效应在 i-GaN 层 5 与 i-AlGaIn 层 6 的界面附近感应出电子。结果,出现了二维电子气层 (2DEG),并且这部分起沟道层的作用。此外,i-AlGaIn 层 6 和 n-AlGaIn 层 7 起电子供应层 (electron supply layer) 的作用。

[0045] AlN 层 2、AlGaIn 层 3 和 AlGaIn 层 4 起缓冲层的作用。通过组合这些缓冲层,对于在 i-GaN 层 5 的表面层部分感应的电子而言,到达存在于 i-GaN 层 5 下部的陷阱 (trap) 变得困难了。

[0046] 现在,将说明电子难以到达存在于 i-GaN 层 5 下部的陷阱的原因。图 9A 和图 9B 是示出第一实施例中的带结构 (band structure) 和载流子浓度的图表。图 10A 和图 10B 是示出图 1 所示的传统的 GaN 基 HEMT 的带结构和载流子浓度的图表。请注意,图 9B 放大示出了图 9A 中具有极浅深度的一部分,图 10B 放大示出了图 10A 中具有极浅深度的一部分。

[0047] 从图 9A、图 9B 与图 10A、图 10B 的比较中可以看到,衬底 1 的导带与衬底 101 的导带几乎彼此相同 (equal)。此外, i-GaN 层 5、i-AlGaIn 层 6、n-AlGaIn 层 7 和 n-GaN 层 8 的导带与 i-GaN 层 105、i-AlGaIn 层 106、n-AlGaIn 层 107 和 n-GaN 层 108 的导带也几乎彼此相同。但是,在第一实施例中,直接位于 AlN 层 2 之上的 AlGaIn 层 3 的导带大约是 5.0eV,而在传统的 GaN 基 HEMT 中,直接位于 AlN 层 104 之上的 i-GaN 层 105 的导带大约是 3.5eV。这是由于压电电荷和自发极化电荷被强烈吸引到 AlGaIn 层 3、4 之间的界面附近的缘故。此外,在第一实施例中,AlGaIn 层 4 的导带高,因而 AlGaIn 层 4 用作阻止电子向 AlN 层 2 运动的阻

挡层。

[0048] 由于这些原因,在第一实施例中,电子的浓度 (density) 在深度大约为 600nm 至 700nm 的区域中迅速地减小,而在传统的 GaN 基 HEMT 中,电子的浓度仅逐渐减小。这意味着电子难以到达存在于 i-GaN 层 5 下部的陷阱。因为电子难以到达陷阱,所以伴随过度响应特性的输出漂移现象减少了。即,如图 11 所示,当从开启 (on) 向断开 (off) 转换时,漏极电流的下降较小。因此,下降的漏极电流更加快速地恢复,从而更快速的操作成为可能。

[0049] 顺便提及,优选地,AlGaIn 层 3 中的 Al 的比率 x_1 是从 0.1 至 0.5。这是由于当比率 x_1 低于 0.1 时,可能难以充分地提高 AlGaIn 层 4 的导带,而当比率 x_1 高于 0.5 时,可以轻易地发生变形和扭曲 (warping)。此外,优选地,AlGaIn 层 4 中的 Al 的比率 x_2 等于或大于 0.3。这是由于当比率 x_2 低于 0.3 时,对于 AlGaIn 层 4 自身的导带而言,难以达到足够高。优选地,AlN 层 2 的电子亲和力小于 AlGaIn 层 4 的电子亲和力。这是由于当 AlGaIn 层 4 的电子亲和力等于或小于 AlN 层 2 的电子亲和力时,抑制电子运动的效应减小了,其可以轻易地导致对过度响应特性的抑制不足。

[0050] 当不设置 AlGaIn 层 3 而直接在 AlN 层 2 上设置具有高比率的 Al 的 AlGaIn 层 4 时,与 AlGaIn 层 3 中的 Al 的比率 x_1 高于 0.5 的情况相似,可以轻易地发生变形和扭曲。此外,AlGaIn 层 4 的导带不会被充分地提高,并且变得难以充分减小漏极电流。因此,需要 Al 的比率相对低的 AlGaIn 层 3。

[0051] 应当注意,还可以安装电阻器、电容器等,以形成单片微波集成电路 (MMIC)。

[0052] 接着,将描述根据第一实施例的 GaN 基 HEMT (化合物半导体器件) 的制造方法。图 12A 至图 12E 是按步骤次序示出根据第一实施例的 GaN 基 HEMT (化合物半导体器件) 的制造方法的横截面图。

[0053] 在第一实施例中,首先,如图 12A 所示,按次序在衬底 1 上形成 AlN 层 2、AlGaIn 层 3 和 AlGaIn 层 4,AlN 层 2、AlGaIn 层 3、AlGaIn 层 4 的每一层都作为缓冲层。此外,在 AlGaIn 层 4 上形成 i-GaN 层 5。然后,按次序在 i-GaN 层 5 上形成 i-AlGaIn 层 6、n-AlGaIn 层 7 和 n-GaN 层 8。例如通过诸如金属有机物气相外延 (MOVPE) 方法等晶体生长方法执行 AlN 层 2、AlGaIn 层 3、AlGaIn 层 4、i-GaN 层 5、i-AlGaIn 层 6、n-AlGaIn 层 7、n-GaN 层 8 的形成。在这种情况下,选择原料气体使得能够顺序地形成这些层。例如,可以分别使用三甲基铝、三甲基镓以及三甲基铟作为铝 (Al) 的原料、镓 (Ga) 的原料以及铟 (In) 的原料。例如可以使用氨 (NH_3) 作为氮 (N) 的原料。例如可以使用硅烷 (SiH_4) 作为包括在 n-AlGaIn 层 7 和 n-GaN 层 8 中、用作杂质的硅 (Si) 的原料。

[0054] 特别地,当形成 AlGaIn 层 3 时,例如,在生长温度为 1000°C 、生长压力为 90Torr 的气氛 (atmosphere) 中引入 20sccm 的三甲基铝、30sccm 的三甲基镓、5slm 的氨以及 25slm 的氢。在这种情况下,例如可以得到 Al 的比率 x_1 大约是 0.4 的 AlGaIn 层 3。当形成 AlGaIn 层 4 时,例如,在生长温度为 1000°C 、生长压力为 90Torr 的气氛中引入 30sccm 的三甲基铝、20sccm 的三甲基镓、5slm 的氨以及 25slm 的氢。在这种情况下,例如可以得到 Al 的比率 x_2 大约是 0.8 的 AlGaIn 层 4。

[0055] 在形成 n-GaN 层 8 之后,例如通过等离子体 CVD (化学气相沉积) 方法在 n-GaN 层 8 上面形成 SiN 层 9。

[0056] 接着,在 SiN 层 9 上形成抗蚀剂图案,以打开 (open) 要用于形成源电极 11s 和漏

电极 11d 的区域。之后,利用抗蚀剂图案作为掩模蚀刻 SiN 层 9 和 n-GaN 层 8,以在 SiN 层 9 和 n-GaN 层 8 中形成用于源电极的开口 10s 和用于漏电极的开口 10d,如图 12B 所示。例如可以执行利用氯基气体的干蚀刻作为这种蚀刻。顺便提及,关于开口 10s、10d 的深度,可以留下 n-GaN 层 8 的一部分,也可以除去 n-AlGaIn 层 7 的一部分。即,没有必要使开口 10s、10d 的深度与 SiN 层 9 和 n-GaN 层 8 的总厚度相匹配。

[0057] 随后,如图 12C 所示,通过举离 (lift-off) 方法在开口 10s、10d 中分别形成源电极 11s、漏电极 11d。在形成源电极 11s、漏电极 11d 的过程中,在除去用于形成开口 10s、10d 的抗蚀剂图案之后,形成新的抗蚀剂图案以打开用于形成源电极 11s、漏电极 11d 的区域,并且执行 Ta 和 Al 的气相沉积。之后,沉积在抗蚀剂图案上的 Ta、Al 与抗蚀剂图案一起被除去。Ta 膜、Al 膜的厚度例如分别是大约 30nm、大约 200nm。然后在温度为 400°C 至 1000°C (例如 600°C) 的氮气气氛中执行热处理,从而建立欧姆特性。

[0058] 在形成源电极 11s 和漏电极 11d 之后,形成抗蚀剂图案以打开要用于形成开口 10g 的区域。然后,如图 12D 所示,执行利用该抗蚀剂图案的蚀刻,以在 SiN 层 9 中形成开口 10g。例如可以执行利用酸的湿蚀刻作为这种蚀刻。然后除去该抗蚀剂图案。利用这种蚀刻,n-GaN 层 8 没有被蚀刻,因此甚至可以进行晶片表面内的蚀刻。

[0059] 之后,如图 12E 所示,通过举离方法在开口 10g 中形成栅电极 11g。在形成栅电极 11g 的过程中,在除去用于形成开口 10g 的抗蚀剂图案之后,形成新的抗蚀剂图案以打开用于形成栅电极 11g 的区域,并且执行 Ni、Au 的气相沉积。之后,沉积在抗蚀剂图案上的 Ni、Au 与抗蚀剂图案一起被除去。Ni 膜、Au 膜的厚度例如分别是大约 30nm、大约 400nm。

[0060] 通过这种制造方法,可以得到具有图 7 所示的结构的 GaN 基 HEMT。

[0061] 顺便提及,栅电极 11g 的栅极长度,即,连接源电极 11s 和漏电极 11d 的方向上的长度大约是 0.05 μm 至 2 μm (例如 0.5 μm)。此外,单位栅极宽度,即,在与栅极长度方向正交的方向上的长度大约是 50 μm 至 800 μm (例如 400 μm)。

[0062] 第二实施例

[0063] 接着,将描述第二实施例。图 13 是示出根据第二实施例的 GaN 基 HEMT (化合物半导体器件) 的结构横截面图。

[0064] 在第二实施例中,设置厚度大约为 10nm 至 500nm (例如 300nm) 的未掺杂 InAlN 层 13 来代替第一实施例中的 AlGaIn 层 3,设置厚度大约为 5nm 至 500nm (例如 100nm) 的 InAlN 层 14 来代替 AlGaIn 层 4。InAlN 层 13 具有由 $\text{In}_{y_1}\text{Al}_{1-y_1}\text{N}$ 表示的成分,InAlN 层 14 具有由 $\text{In}_{y_2}\text{Al}_{1-y_2}\text{N}$ 表示的成分。InAlN 层 13 的电子亲和力高于 AlN 层 2 和 InAlN 层 14 的电子亲和力,AlN 层 2 的电子亲和力低于 InAlN 层 14 的电子亲和力。 y_1 的值大于 y_2 的值。 y_1 的值大约是 0.1 至 0.25 (例如 0.23), y_2 的值大约是 0.1 至 0.25 (例如 0.15)。

[0065] 其他结构与第一实施例中的结构相似。

[0066] 在如上所述的第二实施例中,可以得到与第一实施例中的效应相似的效应。图 14A 和图 14B 是示出第二实施例中的带结构和载流子浓度的图表。请注意图 14B 放大示出了图 14A 中具有极浅深度的一部分。

[0067] 在第二实施例中,直接位于 AlN 层 2 之上的 InAlN 层 13 的导带高于 4.0eV。因此,在第二实施例中,电子的浓度在深度为约 600nm 至 700nm 的区域中也急剧下降。所以,与第一实施例相似,伴随过度响应特性的输出漂移现象减少了。即,如图 15 所示,当从开启向断

开转换时,漏极电流的下降较小。因此,下降的漏极电流更加快速地恢复,从而更快速的操作成为可能。

[0068] 如图 16 所示,在第一实施例的缓冲层中使用的 AlGaIn 的晶格常数小于 GaN 的晶格常数,但是,根据 In 与 Al 的比率,在第二实施例的缓冲层中使用的 InAlN 的晶格常数可以大于 GaN 的晶格常数。例如,当 InAlN 层 13 中的 In 的比率 y_1 是 0.23 时,其晶格常数就变得大于 GaN 的晶格常数。当 InAlN 层 14 中的 In 的比率 y_2 是 0.15 时,其晶格常数就变得小于 GaN 的晶格常数。因此,即使当 InAlN 层 13、14 之间的晶格常数的差异增加时,也不会轻易地发生畸变 (distortion)。因此,InAlN 层 14 可被制成比 AlGaIn 层 4 厚,以进一步提高导带,从而使电子更加难以到达陷阱。此外,In 与 Al 之间的晶格常数的差异大于 Al 与 Ga 之间的晶格常数的差异。因此,更强地感应出自发极化,而且就这方面而言,可以使电子更加难以到达陷阱。

[0069] 顺便提及,优选地,InAlN 层 13 和 InAlN 层 14 中的 In 的比率 y_1 、 y_2 是从 0.1 至 0.25。这是由于当比率 y_1 、 y_2 低于 0.1 时,可能难以充分地提高 InAlN 层 14 的导带,而比率 y_1 、 y_2 高于 0.25 的 InAlN 层难以形成。

[0070] 当制造根据第二实施例的 GaN 基 HEMT 时,可以形成 InAlN 层 13、14 来代替第一实施例中的 AlGaIn 层 3、4。使用三甲基铟作为 In 原料。生长温度被设置成 950°C ,低于 AlGaIn 的生长温度。这是用于抑制 In 的解吸附作用 (desorption)。例如,当形成 InAlN 层 13 时,例如在生长温度为 950°C 、生长压力为 90Torr 的气氛中引入 150sccm 的三甲基铟、30sccm 的三甲基镓、5slm 的氨、以及 25slm 的氢。在这种情况下,例如可以得到 In 的比率大约是 0.23 的 InAlN 层 13。当形成 InAlN 层 14 时,例如,在生长温度为 950°C 、生长压力为 90Torr 的气氛中引入 100sccm 的三甲基铟、20sccm 的三甲基镓、5slm 的氨、以及 25slm 的氢。在这种情况下,例如可以得到 In 的比率大约是 0.15 的 InAlN 层 14。

[0071] 注意,在任一实施例中,金刚砂 (SiC) 衬底、蓝宝石衬底、硅衬底、GaN 衬底、GaAs 衬底等等都可以用作衬底 1。衬底 1 可以是导电衬底、半导体衬底以及绝缘衬底中的任何一种衬底。

[0072] 栅电极 11g、源电极 11s 和漏电极 11d 的结构不限于上述实施例中的结构。例如,它们可以由单层形成。它们的形成方法也不限于举离方法。此外,只要得到欧姆特性,就可以省略在形成源电极 11s 和漏电极 11d 之后进行的热处理。另外,可以对栅电极 11g 执行热处理。

[0073] 层的厚度、材料等不限于上述实施例中所述的厚度、材料等。例如,InAlGaIn 等也可以用作缓冲层。此外,第一实施例中的 AlGaIn 层 3 和第二实施例中的 InAlN 层 14 可以被组合。

[0074] 在第一、第二实施例中,可以蚀刻与栅电极 11g 接触的 n-GaN 层 8 的部分。蚀刻深度可与 n-GaN 层 8 的厚度相匹配,或者可以较浅。但是,优选地,均匀地 (evenly) 执行这种蚀刻。

[0075] 在第一、第二实施例中,可以在第三缓冲层上形成第四缓冲层。在这种情况下,优选地,第四缓冲层电子亲和力大于第三缓冲层电子亲和力。当设置这种第四缓冲层时,进一步改善了沟道层的结晶性。作为第一实施例中的第四缓冲层,例如可以使用与第二缓冲层相似的一层缓冲层。即,在第一实施例中,例如可以使用与 AlGaIn 层 3 的成分相似的 AlGaIn

层,在第二实施例中,例如可以使用与 InAlN 层 13 的成分相似的 InAlN 层。

[0076] 通过适当的第一至第三缓冲层,上述化合物半导体器件等能够进一步抑制伴随过度响应特性的输出漂移现象。

[0077] 此处叙述的全部实例和条件语言都是作为教导目的,用于帮助读者理解由发明人所贡献的本发明的原理和概念,从而深化本领域,并且是用于解释而不是用于限制这些具体叙述的实例和条件,说明书中的这些实例的安排也不涉及对本发明的优势和劣势的展示。尽管已经详细地描述了本发明的实施例,但是应当理解,在不脱离本发明的精神和范围的情况下,可对本发明进行各种变化、替代和更改。

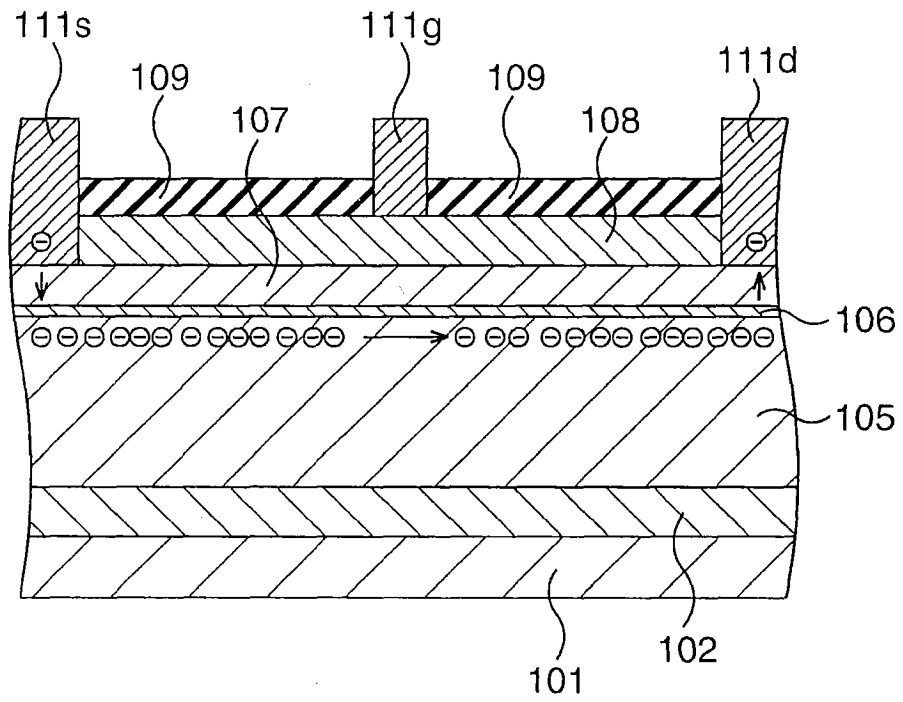


图 1

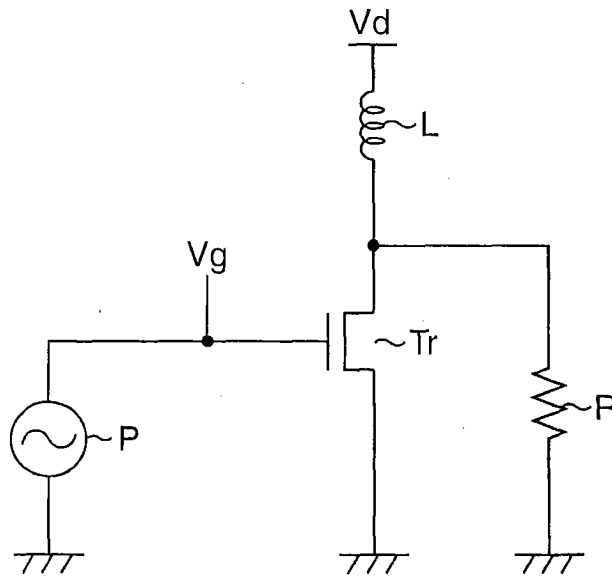


图 2

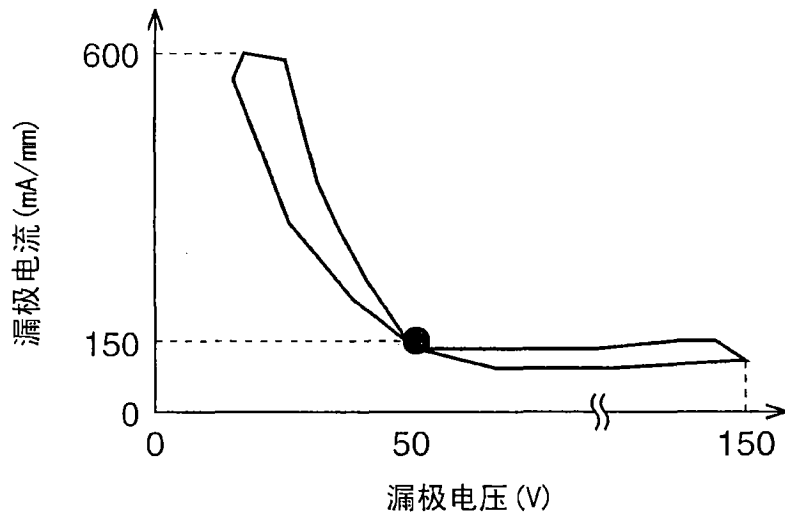


图 3

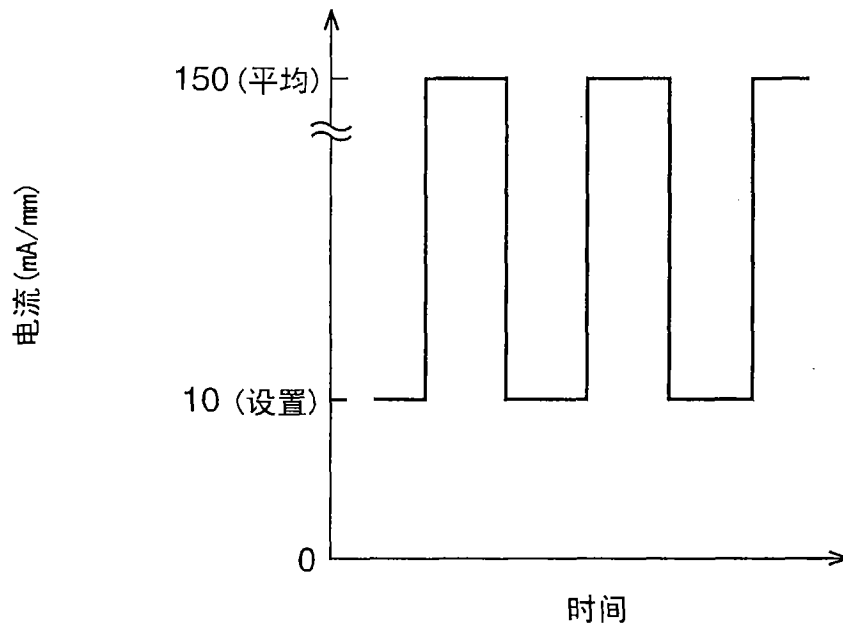


图 4A

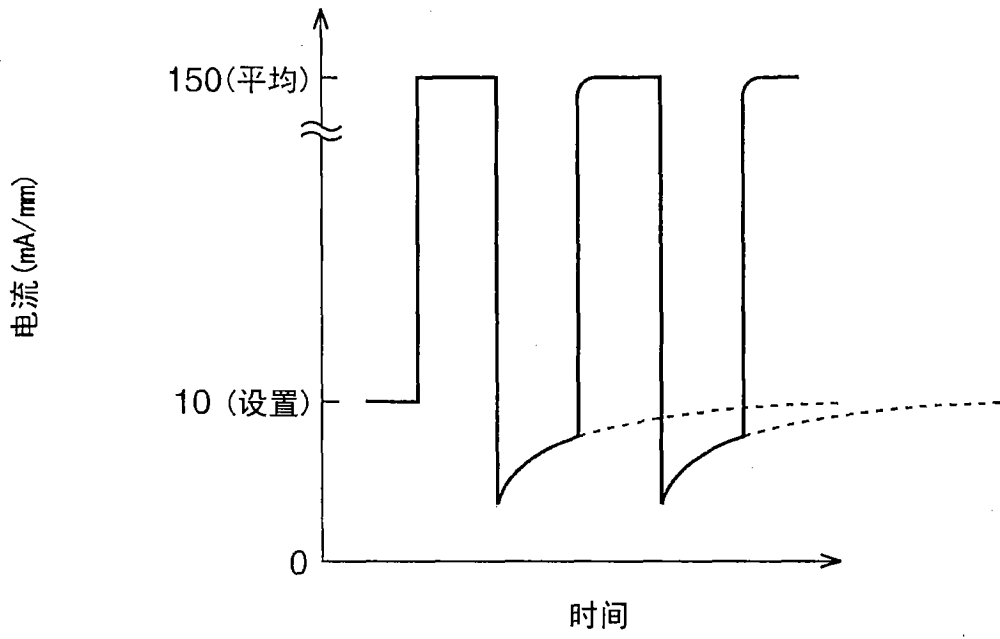


图 4B

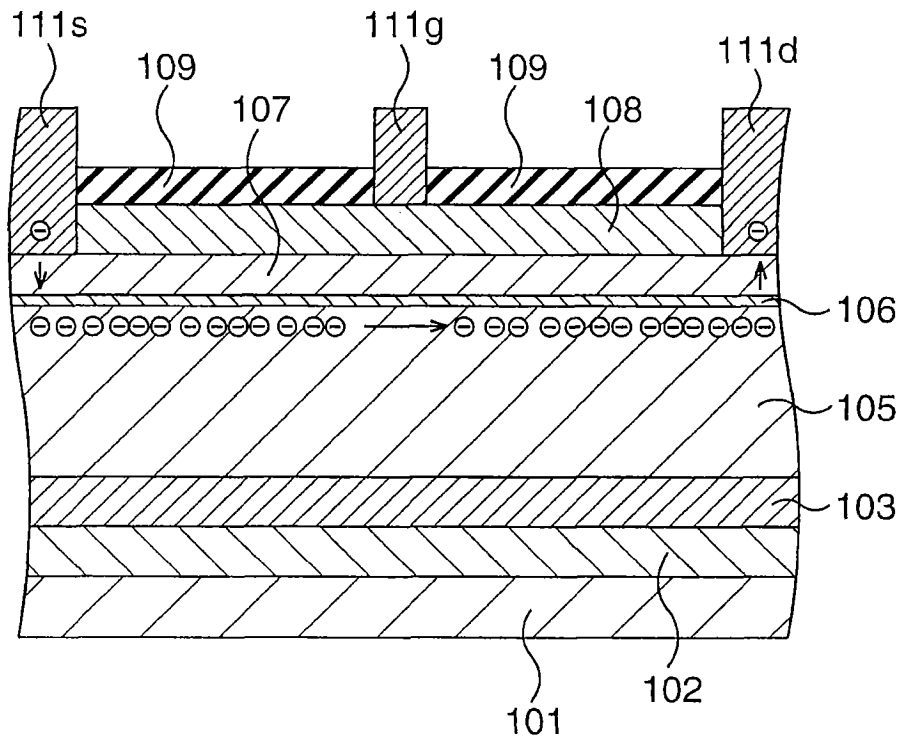


图 5

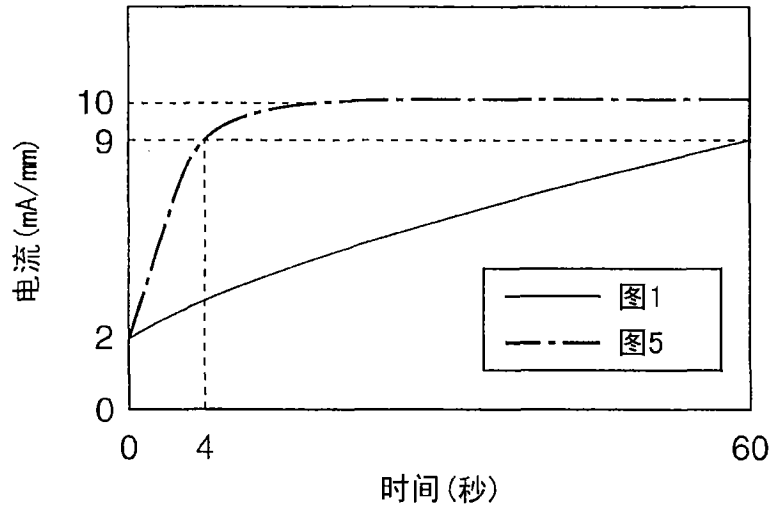


图 6

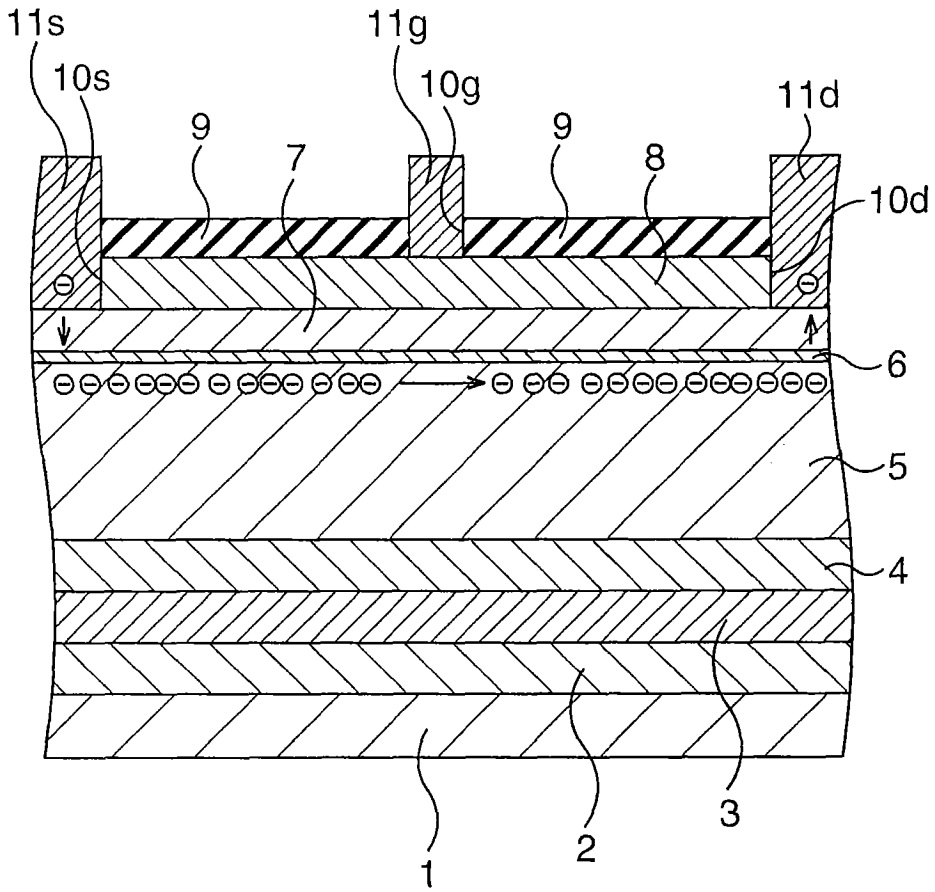


图 7

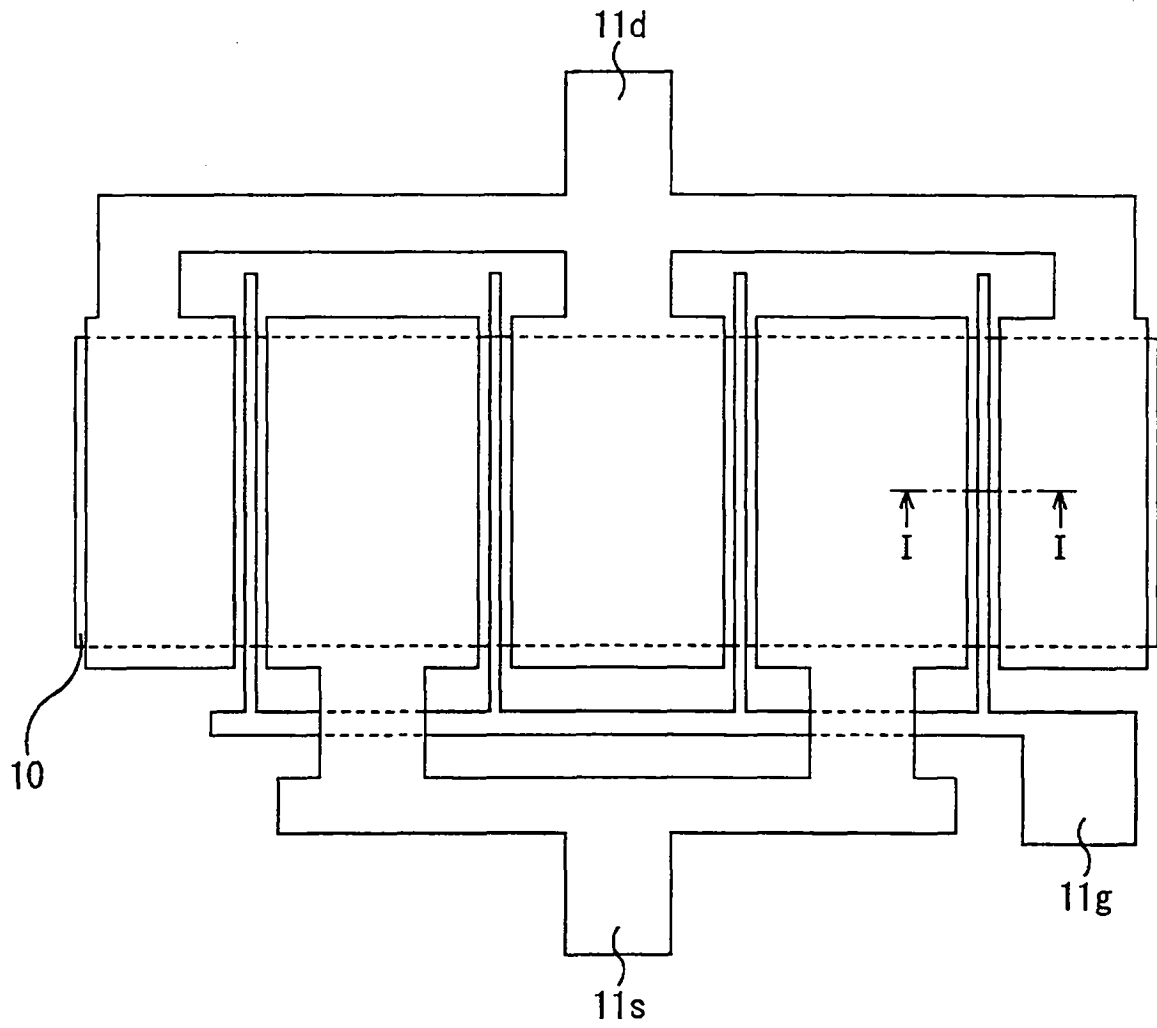


图 8

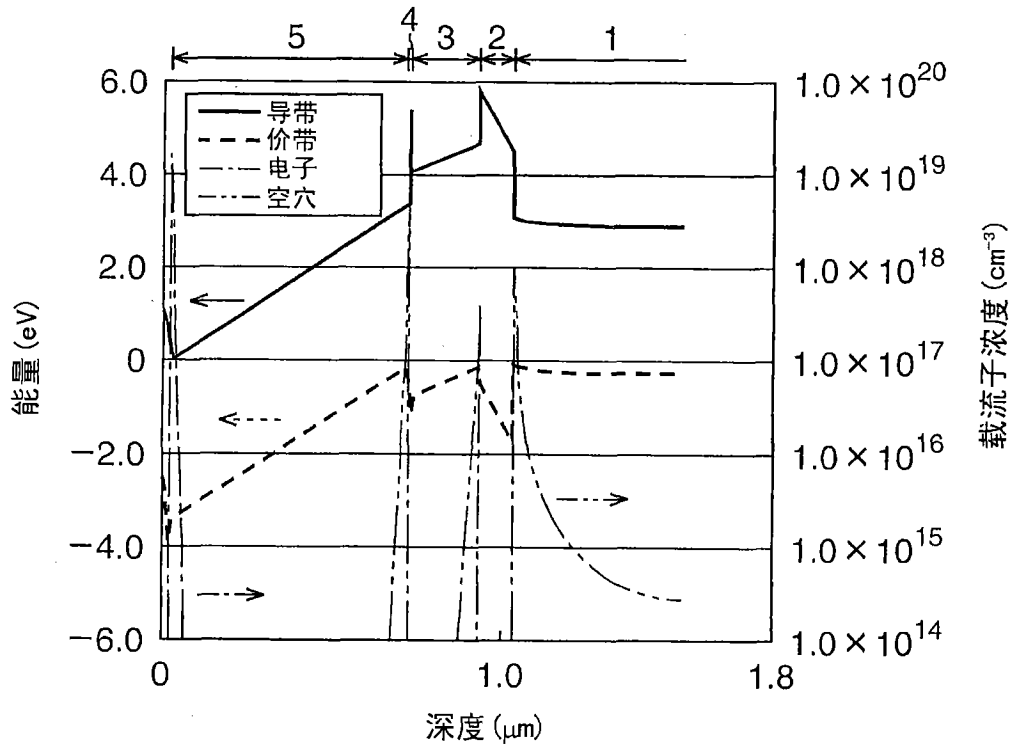


图 9A

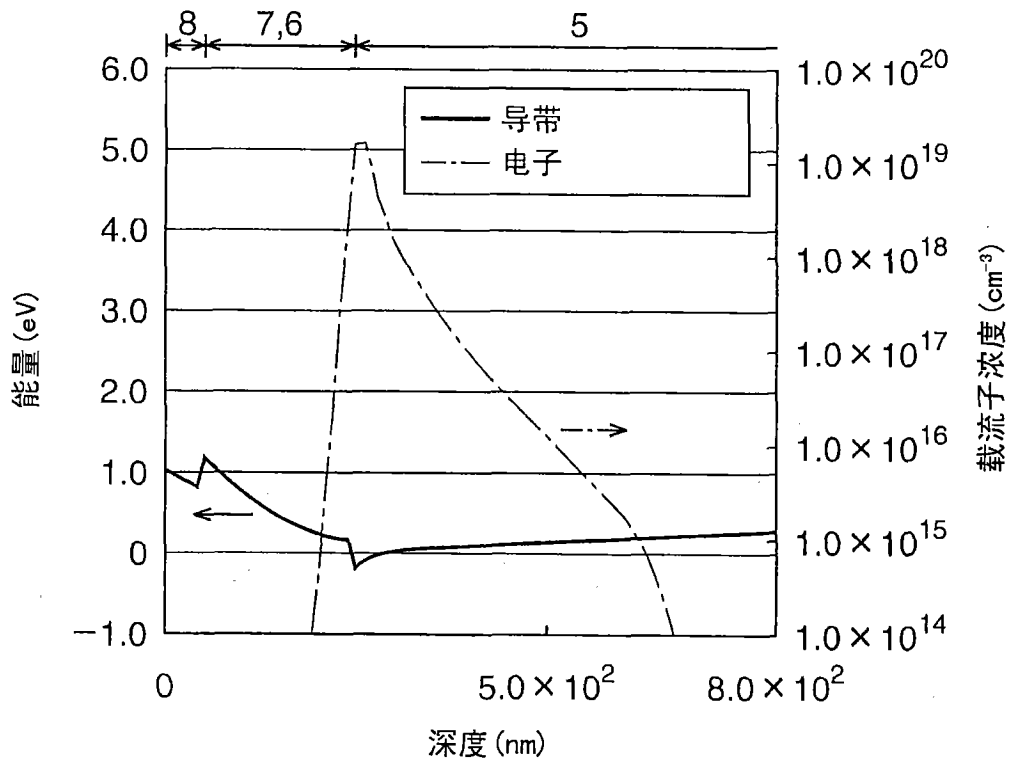


图 9B

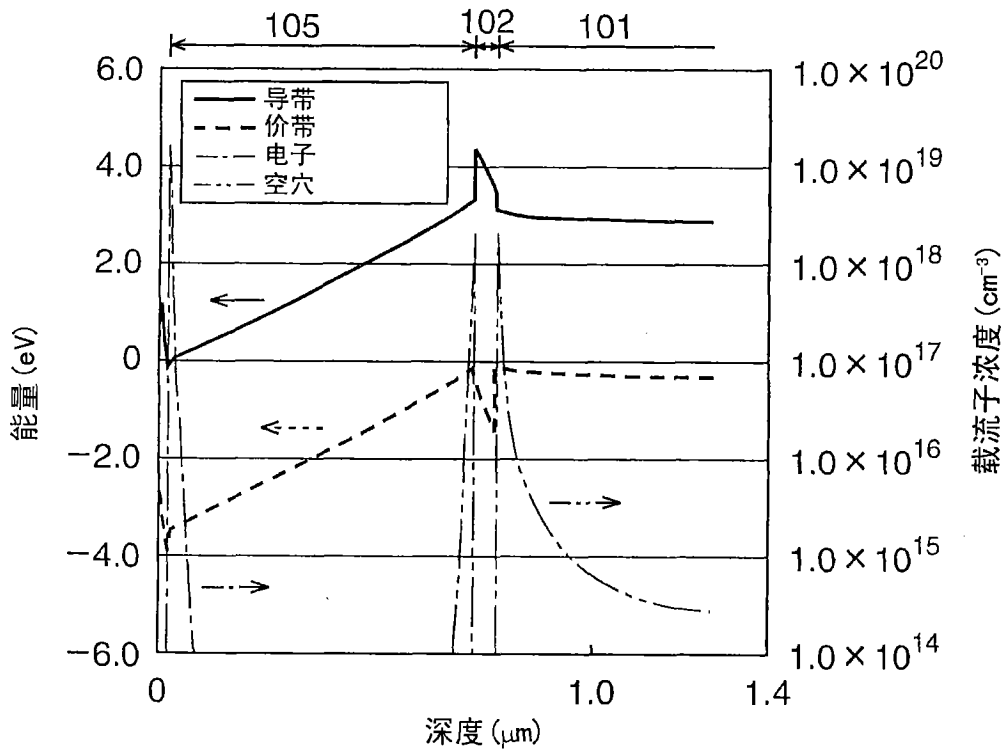


图 10A

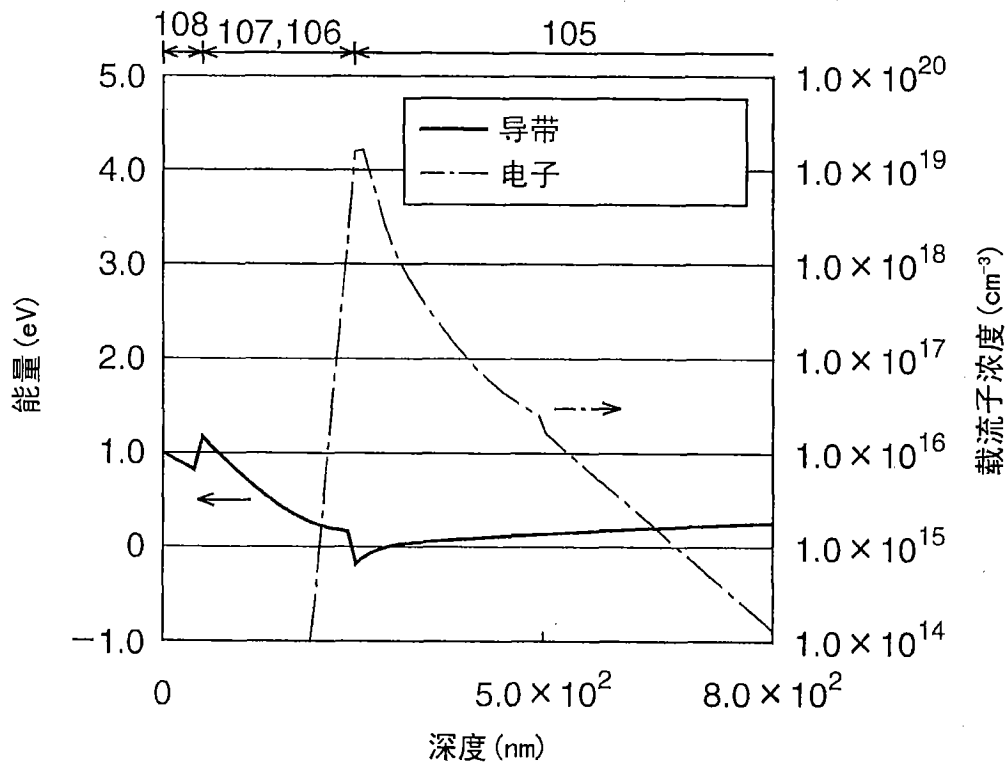


图 10B

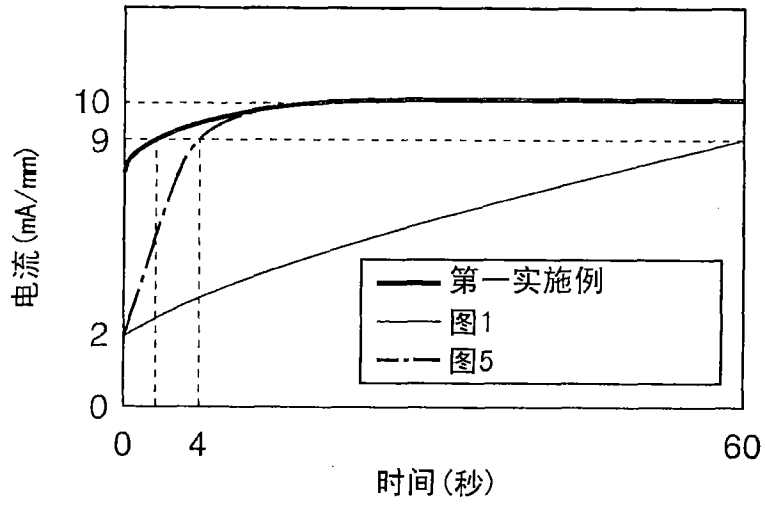


图 11

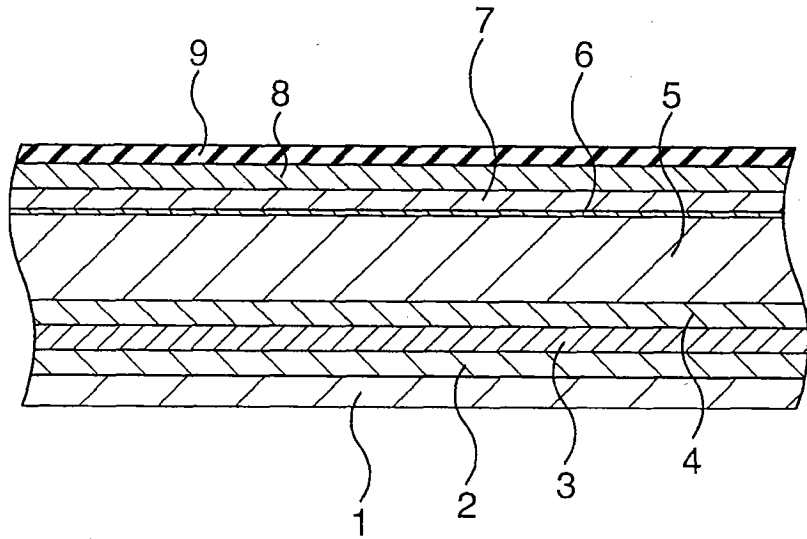


图 12A

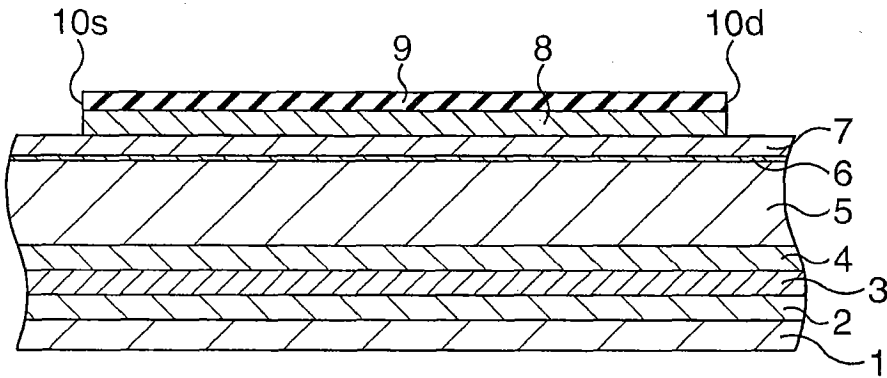


图 12B

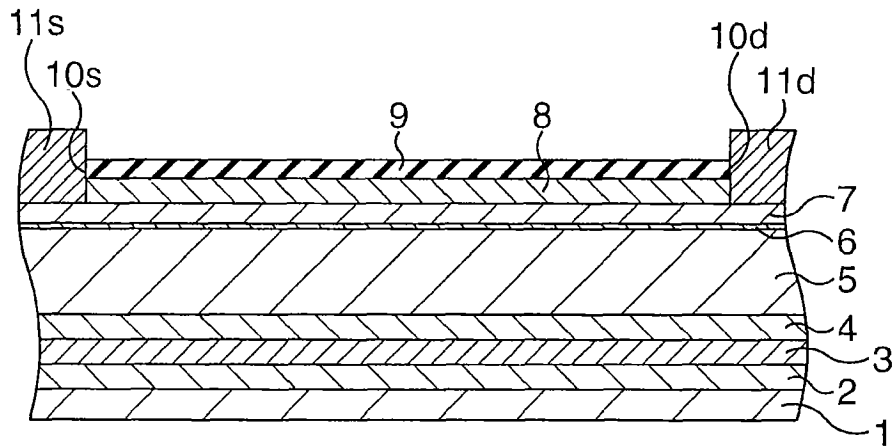


图 12C

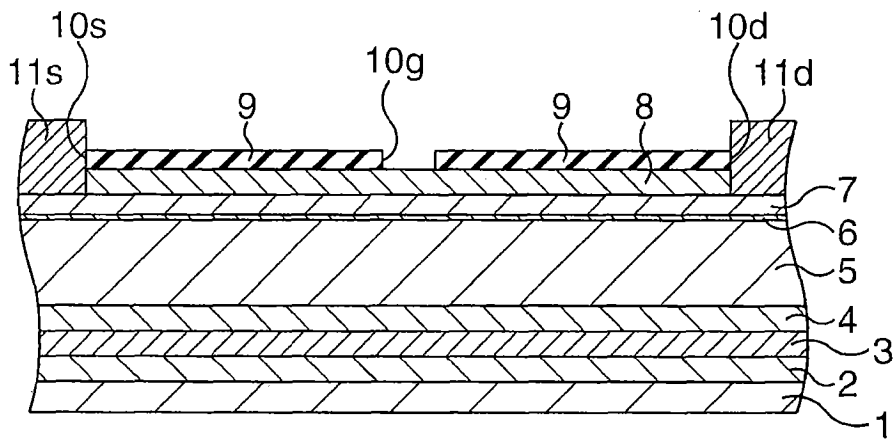


图 12D

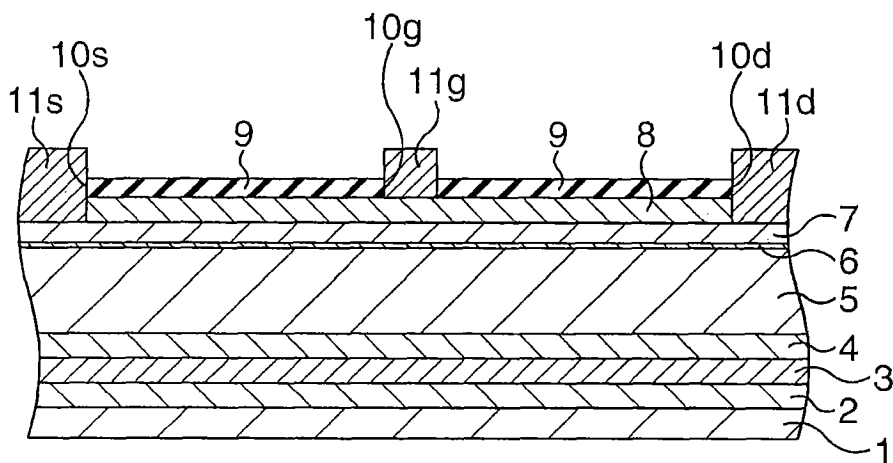


图 12E

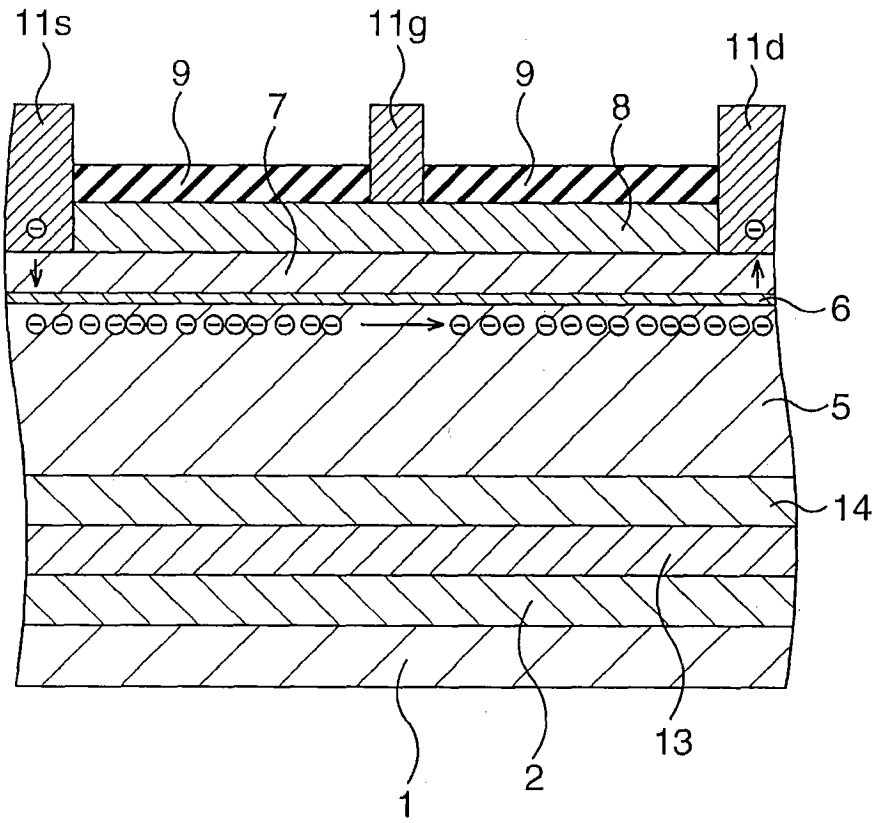


图 13

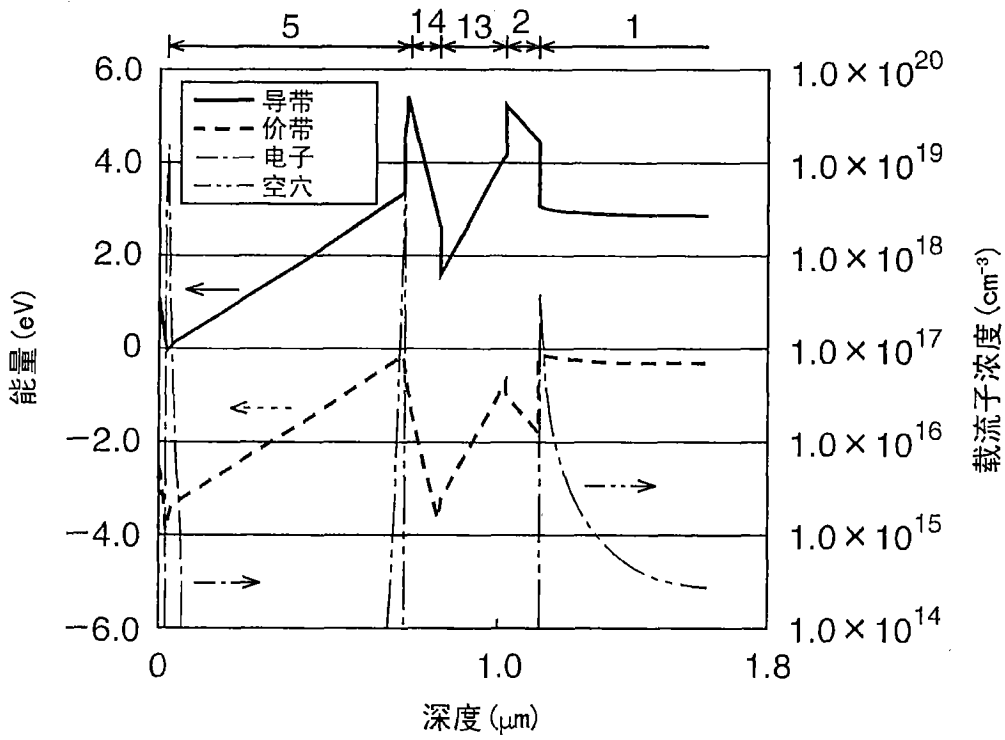


图 14A

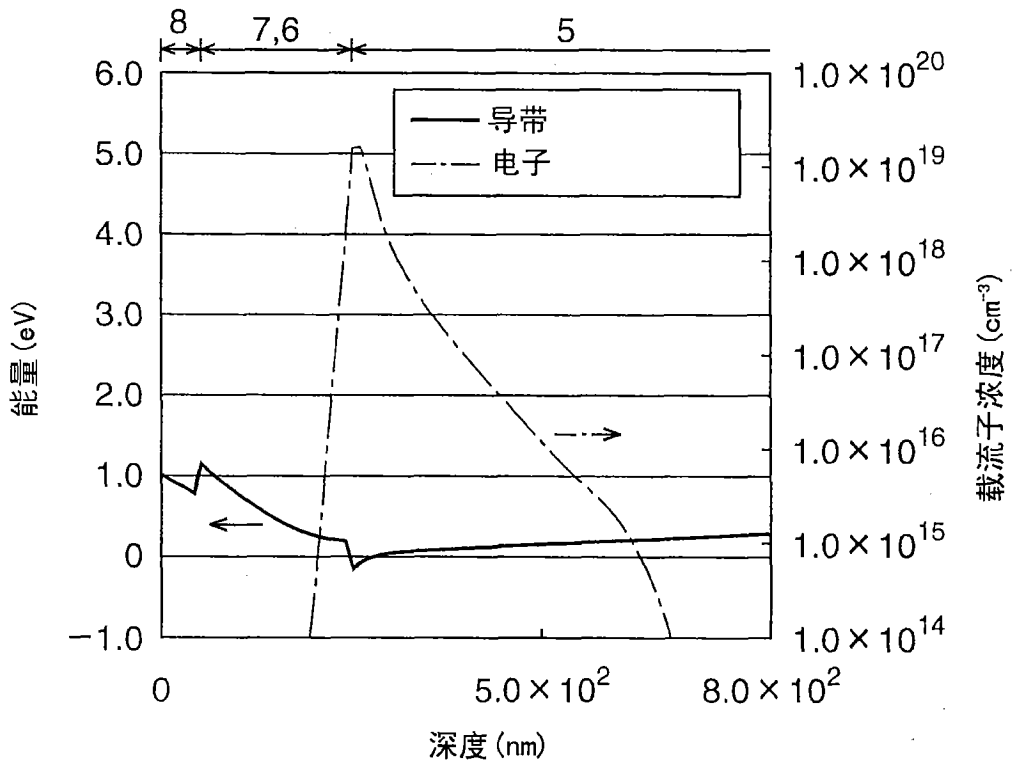


图 14B

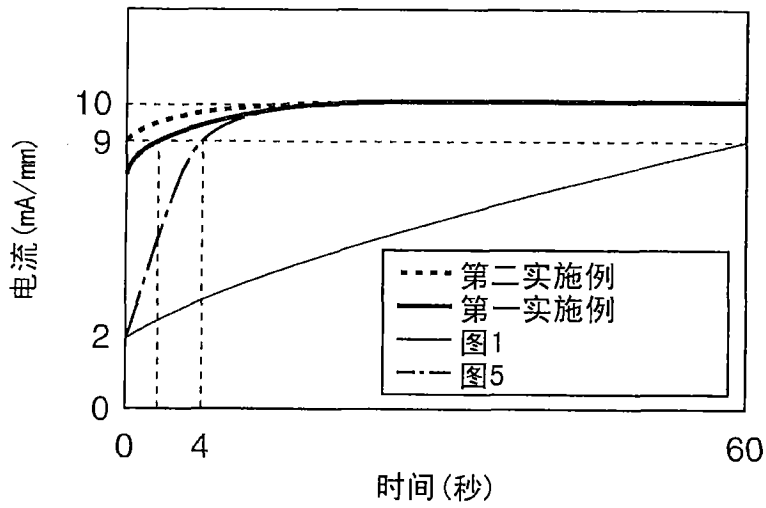


图 15

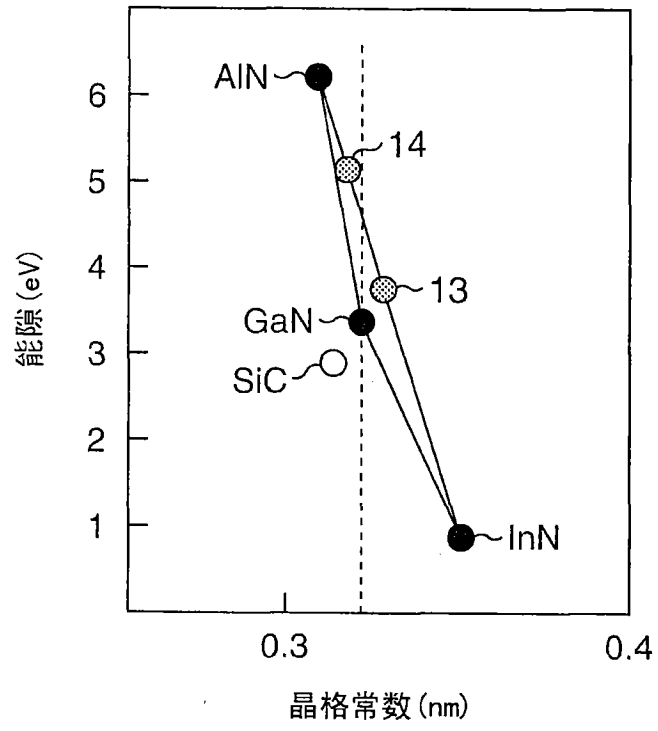


图 16