

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2010-141066

(P2010-141066A)

(43) 公開日 平成22年6月24日(2010.6.24)

(51) Int.Cl.

H01L 23/12 (2006.01)

F I

H01L 23/12 501T

テーマコード (参考)

審査請求 未請求 請求項の数 13 O L (全 14 頁)

(21) 出願番号 特願2008-315181 (P2008-315181)
 (22) 出願日 平成20年12月11日 (2008.12.11)

(71) 出願人 000116024
 ローム株式会社
 京都府京都市右京区西院溝崎町2 1 番地
 (72) 発明者 安永 尚司
 京都府京都市右京区西院溝崎町2 1 番地ロ
 ーム株式会社内

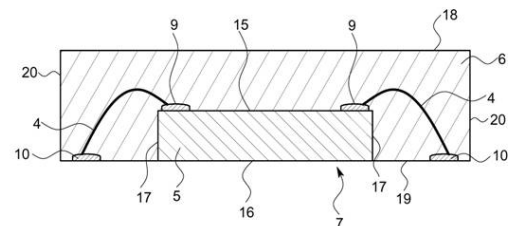
(54) 【発明の名称】 半導体装置

(57) 【要約】 (修正有)

【課題】リードフレームを有さず小型薄型で放熱性が増した半導体装置を簡便な設備と低コストで提供する。

【解決手段】半導体チップ5と、前記半導体チップに接する第一端部9および他方側の第二端部10を有するワイヤ4と、前記半導体チップと前記ワイヤとを封止する封止樹脂層6と、を有する半導体装置において、前記ワイヤの第二端部の表面が前記封止樹脂層から露出していることから、フレームを有しない半導体装置が得られる。

【選択図】図1



【特許請求の範囲】**【請求項 1】**

半導体チップと、
前記半導体チップに接するワイヤと、
前記ワイヤの一部を残して、前記ワイヤと前記半導体チップとを封止する封止樹脂層とからなることを特徴とする半導体装置。

【請求項 2】

前記ワイヤの一部は、キャピラリによって形成される端子部であることを特徴とする請求項 1 に記載の半導体装置。

【請求項 3】

半導体チップと、
第一端部と、前記半導体チップに接する第二端部を有するワイヤと、
前記第一端部に接し、前記ワイヤと同じ材質からなる端子部と、
前記ワイヤと前記半導体チップとを封止する封止樹脂層とからなることを特徴とする半導体装置。

【請求項 4】

前記端子部はひとつまたは連続した複数からなることを特徴とする請求項 2 から 3 に記載の半導体装置。

【請求項 5】

前記端子部はウエッジツールによって形成されることからなるステッチボンドであることを特徴とする請求項 2 から 4 に記載の半導体装置。

【請求項 6】

前記端子部に導体からなる電極が形成されていることを特徴とする請求項 2 から 5 に記載の半導体装置。

【請求項 7】

前記半導体チップが前記封止樹脂層から露出していることを特徴とする請求項 1 から 6 に記載の半導体装置。

【請求項 8】

半導体チップを支持材に実装する工程と、
前記半導体チップにワイヤを接続する工程と、
前記ワイヤの一部を端子部として形成する工程と、
さらに前記ワイヤと前記半導体チップとを封止する工程とを有することを特徴とする半導体装置の製造方法。

【請求項 9】

半導体チップを支持材に実装する工程と、
第一端部と、前記半導体チップにワイヤと同じ材質で第二端部を形成する工程と、
前記ワイヤと前記半導体チップとを封止する封止樹脂層を前記支持材上に形成する工程と、
前記支持材を除去することにより前記ワイヤの第一端部の面を前記封止樹脂層から露出させる工程とを有することを特徴とする半導体装置の製造方法。

【請求項 10】

前記第一端部に接し、前記ワイヤと同じ材質からなる端子部を前記支持材上に形成する工程を有することを特徴とする請求項 9 に半導体装置の製造方法。

【請求項 11】

前記端子部は前記支持材にひとつまたは連続して形成する工程を含むことを特徴とする請求項 8 から 10 に記載の半導体装置の製造方法。

【請求項 12】

前記端子部はウエッジツールによってステッチボンドを形成される工程を含むことを特徴とする請求項 8 から 11 に記載の半導体装置の製造方法。

【請求項 13】

10

20

30

40

50

前記端子部に導体からなる電極を形成する工程を有することを特徴とする請求項 8 から 12 に記載の半導体装置の製造方法。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、半導体素子を搭載し、樹脂封止して形成される半導体装置の構造およびその製造方法に関わる。

【0002】

従来から M A P という半導体装置の製造方法がある。M A P とは、M o l d A r r a y P a c k a g e と呼ばれる一括樹脂封止技術であり、図 1 3 に示すようにダイボン材 2 を介して搭載したアイランド 3 と、フレーム 1 と、ワイヤ 4 とを封止樹脂層 6 で全面を一括で覆い、硬化させることにより全体を一括で樹脂封止し、さらにダイシングイライン（半導体装置側面 2 0）に沿ってダイシングブレード 1 1 やレーザ（図示しない）などを用いて切断することにより、個片化された半導体装置 7 を製造する方法である。

なお、図 1 3 において、チップ表面 1 5 とチップ裏面 1 6 とチップ側面 1 7 と半導体装置表面 1 8 と半導体装置裏面 1 9 と半導体装置側面 2 0 はそれぞれの場所の名前を表す。

【0003】

この種の個片化された半導体装置の一例として、図 1 2 に示す構造がある。図 1 2 に示すようにチップ 5 をフレーム 1 上にダイボン材 2 を用いて設置され、ワイヤボンディング 4 を用いてチップ 5 とフレーム 1 を接続し、封止樹脂層 6 で封止される。

【特許文献 1】特開平 0 9 - 0 8 2 7 4 1 号公報

【発明の開示】

【発明が解決しようとする課題】

【0004】

しかしながら、このような半導体装置は、以下のような課題を有する。

【0005】

電気製品の小型化が進む昨今において、半導体装置も同様にさらなる小型化や薄型化が要求され、同時に半導体装置のコストダウンも要求されている。しかし、従来の M A P 技術においては、フレーム 1 のような板があることで、小型化や薄型化、さらにはコストダウンの妨げとなっている。

【0006】

本発明は、このような従来技術の課題を解決するものであり、その目的とすることは、小型で薄型の半導体装置を提供するところにある。

【課題を解決するための手段】

【0007】

本発明はこのような目的を達成するためになされたもので、請求項 1 に記載の発明は、半導体チップと、前記半導体チップに接するワイヤと、前記ワイヤの一部を残して、前記ワイヤと前記半導体チップとを封止する封止樹脂層とからなることを特徴とする。

これによると、半導体装置がフレームを有しないため、従来の半導体装置よりもコストが下がるとともに、大きく薄型化にも貢献する。ワイヤの一部が樹脂層から露出していればよいと、樹脂層の裏面側だけでなく、樹脂層の側面からワイヤの一部が露出してもよい。このとき、半導体装置を実装基板に実装する時の半田の濡れ性が向上するため、電氣的接続の信頼性も向上する。

【0008】

請求項 2 に記載の発明は、請求項 1 に記載の発明において、前記ワイヤの一部は、キャピラリによって形成される端子部であることを特徴とする。

これによると、ワイヤの一部である前記端子部はキャピラリによって作られる。従来、半導体装置の端子部は別途リードフレームなどを必要としていたが、上記のように前記端子部がキャピラリによって形成できるため、コストが下がるとともに、薄型化にも大きく貢献する。

10

20

30

40

50

【 0 0 0 9 】

請求項 3 に記載の発明は、半導体チップと、第一端部と、前記半導体チップに接する第二端部を有するワイヤと、前記第一端部に接し、前記ワイヤと同じ材質からなる端子部と、前記ワイヤと前記半導体チップとを封止する封止樹脂層とからなることを特徴とする半導体装置である。

これによると、半導体装置がフレームを有さず、また前記端子部がワイヤと同じ材質からなるため、別途リードフレームなどを必要としていたが、上記のように前記端子部がキャピラリによって形成できるため、コストが下がるとともに、大きく薄型化にも貢献する。

【 0 0 1 0 】

請求項 4 に記載の発明は、請求項 2 から 3 に記載の発明において、前記端子部はひとつまたは連続した複数からなることを特徴とする記載の半導体装置である。

これによると、端子部を複数個直線状に連続させることにより、前記端子部のサイズを大きくできる。または、前記端子部を複数個任意に連続させることにより、半導体装置を実装基板などへ実装する際に、前記端子部のサイズや形状を任意に形成することが可能となり、設計の自由度が増す。

【 0 0 1 1 】

請求項 5 に記載の発明は、請求項 2 から 4 に記載の発明において、前記端子部はウエッジツールによって形成されることからなるステッチボンドであることを特徴とする半導体装置である。

これによると、前記端子部をウエッジツールによって形成されるステッチボンドの形状にすると、実装基板などへ実装する際に、前記端子部の形状を略矩形に形成することができるため、従来の QFN パッケージとほぼ同じ端子形状と見なすことができることから、従来と同じ設備で実装基板に半導体装置を実装するため、不要なコストがかからない。

【 0 0 1 2 】

請求項 6 に記載の発明は、請求項 2 から 5 に記載の発明において、前記端子部に導体からなる電極が形成されていることを特徴とする半導体装置である。

これによると、従来と同じ例えば半田ボール付きのパッケージと見なすことができるため、従来と同じ設備で実装基板に半導体装置を実装できるため、不要なコストがかからない。

【 0 0 1 3 】

請求項 7 に記載の発明は、請求項 1 から 6 に記載の発明において、前記半導体チップが前記封止樹脂層から露出していることを特徴とする半導体装置である。

これによると、前記半導体チップは前記樹脂層から露出していればよいから、前記樹脂層のどの面から露出してもよい。すると、前記半導体チップが前記樹脂層から露出しているため、放熱性が高く、熱対策が容易となる。

【 0 0 1 4 】

請求項 8 に記載の発明は、半導体チップを支持材に実装する工程と、前記半導体チップにワイヤを接続する工程と、前記ワイヤの一部を端子部として形成する工程と、さらに前記ワイヤと前記半導体チップとを封止する工程とを有することを特徴とする半導体装置の製造方法である。

これによると、半導体装置がフレームを有しないため、従来の半導体装置よりもコストが下がるとともに、薄型化にも大きく貢献する半導体装置の製造方法が得られる。また、ワイヤの一部が樹脂層から露出していればよいから、樹脂層の裏面側だけでなく、樹脂層の側面からワイヤの一部が露出してもよい。このとき、半導体装置を実装基板に実装する時の半田の濡れ性が向上するため、電気的接続の信頼性も向上する半導体装置の製造方法が得られる。

【 0 0 1 5 】

請求項 9 に記載の発明は、半導体チップを支持材に実装する工程と、第一端部と、前記半導体チップにワイヤと材質で第二端部を形成する工程と、前記ワイヤと前記半導体チップとを封止する封止樹脂層を前記支持材上に形成する工程と、前記支持材を除去することに

10

20

30

40

50

より前記ワイヤの第一端部の面を前記封止樹脂層から露出させる工程とを有することを特徴とする半導体装置の製造方法である。

これによると、半導体装置がフレームを有さず、また前記端子部がワイヤと同じ材質からなるため、別途リードフレームなどを必要としていたが、上記のように前記端子部がキャピラリによって形成できるため、コストが下がるとともに、薄型化にも大きく貢献する半導体装置の製造方法が得られる。

【 0 0 1 6 】

請求項 1 0 に記載の発明は、請求項 9 に記載の発明において、前記第一端部に接し、前記ワイヤと同じ材質からなる端子部を前記支持材上に形成する工程を有することを特徴とする半導体装置の製造方法である。

これによると、前記第一端部と同じ材質の端子部を前記支持材上に形成するため、前記支持材を除去したときに前記ワイヤと同じ材質の端子で形成できるので、別の材質を用意する必要が無く、不要なコストがかからない製造方法が得られる。

【 0 0 1 7 】

請求項 1 1 に記載の発明は、請求項 8 から 1 0 に記載の発明において、前記端子部は前記支持材にひとつまたは連続して形成する工程を含むことを特徴とする半導体装置の製造方法である。

これによると、端子部を複数個直線状に連続させることにより、前記端子部のサイズを大きくできる。または、前記端子部を複数個任意に連続させることにより、半導体装置を実装基板などへ実装する際に、前記端子部のサイズや形状を任意に形成することが可能となり、設計の自由度が高い半導体装置の製造方法が得られる。

【 0 0 1 8 】

請求項 1 2 に記載の発明は、請求項 8 から 1 1 に記載の発明において、前記端子部はウエッジツールによってステッチボンドを形成される工程を含むことを特徴とする半導体装置の製造方法である。

これによると、前記端子部をウエッジツールによって形成されることからなるステッチボンドの形状にすると、実装基板などへ実装する際に、前記端子部の形状を略矩形に形成することができるため、従来の Q F N パッケージとほぼ同じ端子形状と見なすことができることから、従来と同じ設備で実装基板に半導体装置を実装するため、不要なコストがかからない半導体装置の製造方法が得られる。

【 0 0 1 9 】

請求項 1 3 に記載の発明は、請求項 8 から 1 2 に記載の発明において、前記端子部に導体からなる電極を形成する工程を有することを特徴とする半導体装置の製造方法である。

これによると、従来と同じ例えば半田ボール付きのパッケージと見なすことができるため、従来と同じ設備で実装基板に半導体装置を実装できるため、不要なコストがかからない半導体装置の製造方法が得られる。

【 発明の効果 】

【 0 0 2 0 】

以上、本発明によると、従来のような半導体チップを載せるためのフレームを有しないため、半導体装置のコストが下がるとともに、薄型化にも貢献する。また、ワイヤの第一端部が樹脂層から露出しているため、放熱性が増す。さらに、半導体装置を実装基板に実装する時の半田の濡れ性が向上するため、電気的接続の信頼性も向上する。

【 0 0 2 1 】

さらに、ワイヤの第一端部が一回または複数回ボンディングすることからなるボンディング部の形状を有すると、実装基板などへ実装する際に、ワイヤの第一端部のサイズや形状を任意に設定できるため、設計の自由度が増す。

【 0 0 2 2 】

また、ワイヤの第一端部がウエッジツールを用いることからなるボンディング部の形状であると、実装基板などへ実装する際に、封止樹脂層から露出するワイヤの第一端部の形状を略矩形に形成することができるため、従来の Q F N パッケージと見なすことができるこ

10

20

30

40

50

とから、従来と同じ設備で実装基板に半導体装置を実装できるため、不要なコストがかからない。

【 0 0 2 3 】

さらに、ワイヤの第一端部に半田ボールのような導体からなる電極が形成されていると、従来と同じパッケージと見なすことができることから、従来と同じ設備で実装基板に半導体装置を実装できるため、不要なコストがかからない。

【 0 0 2 4 】

また、半導体チップが封止樹脂から露出しているため、放熱性が高く、熱対策が容易となる。

【 0 0 2 5 】

さらに、半導体装置は半導体チップを支持材に実装する工程と、前記半導体チップの所定の場所に導体からなるワイヤで第二端部を形成し、さらに前記支持材に前記ワイヤの第一端部を形成することにより、前記ワイヤの第二端部と前記ワイヤの第一端部とを前記ワイヤで接続する工程と、前記半導体チップと前記ワイヤと前記ワイヤの第二端部と前記ワイヤの第一端部とを封止する封止樹脂層を前記支持材上に形成する工程と、前記支持材を除去することにより前記ワイヤの第一端部の表面を前記封止樹脂層から露出させる工程と、からなるため、フレームを有しない半導体装置が完成する。よって、従来のような半導体チップを載せるためのフレームを有しないため、半導体装置のコストが下がるとともに、薄型化にも貢献する半導体装置の製造方法がえられる。また、ワイヤの第一端部が樹脂層から露出しているため、放熱性が増す。さらに、半導体装置を実装基板に実装する時の半田の濡れ性が向上するため、電氣的接続の信頼性も向上する。

【 0 0 2 6 】

さらに、上記工程において、前記ワイヤの第一端部は支持材に一回または複数回ボンディングすることにより形成される工程からなると、ワイヤボンディングの第一端部を支持材の同一地点に複数回ボンディングすることによりワイヤの第一端部を形成すると、ワイヤの第一端部のサイズを大きくできる。また、上記ワイヤの第一端部を複数回ボンディングする場所を支持材の同一地点でない場所にすると、実装基板などへ実装する際に、封止樹脂層から露出するワイヤの第一端部のサイズを、任意のサイズや形状に形成することが可能となり、さらに設計の自由度が増す半導体装置の製造方法がえられる。

【 0 0 2 7 】

また、ワイヤの第一端部を上記支持材へのボンディングにおいて、ウエッジツールを用いることにより形成される工程からなると、ワイヤボンディングの第一端部が略矩形に形成されることから、実装基板などへ実装する際に、封止樹脂層から露出するワイヤの第一端部の形状を略矩形に形成することができるため、従来の QFN パッケージと見なすことができる。よって、従来と同じ設備で実装基板に半導体装置を実装できるため、さらに不要なコストがかからない半導体装置の製造方法がえられる。

【 実施例 】

【 0 0 2 8 】

(実施例 1) 図 1 は本発明の半導体装置の構造の一例の断面図であり、図 1 の半導体装置の製造方法を図 2、図 3、図 4 で説明する。

【 0 0 2 9 】

図 2 (a) は本発明による複数の半導体装置 7 を製造する過程を説明するために示した支持材 8 の断面図である。まず、支持材 8 を用意し、チップ 5 を実装する面を上向きにして設置する。ここで、支持材 8 はワイヤボンディングが可能な材料であればよく、セラミックやアルミや銅などの板や、シートや粘着テープなどの粘着材やシートが挙げられる。

【 0 0 3 0 】

次に図 2 (b) のように支持材裏面 2 2 とは反対側の支持材表面 2 1 にチップ 5 を実装させる。例えば支持材 8 が金属板である場合、銀ペーストを含むダイボン材 2 などを介してチップ 5 を支持材表面 2 1 に実装させる。または粘着シートや粘着テープなどの場合、ダ

10

20

30

40

50

イボン材は介さずチップ 5 を支持材表面 2 1 の所望の位置に実装させる。図 2 (c) は、図 2 (b) のチップのうち、一つに着目した断面図である。

【 0 0 3 1 】

次にキャピラリ 1 4 でワイヤボンディングする図を、図 3 (a) ~ 図 3 (e) に工程順に示す。チップ 5 のワイヤの第二端部 9 などの所定の場所から支持材 8 の所望の位置のワイヤの第一端部 1 0 までワイヤ 4 を形成するために、キャピラリ 1 4 でワイヤボンディングをする。ここで、ワイヤの第一端部 1 0 は最終的にはこの半導体装置 7 の表面から露出し、半導体装置 7 の外部電極になることから、ワイヤの第一端部 1 0 のサイズを大きくするために、チップ 5 のワイヤの第一端部 1 0 などの所定の場所に、ワイヤボール 2 3 を形成したあとに、ワイヤの第一端部を形成することで、ワイヤの第一端部 1 0 を大きくできる。さらに、他端側の第一端部までワイヤ 4 を形成し、ワイヤの第一端部 1 0 を形成する。さらにワイヤの第一端部 1 0 を大きくするには上記の工程を同一地点で繰り返してボンディングすることによって形成できる。または、ワイヤ 4 を形成する前にワイヤの第一端部 1 0 を形成し、その後ワイヤ 4 を形成することも可能である。また、チップ 5 から支持材 8 にワイヤ 4 を形成する例をあげたが、これとは逆に、支持材表面 2 1 からチップ 5 に向かってワイヤ 4 を形成してもよい。

10

【 0 0 3 2 】

上記工程により、図 4 (a) のような断面図になり、さらに図 4 (b) のように、ワイヤ 4 を形成した半導体装置 7 を、エポキシなどの封止樹脂層 6 で封止し、個片化させる。詳しくは、図 4 (c) に示すように、支持材 8 に実装させたチップ 5 とワイヤ 4 とワイヤの第一端部 9 とワイヤの第一端部 1 0 とを覆うように封止樹脂層 6 で一括封止し、レーザやダイシングブレード 1 1 で個片化することにより、図 4 (b) のような構造となる。なお、個片化は支持材 8 を除去する前後のどちらでも良いが、今回は支持材 8 を除去した後に個片化する工程を記す。

20

【 0 0 3 3 】

次に図 4 (c) のように支持材 8 を除去する。詳しくは、例えば支持材 8 が金属板である場合、裏面からウェットエッチングやCMP (化学機械研磨) や研削などにより、支持材 8 を除去する。また、ワイヤの第一端部 1 0 も同様に研削してもよい。次に図 4 (d) で示すように、個片化させたいラインに沿ったダイシングラインに沿って切断することにより、半導体装置 7 が得られる。半導体装置 7 を裏面から見ると、図 5 のようにワイヤの第一端部 1 0 は円状の外部端子になる。ワイヤの第一端部 1 0 の直径は例えば $10 \mu\text{m} \sim 200 \mu\text{m}$ 程度である。

30

【 0 0 3 4 】

最後に図 6 に示すように、半導体装置 7 を裏面から見ると、ワイヤの第一端部 1 0 の表面が半導体装置 7 から露出しており、このワイヤの第一端部 1 0 に半田ボール 1 2 を形成すると、公知のパッケージと同じ端子形状となり、従来の工程や手法、設備などを利用できるため、余分なコストも必要ない。

【 0 0 3 5 】

(実施例 2)

実施例 1 と同様に、まず支持材 8 を用意し、チップ 5 を実装する面を上向きにして設置する。ここで、支持材 8 はワイヤボンディングが可能な材料であればよく、セラミックやアルミや銅などの板状部材や、シートや粘着テープなどのシート状部材が挙げられる。

40

【 0 0 3 6 】

そして、支持材 8 の上にチップ 5 を実装させる。例えば支持材 8 が金属板である場合、ダイボン材を介してチップ 5 を支持材 8 に実装させる。または粘着シートや粘着テープなどの場合、ダイボン材は介さずチップ 5 を支持材 8 の所望の位置に実装させる。

【 0 0 3 7 】

次に、チップ 5 のワイヤの第二端部 9 などの所定の場所から支持材 8 の所望の位置のワイヤの第一端部 1 0 までワイヤ 4 を形成する。ここで、ワイヤの第一端部 1 0 は最終的にはこの半導体装置 7 の表面から露出し、半導体装置 7 の外部電極になることから、図 7 のよ

50

うに、公知のウエッジツールを用いることによってワイヤの第二端部 10 を形成すると、ワイヤの第一端部 10 は略矩形に形成することができる。ウエッジツールを用いることによるワイヤの第一端部 10 の短辺は例えば $50\ \mu\text{m} \sim 500\ \mu\text{m}$ で、長辺は例えば $50\ \mu\text{m} \sim 2\text{mm}$ 程度である。ここで、ワイヤの第一端部 10 は半導体装置 7 の表面から露出していればよいので、図 8 に示すように半導体装置 7 の側面から露出していてもよい。この時、半導体装置 7 を実装基板に実装する時、半田が実装面のワイヤの第一端部 10 だけでなく露出面 13 にも付着することができる。

【0038】

そして、ワイヤボンディングを形成した半導体装置 7 を、エポキシなどの封止樹脂層 6 で封止する。詳しくは、支持材 8 に実装させたチップ 5 とワイヤ 4 とワイヤの第二端部 9 とワイヤの第一端部 10 とを覆うように封止樹脂層 6 で封止する。

10

【0039】

次に、支持材 8 を除去する。詳しくは、例えば支持材 8 が金属板である場合、裏面からウエットエッチングやCMPや研削などにより、支持材 8 を除去する。また、ワイヤの第一端部 10 も同様に研削してもよい。そして、ダイシングラインに沿って切断することにより、半導体装置 7 が得られる。

【0040】

以上、ボンディング部をウエッジツールを用いることにより形成すると、実装基板などへ実装する際に、封止樹脂層から露出するワイヤの第一端部の形状を略矩形に形成することができるため、従来のQFNパッケージと見なすことができることから、従来と同じ設備で実装基板に半導体装置を実装できるため、不要なコストがかからない。

20

【図面の簡単な説明】

【0041】

【図 1】本発明の一実施例を示す断面図。

【図 2 a】本発明の一製造方法を示す断面図。

【図 2 b】本発明の一製造方法を示す断面図。

【図 2 c】本発明の一製造方法を示す断面図。

【図 3 a】本発明の一製造方法を示す断面図。

【図 3 b】本発明の一製造方法を示す断面図。

【図 3 c】本発明の一製造方法を示す断面図。

30

【図 3 d】本発明の一製造方法を示す断面図。

【図 3 e】本発明の一製造方法を示す断面図。

【図 4 a】本発明の一製造方法を示す断面図。

【図 4 b】本発明の一製造方法を示す断面図。

【図 4 c】本発明の一製造方法を示す断面図。

【図 4 d】本発明の一製造方法を示す断面図。

【図 5】本発明の実施例 1 を示す裏面図。

【図 6】本発明の実施例 1 を示す断面図。

【図 7】本発明の実施例 2 を示す裏面図。

【図 8】本発明の実施例 2 を示す裏面図。

40

【図 9】本発明の実施例 2 を示す裏面図。

【図 10】本発明の実施例 2 を示す裏面図。

【図 11】本発明の実施例 2 を示す斜視図。

【図 12】従来例を示す断面図。

【図 13】従来例の一製造方法を示す断面図。

【符号の説明】

【0042】

1 フレーム

2 ダイボン材

3 アイランド

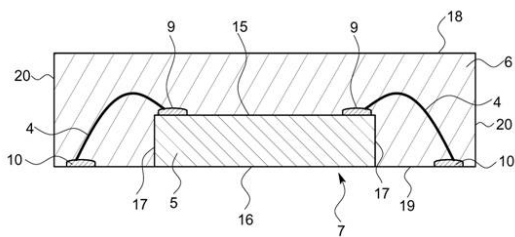
50

- 4 ワイヤ
- 5 チップ
- 6 封止樹脂
- 7 半導体装置
- 8 支持材
- 9 ワイヤの第二端部
- 10 ワイヤの第一端部（端子部）
- 11 ダイシングブレード
- 12 半田ボール
- 13 露出面
- 14 キャピラリ
- 15 チップ表面
- 16 チップ裏面
- 17 チップ側面
- 18 半導体装置表面
- 19 半導体装置裏面
- 20 半導体装置側面
- 21 支持材表面
- 22 支持材裏面
- 23 ワイヤボール

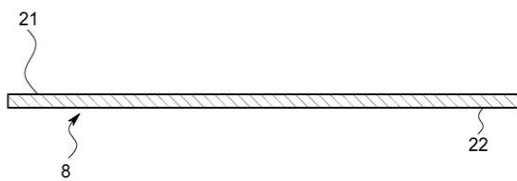
10

20

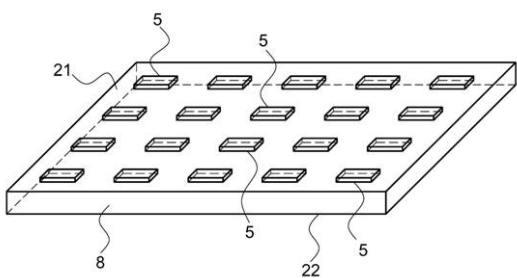
【図 1】



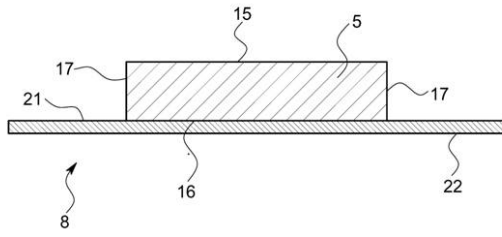
【図 2 a】



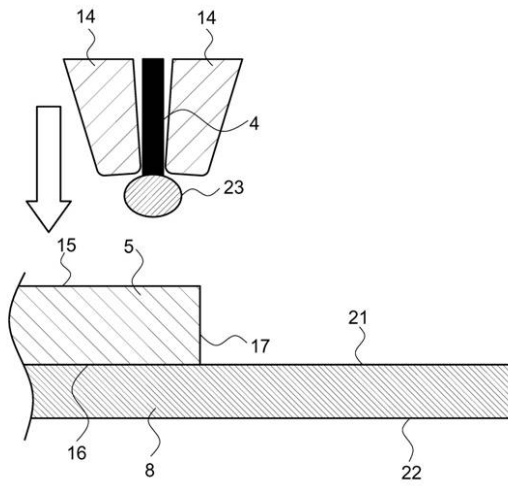
【図 2 b】



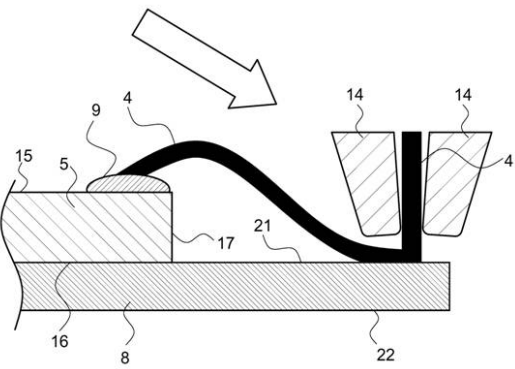
【図 2 c】



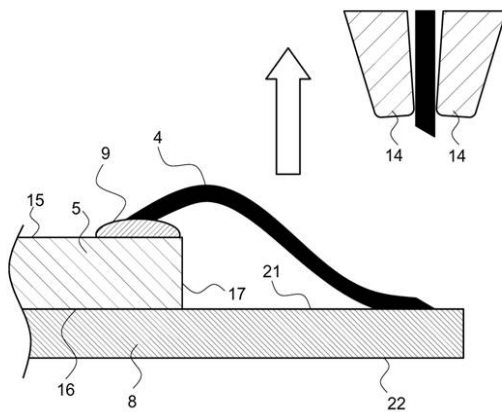
【図 3 a】



【図 3 b】

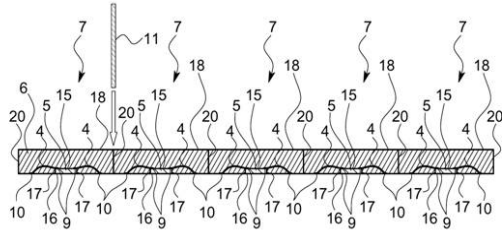


【図 3 c】

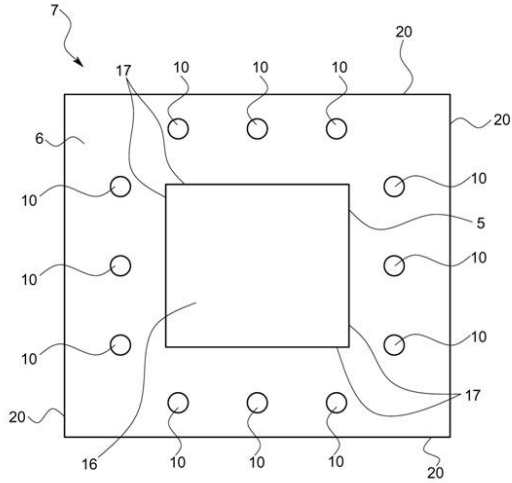


A cross-sectional view of a semiconductor device. A central rectangular block (5) is mounted on a substrate (16). The block (5) has a top surface (15) and side surfaces (17). On the top surface (15), there are two small rectangular features (9). On the side surfaces (17), there are two sets of contacts (10) and (21). Curved lines (4) represent electrical connections or wires extending from the contacts (10) and (21) to the top surface (15) of the block (5). The substrate (16) has a bottom surface (8) and side surfaces (22).

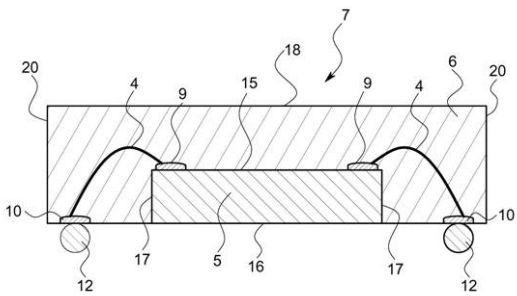
【 図 4 d 】



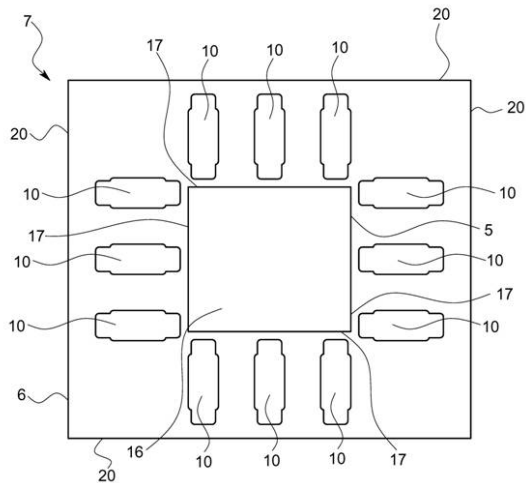
【 図 5 】



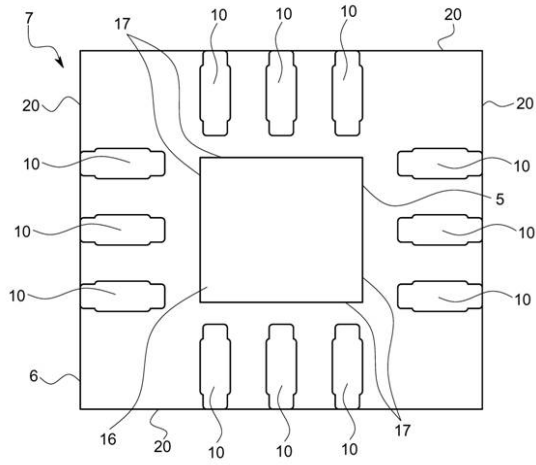
【 図 6 】



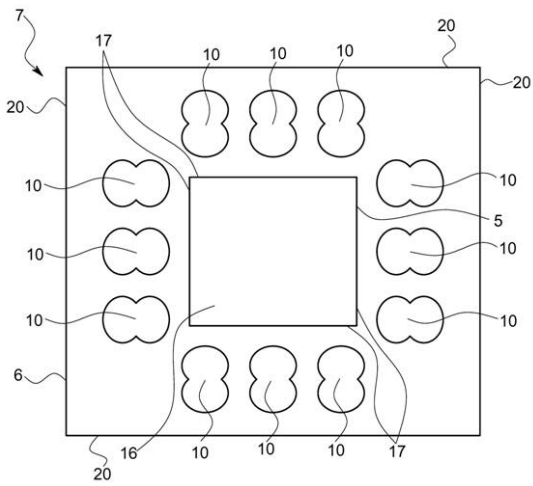
【 図 7 】



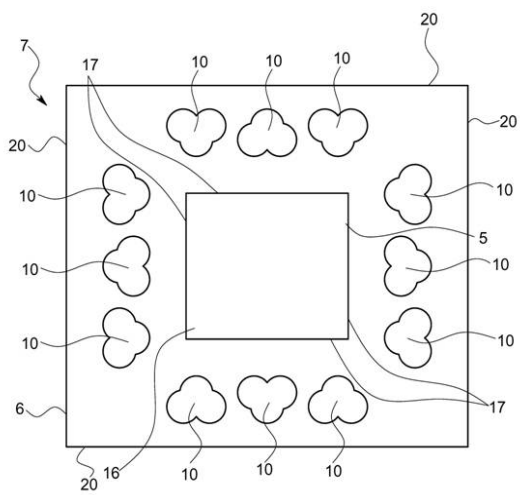
【 図 8 】



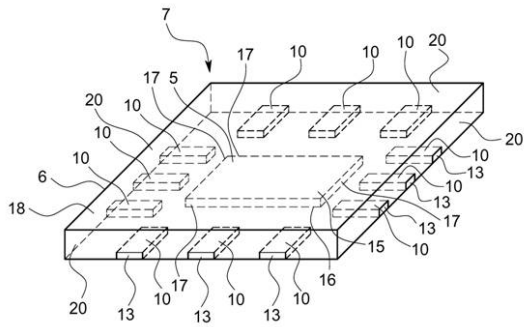
【 図 9 】



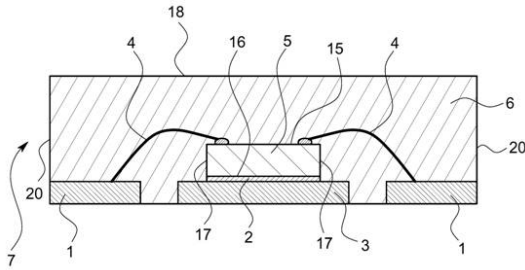
【 図 10 】



【図 1 1】



【図 1 2】



【図 1 3】

