(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2010 年 2 月 4 日(04.02.2010)

PCT

(10) 国際公開番号
WO 2010/013470 A1

(51) 国際特許分類:
H01L 23/12 (2006.01) *H01L 23/31* (2006.01)
H01L 23/29 (2006.01)

(21) 国際出願番号: PCT/JP2009/003598

(22) 国際出願日: 2009 年 7 月 29 日(29.07.2009)

(25) 国際出願の言語: 日本語

(26) 国際公開の言語: 日本語

(30) 優先権データ:
特願 2008-199072 2008 年 7 月 31 日(31.07.2008) JP
特願 2008-255795 2008 年 9 月 30 日(30.09.2008) JP

(71) 出願人 (米国を除く全ての指定国について): 三洋電機株式会社 (SANYO ELECTRIC CO., LTD.) [JP/JP]; 〒5708677 大阪府守口市京阪本通２丁目５番５号 Osaka (JP).

(72) 発明者; および

(75) 発明者/出願人 (米国についてのみ): 小林初 (KOBAYASHI, Hajime) [JP/JP]; 〒5700083 大阪府守口市京阪本通２丁目５番５号三洋電機株式会社知的財産本部内 Osaka (JP). 中里真弓 (NAKASATO, Mayumi) [JP/JP]; 〒5700083 大阪府守口市京阪本通２丁目５番５号三洋電機株式会社知的財産本部内 Osaka (JP). 臼井良輔 (USUI, Ryosuke) [JP/JP]; 〒5700083 大阪府守口市京阪本通２丁目５番５号三洋電機株式会社知的財産本部内 Osaka (JP). 柳瀬康行 (YANASE, Yasuyuki) [JP/JP]; 〒5700083 大阪府守口市京阪本通２丁目５番５号三洋電機株式会社知的財産本部内 Osaka (JP). 齋藤浩一 (SAITO, Koichi) [JP/JP]; 〒5700083 大阪府守口市京阪本通２丁目５番５号三洋電機株式会社知的財産本部内 Osaka (JP).

(74) 代理人: 森下賢樹 (MORISHITA, Sakaki); 〒1500021 東京都渋谷区恵比寿西２－１１－１２ Tokyo (JP).

(81) 指定国 (表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IS, KE, KG, KM, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LT, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PE, PG, PH, PL, PT, RO, RS, RU, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW.

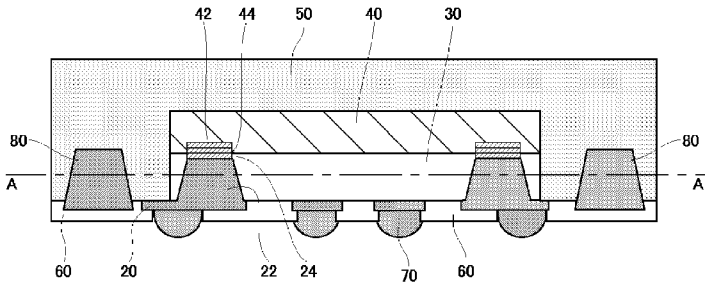
(84) 指定国 (表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LS, MW, MZ, NA, SD, SL, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), ヨーロッパ (AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB,

[続葉有]

(54) **Title**: SEMICONDUCTOR MODULE AND PORTABLE APPARATUS PROVIDED WITH SEMICONDUCTOR MODULE

(54) 発明の名称: 半導体モジュールおよび半導体モジュールを備える携帯機器

[図1]



10

(57) **Abstract**: A semiconductor element (40) mounted on an insulating resin layer (30) formed on a wiring layer (20) is sealed by a sealing resin (50). On the wiring layer (20), a protruding electrode (22) protruding to the side of the semiconductor element (40) and a protruding section (80) are integrally formed with the wiring layer, respectively. The protruding electrode (22) is electrically connected to an element electrode (42) of the semiconductor element (40) by penetrating the insulating resin layer (30). The protruding section (80) is arranged to surround the semiconductor element (40) along the four sides of the semiconductor element (40), and is embedded in the sealing resin (50) up to a position above a section where the protruding electrode (22) and the element electrode (42) are bonded.

(57) 要約: 配線層２０の上に形成された絶縁樹脂層３０に搭載された半導体素子４０が封止樹脂５０により封止されている。配線層２０には、半導体素子４０の側に突出する突起電極２２と突起部８０とがそれぞれ一体的に形成されている。そして、突起電極２２は、絶縁樹脂層３０を貫通して半導体素子４０の素子電極４２と電気的に接続されている。突起部８０は、半導体素子４０の四辺に沿って半導体素子４０を取り囲むように配置され、突起電極２２と素子電極４２との接合部分よりも上方の位置にまで封止樹脂５０内に埋め込まれている。

WO 2010/013470 A1

GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG).

添付公開書類:

— 国際調査報告（条約第 21 条(3)）

明　細　書

発明の名称 ：

半導体モジュールおよび半導体モジュールを備える携帯機器

技術分野

[0001] 本発明は、封止樹脂でパッケージされた半導体モジュールおよび半導体モジュールを備える携帯機器に関する。

背景技術

[0002] 携帯電話、ＰＤＡ、ＤＶＣ、ＤＳＣといったポータブルエレクトロニクス機器の高機能化が加速するなか、こうした製品が市場で受け入れられるためには小型・軽量化が必須となっており、その実現のために高集積のシステムＬＳＩが求められている。一方、これらのエレクトロニクス機器に対しては、より使いやすく便利なものが求められており、機器に使用されるＬＳＩに対し、高機能化、高性能化が要求されている。このため、ＬＳＩチップの高集積化にともないそのＩ／Ｏ数（入出力部の数）が増大する一方でパッケージ自体の小型化要求も強く、これらを両立させるために、半導体部品の高密度な基板実装に適合した半導体パッケージの開発が強く求められている。こうした要求に対応するため、ＣＳＰ（Ｃｈｉｐ　Ｓｉｚｅ　Ｐａｃｋａｇｅ）と呼ばれるパッケージ技術が種々開発されている。

[0003] 特許文献１には、インターポーザ基板の上に半導体チップが実装され、この半導体チップが封止樹脂により封止された半導体モジュールが開示されている。

先行技術文献

特許文献

[0004] 特許文献1：特開２００８－６０５８７号公報

発明の概要

発明が解決しようとする課題

[0005] 封止樹脂でパッケージされた、従来型の半導体モジュールでは、封止樹脂

と基材との間から水分が浸入した場合に、水分が半導体素子の搭載領域にまで容易に達し、半導体素子の接続強度の低下を招き、ひいては半導体モジュールの動作信頼性が低下するおそれがあった。

[0006] 本発明はこうした課題に鑑みてなされたものであり、その目的は、封止樹脂でパッケージされた半導体モジュールにおいて外部からの水分浸入を抑制することのできる技術の提供にある。

課題を解決するための手段

[0007] 本発明のある態様は、半導体モジュールである。当該半導体モジュールは、所定パターンの配線層と、配線層と対向する素子電極を有し、配線層上に絶縁樹脂層を介して搭載された半導体素子と、配線層から半導体素子の側に突出し、絶縁樹脂層を貫通して素子電極と接続された突起電極と、半導体素子を封止する封止樹脂と、半導体素子の少なくとも１辺に沿って配置され、配線層から半導体素子の側に突出し、封止樹脂に埋め込まれた突起部と、を備えることを特徴とする。

[0008] この態様によれば、外部から水分が浸入する場合に、配線層の側から封止樹脂に埋め込まれた状態で設けられた突起部が水分浸入の障壁となるため、水分が半導体素子の側へさらに浸入することが抑制される。これにより、半導体モジュールの動作信頼性の向上を図ることができる。

[0009] 本発明のさらに他の態様は、半導体モジュールである。当該半導体モジュールは、基材と基材の一方の主表面に設けられた配線層と、配線層と対向する素子電極を有し、基材の上に絶縁樹脂層を介して搭載された半導体素子と、配線層の上に設けられ、素子電極と電気的に接続された基板電極と、半導体素子を封止する封止樹脂と、半導体素子の少なくとも１辺に沿って配置され、配線層から半導体素子の側に突出して封止樹脂に埋め込まれた突起部と、を備えることを特徴とする。

[0010] この態様によれば、外部から水分が浸入する場合に、基材の側から封止樹脂に埋め込まれた状態で設けられた突起部が水分浸入の障壁となるため、水分が半導体素子の側へさらに浸入することが抑制される。これにより、半導

体モジュールの動作信頼性の向上を図ることができる。

[0011] 上記態様の半導体モジュールにおいて、突起部の先端部が基板電極と素子電極との接合部分よりも上方に位置していてもよい。また、突起部が半導体素子の各辺に沿って設けられていてもよい。また、基板電極が、前記半導体素子の側に突出し、前記絶縁樹脂層を貫通して前記素子電極と接続された突起電極であってもよい。この場合、突起部と突起電極とが同じ材料で形成されていてもよい。また、突起電極と配線層とが一体的に形成されていてもよい。

[0012] 上記態様の半導体モジュールにおいて、封止樹脂を被覆する金属箔をさらに備え、金属箔が突起部のうち、接地電位に固定された突起部と電気的に接続されていてもよい。

[0013] 上記態様の半導体モジュールにおいて、基材の上に設けられ、突起部形成領域が露出するような開口部を有する保護層をさらに備え、突起部が、保護層の開口部内に埋め込まれた埋込部と、保護層の開口部周囲の上面よりも上方に突出した突出部とを有してもよい。

[0014] 本発明のさらに他の態様は、携帯機器である。当該携帯機器は、上述した半導体モジュールを備える。

[0015] この態様によれば、水分浸入が抑制された半導体モジュールを備えることにより、半導体モジュールの動作信頼性が向上した結果、携帯機器の動作信頼性を向上させることができる。

発明の効果

[0016] 本発明によれば、基材に実装された半導体素子が封止樹脂により封止された構造を有する半導体モジュールにおいて、封止樹脂と基材の間から水分が浸入することを抑制することができる。

図面の簡単な説明

[0017] [図1]実施の形態１に係る半導体モジュールの構成を示す概略断面図である。

[図2]実施の形態１に係る半導体モジュールを構成する突起部の平面配置を示す、図１のＡ－Ａ線を切断面とする平面図である。

[図3]図３（Ａ）乃至（Ｄ）は、実施の形態１に係る半導体モジュールの製造方法を示す工程断面図である。

[図4]図４（Ａ）乃至（Ｄ）は、実施の形態１に係る半導体モジュールの製造方法を示す工程断面図である。

[図5]図５（Ａ）乃至（Ｃ）は、実施の形態１に係る半導体モジュールの製造方法を示す工程断面図である。

[図6]半導体モジュールを構成する突起部の設置例を示す平面図である。

[図7]実施の形態２に係る半導体モジュールの構成を示す概略断面図である。

[図8]実施の形態２に係る半導体モジュールの製造方法を示す工程断面図である。

[図9]実施の形態３に係る半導体モジュールの構成を示す概略図である。

[図10]実施の形態３に係る半導体モジュールの製造方法を示す工程断面図である。

[図11]実施の形態４に係る半導体モジュールの構成を示す概略断面図である。

[図12]実施の形態４に係る半導体モジュールを構成する突起部の平面配置を示す、図１１のＡ－Ａ線を切断面とする平面図である。

[図13]図１３（Ａ）乃至（Ｄ）は、実施の形態４に係る半導体モジュールの製造方法を示す工程断面図である。

[図14]図１４（Ａ）乃至（Ｃ）は、実施の形態４に係る半導体モジュールの製造方法を示す工程断面図である。

[図15]図１５（Ａ）乃至（Ｃ）は、実施の形態４に係る半導体モジュールの製造方法を示す工程断面図である。

[図16]図１６（Ａ）および（Ｂ）は、実施の形態４に係る半導体モジュールの製造方法を示す工程断面図である。

[図17]図１７（Ａ）および（Ｂ）は、実施の形態４に係る半導体モジュールの製造方法を示す工程断面図である。

[図18]半導体モジュールを構成する突起部の設置例を示す平面図である。

[図19]実施の形態５に係る半導体モジュールの構成を示す概略断面図である。

[図20]実施の形態５に係る半導体モジュールを構成する突起部の平面配置を示す、図１９のＢ－Ｂ線を切断面とする平面図である。

[図21]実施の形態６に係る半導体モジュールの構成を示す概略断面図である。

[図22]実施の形態７に係る半導体モジュールの構成を示す概略断面図である。

[図23]実施の形態８に係る半導体モジュールの構成を示す概略断面図である。

[図24]実施の形態８に係る半導体モジュールを構成する突起部の平面配置を示す、図２３のＣ－Ｃ線を切断面とする平面図である。

[図25]図２５（Ａ）乃至（Ｃ）は、実施の形態５に係る半導体モジュールの製造方法を示す工程断面図である。

[図26]図２６（Ａ）乃至（Ｃ）は、実施の形態５に係る半導体モジュールの製造方法を示す工程断面図である。

[図27]図２７（Ａ）乃至（Ｃ）は、実施の形態５に係る半導体モジュールの製造方法を示す工程断面図である。

[図28]実施の形態に係る半導体モジュールを備えた携帯電話の構成を示す図である。

[図29]図２８に示した携帯電話の部分断面図である。

発明を実施するための形態

[0018] 以下、本発明の実施の形態を図面を参照して説明する。なお、すべての図面において、同様な構成要素には同様の符号を付し、適宜説明を省略する。

[0019] （実施の形態１）

図１は、実施の形態１に係る半導体モジュール１０の構成を示す断面図である。図２は、図１のＡ－Ａ線を切断面とする平面図である。

[0020] 半導体モジュール１０は、コア基板を有しないパッケージ構造を持つ。具

体的には、配線層２０の上に形成された絶縁樹脂層３０に搭載された半導体素子４０が封止樹脂５０により封止されている。

[0021] 配線層２０には、半導体素子４０の側に突出する突起電極２２が一体的に形成されている。配線層２０と突起電極２２とを一体的に形成することにより、配線層２０と突起電極２２との接続信頼性を向上させることができる。配線層２０および突起電極２２は、導電材料、好ましくは圧延金属、さらには圧延銅により形成されている。あるいは配線層２０および突起電極２２は電解銅などで形成されていてもよい。

[0022] 配線層２０の絶縁樹脂層３０と反対側の主表面には、配線層２０の酸化などを防ぐための保護層６０が設けられている。保護層６０としては、ソルダーレジスト層などが挙げられる。保護層６０の所定の領域には開口が形成されており、この開口部において配線層２０の一部が露出している。また、保護層６０は、配線層２０の下面だけでなく、絶縁樹脂層３０、封止樹脂５０および後述する突起部８０の下面をも被覆している。なお、本実施の形態の配線層２０および保護層６０は、封止樹脂５０との界面を有する「基材」の一例である。

[0023] 保護層６０に設けられた開口部内に外部接続電極としてのはんだボール７０が搭載され、はんだボール７０と配線層２０とが電気的に接続されている。はんだボール７０を形成する位置、すなわち開口の形成領域は、たとえば、配線層２０（再配線）で引き回した先の端部である。はんだボール７０の径は、たとえば、１００～３００μｍである。

[0024] 突起電極２２はその全体的な形状が、先端に近づくにつれて径が細くなっている。突起電極２２の先端部分には、Ｎｉ／Ａｕ層２４が設けられている。突起電極２２の底部および先端部の径は、たとえば、それぞれ３０～５０μｍ、２０～３０μｍである。

[0025] 絶縁樹脂層３０は、接着性があることが好ましいが、絶縁性樹脂であれば特に限定されない。絶縁樹脂層３０は、たとえば加圧したときに塑性流動を引き起こす材料で形成されている。加圧したときに塑性流動を引き起こす材

料としては、エポキシ系熱硬化型樹脂が挙げられる。絶縁樹脂層１２に用いられるエポキシ系熱硬化型樹脂は、たとえば、温度１６０℃、圧力８Ｍｐａの条件下で、粘度が１ｋＰａ・ｓの特性を有する材料であればよい。また、このエポキシ系熱硬化型樹脂は、たとえば温度１６０℃の条件下で、５～１５Ｍｐａで加圧した場合に、加圧しない場合と比較して、樹脂の粘度が約１／８に低下する。これに対して、熱硬化前のＢステージのエポキシ樹脂は、ガラス転移温度Ｔｇ以下の条件下では、樹脂を加圧しない場合と同程度に、粘性がなく、加圧しても粘性は生じない。また、このエポキシ系熱硬化型樹脂は、約３～４の比誘電率を有する誘電体である。

[0026] この他、絶縁樹脂層３０を構成する材料としては、たとえば、ＢＴレジン等のメラミン誘導体、液晶ポリマー、エポキシ樹脂、ＰＰＥ樹脂、ポリイミド樹脂、フッ素樹脂、フェノール樹脂、ポリアミドビスマレイミド等の熱硬化性樹脂が例示される。

[0027] 半導体素子４０は、突起電極２２のそれぞれに対向する素子電極４２を有する。絶縁樹脂層３０に接する側の半導体素子４０の主表面には、素子電極４２が露出するように開口が設けられたポリイミドなどの素子保護層が積層されていてもよい。素子電極４２の表面には、Ｎｉ／Ａｕ層４４が被覆されている。半導体素子４０の具体例としては、集積回路（ＩＣ）、大規模集積回路（ＬＳＩ）などの半導体チップが挙げられる。また、素子電極４２には、たとえばアルミニウム（Ａｌ）が用いられる。

[0028] 絶縁樹脂層３０が、配線層２０と半導体素子４０との間に設けられ、配線層２０が絶縁樹脂層３０の一方の主表面に圧着し、半導体素子４０が絶縁樹脂層３０の他方の主表面に圧着している。そして、突起電極２２が、絶縁樹脂層３０を貫通して、半導体素子４０に設けられた素子電極４２と電気的に接続されている。詳しくは、本実施の形態では、突起電極２２および素子電極４２の表面にそれぞれＮｉ／Ａｕ層２４、４４が被覆されており、突起電極２２と素子電極４２とは、たとえば、互いの最表面に配置された金同士が接合（金－金接合）することにより接続が図られている。これにより、突起

電極２２と素子電極４２との接続信頼性がさらに向上する。

[0029] 実施の形態１に係る半導体モジュール１０では、突起部８０が半導体素子４０の四辺に沿って半導体素子４０を取り囲むように形成されている（図２参照）。突起部８０の材料は特に限定されないが、突起部８０は、配線層２０および突起電極２２と同じ材料で形成されていることが望ましい。突起部８０の材料を配線層２０および突起電極２２の材料と共通化することにより、配線層２０および突起電極２２を作製する工程において、同時に突起部８０を作製することができるので、製造プロセスの簡便化が図られる。具体的には、図１に示すように、突起部８０は、配線層２０と一体的に形成され、突起電極２２と同様に配線層２０から半導体素子４０の側へ突出している。突起部８０の断面形状は、図１に示すように、先端に近づくにつれて幅が細くなっている。突起部８０の底部および先端部の幅は、たとえば、それぞれ３０～５０μｍ、２０～３０μｍであり、より好ましくはそれぞれ５０μｍ、３０μｍである。突起部８０の高さは、突起電極２２の高さにＮｉ／Ａｕ層２４の厚さを加味した高さよりも高いことが好適である。言い換えると、突起部８０の先端部の位置は、突起電極２２と素子電極４２との接合部である金－金接合部よりも上方に位置している。

[0030] このような配置および形状を有する突起部８０が保護層６０と封止樹脂５０との間に介在し、この突起部８０が保護層６０側から封止樹脂５０に先端を向けて埋め込まれている。

[0031] 以上説明した半導体モジュール１０によれば、半導体素子４０の周囲において保護層６０側から封止樹脂５０に先端を向けて埋め込まれた突起部８０が障壁となるため、半導体モジュール１０の外部から素子搭載領域への水分浸入が抑制される。特に、突起部８０の先端部の位置を、突起電極２２と素子電極４２との接合部分よりも上方に位置させることにより、金－金接合部分への水分のはい上がりをより確実に抑制することができる。すなわち、突起部８０が存在しない場合にはＮｉ／Ａｕ層２４の高さまで水分がはい上がると、金－金接合部分に水分が到達するが、突起部８０が存在することによ

り、突起部８０の高さまで水分がはい上がっても金－金接合部分にまで水分が到達しない。

[0032] また、本実施の形態のように、突起部８０が半導体素子４０の全体を取り囲むことにより、突起部８０が補強材の役割を果たし、封止樹脂５０を形成した後に半導体モジュール１０を反りにくくすることができる。

[0033] 突起部８０は封止樹脂５０に食い込んだ状態になっているため、突起部８０自体が封止樹脂５０と保護層６０との間のアンカー的な役割を果たすことにより、封止樹脂５０と保護層６０との密着性を向上させることができる。

[0034] さらに、ＣＺ処理などを用いて突起部８０の表面を粗化（たとえば、Ｒａで１μｍ～２μｍ）してもよい。これによれば、突起部８０に形成された微小凹凸によるアンカー効果により、突起部８０と封止樹脂５０との密着性を向上させることができる。また、突起部８０の表面を粗化することにより、突起部８０に形成された微小凹凸が水分の浸入の妨げとなるため、水分浸入をさらに抑制することができる。なお、突起部８０の表面のＲａは、触針式表面形状測定器を用いて計測することができる。

[0035] また、突起部８０を銅で形成することにより、封止樹脂５０の中に熱伝導性が良好な突起部８０が埋め込まれることになるため、半導体モジュール１０の放熱性を向上させることができる。

[0036] （半導体モジュールの製造方法）

実施の形態１に係る半導体モジュール１０の製造方法について図３乃至図５を参照して説明する。

[0037] まず、図３（Ａ）に示すように、少なくとも、図１に示した突起電極２２の高さと配線層２０の厚さとの和より大きい厚さを有する金属板としての銅板１００を用意する。

[0038] 次に、図３（Ｂ）に示すように、フォトリソグラフィ法により、突起電極２２および突起部８０のパターンに合わせてレジスト１１０を選択的に形成する。具体的には、ラミネーター装置を用いて銅板１００に所定膜厚のレジスト膜を貼り付け、後述する図３（Ｃ）に示すような突起電極２２および突

起部８０のパターンを有するフォトマスクを用いて露光する。その後、現像することによって、銅板１００の上にレジスト１１０が選択的に形成される。なお、レジスト１１０との密着性向上のために、レジスト膜のラミネート前に、銅板１００の表面に研磨、洗浄等の前処理を必要に応じて施すことが望ましい。

[0039] 次に、図３（Ｃ）に示すように、レジスト１１０をマスクとして、ウェットエッチングを行うことにより、銅板１００に所定のパターンの突起電極２２および突起部８０を形成する。この段階では、突起電極２２の高さと突起部８０の高さは同等である。なお、突起電極２２および突起部８０は、銅板１００上にマトリクス状に多数形成される。

[0040] 次に、図３（Ｄ）に示すように、突起電極２２の頂部面に開口を有する耐金レジスト（図示せず）を用いて電解めっきにより突起電極２２の頂部面にＮｉ／Ａｕ層２４を形成する。一方、突起部８０の頂部面に開口を有するレジスト（図示せず）を用いて突起部８０の頂部面に銅をめっきし、突起部８０の高さを突起電極２２の高さにＮｉ／Ａｕ層２４の厚さを加味した高さよりも高くする。なお、突起部８０の高さとは、突起部８０の基底部から先端部までの距離をいう。また、突起電極２２の高さとは、突起部８０の基底部から先端部までの距離をいう。

[0041] 次に、図４（Ａ）に示すように、突起電極２２の形成領域を包含する素子搭載領域Ｒに突起電極２２の高さよりも厚い絶縁樹脂層３０を積層する。この段階では、突起電極２２の先端（Ｎｉ／Ａｕ層２４）は、絶縁樹脂層３０に埋め込まれている。

[0042] 次に、図４（Ｂ）に示すように、プラズマエッチング処理により、絶縁樹脂層３０を薄膜化し、突起電極２２の先端（Ｎｉ／Ａｕ層２４）を露出させる。

[0043] 次に、図４（Ｃ）に示すように、半導体素子４０を絶縁樹脂層３０の上に搭載する。ここで用意される半導体素子４０は、表層にＮｉ／Ａｕ層４４が形成された素子電極４２を有する。半導体素子４０と突起電極２２とを圧着

することにより、金－金接合が形成され、半導体素子４０の素子電極４２と突起電極２２とが電気的に接続される。なお、金－金接合に代えて、半導体素子４０の素子電極４２と突起電極２２とをはんだ部材により接合してもよい。

[0044] 次に、図４（Ｄ）に示すように、ポッディング法、印刷法などを用いて封止樹脂５０を塗布し、半導体素子４０を封止する。塗布された封止樹脂５０に不要部分がある場合には、スキージなどにより適宜除去する。封止樹脂５０は必要に応じて熱硬化される。この工程で、突起部８０が封止樹脂５０により被覆される。言い換えると、封止樹脂５０に突起部８０が埋め込まれた構造が実現される。

[0045] 次に、図５（Ａ）に示すように、周知のフォトリソグラフィ法およびエッチング法により銅板１００を選択的に除去し、所定パターンの配線層２０（再配線）を形成する。なお、この工程において、突起部８０は配線層２０から分離される。

[0046] 次に、図５（Ｂ）に示すように、配線層２０の形成面全体にフォトソルダーレジストからなる保護層６０を全面に形成した後、配線層２０の所定部分（はんだ実装部分）が開口となるように、周知のフォトリソグラフィ法およびエッチング法により保護層６０を選択的に除去する。続いて、配線層２０の所定部分（はんだ実装部分）にはんだ印刷法等を用いてはんだボール７０が搭載される。ここまでの工程により、半導体モジュールが一体的にマトリクス状に形成されたモジュール集合体４００が形成される。

[0047] 次に、図５（Ｃ）に示すように、ダイシング加工により、モジュール集合体４００から複数の半導体モジュール１０を個片化する。

[0048] 以上の工程により実施の形態１に係る半導体モジュール１０を製造することができる。この製造方法によれば、突起電極２２を形成する工程と突起部８０を形成する工程を同時に行うことができ、突起部８０の形成に要する手間を大幅に低減することができ、半導体モジュール１０の製造工程の簡便化を図ることができる。

[0049] （突起部の設置例）

上述した実施の形態１では、突起部８０が半導体素子４０の全体を取り囲んでいるが、突起部８０は必ずしも半導体素子４０の全体を取り囲んでいなくてもよい。

[0050] たとえば、図６に示すように、半導体素子４０の四辺に沿ってそれぞれ突起部８０ａ～ｄが形成され、半導体素子４０の角部近辺において、直交する突起部８０の間に隙間が設けられていてもよい。

[0051] 半導体素子４０の角部近辺において突起部８０を設けないことにより、ヒートサイクル下において、突起部８０と封止樹脂５０の熱膨張係数の違いにより、半導体モジュール１０の角部に応力が集中することが抑制される。この結果、特に、半導体モジュール１０の角部近傍に設けられたはんだボール７０が剥離することを抑制することができ、ひいては半導体モジュール１０の接続信頼性を向上させることができる。

[0052] なお、突起部８０は、半導体素子４０の少なくとも１辺に沿って設けられていれば、その辺において水分が浸入することを抑制することができる。たとえば、半導体モジュール１０の設置箇所の状況により、一方向からの水分浸入を抑制したい場合には、その方向に直交するように突起部８０を設ければよい。

[0053] （実施の形態２）

図７は、実施の形態２に係る半導体モジュール１０の構成を示す概略断面図である。実施の形態２に係る半導体モジュール１０は、封止樹脂５０の側方において、突起部８０が露出している点が実施の形態１と相違する。実施の形態２における、その他の構成は実施の形態１と同様であり、実施の形態１と同様な構成については適宜説明を省略する。

[0054] 実施の形態２に係る半導体モジュールでは、実施の形態１と同様に突起部８０により外部からの水分浸入が抑制されている。これに加えて、パッケージの側面に突起部８０が露出し、突起部８０の外側の封止樹脂５０を省くことにより、実施の形態１に比べて半導体モジュール１０のさらなる小面積化

が図られている。

[0055] （製造方法）

実施の形態２に係る半導体モジュール１０の製造方法について、図８を参照し、実施の形態１の製造方法との相違点を中心に説明する。

[0056] 実施の形態２では、図８（Ａ）に示すように、銅板１００を用いて、隣接する素子搭載領域Ｒの間に共通の突起部８０を形成する。

[0057] この後、実施の形態１と同様な工程を経て、図８（Ｂ）に示すような、モジュール集合体４００を形成する。

[0058] 次に、図８（Ｃ）に示すように、突起部８０の中心部分をダイシングすることにより、複数の半導体モジュール１０に個片化する。

[0059] 以上の工程により、実施の形態２に係る半導体モジュールが作製される。

[0060] （実施の形態３）

図９は、実施の形態３に係る半導体モジュール１０の構成を示す概略図である。実施の形態３に係る半導体モジュール１０は、主に金属箔１２０で封止樹脂５０が被覆されている点で実施の形態２と相違する。

[0061] 具体的には、封止樹脂５０の上方および側方に金属箔１２０が導電性接着剤１３０を介して固定されている。金属箔１２０は、たとえば、厚さが１５～５０μｍのアルミ箔が好適である。封止樹脂５０の側方において、金属箔１２０は突起部８０ａと電気的に接続している。この突起部８０ａは、半導体素子４０に接続された突起電極２２のうち、グランド端子となる素子電極４２ａに接続された突起電極２２ａと配線層２０ａを介して電気的に接続されている。これにより、金属箔１２０の電位が接地電位となる。

[0062] このように、接地電位に固定された金属箔１２０により半導体素子４０を覆うことで、半導体素子４０が受ける電磁波障害が抑制される。また、従来のキャン封止と比べて金属箔１２０を用いた場合の方が、金属箔１２０と封止樹脂５０（パッケージ）との間の空間（距離）を小さくすることができるため、半導体モジュール１０の低背化を実現することができる。

[0063] また、封止樹脂５０（パッケージ）を金属箔１２０で被覆することにより

、外部からの水分浸入をより確実に抑制することができる。

[0064] （製造方法）

実施の形態３に係る半導体モジュール１０の製造方法について、図１０および実施の形態２の製造方法を参照しつつ説明する。

[0065] まず、実施の形態２と同様な工程を経て、図１０（Ａ）に示すようなモジュール集合体４００を作製する。ただし、実施の形態２と異なり、配線層２０をパターニングする際に、グランド端子となる素子電極に接続された突起電極２２ａと突起部８０ａとを電気的に接続する配線層２０ａが形成される。このような突起電極２２ａと突起部８０ａとの電気的な接続は、素子搭載領域毎に１組ずつ設けられる。

[0066] 次に、図１０（Ｂ）に示すように、突起部８０、８０ａの中心部分をハーフダイシングした後、片面に導電性接着剤１３０が塗布されている金属箔１２０を複数の半導体素子４０を含むパッケージの上面に配置し、導電性接着剤１３０により金属箔１２０の一部を固定する。その状態で、金属箔１２０のうちハーフダイシングした領域の上にある部分を切断する。

[0067] 次に、図１０（Ｃ）に示すように、封止樹脂５０および突起部８０（突起部８０ａ）の切断面に導電性接着剤１３０により金属箔１２０の残りの部分を固定する。これにより、金属箔１２０と突起部８０ａとが電気的に接続され、金属箔１２０の電位を接地電位に固定することが可能となる。さらに、ダイシングによりモジュール集合体４００から半導体モジュール１０を個片化する。なお、ダイシングの幅は１５０μｍ程度であり、半導体モジュール１０の厚さに対して十分な長さであり、図１０（Ｃ）に示すように、封止樹脂５０および突起部８０（突起部８０ａ）の切断面に金属箔１２０の残りの部分を固定することが可能である。

[0068] 以上の工程により、実施の形態３に係る半導体モジュール１０を製造することができる。

[0069] （実施の形態４）

図１１は、実施の形態４に係る半導体モジュール１０の構成を示す断面図

である。図１２は、図１１のＡ－Ａ線を切断面とする平面図である。

[0070] 半導体モジュール１０は、素子搭載用基板１０２と、素子搭載用基板１０２に実装され、封止樹脂５０により封止された半導体素子４０とを備える。

[0071] 素子搭載用基板１０２は、基材１１１と、基材１１１の一方の主表面に設けられた配線層１２１および保護層１３１と、基材１１１の他方の主表面に設けられた配線層１４０と、保護層１５０とを有する。

[0072] 基材１１１を構成する材料としては、たとえば、ＢＴレジン等のメラミン誘導体、液晶ポリマー、エポキシ樹脂、ＰＰＥ樹脂、ポリイミド樹脂、フッ素樹脂、フェノール樹脂、ポリアミドビスマレイミド等の熱硬化性樹脂が例示される。半導体モジュール１０の放熱性向上の観点から、基材１１１は高熱伝導性を有することが望ましい。このため、基材１１１は、銀、ビスマス、銅、アルミニウム、マグネシウム、錫、亜鉛およびこれらの合金などを高熱伝導性フィラーとして含有する、あるいはガラスクロスを含有することが好ましい。

[0073] 配線層１２１は、所定パターンを有し、基材１１１の一方の主表面（本実施の形態では、半導体素子４０搭載面）に設けられている。配線層１２１は、銅などの導電材料により形成される。配線層１２１の所定位置には、突起部１２４および半導体素子４０に設けられた素子電極４２と電気的に接続された突起電極１２２が設けられている。

[0074] 配線層１２１および突起電極１２２は電解銅などで形成されていてもよい。突起電極１２２の頂部面にＮｉ／Ａｕ層などの金めっき層１２８が設けられている。金めっき層１２８により突起電極１２２の酸化が抑制される。金めっき層１２８としてＮｉ／Ａｕ層を形成する場合には、Ｎｉ層の厚さは、たとえば１～１５μｍであり、Ａｕ層の厚さは、たとえば０．０３～１μｍである。

[0075] 保護層１３１は、配線層１２１の周囲に設けられている。本実施の形態では、保護層１３１が配線層１２１を覆うように設けられており、保護層１３１によって配線層１２１の酸化が防止される。また、保護層１３１には突起

電極形成領域が露出するような開口部が形成されている。当該開口部内において、突起電極１２２が配線層１２１の上に設けられている。保護層１３１は、たとえばフォトソルダーレジストにより形成され、保護層１３１の厚さは、たとえば４０μｍである。

[0076] 配線層１４０は、所定パターンを有し、基材１１１の他方の主表面に設けられている。配線層１４０は、銅などの導電材料により形成される。配線層１２１および配線層１４０の厚さは、たとえば２０μｍである。

[0077] 基材１１１の所定位置において、基材１１１を貫通するビア導体１１２が設けられている。ビア導体１１２は、たとえば、銅めっきにより形成される。ビア導体１１２により、配線層１２１と配線層１４０とが電気的に接続されている。

[0078] 保護層１５０は、配線層１４０を覆うように基材１１１の他方の主表面に設けられており、保護層１５０によって配線層１４０の酸化などが防止される。保護層１５０には、配線層１４０のランド領域上に外部接続電極としてのはんだボール７０を搭載するための開口部が設けられている。はんだボール７０は、保護層１５０に設けられた側開口部内において配線層１４０に接続され、半導体モジュール１０は、はんだボール７０によって図示しないプリント配線基板に接続される。はんだボール７０を形成する位置、すなわち開口部の形成領域は、たとえば、配線層１４０で引き回した先の端部である。はんだボール７０の径は、たとえば、１００～３００μｍである。保護層１５０は、たとえばフォトソルダーレジストにより形成される。保護層１５０の厚さは、たとえば４０μｍである。

[0079] 絶縁樹脂層３０は、素子搭載用基板１０２と半導体素子４０との間に設けられており、絶縁樹脂層３０により半導体素子４０が素子搭載用基板１０２に接着されている。

[0080] 絶縁樹脂層３０は、接着性があることが好ましいが、絶縁性樹脂であれば特に限定されない。絶縁樹脂層３０を構成する材料としては、たとえば、ＢＴレジン等のメラミン誘導体、液晶ポリマー、エポキシ樹脂、ＰＰＥ樹脂、

ポリイミド樹脂、フッ素樹脂、フェノール樹脂、ポリアミドビスマレイミド等の熱硬化性樹脂が例示される。

[0081] 半導体素子４０は、突起電極１２２のそれぞれに対向する素子電極４２を有する。絶縁樹脂層３０に接する側の半導体素子４０の主表面には、素子電極４２が露出するように開口が設けられたポリイミドなどの素子保護層が積層されていてもよい。素子電極４２の表面には、Ｎｉ／Ａｕ層などの金めっき４４が被覆されている。半導体素子４０の具体例としては、集積回路（ＩＣ）、大規模集積回路（ＬＳＩ）などの半導体チップが挙げられる。また、素子電極４２には、たとえばアルミニウム（ＡＩ）が用いられる。半導体素子４０は、エポキシ樹脂などからなる封止樹脂５０による封止されている。

[0082] 突起電極１２２は、絶縁樹脂層３０を貫通し、半導体素子４０に設けられた素子電極４２と電気的に接続されている。詳しくは、本実施の形態では、突起電極１２２および素子電極４２の表面にそれぞれ金めっき層１２８、４４が被覆されており、突起電極１２２と素子電極４２とは、たとえば、互いの最表面に配置された金同士が接合（金－金接合）することにより接続が図られている。これにより、突起電極１２２と素子電極４２との接続信頼性がさらに向上する。突起電極１２２の高さは、たとえば、たとえば２０μｍである。

[0083] 実施の形態４に係る半導体モジュール１０では、突起部１２４が半導体素子４０の四辺に沿って半導体素子４０を取り囲むように配線層１２１の上に形成されている（図１２参照）。突起部１２４の材料は特に限定されないが、突起部１２４は、配線層１２１および突起電極１２２と同じ材料で形成されていることが望ましい。突起部１２４の材料を配線層１２１および突起電極１２２の材料と共通化することにより、配線層１２１および突起電極１２２を作製する工程において、同時に突起部１２４を作製することができるので、製造プロセスの簡便化が図られる。具体的には、図１１に示すように、突起部１２４は、配線層１２１と一体的に形成され、突起電極１２２と同様に配線層１２１から半導体素子４０の側へ突出している。突起部１２４の底

部および先端部の幅は、たとえば、それぞれ３０～５０μｍ、２０～３０μｍであり、より好ましくはそれぞれ５０μｍ、３０μｍである。突起部１２４の高さは、突起電極１２２の高さに金めっき層１２８の厚さを加味した高さよりも高いことが好適である。言い換えると、突起部１２４の先端部の位置は、突起電極１２２と素子電極４２との接合部である金－金接合部よりも上方に位置している。突起部１２４の高さは、たとえば３０μｍである。

[0084] このような配置および形状を有する突起部１２４が素子搭載用基板１０２側から封止樹脂５０に先端を向けて埋め込まれている。

[0085] 以上説明した半導体モジュール１０によれば、半導体素子４０の周囲において素子搭載用基板１０２側から封止樹脂５０に先端を向けて埋め込まれた突起部１２４が障壁となるため、半導体モジュール１０の外部から素子搭載領域への水分浸入が抑制される。特に、突起部１２４の先端部の位置を、突起電極１２２と素子電極４２との接合部分よりも上方に位置させることにより、金－金接合部分への水分のはい上がりをより確実に抑制することができる。すなわち、突起部１２４が存在しない場合には金めっき層１２８の高さまで水分がはい上がると、金－金接合部分に水分が到達するが、突起部１２４が存在することにより、突起部１２４の高さまで水分がはい上がっても金－金接合部分にまで水分が到達しない。

[0086] また、本実施の形態のように、突起部１２４が半導体素子４０の全体を取り囲むことにより、突起部１２４が補強材の役割を果たし、封止樹脂５０を形成した後に半導体モジュール１０を反りにくくすることができる。

[0087] 突起部１２４は封止樹脂５０に食い込んだ状態になっているため、突起部１２４自体が封止樹脂５０と素子搭載用基板１０２との間のアンカー的な役割を果たすことにより、封止樹脂５０と素子搭載用基板１０２との密着性を向上させることができる。

[0088] さらに、ＣＺ処理などを用いて突起部１２４の表面を粗化（たとえば、Ｒａで１μｍ～２μｍ）してもよい。これによれば、突起部１２４に形成された微小凹凸によるアンカー効果により、突起部１２４と封止樹脂５０との密

着性を向上させることができる。また、突起部１２４の表面を粗化することにより、突起部１２４に形成された微小凹凸が水分の浸入の妨げとなるため、水分浸入をさらに抑制することができる。なお、突起部１２４の表面のＲａは、触針式表面形状測定器を用いて計測することができる。

[0089] また、突起部１２４を銅で形成することにより、封止樹脂５０の中に熱伝導性が良好な突起部１２４が埋め込まれることになるため、半導体モジュール１０の放熱性を向上させることができる。

[0090] （半導体モジュールの製造方法）

実施の形態１に係る半導体モジュール１０の製造方法について図１３乃至図１７を参照して説明する。

[0091] まず、図１３（Ａ）に示すように、一方の主表面に銅箔２００が、他方の主表面に銅箔２０１が貼り付けられた基材１１１を準備する。

[0092] 次に、図１３（Ｂ）に示すように、ドリル加工、レーザ加工などの掘削加工により、基材１１１および銅箔２００、２０１の所定領域にビアホール２１１を形成する。次に、無電解めっき法および電解めっき法により、ビアホール２１１に銅を充填してビア導体１１２を形成するとともに、基材１１１の主表面に設けられた銅箔２００、２０１（図１３（Ａ）参照）を厚膜化する。この後、基材１１１の一方の主表面に、周知のフォトリソグラフィ法およびエッチング法を用いて、所定パターンの配線層１２１を形成する。また、基材１１１の他方の主表面に、周知のフォトリソグラフィ法およびエッチング法を用いて配線層１４０を形成する。

[0093] 次に、図１３（Ｃ）に示すように、周知のフォトリソグラフィ法およびエッチング法を用いて、基材１１１の一方の主表面に配線層１２１の突起電極形成領域（図１１に示したような突起電極１２２を形成する領域）および突起部形成領域（図１１に示したような突起部１２４を形成する領域）が露出するような開口部を有する保護層１３１を形成する。また、基材１１１の他方の主表面に、配線層１４０のはんだボール形成領域（図１１に示したようなはんだボール７０を搭載する領域）が露出するような開口部を有する保護

層１５０を形成する。

[0094] 次に、図１３（Ｄ）に示すように、図１１に示したような突起電極形成領域および突起部形成領域を開口とするマスク２２０を配線層１２１の上に形成する。また、配線層１４０を保護するために、配線層１４０の全面にマスク２２２を形成する。

[0095] 次に、図１４（Ａ）に示すように、めっき法により突起電極形成領域および突起部形成領域に選択的に銅を充填して、突起電極１２２および突起部１２４を形成する。これにより、突起電極１２２および突起部１２４は、配線層１４０上にマトリクス状に多数形成される。なお、この段階では、突起部１２４の高さは突起電極１２２の高さと同等である。

[0096] 次に、図１４（Ｂ）に示すように、周知のフォトリソグラフィ法およびエッチング法を用いて突起部形成領域を開口とするマスク２２４をマスク２２０の上に積層する。

[0097] 次に、図１４（Ｃ）に示すように、めっき法により突起部形成領域にさらに銅を充填することにより、突起部１２４の高さを突起電極１２２より高くする。このとき、突起部１２４の高さと突起電極１２２の高さの差は、後述する金めっき層１２８の厚みよりも大きくすることが望ましい。なお、突起部１２４の高さとは、突起部１２４の基底部から先端部までの距離をいう。また、突起電極１２２の高さとは、突起電極１２２の基底部から先端部までの距離をいう。

[0098] 次に、図１５（Ａ）に示すように、マスク２２０、２２２、２２４を除去した後、周知のフォトリソグラフィ法およびエッチング法を用いて基材１１１の一方の側に突起電極形成領域を開口とする耐金レジスト２３０を形成する。なお、突起部形成領域は、耐金レジスト２３０で被覆されている。この後、耐金レジスト２３０をマスクとして、めっき法により突起電極形成領域にＮｉ／Ａｕ層からなる金めっき層１２８を形成する。これにより、突起電極１２２の頂部面に金めっき層１２８が形成される。

[0099] 次に、図１５（Ｂ）に示すように、耐金レジスト２３０を除去した後、ラ

ミネート装置を用いて絶縁樹脂層３０を半導体素子搭載領域に積層する。

[0100] 次に、図１５（Ｃ）に示すように、O_2プラズマエッチング法などを用いて、絶縁樹脂層３０を薄膜化し、突起電極１２２の頂部面に形成された金めっき層１２８を露出させる。

[0101] 次に、図１６（Ａ）に示すように、絶縁樹脂層３０の上に半導体素子４０を搭載するとともに、加圧により金めっき層１２８と金めっき層４４とを接合（金－金接合）させ、突起電極１２２と素子電極４２とを電気的に接続する。なお、金－金接合に代えて、半導体素子４０の素子電極４２と突起電極１２２とをはんだ部材により接合してもよい。

[0102] 次に、図１６（Ｂ）に示すように、ポッディング法、印刷法およびトランスファーモールド法などを用いて封止樹脂５０を塗布し、半導体素子４０を封止する。塗布された封止樹脂５０に不要部分がある場合には、スキージなどにより適宜除去する。封止樹脂５０は必要に応じて熱硬化される。この工程で、突起部１２４が封止樹脂５０により被覆される。言い換えると、封止樹脂５０に突起部１２４が埋め込まれた構造が実現される。

[0103] 次に、図１７（Ａ）に示すように、保護層１５０の開口部にスクリーン印刷法によりはんだボール７０を搭載する。具体的には、樹脂とはんだ材をペースト状にしたはんだペーストをスクリーンマスクにより所望の箇所に印刷し、はんだ溶融温度に加熱することではんだボール７０を形成する。ここまでの工程により、半導体モジュールが一体的にマトリクス状に形成されたモジュール集合体が形成される。

[0104] 次に、図１７（Ｂ）に示すように、複数の半導体モジュール形成領域２４０を区画するスクライブライン２５０に沿ってダイシングすることにより半導体モジュール１０に個別化する。この後、個別化された半導体モジュール１０に対して薬液による洗浄処理を行うことで、ダイシング時に発生する残渣などを除去する。

[0105] 以上の工程によれば、実施の形態４に係る半導体モジュール１０を製造することができる。この製造方法によれば、突起電極１２２を形成する工程と

突起部１２４を形成する工程を同時に行うことができ、突起部１２４の形成に要する手間を大幅に低減することができ、半導体モジュール１０の製造工程の簡便化を図ることができる。

[0106] （突起部の設置例）

上述した実施の形態４では、突起部１２４が半導体素子４０の全体を取り囲んでいるが、突起部１２４は必ずしも半導体素子４０の全体を取り囲んでいなくてもよい。

[0107] たとえば、図１８に示すように、半導体素子４０の四辺に沿ってそれぞれ突起部１２４ａ～ｄが形成され、半導体素子４０の角部近辺において、直交する突起部１２４の間に隙間が設けられていてもよい。

[0108] 半導体素子４０の角部近辺において突起部１２４を設けないことにより、ヒートサイクル下において、突起部１２４と封止樹脂５０の熱膨張係数の違いにより、半導体モジュール１０の角部に応力が集中することが抑制される。この結果、特に、半導体モジュール１０の角部近傍に設けられたはんだボール７０が剥離することを抑制することができ、ひいては半導体モジュール１０の接続信頼性を向上させることができる。

[0109] なお、突起部１２４は、半導体素子４０の少なくとも１辺に沿って設けられていれば、その辺において水分が浸入することを抑制することができる。たとえば、半導体モジュール１０の設置箇所の状況により、一方向からの水分浸入を抑制したい場合には、その方向に直交するように突起部１２４を設ければよい。

[0110] （実施の形態５）

図１９は、実施の形態５に係る半導体モジュール１０の構成を示す概略断面図である。図２０は、図１９のＢ－Ｂ線を切断面とする平面図である。実施の形態５に係る半導体モジュール１０は、絶縁樹脂層３０が半導体素子搭載領域だけでなく基材１１１の一方の側全体に設けられている点が実施の形態４と相違する。実施の形態５における、その他の構成は実施の形態４と同様であり、実施の形態４と同様な構成については適宜説明を省略する。

[0111] 実施の形態５に係る半導体モジュールでは、絶縁樹脂層３０が半導体素子搭載領域だけでなく基材１１１の一方の側全体に設けられており、半導体モジュール１０の側面に保護層１３１が露出している。この絶縁樹脂層３０を突起部１２４が貫通し、突起部１２４の先端部分が封止樹脂５０に埋め込まれている。実施の形態４と同様に突起部１２４により外部からの水分浸入が抑制されている。これに加えて、絶縁樹脂層３０が基材１１１の一方の側全体に設けられているため、封止樹脂５０と素子搭載用基板１０２との密着性がより向上している。また、実施の形態５に係る半導体モジュールの製造方法では、実施の形態４に関して図１５（Ｂ）を用いて説明した絶縁樹脂層３０のラミネート工程において、基材１１１の一方の側全面に絶縁樹脂層３０を積層すればよいため、位置合わせに要する手間を省くことができ、半導体モジュール１０の製造方法を簡便化し、製造コストを低減することができる。

[0112] （実施の形態６）

図２１は、実施の形態６に係る半導体モジュール１０の構成を示す概略図である。実施の形態６に係る半導体モジュール１０は、封止樹脂５０の側方において、突起部１２４が露出している点、および金属箔２８０で封止樹脂５０が被覆されている点で実施の形態４と相違する。

[0113] 具体的には、封止樹脂５０の上方および側方に金属箔２８０が導電性接着剤２７０を介して固定されている。金属箔２８０は、たとえば、厚さが１５～５０μｍのアルミ箔が好適である。封止樹脂５０の側方において、金属箔２８０は突起部１２４ａと電気的に続している。この突起部１２４ａは、半導体素子４０に接続された突起電極１２２のうち、グランド端子となる素子電極４２ａに接続された突起電極１２２ａと配線層１２１ａを介して電気的に接続されている。これにより、金属箔２８０の電位が接地電位となる。

[0114] このように、接地電位に固定された金属箔２８０により半導体素子４０を覆うことで、半導体素子４０が受ける電磁波障害が抑制される。また、従来のキャン封止と比べて金属箔２８０を用いた場合の方が、金属箔２８０と封

止樹脂５０（パッケージ）との間の空間（距離）を小さくすることができるため、半導体モジュール１０の低背化を実現することができる。

[0115] また、封止樹脂５０（パッケージ）を金属箔２８０で被覆することにより、外部からの水分浸入をより確実に抑制することができる。

[0116] （実施の形態７）

図２２は、実施の形態７に係る半導体モジュール１０の構成を示す概略図である。実施の形態７に係る半導体モジュール１０は、実施の形態５と同様に基材１１１の一方の側全体に絶縁樹脂層３０が設けられているが、金属箔２８０で半導体素子４０をシールドするという技術思想において実施の形態６と共通し、封止樹脂５０の側方において、突起部１２４が露出している点、および金属箔２８０で封止樹脂５０が被覆されている点で実施の形態５と相違する。

[0117] 本実施の形態によれば、接地電位に固定された金属箔２８０により半導体素子４０を覆うことで、半導体素子４０が受ける電磁波障害が抑制される。また、従来のキャン封止と比べて金属箔２８０を用いた場合の方が、金属箔２８０と封止樹脂５０（パッケージ）との間の空間（距離）を小さくすることができるため、半導体モジュール１０の低背化を実現することができる。

[0118] （実施の形態８）

図２３は、実施の形態８に係る半導体モジュール１０の構成を示す概略図である。図２４は、図２３のＣ－Ｃ線を切断面とする平面図である。本実施の形態では、半導体素子４０がワイヤボンディング接続により基材１１１に搭載されている点で実施の形態４と相違する。また、本実施の形態の突起部１２４は、後述するように、実施の形態４で説明した突起部１２４と異なる構造を有する。

[0119] 具体的には、配線層１２１の所定領域にランドとなる金めっき層１２８が形成されている。半導体素子４０は電極形成面を上にして、保護層１３１の上に固着されている。半導体素子４０に設けられた素子電極（図示せず）と金めっき層１２８とが金線などのワイヤ１６０によりワイヤボンディング接

続されている。

[0120] 保護層１３１に設けられた突起部形成領域を開口とする開口部分の保護層１３１の上面にさらに保護層１３２が形成されている。保護層１３２には、保護層１３１に設けられた開口部分より大きな径の開口部分が設けられている。

[0121] 突起部１２４は、保護層１３１に設けられた開口部分に埋め込まれた埋め込み部８２と、保護層１３２に設けられた開口部分に埋め込まれた埋め込み部８４と、保護層１３２の上面より上に突出した突出部８６とで形成されている。突出部８６の上面の位置は、配線層１２１の上の金めっき層１２８（ワイヤボンディング部分）の高さより上方に位置している。

[0122] 本実施の形態によれば、ワイヤボンディング接続により半導体素子４０が基板に搭載された半導体モジュール１０の構成において、半導体素子４０の周囲において素子搭載用基板１０２側から封止樹脂５０に先端を向けて埋め込まれた突起部１２４が障壁となるため、半導体モジュール１０の外部から基板上のワイヤボンディング部分への水分の浸入が抑制される。これにより、基板上のワイヤボンディング部分の接続信頼性を向上させることができる。

[0123] （半導体モジュールの製造方法）

本実施の形態に係る半導体モジュール１０の製造方法は、図１３（Ａ）乃至図１３（Ｃ）までは、実施の形態４と同様である。

[0124] 図１３（Ｃ）に示した工程に続いて、図２５（Ａ）に示すように、保護層１３１に設けられた突起部形成領域用の開口部が露出するように、保護層１３１の上面にフォトソルダーレジストからなる保護層１３２を形成する。

[0125] 次に、図２５（Ｂ）に示すように、突起部形成領域を除く銅メッキ部分を保護するためのレジスト３００を基材１１１の一方の側および他方の側に形成する。ここで、基材１１１の一方の側に設けられた配線層１２１上のランド形成領域がレジスト３００により被覆される。

[0126] 次に、図２５（Ｃ）に示すように、保護層１３１および保護層１３２に設

けられた突起部形成領域用の開口部に、めっき法により銅を埋め込んで埋込部を形成した後、めっきを継続して当該埋込部の上に突出部を形成する。これにより、配線層１２１上のランド形成領域よりも頂部面が上方に位置する突起部１２４が形成される。

[0127] 次に、図２６（Ａ）に示すように、レジスト３００を除去した後、周知のフォトリソグラフィ法およびエッチング法を用いて基材１１１の一方の側に、突起電極形成領域を開口とする耐金レジスト３１０を形成する。なお、突起部形成領域は、耐金レジスト３１０で被覆されている。

[0128] 次に、図２６（Ｂ）に示すように、耐金レジスト３１０をマスクとして、めっき法により突起電極形成領域にＮｉ／Ａｕ層からなる金めっき層１２８を形成する。これにより、配線層１２１のランド形成領域に金めっき層１２８が形成される。

[0129] 次に、図２６（Ｃ）に示すように、耐金レジスト３１０を除去した後、各素子搭載領域に半導体素子４０を搭載した後、半導体素子４０の外部電極と配線層１２１に設けられた金めっき層１２８とを金線などのワイヤ１６０を用いてワイヤボンディング接続する。

[0130] 次に、図２７（Ａ）に示すように、ポッディング法、印刷法およびトランスファーモールド法などを用いて封止樹脂５０を塗布し、半導体素子４０を封止する。塗布された封止樹脂５０に不要部分がある場合には、スキージなどにより適宜除去する。封止樹脂５０は必要に応じて熱硬化される。この工程で、突起部１２４の突出部が封止樹脂５０により被覆される。言い換えると、封止樹脂５０に突起部１２４が埋め込まれた構造が実現される。

[0131] 次に、図２７（Ｂ）に示すように、保護層１５０の開口部にはんだ実装法によりはんだボール７０を搭載する。具体的には、スクリーン印刷法またはピン転写により所望の箇所にフラックスを印刷して、はんだボールの実装を行う。その後、はんだ溶融温度に加熱することではんだボール７０を形成する。ここまでの工程により、半導体モジュールが一体的にマトリクス状に形成されたモジュール集合体が形成される。

[0132] 次に、図２７（Ｃ）に示すように、複数の半導体モジュール形成領域２４０を区画するスクライブライン２５０に沿ってダイシングすることにより半導体モジュール１０に個別化する。この後、個別化された半導体モジュール１０に対して薬液による洗浄処理を行うことで、ダイシング時に発生する残渣などを除去する。

[0133] 以上の工程によれば、実施の形態８に係る半導体モジュール１０を製造することができる。この製造方法によれば、保護層１３２の厚みを変えることにより、所望の高さの突起部１２４を簡便に形成することができる。

[0134] なお、本実施の形態で用いられた、保護層１３１および保護層１３２の開口部内に埋め込まれた埋込部と、当該開口部周囲の保護層１３２の上面よりも上方に突出した突出部とを有する突起部１２４は、実施の形態４乃至７のように半導体素子４０が電極形成面をフェイスダウンして素子搭載用基板１０２に搭載された半導体モジュールに適用することも可能である。

[0135] 次に、本発明の半導体モジュールを備えた携帯機器について説明する。なお、携帯機器として携帯電話に搭載する例を示すが、たとえば、個人用携帯情報端末（ＰＤＡ）、デジタルビデオカメラ（ＤＶＣ）、音楽プレーヤ、及びデジタルスチルカメラ（ＤＳＣ）といった電子機器であってもよい。

[0136] 図２８は実施の形態に係る半導体モジュール１０を備えた携帯電話の構成を示す図である。携帯電話１１１１は、第１の筐体１１１２と第２の筐体１１１４が可動部１１２０によって連結される構造になっている。第１の筐体１１１２と第２の筐体１１１４は可動部１１２０を軸として回動可能である。第１の筐体１１１２には文字や画像等の情報を表示する表示部１１１８やスピーカ部１１２４が設けられている。第２の筐体１１１４には操作用ボタンなどの操作部１１２２やマイク部１１２６が設けられている。なお、本発明の各実施形態に係る半導体モジュールはこうした携帯電話１１１１の内部に搭載されている。なお、このように、携帯電話に搭載した本発明の半導体モジュールとしては、各回路を駆動するための電源回路、ＲＦ発生するＲＦ発生回路、ＤＡＣ、エンコーダ回路、携帯電話の表示部に採用される液晶パ

ネルの光源としてのバックライトの駆動回路などとして採用することが可能である。

[0137] 図２９は図２８に示した携帯電話の部分断面図（第１の筐体１１１２の断面図）である。本発明の実施形態に係る半導体モジュール１０は、はんだボール７０を介してプリント基板１１２８に搭載され、こうしたプリント基板１１２８を介して表示部１１１８などと電気的に接続されている。また、半導体モジュール１０の裏面側（外部接続電極５４とは反対側の面）には金属基板などの放熱基板１１１６が設けられ、たとえば、半導体モジュール１０から発生する熱を第１の筐体１１１２内部に篭もらせることなく、効率的に第１の筐体１１１２の外部に放熱することができるようになっている。

[0138] 本発明の実施形態に係る半導体モジュールを備えた携帯機器によれば、以下の効果を得ることができる。

[0139] 半導体モジュール１０において、外部からの水分浸入が抑制された結果、動作信頼性が向上するので、こうした半導体モジュール１０を搭載した携帯機器の動作信頼性が向上する。

[0140] 放熱基板１１１６を介して半導体モジュール１０からの熱を効率的に外部に放熱することができるので、半導体モジュール１０の温度上昇が抑制され、導電性部材と配線層との間の熱応力が低減される。このため、放熱基板１１１６を設けない場合に比べ、半導体モジュール内の導電性部材が配線層から剥離することが防止され、半導体モジュール１０の信頼性（耐熱信頼性）が向上する。この結果、携帯機器の信頼性（耐熱信頼性）を向上させることができる。

[0141] 上記実施の形態で示した半導体モジュール１０は小型化が可能であるので、こうした半導体モジュール１０を搭載した携帯機器の薄型化・小型化を図ることができる。

[0142] 本発明は、上述の各実施の形態に限定されるものではなく、当業者の知識に基づいて各種の設計変更等の変形を加えることも可能であり、そのような変形が加えられた実施の形態も本発明の範囲に含まれうるものである。

[0143] たとえば、上述の実施の形態３では、金属箔１２０は、導電性接着剤１３０を介して固定されているが、圧着によりあるいは静電気で固定されていてもよい。

たとえば、上述の実施の形態３および４では、金属箔２８０は、導電性接着剤２７０を介して固定されているが、圧着によりあるいは静電気で固定されていてもよい。

[0144] また、上述の実施の形態６および７では、金属箔２８０は、導電性接着剤２７０を介して固定されているが、圧着によりあるいは静電気で固定されていてもよい。

[0145] また、配線層１２１には、半導体素子４０の側に突出する突起電極１２２が一体的に形成されていてもよい。配線層１２１と突起電極１２２とを一体的に形成することにより、配線層１２１と突起電極１２２との接続信頼性を向上させることができる。この場合、配線層１２１および突起電極１２２は、導電材料、好ましくは圧延金属、さらには圧延銅により形成される。

符号の説明

[0146] １０　半導体モジュール、２０　配線層、２２　突起電極、３０　絶縁樹脂層、４０　半導体素子、５０　封止樹脂、６０　保護層、７０　はんだボール、８０　突起部、１０２　素子搭載用基板、１１１　基材、１１２　ビア導体、１２１、１４０　配線層、１３１、１５０　保護層、１２２　突起電極、１２４　突起部

産業上の利用可能性

[0147] 本発明は、基材に実装された半導体素子が封止樹脂により封止された構造を有する半導体モジュールに適用可能である。

請求の範囲

[請求項1] 所定パターンの配線層と、

前記配線層と対向する素子電極を有し、前記配線層上に絶縁樹脂層を介して搭載された半導体素子と、

前記配線層から前記半導体素子の側に突出し、前記絶縁樹脂層を貫通して前記素子電極と接続された突起電極と、

前記半導体素子を封止する封止樹脂と、

前記半導体素子の少なくとも１辺に沿って配置され、前記配線層から前記半導体素子の側に突出し、前記封止樹脂に埋め込まれた突起部と、

を備えることを特徴とする半導体モジュール。

[請求項2] 前記突起部の先端部が前記突起電極と前記素子電極との接合部分よりも上方に位置していることを特徴とする請求項１に記載の半導体モジュール。

[請求項3] 前記突起部が前記半導体素子の各辺に沿って設けられていることを特徴とする請求項１または２に記載の半導体モジュール。

[請求項4] 前記突起部と前記突起電極とが同じ材料で形成されていることを特徴とする請求項１乃至３のいずれか１項に記載の半導体モジュール。

[請求項5] 前記突起電極と前記配線層とが一体的に形成されていることを特徴とする請求項１乃至４のいずれか１項に記載の半導体モジュール。

[請求項6] 前記封止樹脂を被覆する金属箔をさらに備え、

前記金属箔が前記突起部のうち、接地電位に固定された突起部と電気的に接続されていることを特徴とする請求項１乃至５のいずれか１項に記載の半導体モジュール。

[請求項7] 基材と

前記基材の一方の主表面に設けられた配線層と、

前記配線層と対向する素子電極を有し、前記基材の上に絶縁樹脂層を介して搭載された半導体素子と、

前記配線層の上に設けられ、前記素子電極と電気的に接続された基板電極と、

前記半導体素子を封止する封止樹脂と、

前記半導体素子の少なくとも１辺に沿って配置され、前記配線層から前記半導体素子の側に突出して前記封止樹脂に埋め込まれた突起部と、

を備えることを特徴とする半導体モジュール。

[請求項8] 前記突起部の先端部が前記基板電極と前記素子電極との接合部分よりも上方に位置していることを特徴とする請求項７に記載の半導体モジュール。

[請求項9] 前記突起部が前記半導体素子の各辺に沿って設けられていることを特徴とする請求項７または８に記載の半導体モジュール。

[請求項10] 前記基板電極が、前記半導体素子の側に突出し、前記絶縁樹脂層を貫通して前記素子電極と接続された突起電極であることを特徴とする請求項７乃至９のいずれか１項に記載の記載の半導体モジュール。

[請求項11] 前記突起部と前記突起電極とが同じ材料で形成されていることを特徴とする請求項１０に記載の半導体モジュール。

[請求項12] 前記封止樹脂を被覆する金属箔をさらに備え、

前記金属箔が前記突起部のうち、接地電位に固定された突起部と電気的に接続されていることを特徴とする請求項７乃至１１のいずれか１項に記載の半導体モジュール。

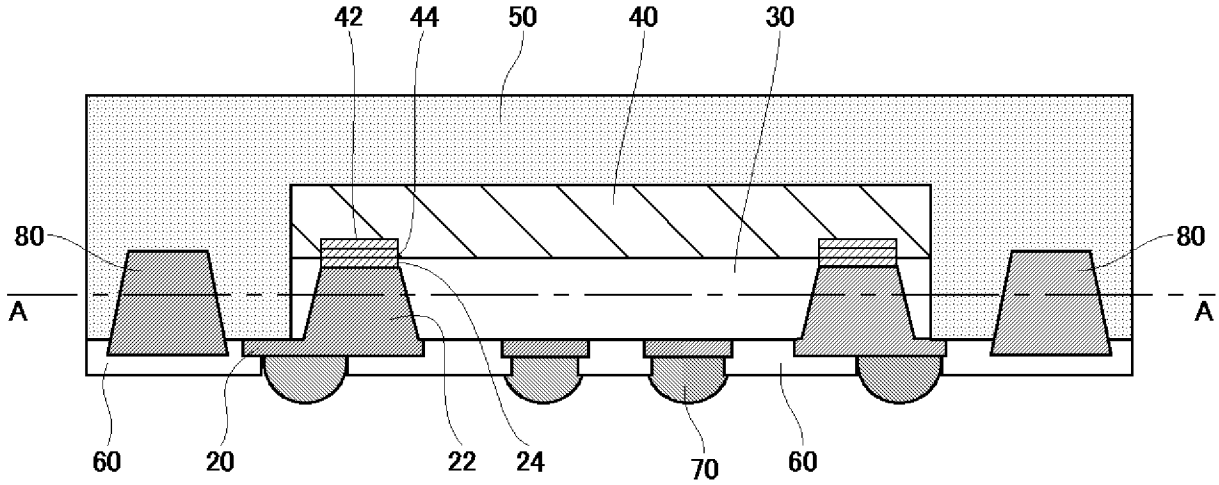
[請求項13] 前記基材の上に設けられ、突起部形成領域が露出するような開口部を有する保護層をさらに備え、

前記突起部が、前記保護層の前記開口部内に埋め込まれた埋込部と、前記保護層の前記開口部周囲の上面よりも上方に突出した突出部とを有することを特徴とする請求項７乃至１２のいずれか１項に記載の半導体モジュール。

[請求項14] 請求項１乃至１３のいずれか１項に記載の半導体モジュールを備え

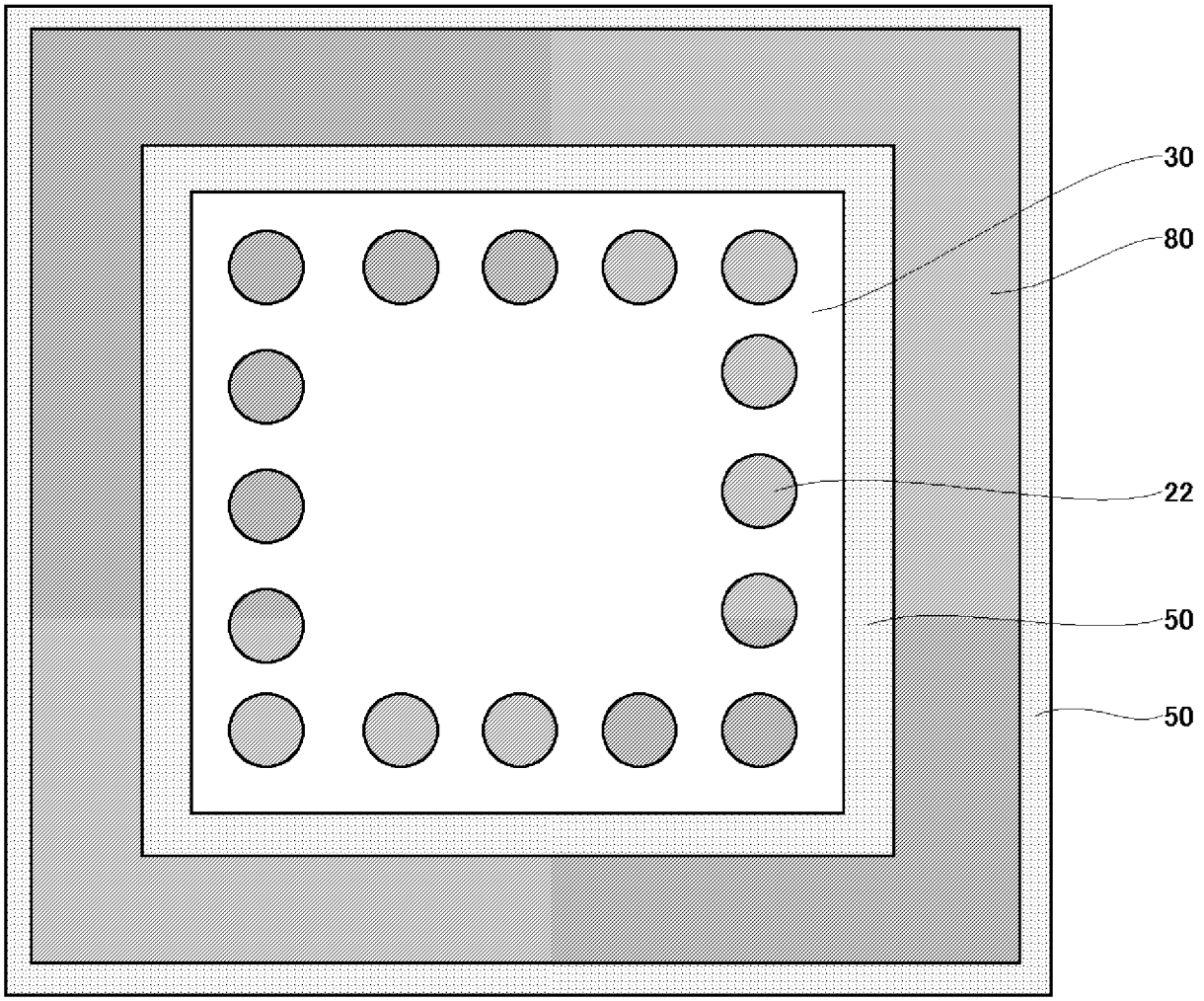
る携帯機器。

[図1]



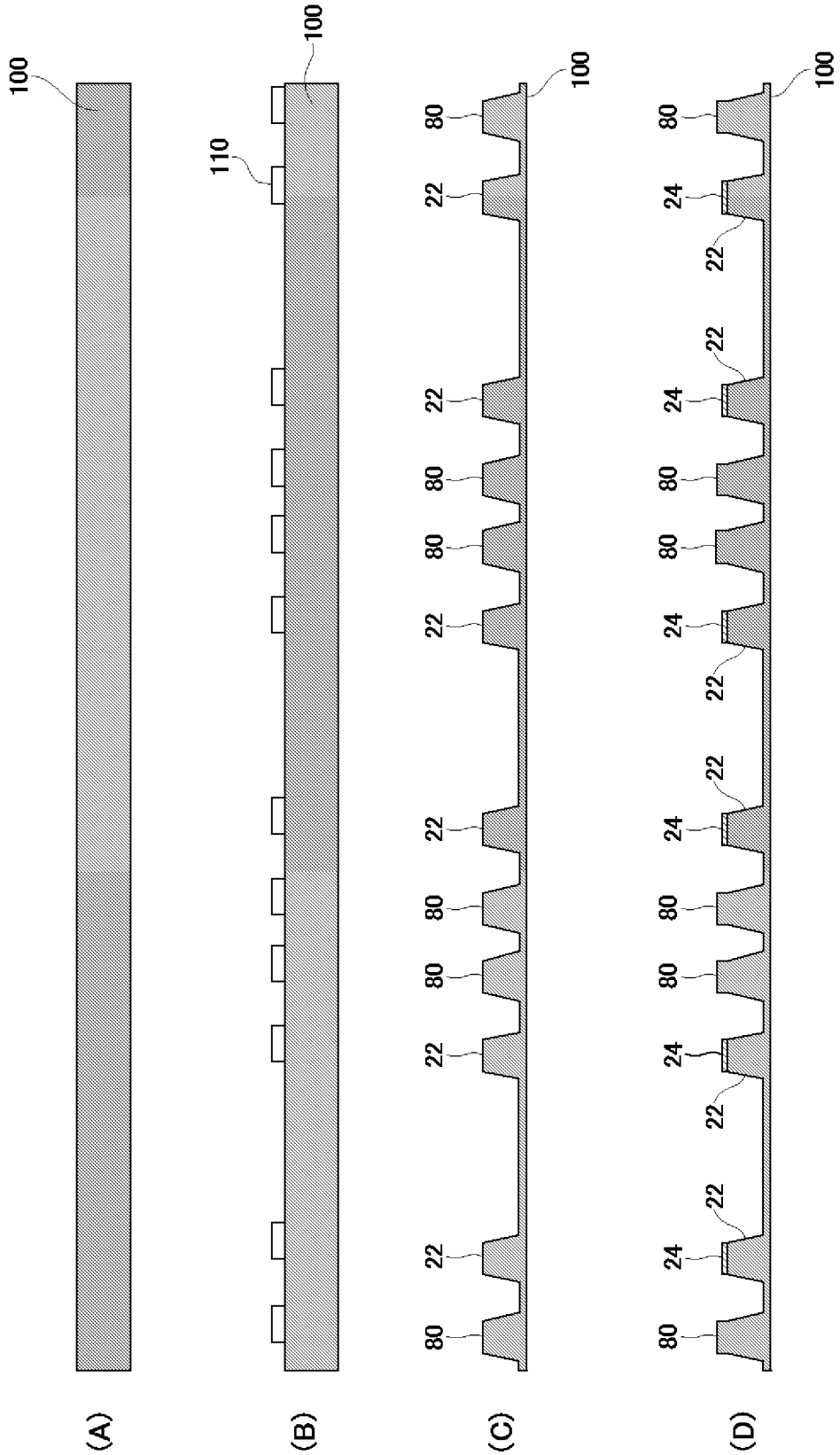
10

[図2]

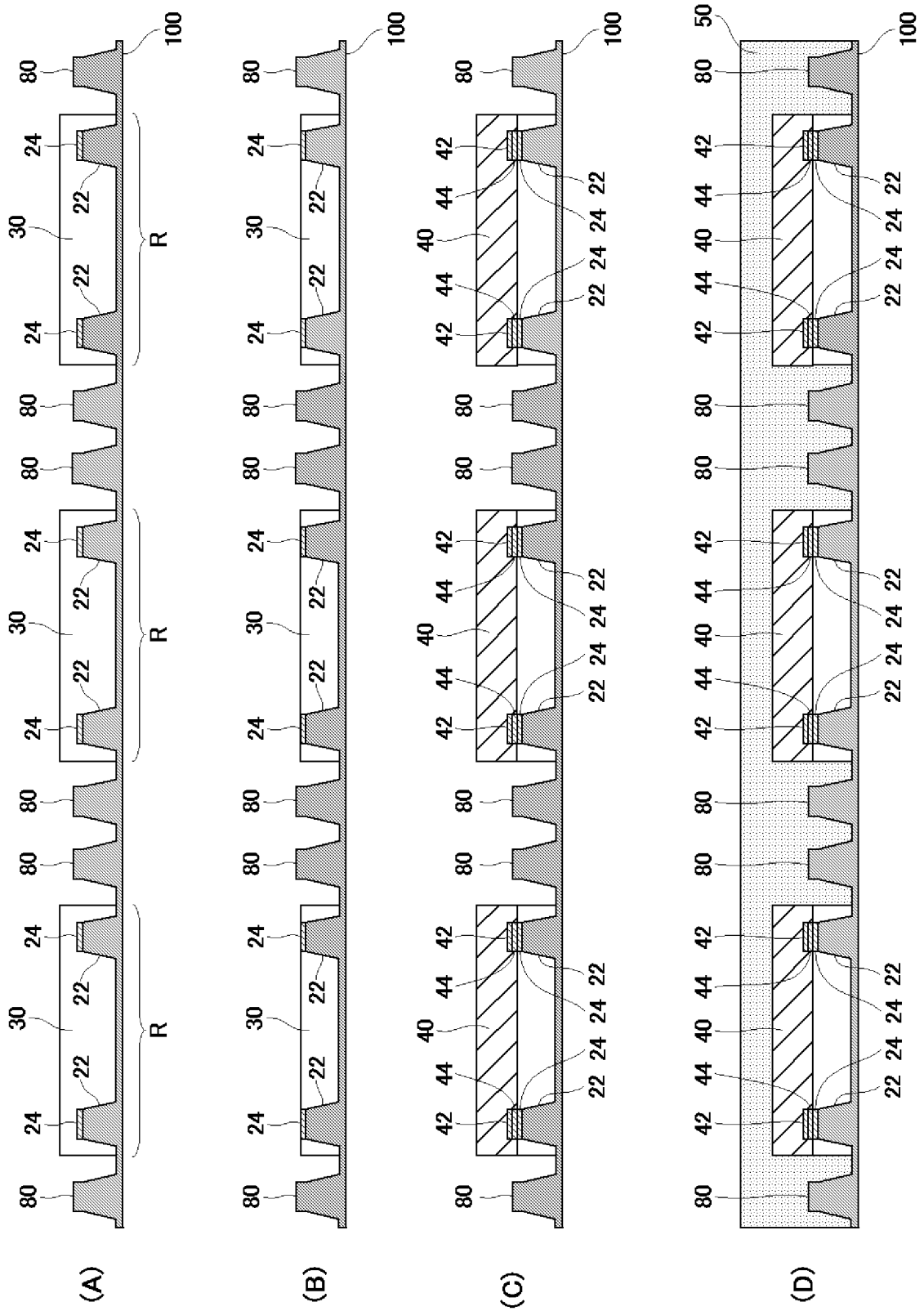


10

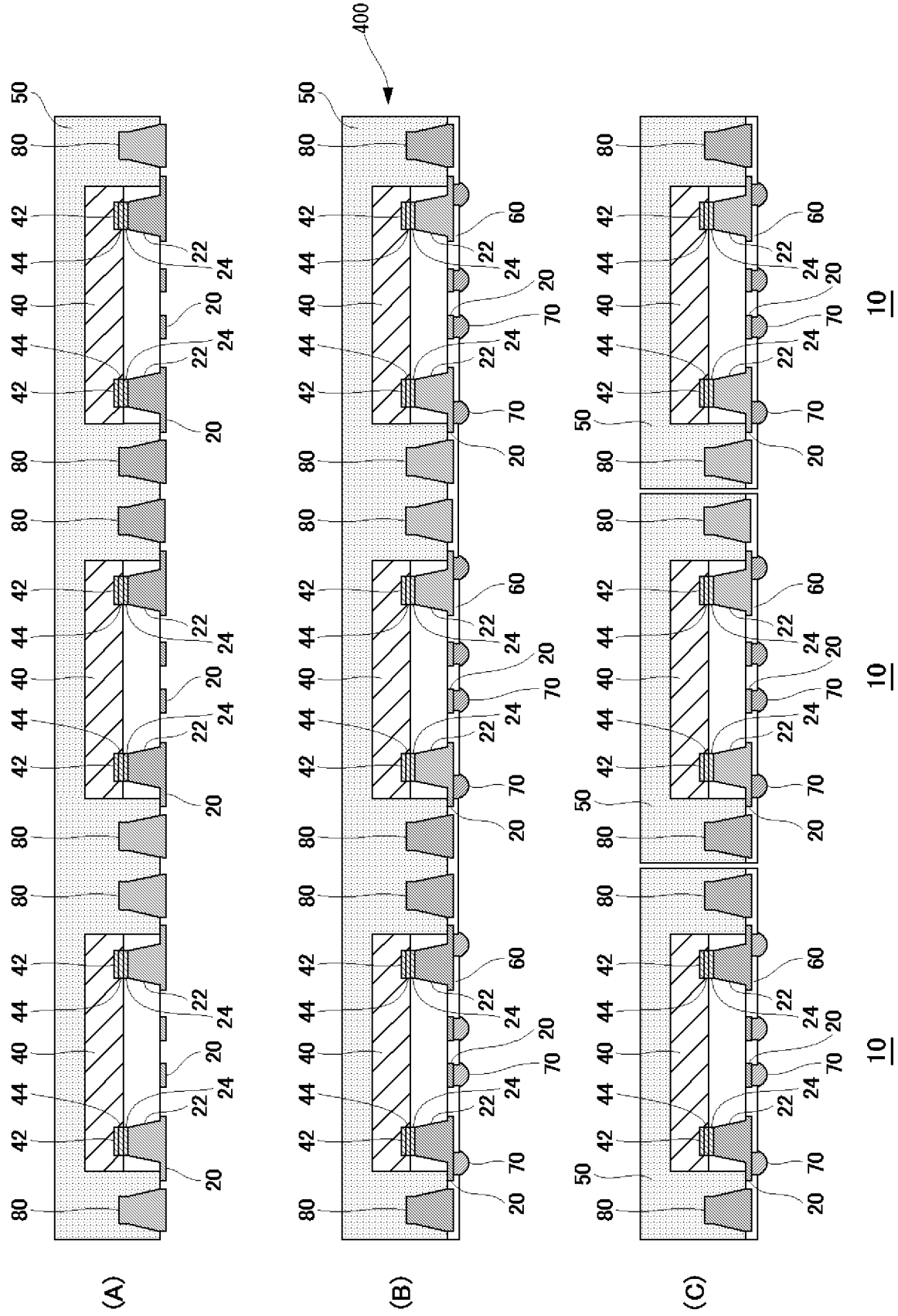
[図3]



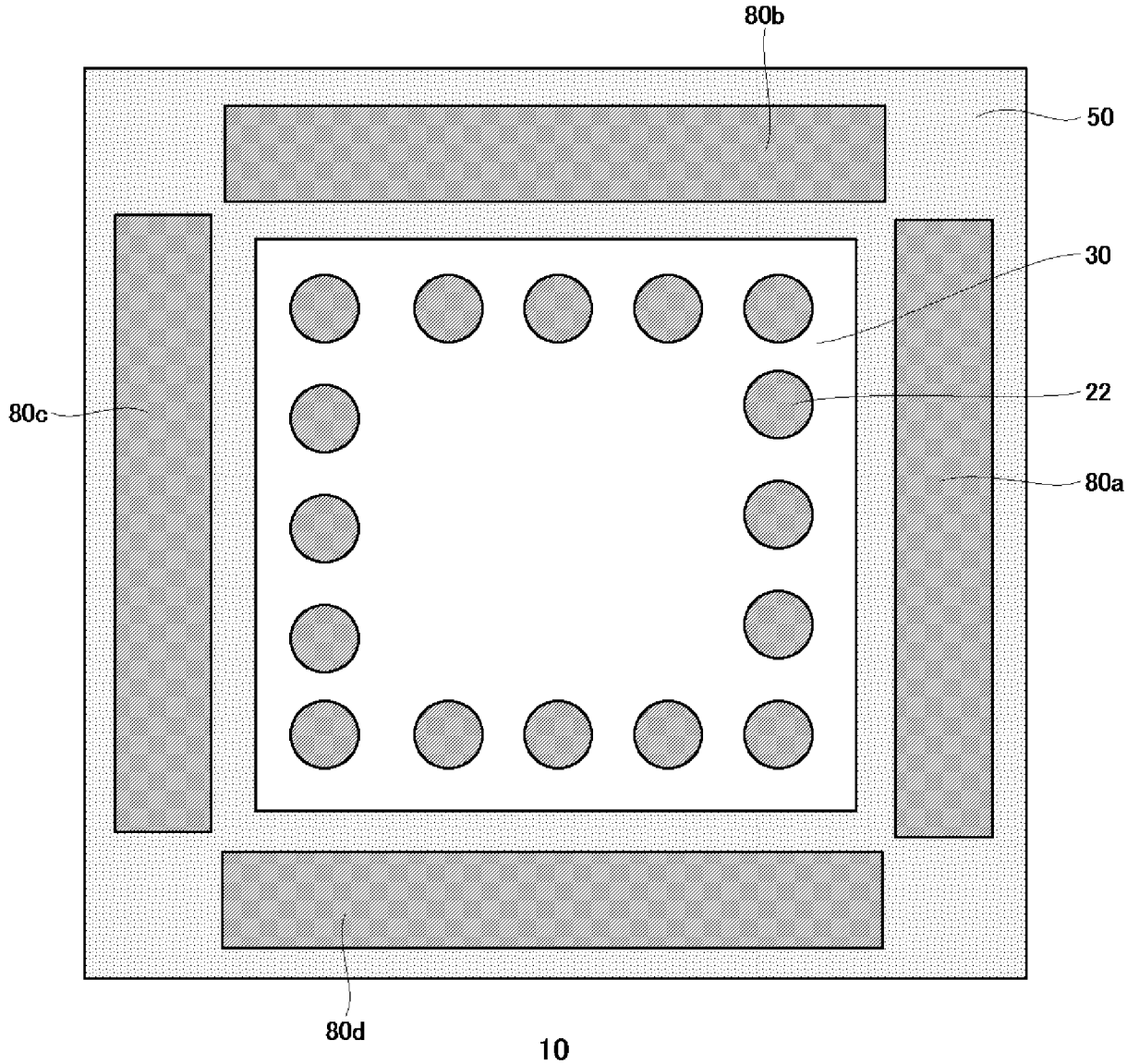
[図4]



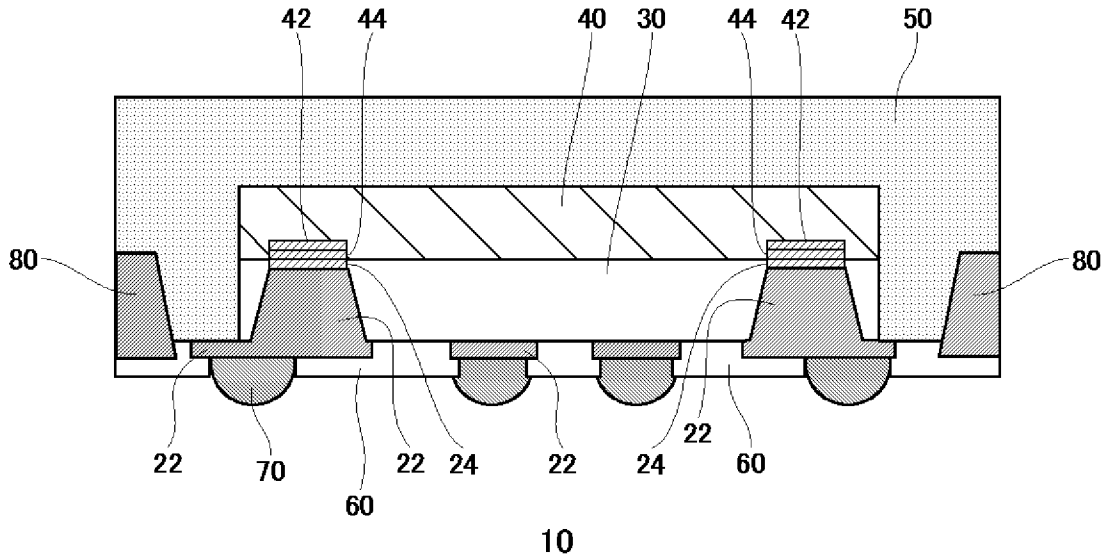
[図5]



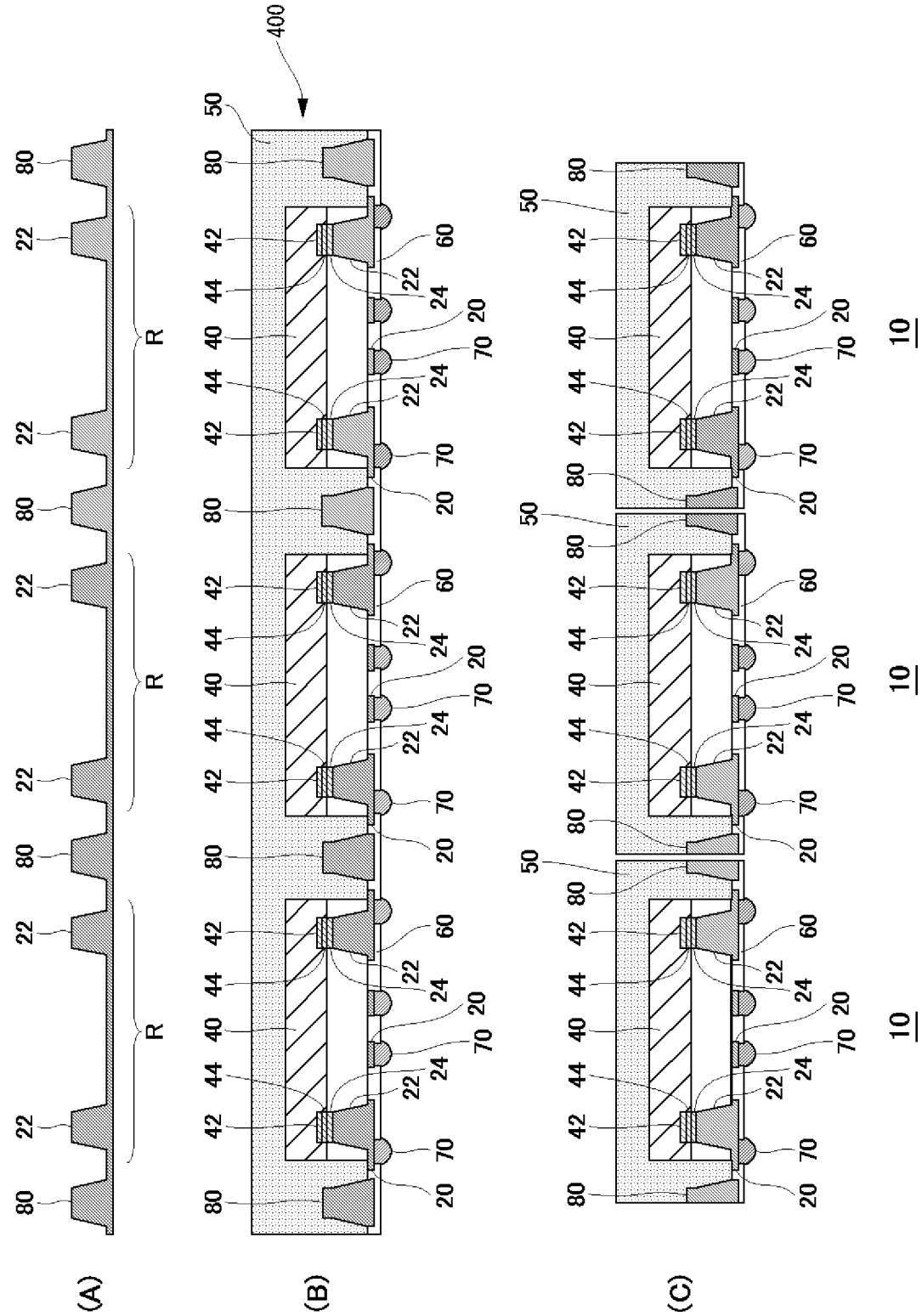
[図6]


80b
50
30
22
80c
80a
80d
10

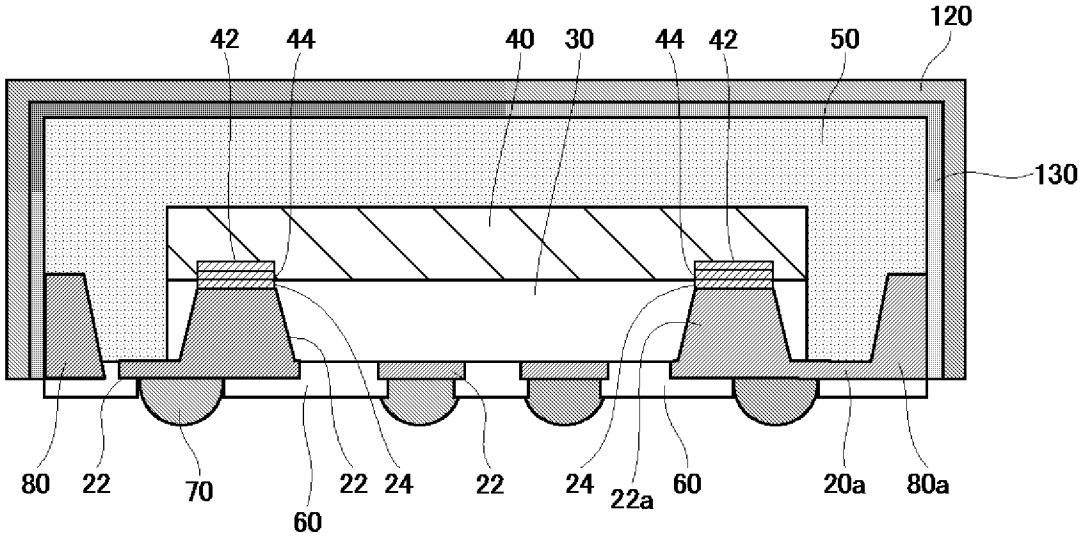
[図7]


42
44
40
30
44
42
50
80
80
22
70
60
22
24
22
22
24
60
10

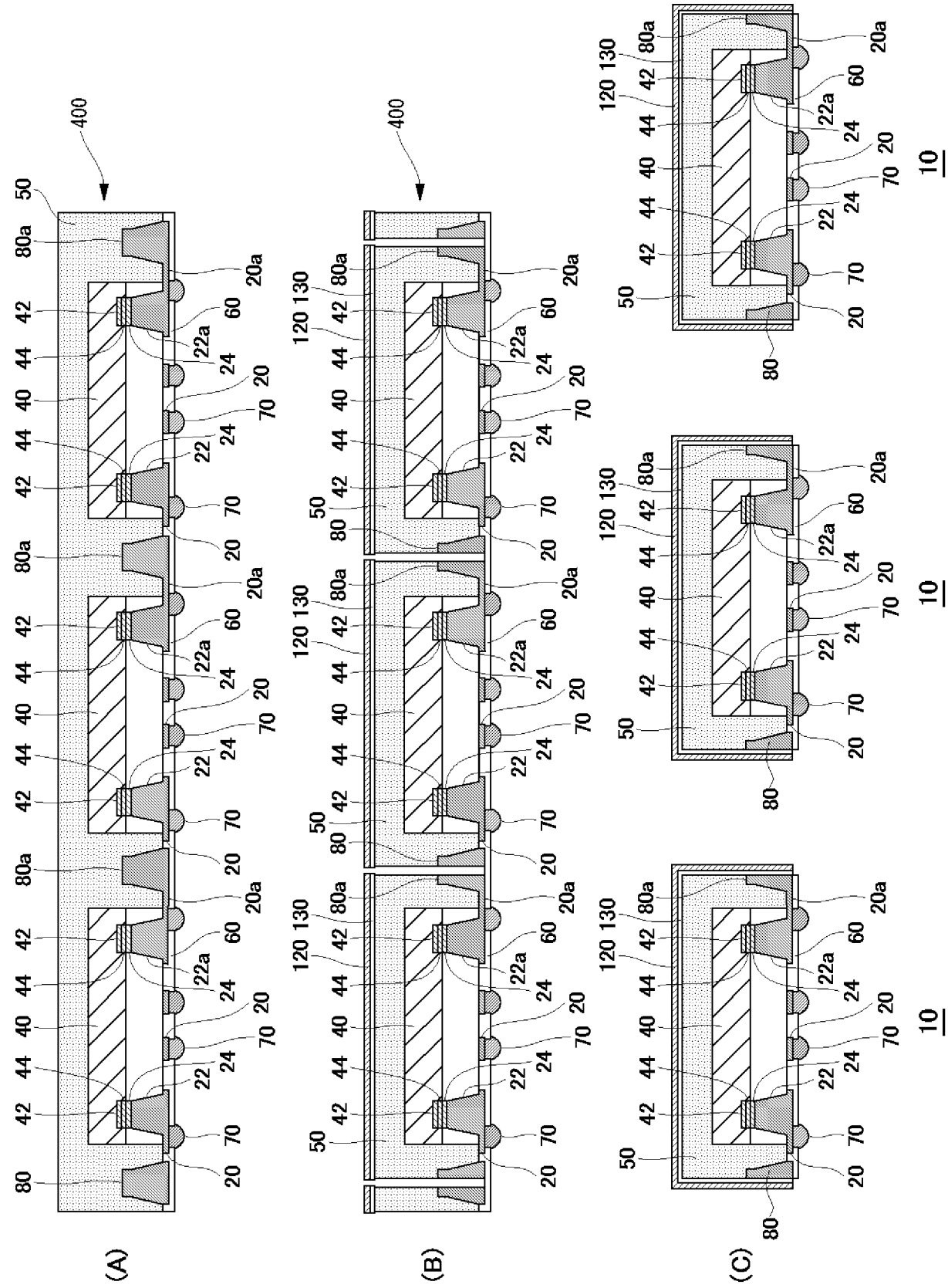
[図8]



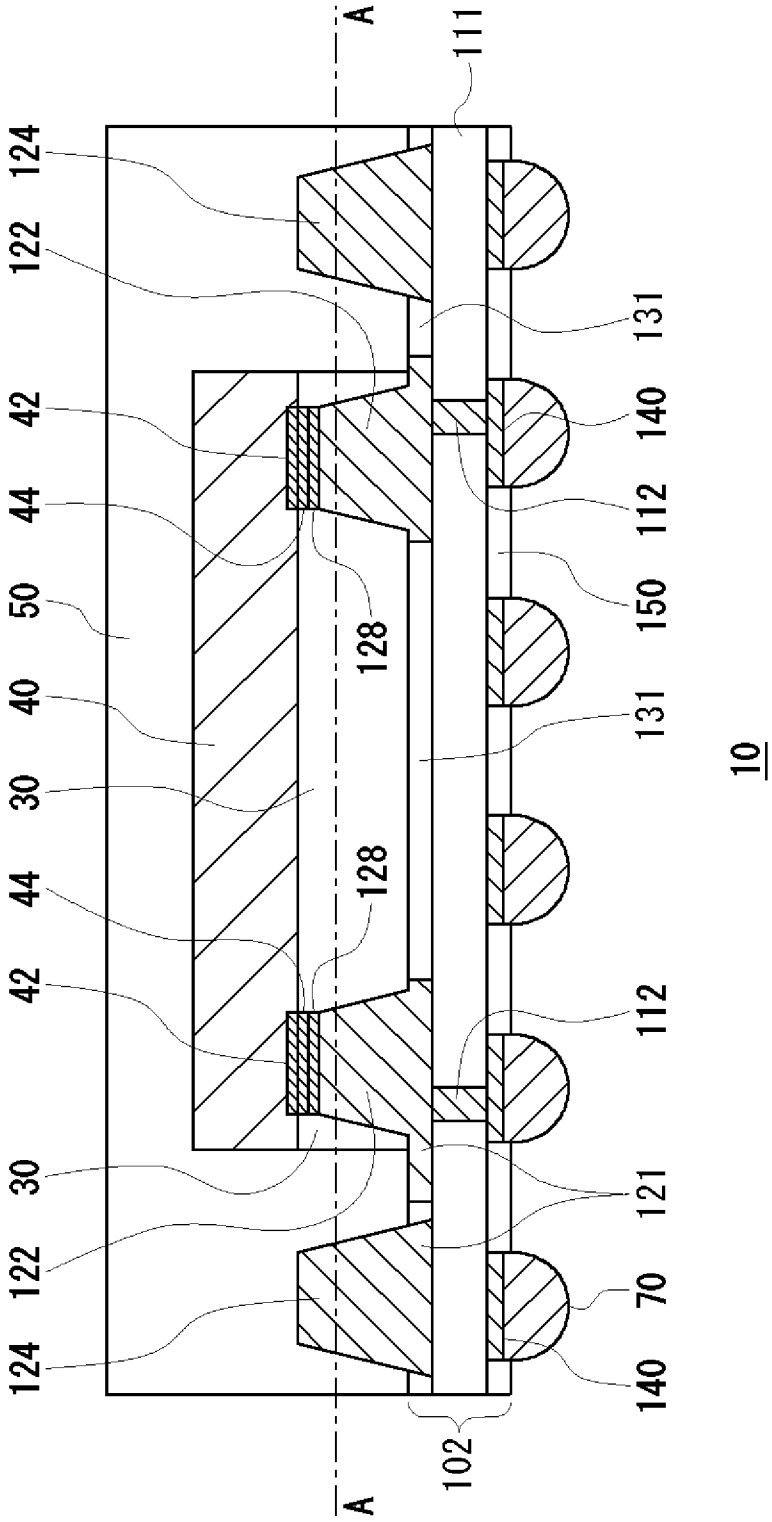
[図9]



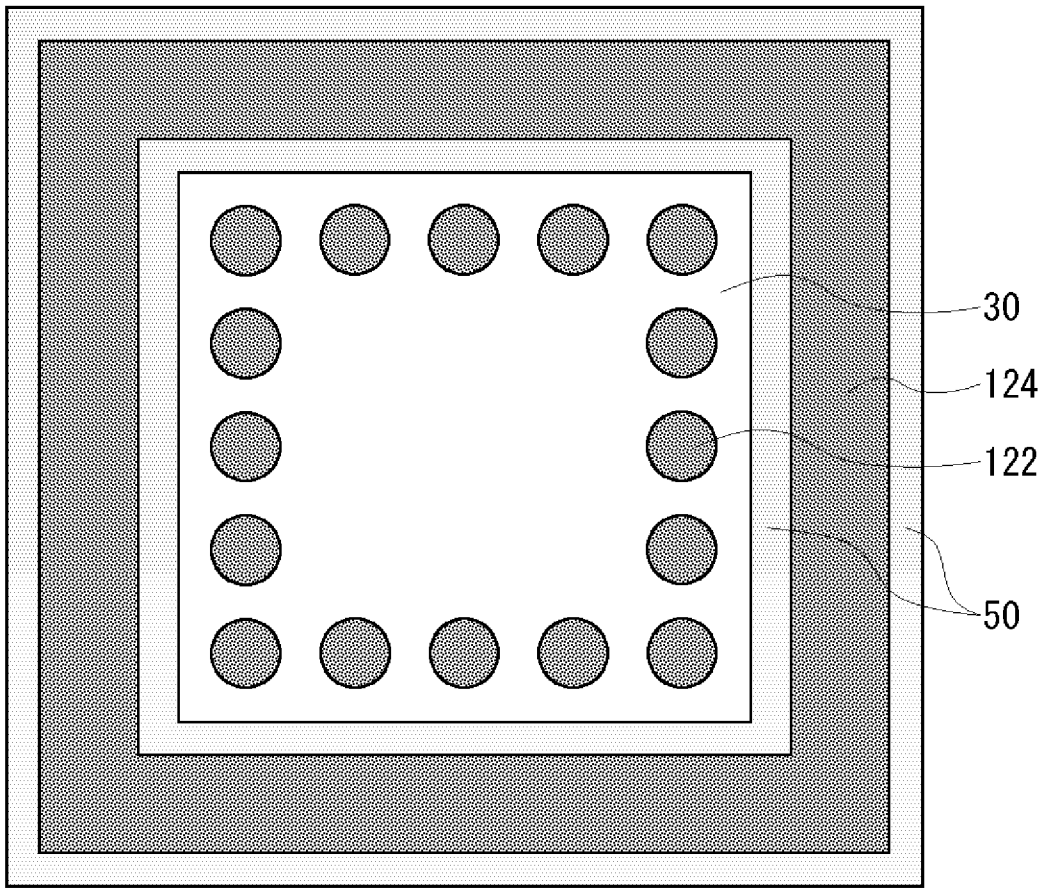
[図10]



[図11]

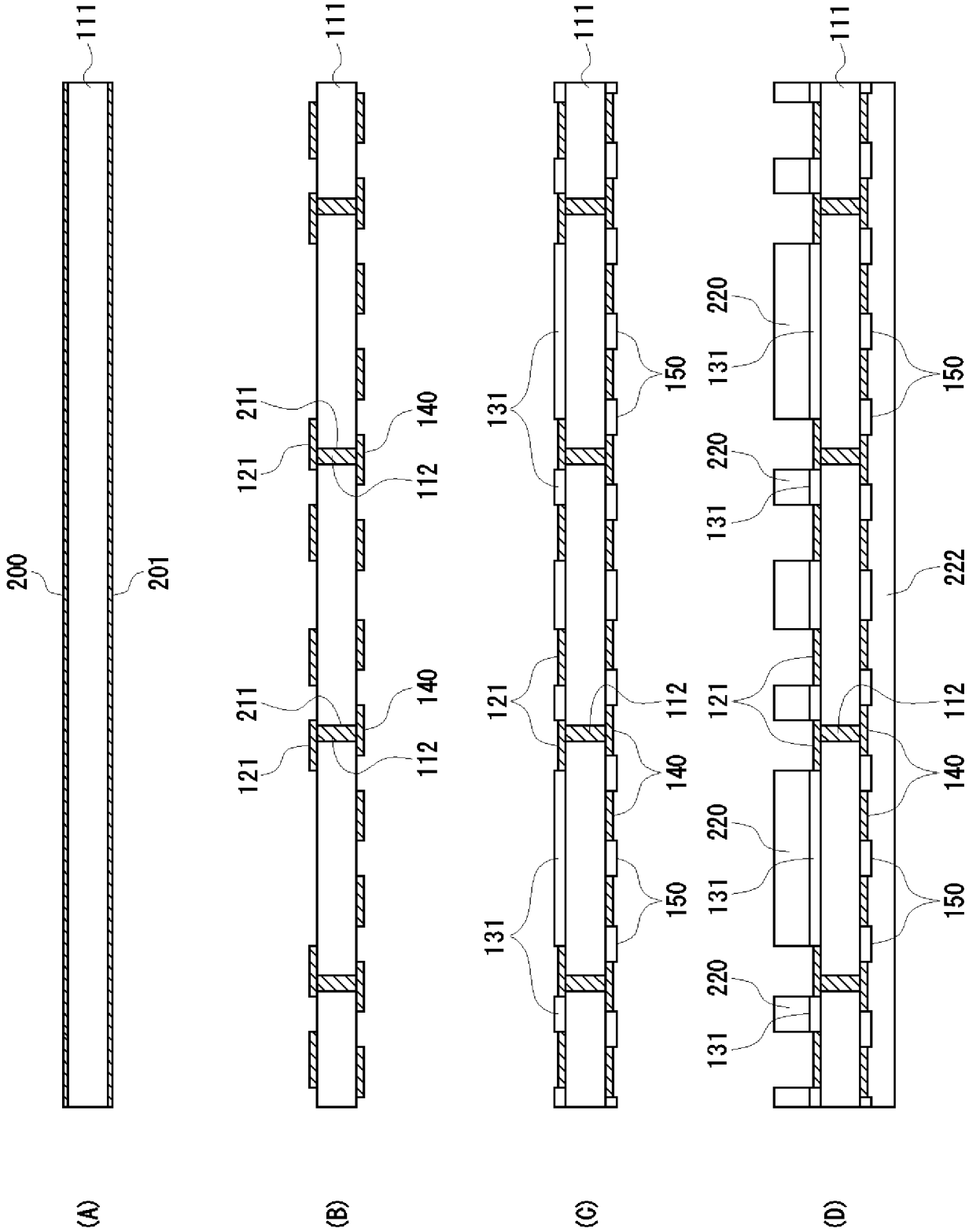

A
111
124
122
131
42
140
44
112
50
150
128
40
131
30
44
128
42
112
30
121
122
70
124
140
102
A
10

[図12]

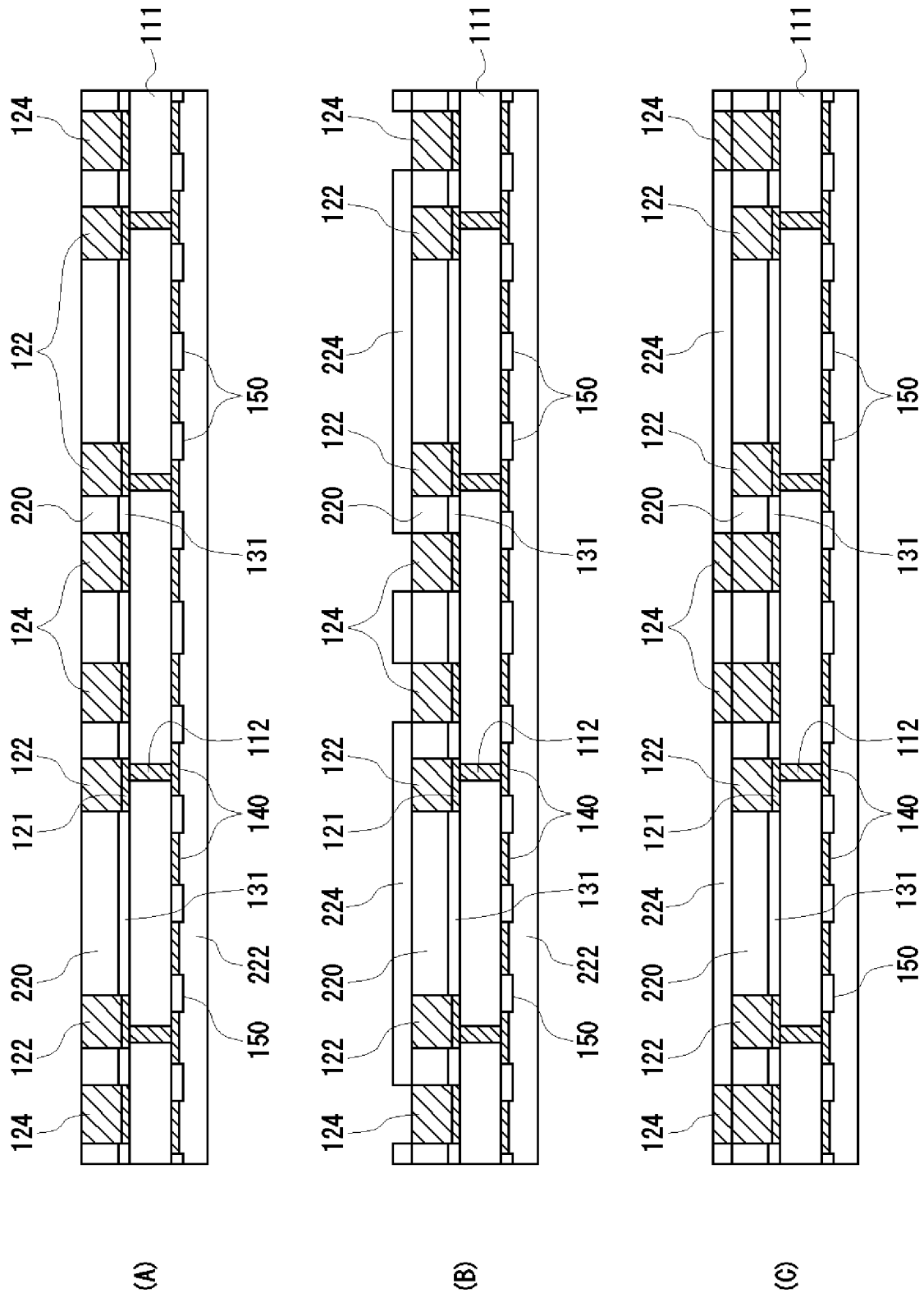


10

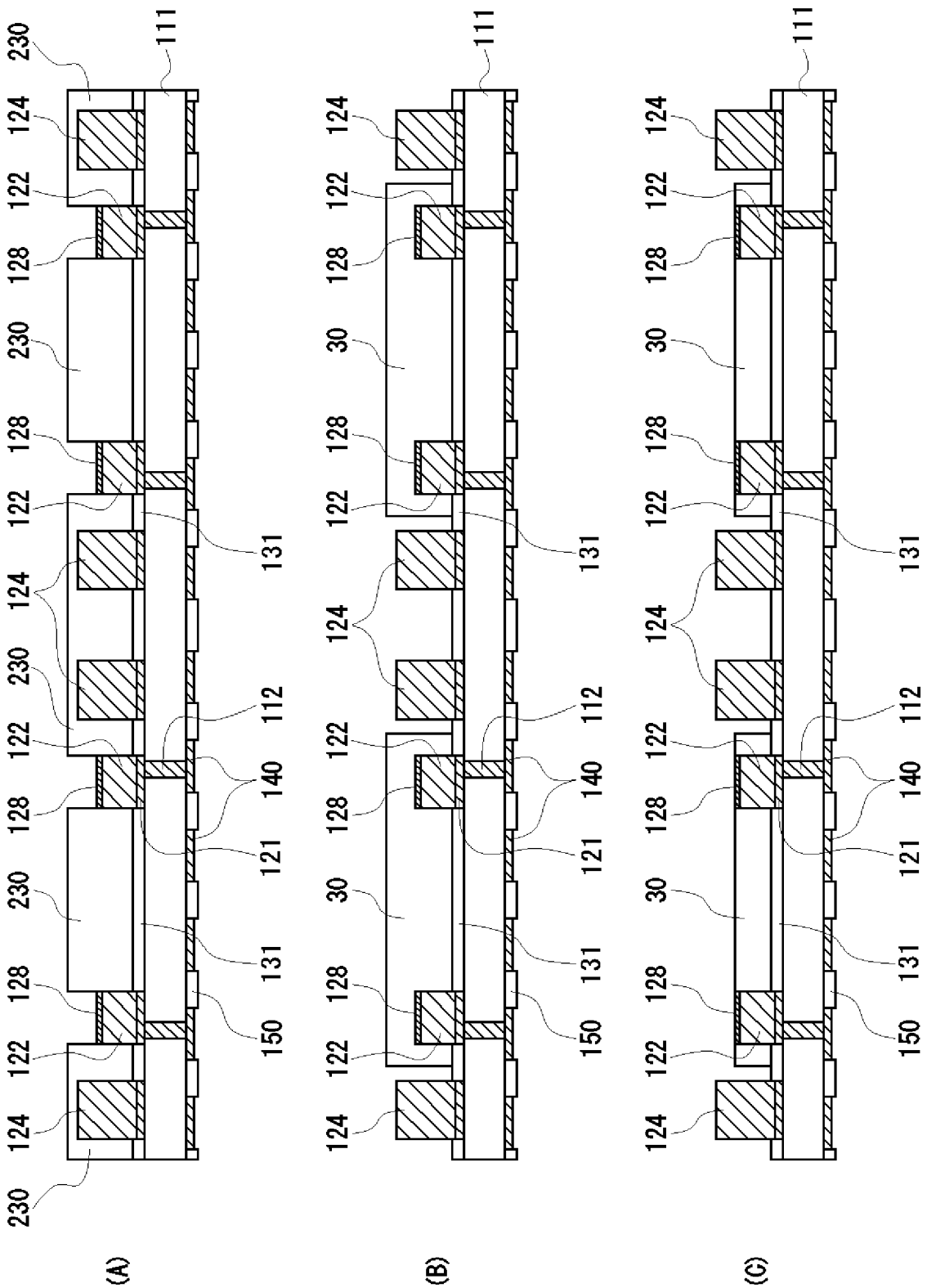
[図13]


111
200
201
(A)
111
211
121
140
112
211
121
140
112
(B)
111
131
150
121
112
140
131
150
(C)
111
220
131
150
220
131
222
121
112
140
220
131
150
220
131
(D)

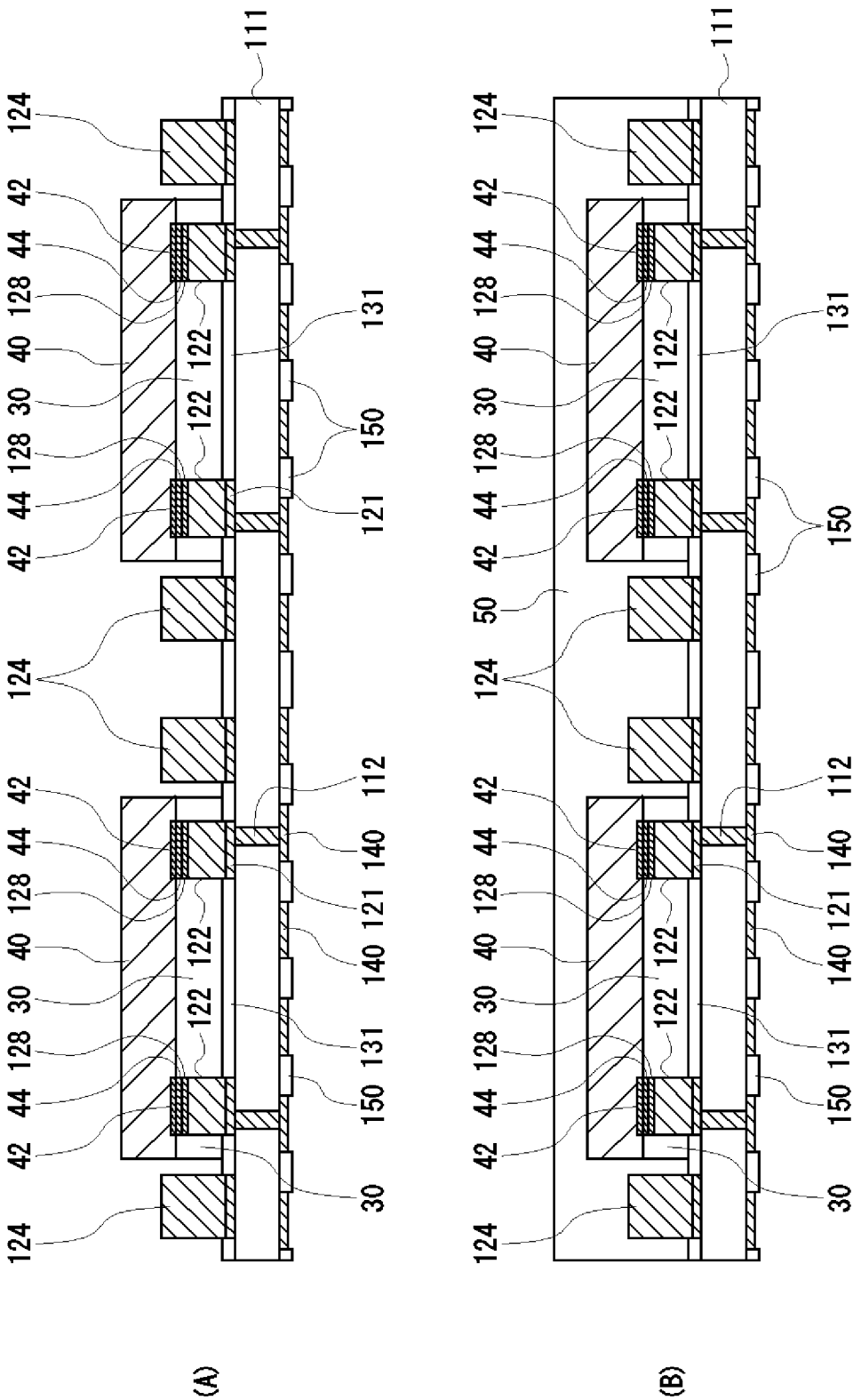
[図14]


111
124
122
220
124
122
121
220
122
124
150
131
112
140
131
222
150
(A)
111
124
122
224
122
220
124
122
121
224
220
122
124
150
131
112
140
131
222
150
(B)
111
124
122
224
122
220
124
122
121
224
220
122
124
150
131
112
140
131
150
(C)

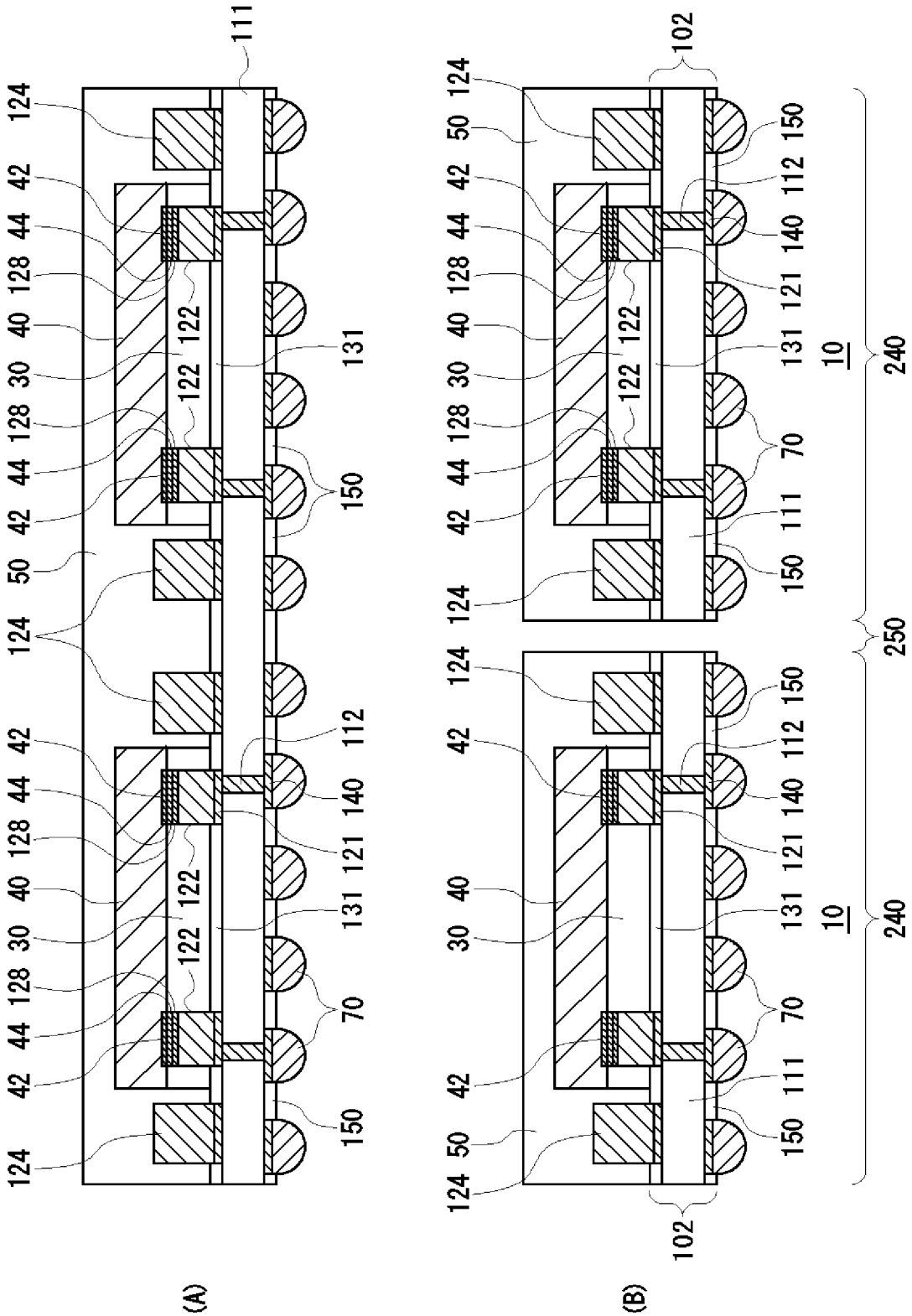
[図15]


111
230
124
122
128
230
128
122
124
230
122
128
230
128
122
124
230
131
112
140
121
131
150
30
(A)
(B)
(C)

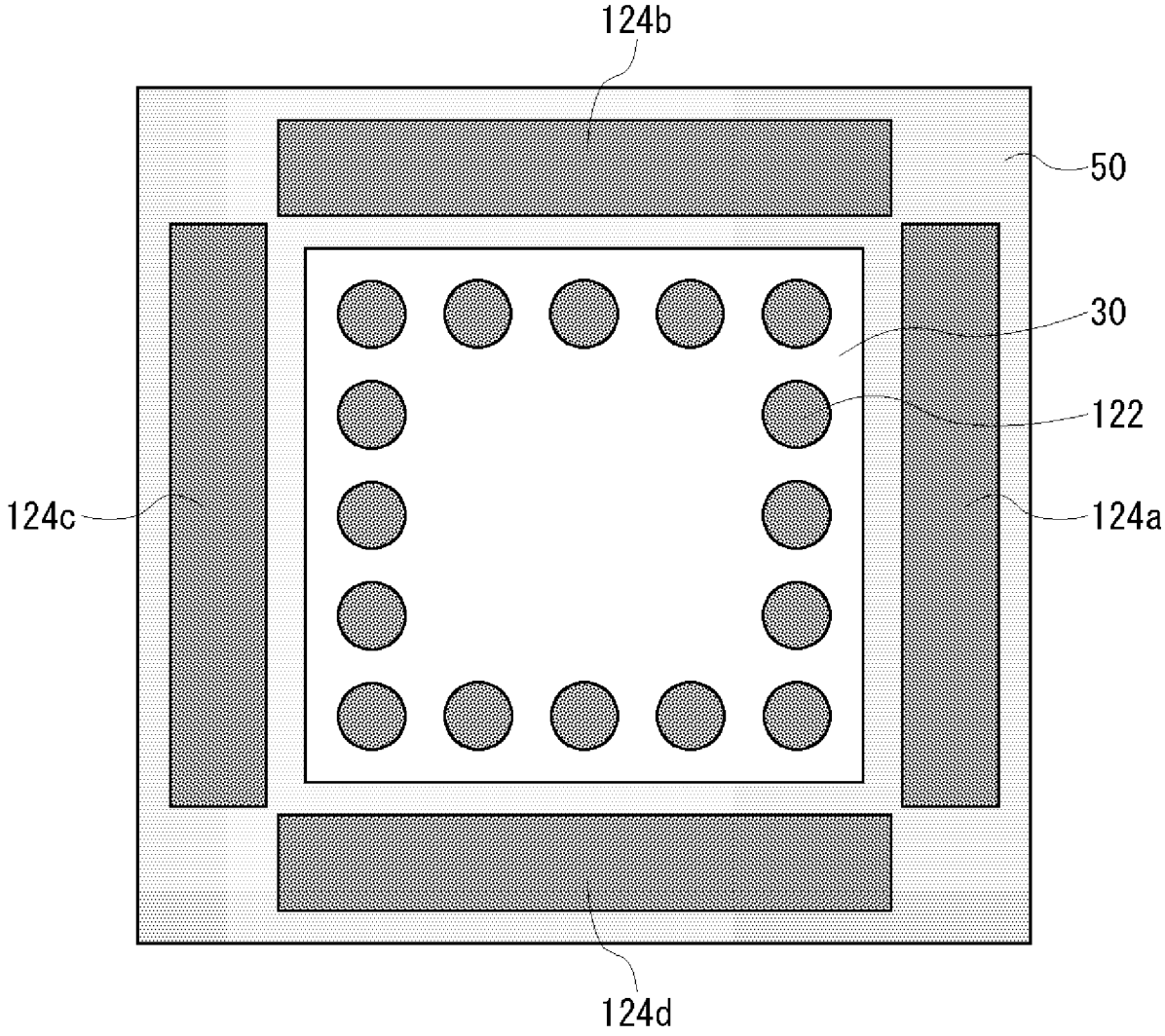
[図16]



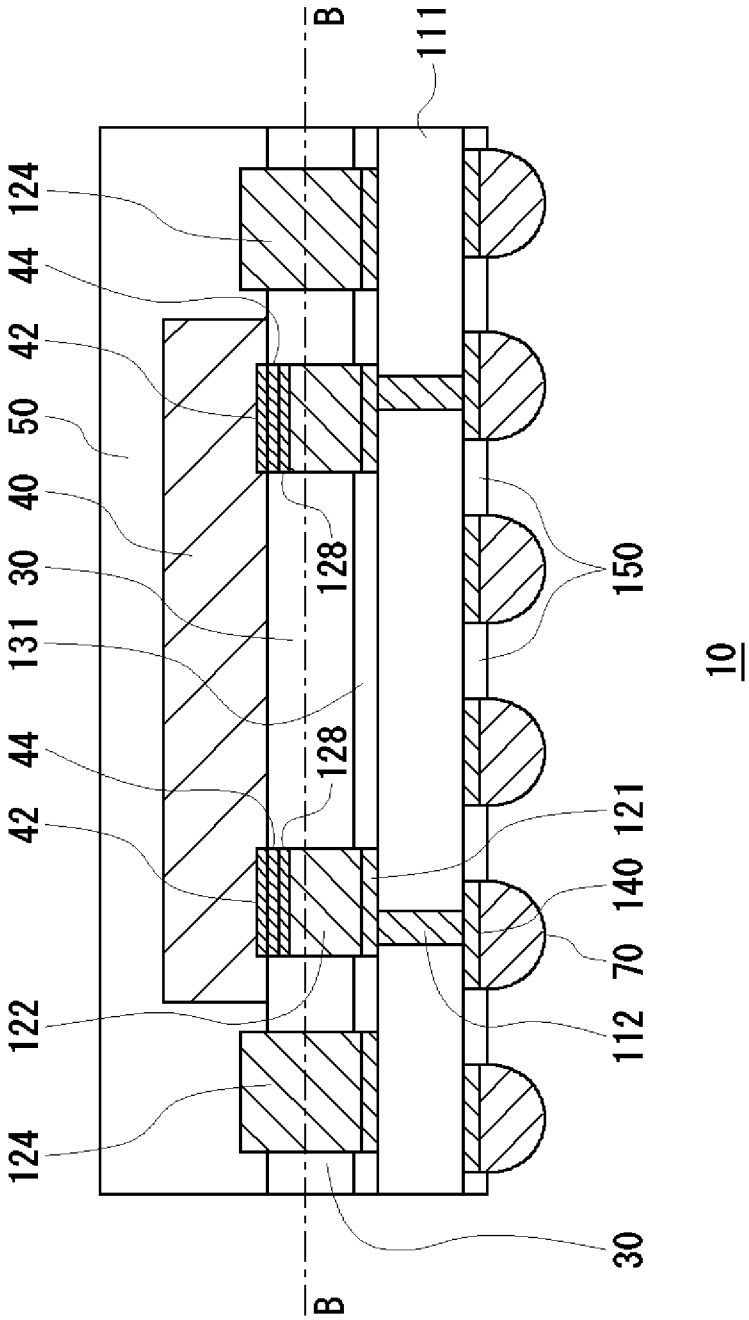
[図17]


111
124
42
44
128
40
30
122
131
150
50
112
140
121
70
(A)
102
240
250
10
(B)

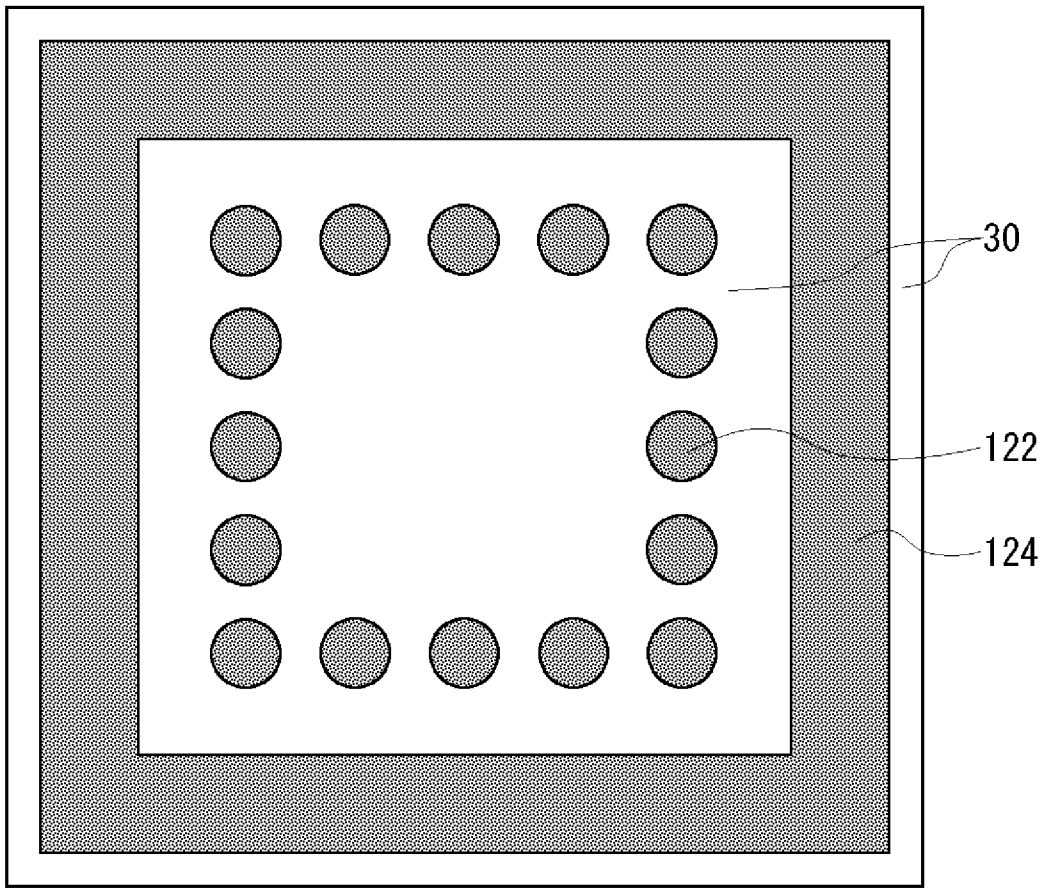
[図18]



[図19]

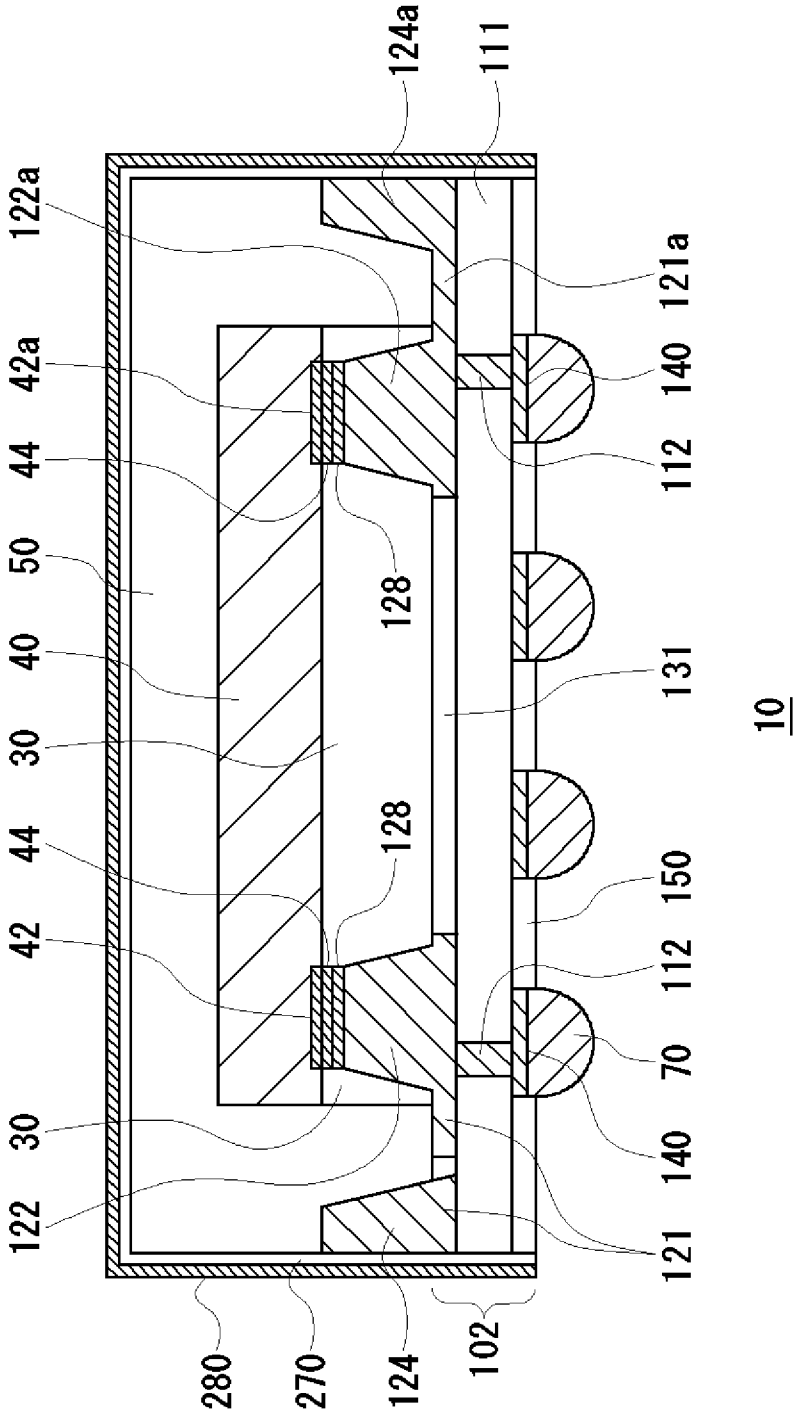

B
111
124
44
42
50
40
30
131
128
150
10
128
121
140
70
112
122
124
30
B

[図20]

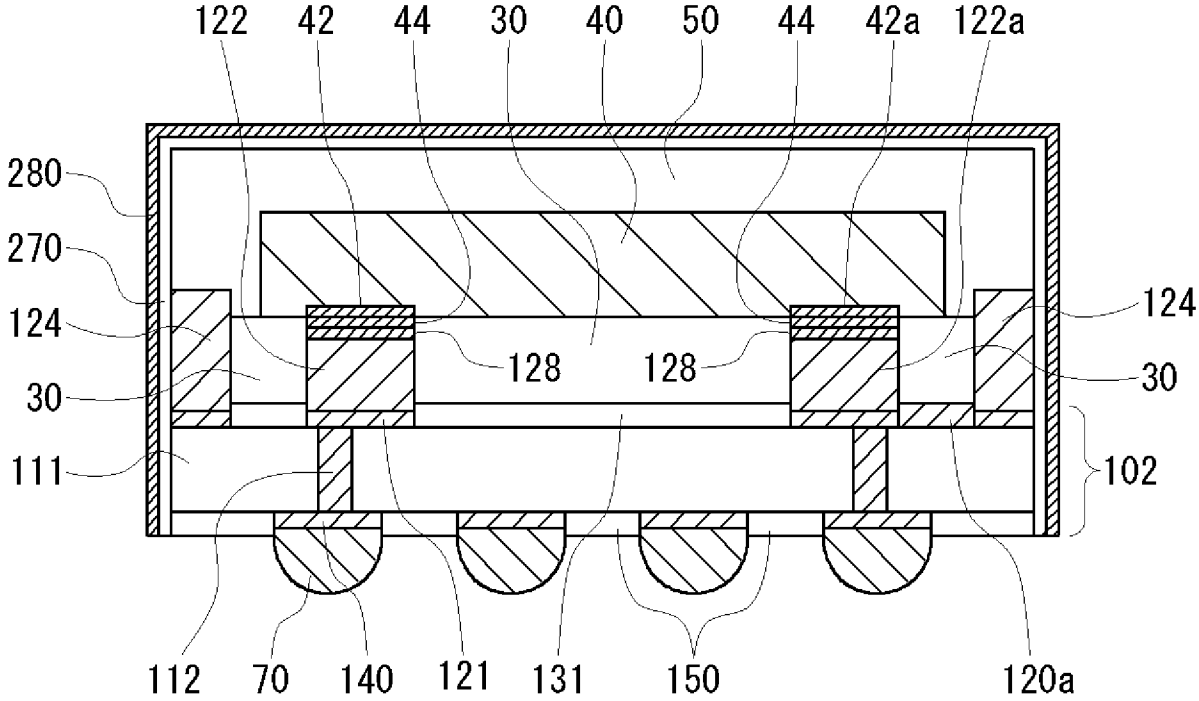


10

[図21]

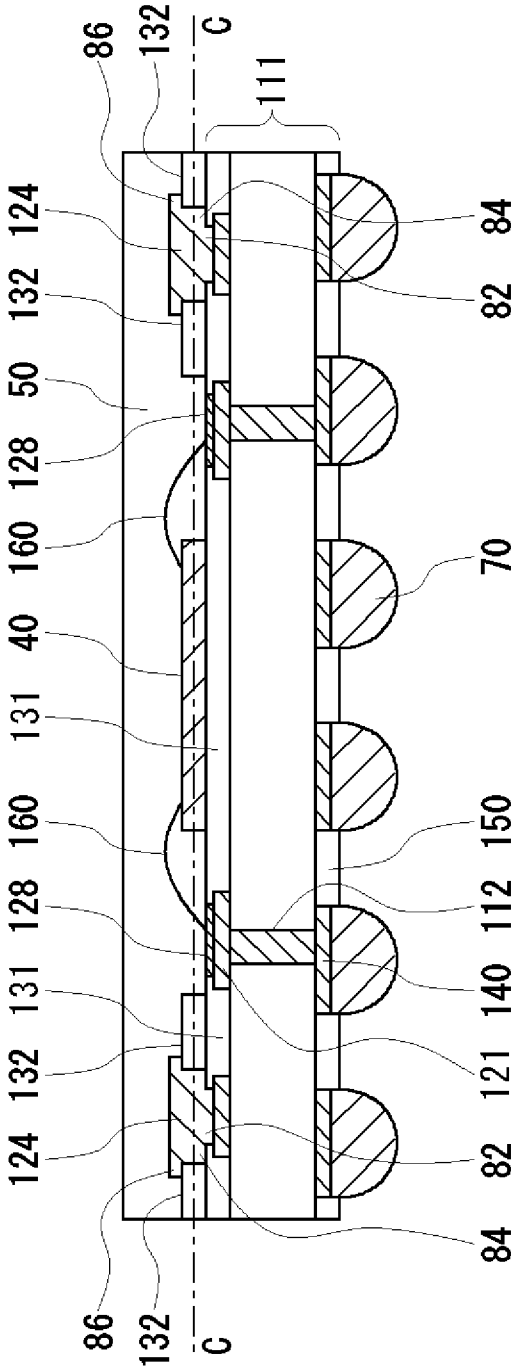

124a
111
122a
121a
42a
140
44
112
50
128
40
131
30
10
44
128
150
42
112
70
30
140
122
121
280
270
124
102

[図22]

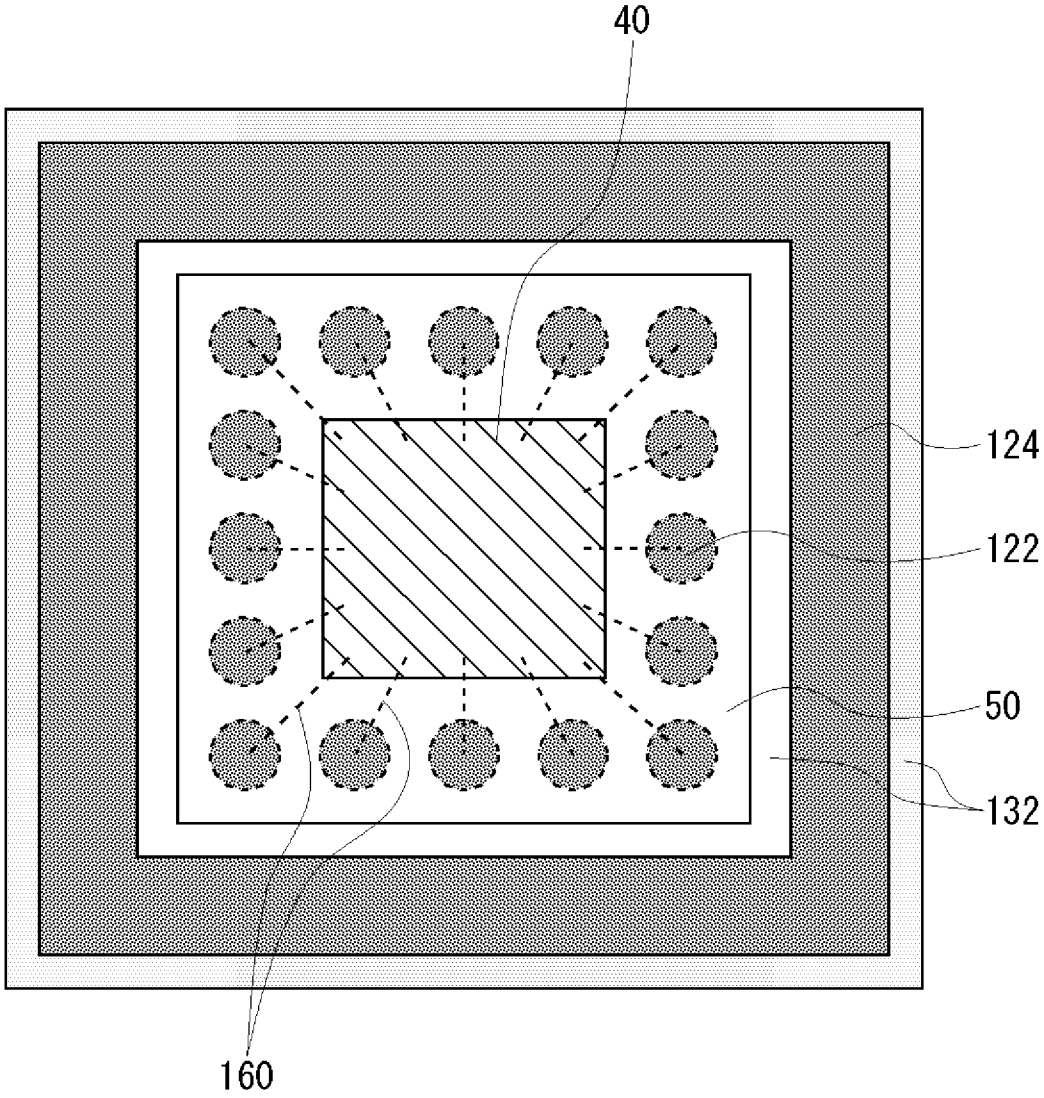

122
42
44
30
40
50
44
42a
122a
280
270
124
30
111
128
128
124
30
102
112
70
140
121
131
150
120a

10

[図23]

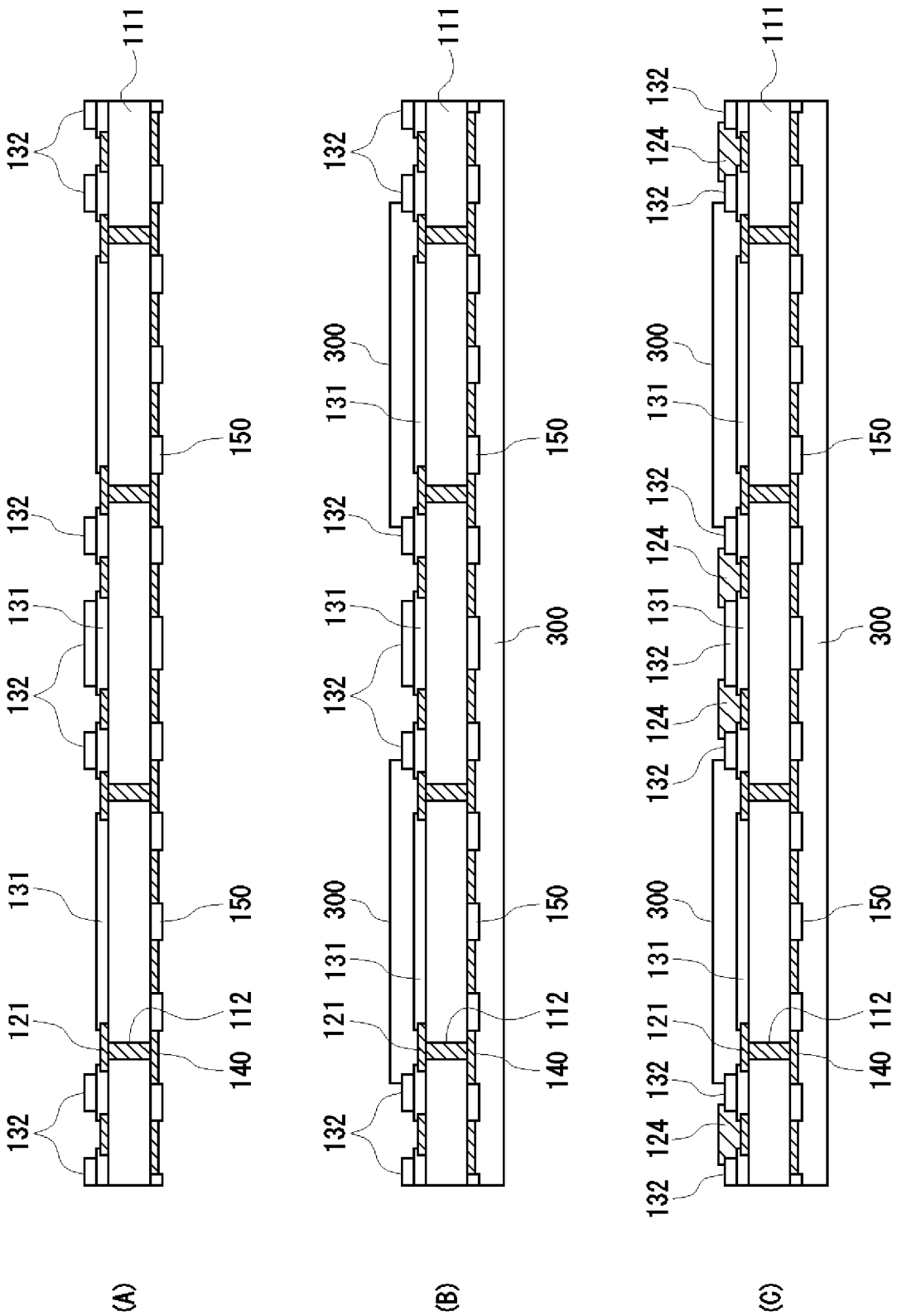

86
132
C
111
124
132
50
128
160
40
131
160
128
131
132
124
84
82
70
150
112
140
121
82
84
86
132
C
10

[図24]

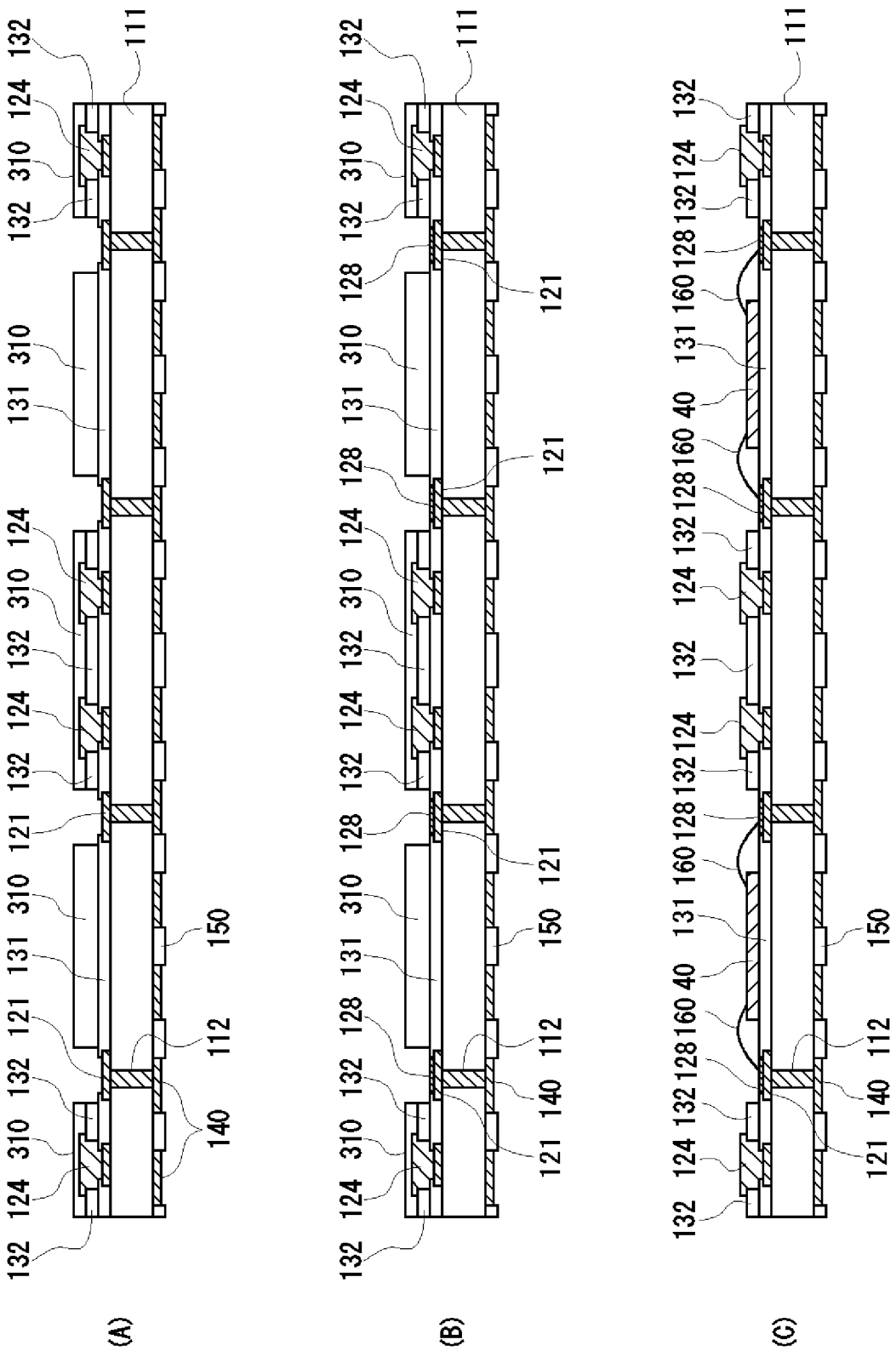


10

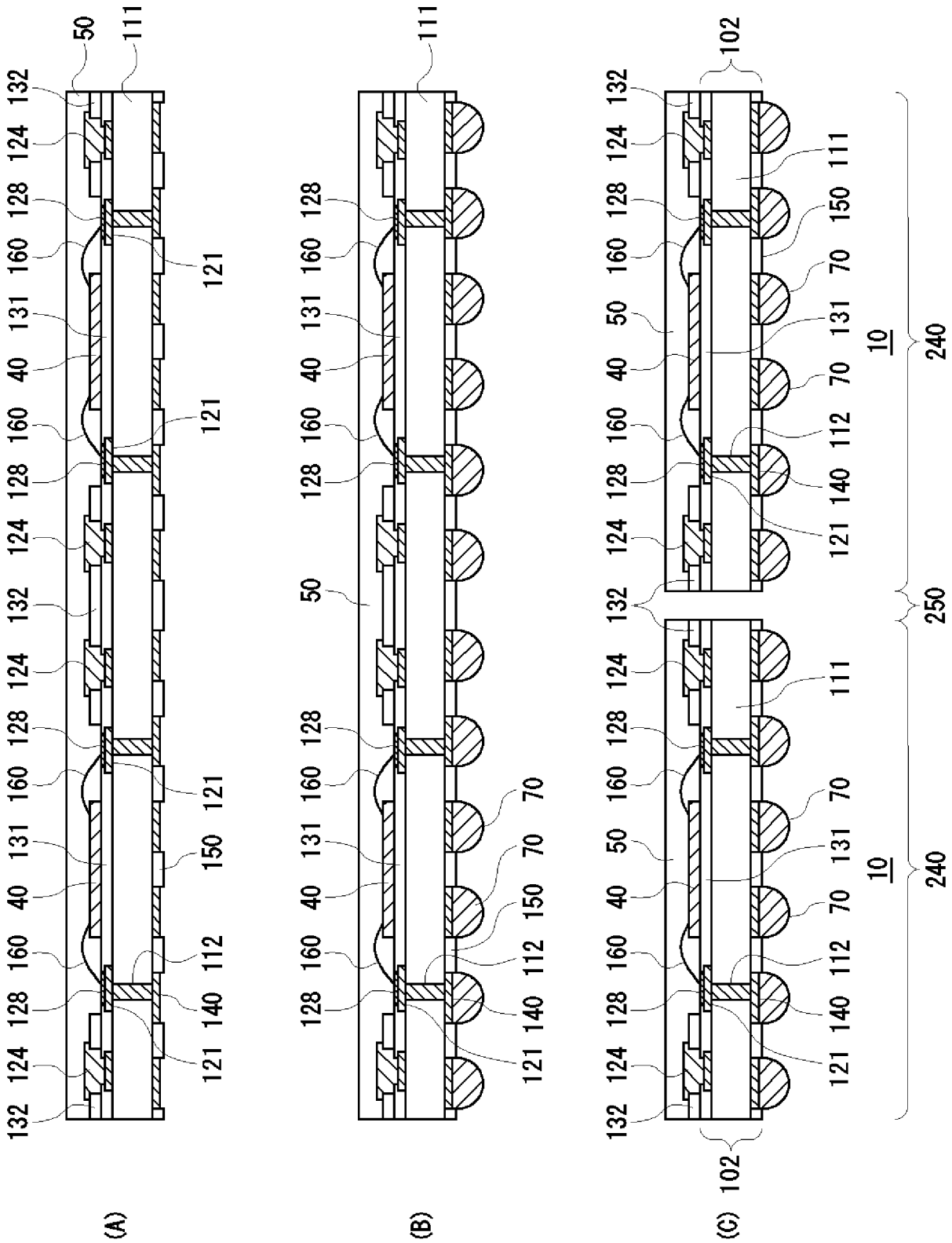
[図25]



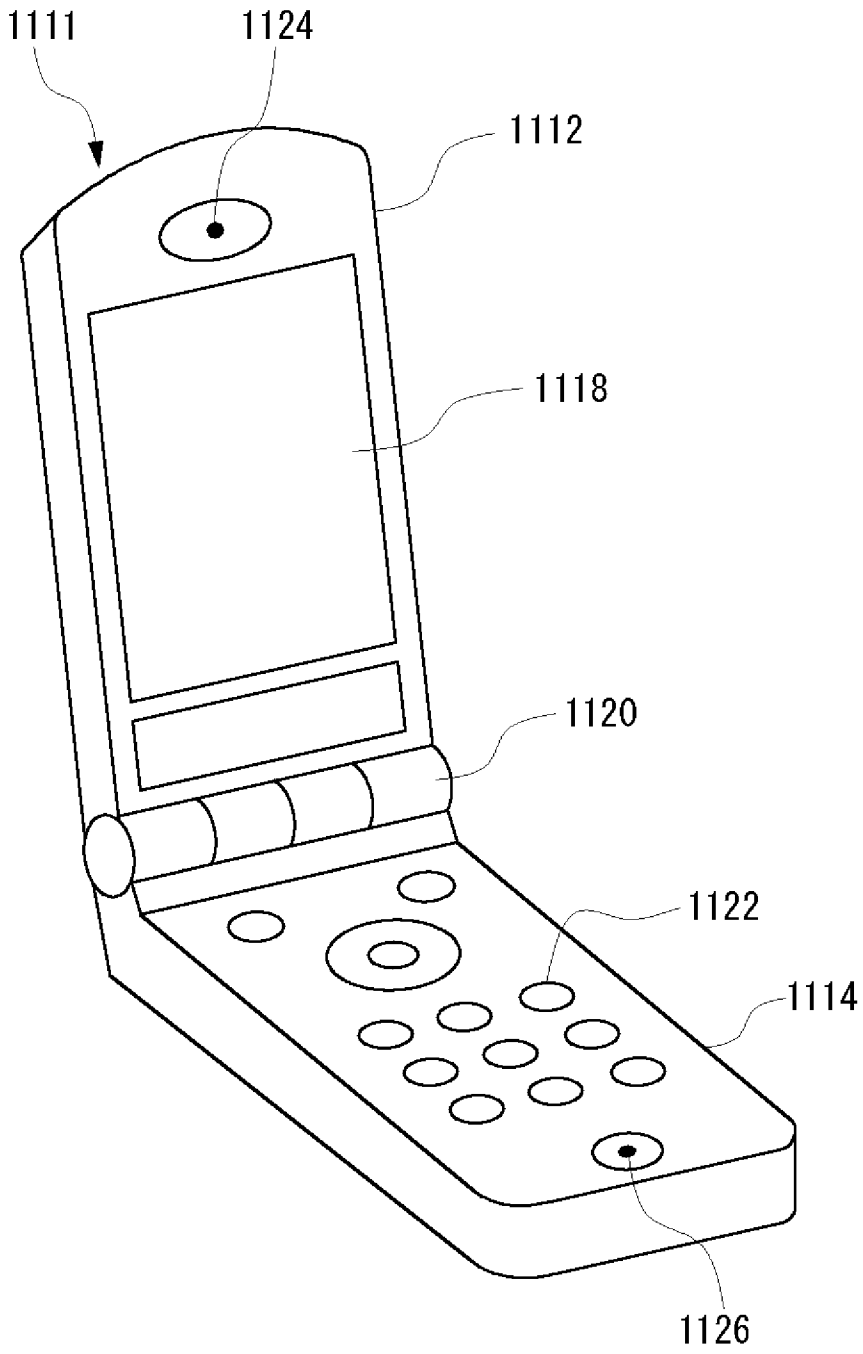
[図26]



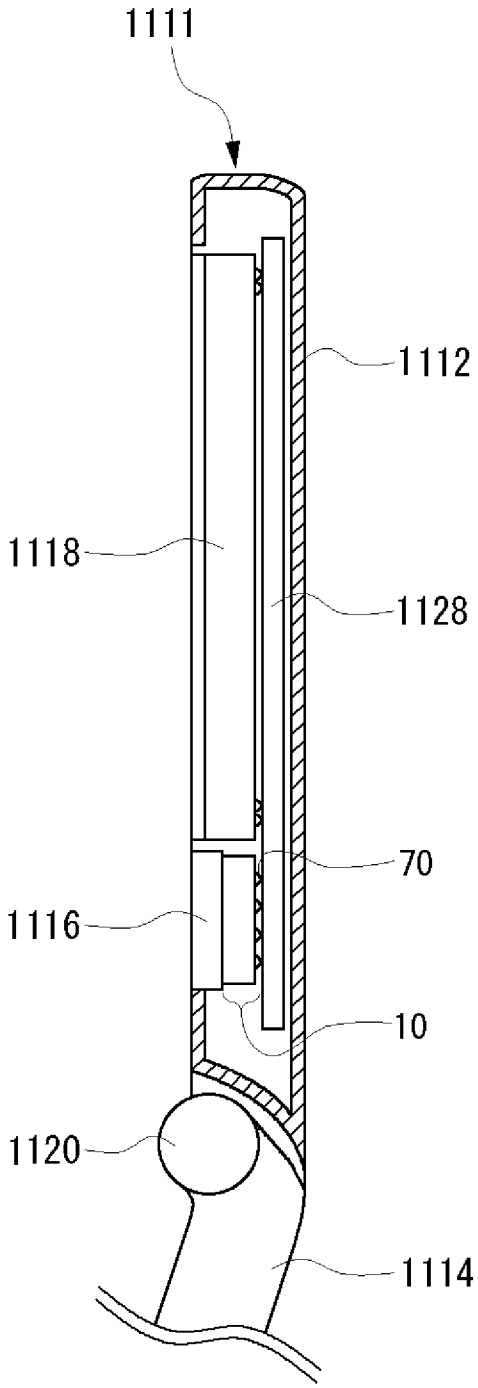
[図27]


(A)
(B)
(C)
50
111
102
132
124
128
160
131
40
121
150
112
140
70
10
240
250

[図28]



[図29]



INTERNATIONAL SEARCH REPORT

International application No.
PCT/JP2009/003598

A. CLASSIFICATION OF SUBJECT MATTER
H01L23/12(2006.01)i, *H01L23/29*(2006.01)i, *H01L23/31*(2006.01)i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)
H01L23/12, H01L23/29, H01L23/31

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho	1922-1996	Jitsuyo Shinan Toroku Koho	1996-2009
Kokai Jitsuyo Shinan Koho	1971-2009	Toroku Jitsuyo Shinan Koho	1994-2009

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	JP 2005-340862 A (North Corp.), 08 December, 2005 (08.12.05), (Family: none)	1-14
A	JP 2003-7904 A (Hitachi, Ltd.), 10 January, 2003 (10.01.03), (Family: none)	1-14
A	JP 7-50383 A (Apic Yamada Corp.), 21 February, 1995 (21.02.95), (Family: none)	1-14

☐ Further documents are listed in the continuation of Box C.

☐ See patent family annex.

* Special categories of cited documents:
"A" document defining the general state of the art which is not considered to be of particular relevance
"E" earlier application or patent but published on or after the international filing date
"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)
"O" document referring to an oral disclosure, use, exhibition or other means
"P" document published prior to the international filing date but later than the priority date claimed
"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
"&" document member of the same patent family

Date of the actual completion of the international search	Date of mailing of the international search report
17 August, 2009 (17.08.09)	25 August, 2009 (25.08.09)
Name and mailing address of the ISA/ Japanese Patent Office	Authorized officer
Facsimile No.	Telephone No.

国際調査報告

国際出願番号　ＰＣＴ／ＪＰ２００９／００３５９８

Ａ．　発明の属する分野の分類（国際特許分類（ＩＰＣ））

Int.Cl.　H01L23/12(2006.01)i, H01L23/29(2006.01)i, H01L23/31(2006.01)i

Ｂ．　調査を行った分野

調査を行った最小限資料（国際特許分類（ＩＰＣ））

Int.Cl.　H01L23/12, H01L23/29, H01L23/31

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	１９２２－１９９６年
日本国公開実用新案公報	１９７１－２００９年
日本国実用新案登録公報	１９９６－２００９年
日本国登録実用新案公報	１９９４－２００９年

国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）

Ｃ．　関連すると認められる文献

引用文献のカテゴリー＊	引用文献名　及び一部の箇所が関連するときは、その関連する箇所の表示	関連する請求項の番号
A	JP 2005-340862 A (株式会社ノース) 2005.12.08, (ファミリーなし)	1-14
A	JP 2003-7904 A (株式会社日立製作所) 2003.01.10, (ファミリーなし)	1-14
A	JP 7-50383 A (アピックヤマダ株式会社) 1995.02.21, (ファミリーなし)	1-14

☐　Ｃ欄の続きにも文献が列挙されている。

☐　パテントファミリーに関する別紙を参照。

＊　引用文献のカテゴリー

「Ａ」特に関連のある文献ではなく、一般的技術水準を示すもの

「Ｅ」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの

「Ｌ」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）

「Ｏ」口頭による開示、使用、展示等に言及する文献

「Ｐ」国際出願日前で、かつ優先権の主張の基礎となる出願の日の後に公表された文献

「Ｔ」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの

「Ｘ」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの

「Ｙ」特に関連のある文献であって、当該文献と他の１以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの

「＆」同一パテントファミリー文献

国際調査を完了した日	国際調査報告の発送日
１７．０８．２００９	２５．０８．２００９

国際調査機関の名称及びあて先
日本国特許庁（ＩＳＡ／ＪＰ）
郵便番号１００－８９１５
東京都千代田区霞が関三丁目４番３号

特許庁審査官（権限のある職員）　４Ｒ　９２６５
坂本　薫昭
電話番号　０３－３５８１－１１０１　内線　３４７１