

(19) 日本国特許庁(JP)

(12) 特許公報(B2)

(11) 特許番号

特許第6482595号
(P6482595)

(45) 発行日 平成31年3月13日(2019.3.13)

(24) 登録日 平成31年2月22日(2019.2.22)

(51) Int.Cl. F I
 H O 1 L 21/02 (2006.01) H O 1 L 27/12 B
 H O 1 L 27/12 (2006.01)

請求項の数 14 外国語出願 (全 10 頁)

(21) 出願番号	特願2017-99123 (P2017-99123)	(73) 特許権者	507088071 ソイテック
(22) 出願日	平成29年5月18日 (2017.5.18)		
(65) 公開番号	特開2018-11042 (P2018-11042A)	(74) 代理人	110001243 特許業務法人 谷・阿部特許事務所
(43) 公開日	平成30年1月18日 (2018.1.18)	(72) 発明者	セドリック マラクイン フランス 38530 ポンシャラ リュ ディ ヴィラルール ノワール シュマン ドゥ プラン 87
審査請求日	平成29年5月18日 (2017.5.18)	(72) 発明者	リュドヴィク エカルノ フランス 38410 ヴォルナヴェール ーオー アベニュー ドゥ ゴルフ 40 7
(31) 優先権主張番号	1654689		
(32) 優先日	平成28年5月25日 (2016.5.25)		
(33) 優先権主張国	フランス (FR)		

最終頁に続く

(54) 【発明の名称】 高抵抗率半導体基板を製造するための方法

(57) 【特許請求の範囲】

【請求項 1】

高抵抗率半導体基板を製造するための方法であって、
 深さ方向の弱化層(102)を有する第1の基板(101)を提供する工程と、
 表面に酸化膜層(104)を有する第2の基板(103)を提供する工程と、
 埋込み酸化膜層(104)を備えた複合基板(105)を形成するように前記第1の基
 板(101)を前記第2の基板(103)に取り付ける工程と、
前記酸化膜層(104)によって第2の基板(103)に取付けられた前記第1の基板
(101)の転写された層(1011, 2011)を残すように、前記前記弱化層(10
2)のレベルで前記複合基板(105)を劈開する工程と
 を含み、

前記弱化層(102)のレベルで前記劈開する工程の前に、前記酸化膜層(104)を
 有する前記第2の基板(103)の安定化の少なくとも1つの工程をさらに含むことを特
 徴とする方法。

【請求項 2】

前記安定化の少なくとも1つの工程は、核生成、析出、および析出物の成長の工程であ
 ることを特徴とする請求項1に記載の方法。

【請求項 3】

前記弱化層(102)は、前記第1の基板(101)内のイオン注入によって提供され
 ることを特徴とする請求項1又は2に記載の方法。

【請求項 4】

前記酸化膜層(104)を有する前記第2の基板(103)の前記安定化の少なくとも1つの工程は、前記2つの基板(101、103)を取り付ける前記工程の前に実施されることを特徴とする請求項1ないし3のいずれか1つに記載の方法。

【請求項 5】

前記第1の基板(101)は、半導体材料を含むことを特徴とする請求項1ないし4のいずれか1つに記載の方法。

【請求項 6】

前記第2の基板(103)は、シリコンを含むことを特徴とする請求項1ないし5のいずれか1つに記載の方法。

10

【請求項 7】

前記少なくとも1つの安定化工程は、約650 から約1200 の範囲内の温度でのいくつかの定常フェーズを含む熱処理であることを特徴とする請求項1ないし6のいずれか1つに記載の方法。

【請求項 8】

定常温度フェーズの持続時間は、約30分から約10時間に及ぶ範囲内であることを特徴とする請求項7に記載の方法。

【請求項 9】

定常温度フェーズの雰囲気は、酸化タイプのものまたは非酸化タイプのもので行うことができることを特徴とする請求項7又は8に記載の方法。

20

【請求項 10】

前記弱化層(102)のレベルで前記複合基板(105)を劈開する前記工程の後、平滑化アニーリングの少なくとも1つの工程をさらに含むことを特徴とする請求項1ないし9のいずれか1つに記載の方法。

【請求項 11】

前記平滑化アニーリングの少なくとも1つの工程は、約1075 から約1250 の範囲内の温度で実施されることを特徴とする請求項10に記載の方法。

【請求項 12】

前記平滑化アニーリングの少なくとも1つの工程は、約15秒から約120秒の範囲内の期間、実施されることを特徴とする請求項10又は11に記載の方法。

30

【請求項 13】

前記平滑化アニーリングの少なくとも1つの工程は、非酸化タイプの雰囲気下で実施されることを特徴とする請求項10ないし12のいずれか1つに記載の方法。

【請求項 14】

前記弱化層(102)のレベルで前記複合基板(105)を劈開する前記工程の後、前記第1の基板(101)の残部(1012)をリサイクルする工程をさらに含むことを特徴とする請求項1ないし13のいずれか1つに記載の方法。

【発明の詳細な説明】

【技術分野】

【0001】

40

本発明は、層転写によって高抵抗率半導体基板を製造するための方法に関し、詳細には、高抵抗率を有し高濃度の格子間(interstitial)酸素を有するシリコンオンインシュレータタイプの基板の改善に関する。

【背景技術】

【0002】

高濃度の格子間酸素(または「高[O_i]」またはそうでなければ「HiO_i」)を有するシリコンオンインシュレータ(または「SOI」)タイプの高抵抗率(または「HR」)半導体基板の使用は、基板を高い抵抗性にするためにシリコン内に存在する酸素を安定化することを目標とした熱処理(核生成、析出)の使用を必要とすることが広く受け入れられている。

50

【0003】

この文脈では、「高抵抗率」は、約750 \cdot m以上を意味するものと理解され、「高濃度の格子間酸素」は、約25 ppm以上、すなわち約 $1.2 \cdot 5 \times 10^{17}$ atoms \cdot cm⁻³以上を意味するものと理解される。

【0004】

上述の安定化工程は、従来、たとえば知られているSmartCut（登録商標）技法によって実施される層転写の後でSOIの犠牲酸化の工程中に実施される。従来、安定化工程は、より具体的には、一般に急速アニーリング、すなわちRTA（「急速熱アニール」）である層転写に続く平滑化アニーリングの後で実施される。公開されている特許出願（特許文献1）は、層転写後の急速アニーリングの工程に続くそのような安定化工程を開示している。

10

【0005】

これらの材料（疑似MOS材料）の電気特性評価を実施するとき、典型的には少なくとも 20×10^{11} cm⁻² \cdot eV⁻¹の値に達し、典型的には電子について 400 cm² \cdot V⁻¹ \cdot s⁻¹以下のSOI内のキャリアの不十分な移動度をもたらす異常に高い界面状態密度が実証されている。SOI膜および埋込み酸化膜コンタクト上のアルミニウムの除去後の追加の解析（MOSキャパシタのC（V）特性）は、少なくとも 5×10^{10} cm⁻²の埋込み酸化膜内の固定電荷値および少なくとも 2×10^{11} cm⁻² \cdot eV⁻¹の頂部界面状態密度を明らかにしており、したがって、この不十分な界面品質の源が埋込み酸化膜下の界面に由来していたことを示す。

20

【0006】

提案されている1つの仮説は、平滑化アニーリング（RTAタイプ）が基板内の安定化されていない酸素の分布の改変をもたらし、したがって埋込み酸化膜下のトラップの量を増大させることである。

【0007】

この問題を克服するための1つの解決策は、シリコン内の酸素の安定化アニーリング（核生成、析出）を必要としない非常に低い濃度の格子間酸素（すなわち、「低[O_i]」）、すなわち約12 ppm未満、すなわち約 6×10^{17} atoms \cdot cm⁻³未満を有するHR基板の使用にある。これは、このタイプの基板が特定の処理を実施する必要なしに、自然に高い抵抗性であるからである。

30

【0008】

しかし、低[O_i]HR基板の欠点は、熱処理中の転位の伝播に対する非常に高い感受性である。そのため、そのような基板を使用して滑り面タイプの欠陥無しSOIを得ることは非常に困難である。

【先行技術文献】

【特許文献】

【0009】

【特許文献1】 仏国特許出願公開第2858462号明細書

【発明の概要】

【発明が解決しようとする課題】

40

【0010】

したがって、高[O_i]HR基板の品質の改善が依然として望ましい。そこで、本発明では、特に高濃度の格子間酸素を有するシリコンオンインシュレータタイプの基板について、知られている現況技術に関して改善された品質の基板を得ることを可能にする高抵抗率半導体基板を製造するための方法を提供することを一目的とするものである。

【課題を解決するための手段】

【0011】

上述の目的は、高抵抗率半導体基板を製造するための方法であって、深さ方向の弱化（in-depth weakened）層を有する第1の基板を提供する工程と、表面に酸化膜の層を有する第2の基板を提供する工程と、埋込み酸化膜層を備えた複合基板を形

50

成するように第1の基板を第2の基板に取り付ける工程と、弱化層のレベルで複合基板を劈開する工程とを含む方法によって達成される。さらに、この方法は、弱化層のレベルで劈開する工程の前に酸化膜層を有する第2の基板の安定化、特に安定化熱処理の少なくとも1つの工程を含む。

【0012】

特に特許文献1によって代表される従来技術は、弱化層のレベルで複合基板を劈開した後で行われる工程である平滑化アニーリング工程に続く安定化工程の実施を教示している。しかし、従来技術は、平滑化アニーリング前、特に弱化層の分離前の少なくとも1つの安定化工程の実施を教示していない。

【0013】

驚いたことに、弱化層のレベルで劈開する工程の前、すなわちRTAタイプの平滑化アニーリングを実施する前にシリコン内の格子間酸素の安定化のための少なくとも1つの熱処理（核生成、析出）を実施することによって、特に高濃度の格子間酸素の場合、得られる基板の電気（特に界面）特性を改善することが可能であることが判明している。したがって、好ましくは、前記少なくとも1つの安定化工程は、核生成、析出、および析出物の成長の工程、特にいくつかの定常温度フェーズを含む熱処理とすることができる。

【0014】

換言すれば、本発明は、SOIタイプの基板の準備中、RTAタイプの平滑化処理の前、特に劈開工程前に、高濃度の格子間酸素を有する基板を高い抵抗性にすることに狙いを定めた処理（核生成、析出）を実施することを提案する。したがって、本発明は、そのような基板上でCMOSタイプのトランジスタの準備に適合する電気特性を得ることを可能にする。

【0015】

したがって、本発明によって提供される解決策は、誘発される変形および欠陥の点で熱処理に非常に敏感な非常に低濃度の格子間酸素を有する基板に頼る必要なしに、RF、フォトリソグラフィ、イメージング、デジタルなどのタイプの応用例のためのSOI基板を準備する際に、高濃度の格子間酸素を有する基板を使用することを可能にすることが有利である。

【0016】

本発明の実施形態の可能な代替形態によれば、限定は暗示されないが、いくつかの実施形態では、弱化層は、第1の基板内のイオン注入によって提供することができる。したがって、SmartCut（登録商標）タイプの技法によって層転写を実施することが可能である。

【0017】

いくつかの実施形態では、酸化膜層を有する第2の基板の安定化の前記少なくとも1つの工程は、2つの基板を取り付ける工程の前に実施することができることが好ましい。したがって、前記少なくとも1つの安定化工程は、あらゆる場合に、劈開前、したがって劈開に続く何らかの平滑化アニーリング前に実施することができる。

【0018】

いくつかの実施形態では、第1の基板、換言すれば層転写におけるドナー基板は、半導体材料、特にシリコン、ゲルマニウム、またはシリコンとゲルマニウムの化合物を含むことができる。より一般的には、ドナー基板は、III-V族半導体の1もしくは複数の合金および/またはIV族の半導体の1もしくは複数の合金を含むことができる。

【0019】

いくつかの実施形態では、第2の基板は、特に高濃度の格子間酸素を有するシリコンを含むことができる。好ましくは、第2の基板は、少なくとも約 $1.2 \times 10^{17} \text{ atoms} \cdot \text{cm}^{-3}$ の濃度の格子間酸素を有するシリコンを含むことができる。

【0020】

いくつかの実施形態では、前記少なくとも1つの安定化工程は、約650 から約1200 の範囲内の温度でのいくつかの定常フェーズを含む熱処理である。

10

20

30

40

50

【 0 0 2 1 】

いくつかの実施形態では、定常温度フェーズの持続時間は、約 30 分から約 10 時間に及ぶ範囲内、好ましくは約 1 時間から約 8 時間に及ぶ範囲内である。

【 0 0 2 2 】

いくつかの実施形態では、定常温度フェーズの雰囲気は、特に水および酸素に基づく酸化タイプのもの、またはアルゴンに基づくガスを用いた非酸化タイプ、特に中性タイプのものですることができる。

【 0 0 2 3 】

定常温度フェーズのための上記パラメータは、特に高濃度の格子間酸素の場合、得られる基板の電気（特に界面）特性を改善することを可能にする結果をもたらす。

10

【 0 0 2 4 】

いくつかの実施形態では、この方法は、弱化層のレベルで複合基板を劈開する工程の後、平滑化アニーリング、特に急速熱アニーリングの少なくとも 1 つの工程をさらに含むことができる。したがって、層転写後、基板の表面粗さを改善することが可能である。

【 0 0 2 5 】

いくつかの実施形態では、平滑化アニーリングの前記少なくとも 1 つの工程は、約 1075 から約 1250、好ましくは約 1175 から約 1230 の範囲内の温度、特に約 1200 の温度で実施することができる。

【 0 0 2 6 】

いくつかの実施形態では、平滑化アニーリングの前記少なくとも 1 つの工程は、約 15 秒から約 120 秒、好ましくは約 20 秒から約 90 秒の範囲内の期間、特に約 30 秒の期間の間、実施することができる。

20

【 0 0 2 7 】

いくつかの実施形態では、平滑化アニーリングの前記少なくとも 1 つの工程は、特に水素の 0% から約 50% に及ぶことができる組成でアルゴンおよび / または水素を含む非酸化タイプの雰囲気下で実施することができる。

【 0 0 2 8 】

いくつかの実施形態では、この方法は、弱化層のレベルで複合基板を劈開する工程の後、第 1 の基板の残部をリサイクルする工程をさらに含むことができる。したがって、他の層転写プロセスのためのドナー基板として残部を再び再使用することが可能である。

30

【 図面の簡単な説明 】

【 0 0 2 9 】

続いて、本発明について、有利な実施形態により、また以下の添付の図を助けとして、より詳細に述べる。

【 図 1 】本発明の第 1 の例示的な実施形態による高抵抗率半導体基板を製造するための方法の工程の概略図である。

【 図 2 】本発明の第 2 の例示的な実施形態による高抵抗率半導体基板を製造するための方法の工程の概略図である。

【 発明を実施するための形態 】

【 0 0 3 0 】

本発明による高抵抗率半導体基板を製造するための方法の例示的な実施形態の以下の説明では、同様の符号を使用し、異なる実施形態において繰り返される同じ要素を示すことができる。さらに、すでに述べた要素の説明は、簡潔にするために省略されてよい。

40

【 0 0 3 1 】

次に、高抵抗率半導体基板を製造するための方法の第 1 の例示的な実施形態について、図 1 を参照して述べる。この実施形態では、半導体材料の層の転写が、ドナー基板からレシーバ基板に向かって実施されることになる。

【 0 0 3 2 】

図 1 の工程 (I) に示されているように、深さ方向の弱化層 102 を備えたドナー基板 101 が、レシーバ基板に向かって層転写を実施するために提供される。基板 101 は、

50

半導体材料、たとえばシリコン、ゲルマニウム、またはシリコンとゲルマニウムの化合物とすることができる。より一般的には、ドナー基板は、III-V族半導体の1もしくは複数の合金および/またはIV族の半導体の1もしくは複数の合金を含むことができる。

【0033】

図1の工程(III)に示されているように、表面に酸化膜層104を備えた基板103もまた、転写される半導体層を受け取るために提供される。基板103は、シリコン、および特に少なくとも約 $1.2 \times 10^{17} \text{ atoms} \cdot \text{cm}^{-3}$ の濃度で格子間酸素を含むことができる。酸化膜層104は、自然酸化膜の層、または成長によって得られた、もしくはそうでなければ堆積された SiO_2 の層とすることができる。また、層104は、たとえばアルミナ(Al_2O_3)タイプの、またはやはり Si_3N_4 など窒化膜タイプの半導体で使用される絶縁体とすることができる。

10

【0034】

図1の工程(III)に示されているように、ドナー基板101からの層の転写前、特に後者に取り付けられる前に、表面に酸化膜層104を備えた基板103は、格子間酸素の安定化処理の少なくとも1つの工程にかけられる。したがって、この工程は、核生成、析出、および析出物の成長の工程とすることができる。したがって、これは、いくつかの定常温度フェーズを含む熱処理とすることができる。この処理、特に定常温度フェーズは、特に水および酸素に基づく酸化タイプの雰囲気下、またはそうでなければアルゴンに基づくガスを用いた非酸化タイプ、特に中性タイプの雰囲気下で実施することができる。したがって、酸化膜層104を備えた基板103は、約650 から約1200 の範囲内の温度、特に定常温度フェーズにかけることができる。さらに、この処理、特に各定常温度フェーズは、約30分から約10時間、好ましくは約1時間から約8時間の間、続くことができる。

20

【0035】

それに続いて、安定化処理の後、図1の工程(IV)に示されているように、ドナー基板101が、たとえば分子付着または半導体を接着する任意の他の方法によって、酸化膜層104を介してレシーバ基板103に取り付けられ、特に接着され、それにより埋込み酸化膜層104を有するSOIタイプの複合基板105を形成する。

【0036】

それに続いて、接着工程の後、図1の工程(V)に示されているように、ドナー基板101の一部分1012が、深さ方向の弱層102のレベルで劈開することによって複合基板105から引き離され、それにより酸化膜層104を介してレシーバ基板103に取り付けられたドナー基板101の転写された層1011を残し、したがって転写された層1011を備えた新しい複合基板106を形成する。次いで、複合基板106を、特に急速アニーリング、すなわちRTAタイプの1または複数の平滑化熱処理にかけることによって、転写された層1011の表面粗さを改善することが可能である。さらに、ドナー基板101の残部1012は、別の層転写プロセスにおける新しいドナー基板を形成するようにリサイクルすることができる。

30

【0037】

あらゆる場合に、複合基板105、106は共に、HiOI HR SOIタイプ、すなわち高濃度の格子間酸素を有する高抵抗率シリコンオンインシュレータのタイプの基板である。格子間酸素の安定化の前記少なくとも1つの工程が、層転写の前、換言すれば劈開工程の前、したがって何らかの平滑化アニーリングの前に実施されたことを考えると、 $5 \times 10^{11} \text{ cm}^{-2} \cdot \text{eV}^{-1}$ 未満の界面状態密度、および電子について $700 \text{ cm}^{-2} \cdot \text{V}^{-1} \cdot \text{s}^{-1}$ より大きいSOI内のキャリアの移動度を有するHiOI HR SOI基板を得ることが可能である。次いで、SOI膜および埋込み酸化膜コンタクト上のアルミニウムの除去後、埋込み酸化膜内の固定電荷値は、 $3 \times 10^{10} \text{ cm}^{-2}$ 未満とすることができる。頂部界面状態密度は、 $5 \times 10^{10} \text{ cm}^{-2} \cdot \text{eV}^{-1}$ 未満とすることができる。

40

【0038】

換言すれば、複合基板105、106の電気(特に界面)特性は、従来の方法、すなわ

50

ち安定化工程が平滑化アニーリング後に実施されたはずであるものによって得られる $H_i O_i$ HR SOI 基板に比べて、非常に顕著に改善される。

【0039】

次に、高抵抗率半導体基板を製造するための方法の第2の例示的な実施形態について、図2を参照して述べる。第2の実施形態は、第1の実施形態の特徴すべてを繰り返し、さらに任意選択のプロセス工程の詳細を与える。

【0040】

図2の工程(I)に示されているように、最初に、第1の実施形態のドナー基板101と同じものと同じことができるドナー基板201が提供される。したがって、基板201もまた、シリコン、ゲルマニウム、またはシリコンとゲルマニウムの化合物など半導体材料とすることができる。より一般的には、ドナー基板は、III-V族半導体の1もしくは複数の合金および/またはIV族の半導体の1もしくは複数の合金を含むことができる。

10

【0041】

図2の工程(II)は、それに続いて、第1の実施形態と同様に、レシーバ基板に向かって層転写を実施するために深さ方向の弱化層202を提供するために、ドナー基板201を深さ方向の弱化の工程にかけることができることを示す。この工程は、特にイオン注入によって、特に H^+ および/または He^+ などイオンエンティティの注入によって実施することができる。

【0042】

図2の工程(III)に示されているように、表面に酸化膜の層204を備えた基板203もまた、転写される半導体層を受け取るために提供される。したがって、第1の実施形態の基板103とちょうど同じように、第2の実施形態の基板203は、シリコン、および特に少なくとも約 $1.2 \times 10^{17} \text{ atoms} \cdot \text{cm}^{-3}$ の濃度で格子間酸素を含むことができる。第1の実施形態と同様に、酸化膜の層204は、やはり自然酸化膜の層、成長によって得られた、もしくはそうでなければ堆積された SiO_2 の層、またはアルミナ(Al_2O_3)タイプの、もしくは Si_3N_4 など窒化膜タイプの半導体で使用される絶縁体ともすることができる。

20

【0043】

図2の工程(IV)に示されているように、ドナー基板201からの層の転写前、特に後者に取り付けられる前に、表面に酸化膜の層204を備えた基板203は、格子間酸素の安定化処理の少なくとも1つの工程にかけられる。第1の実施形態と同様に、第2の実施形態では、安定化処理は、核生成、析出、および析出物の成長の工程とすることができる。したがって、これは、いくつかの定常温度フェーズを含む熱処理とすることができる。この処理、特に定常温度フェーズは、特に水および酸素に基づく酸化タイプの雰囲気下、またはそうでなければアルゴンに基づくガスを用いた非酸化タイプ、特に中性タイプの雰囲気下で実施することができる。したがって、酸化膜の層204を備えた基板203はまた、約650 から約1200 の範囲内の温度、特に定常温度フェーズにかけることができる。さらに、この処理、特に各定常温度フェーズは、約30分から約10時間、好ましくは約1時間から約8時間の間、続くことができる。

30

40

【0044】

安定化処理の後、図2の工程(V)に示されているように、第1の実施形態の接着工程と同様に、ドナー基板201およびレシーバ基板203が、酸化膜の層204のレベルで接着され、それにより埋込み酸化膜の層204を有するSOIタイプの複合基板205を形成する。この場合にもやはり、接着は、分子付着または半導体層を接着するための任意の他の方法によって実施することができる。

【0045】

それに続いて、図2の工程(VI)に示されているように、接着の工程の後にやはり、ドナー基板201の一部分2012が深さ方向の弱化層202のレベルで劈開することによって複合基板205から引き離され、それにより酸化膜層204によってレシーバ基板

50

203に取り付けられたドナー基板201の転写された層2011を残し、したがって転写された層2011を備えた新しい複合基板206を形成する劈開の工程が続く。そのような劈開工程は、複合基板205を、 N_2 またはArの中性雰囲気下で、約30分から約5時間の期間の間、約300 から約600 の範囲内の温度にかけることによって実施することができる。

【0046】

それに続いて、劈開工程の後、図2の工程(VII)は、転写された層2011の露出された表面207の粗さを改善することを可能にする任意選択の後続の平滑化工程を示す。この工程は、1または複数のアニーリング、好ましくは1または複数の急速アニーリング、すなわちRTAを含む熱処理を実施することによって実施することができる。次いで、複合基板206を、約1075 から約1250、好ましくは約1175 から約1230 の範囲内の温度、特に約1200 の温度にさらすことができ、これは、約15秒から約120秒、好ましくは約20秒から約90秒の範囲内の期間、特に約30秒の期間の間、特に水素の0%から約50%に及ぶことができる組成でアルゴンおよび/または水素を含む非酸化タイプの雰囲気下で行われる。

10

【0047】

最後に、上述のように、ドナー基板201の残部2012もまた、別の層転写プロセスにおける新しいドナー基板を形成するためにリサイクルすることができる。

【0048】

したがって、第1の実施形態と同様に、第2の実施形態において、 HiO_i HR SOIタイプ、すなわち高濃度の格子間酸素を有する高抵抗率シリコンオンインシュレータのタイプの複合基板205、206を得ることが可能である。特に、格子間酸素の安定化の前記少なくとも1つの工程が、層転写の前、換言すれば劈開工程の前、したがって何らかの平滑化アニーリングの前に実施されたことを考えると、ちょうど第1の実施形態と同様に、第2の実施形態において、 $5 \times 10^{11} \text{ cm}^{-2} \cdot \text{eV}^{-1}$ 未満の界面状態密度、および電子について $700 \text{ cm}^2 \cdot \text{V}^{-1} \cdot \text{s}^{-1}$ より大きいSOI内のキャリアの移動度を有する HiO_i HR SOI基板を得ることが可能である。次いで、SOI膜および埋込み酸化膜コンタクト上のアルミニウムの除去後、埋込み酸化膜内の固定電荷値は、 $3 \times 10^{10} \text{ cm}^{-2}$ 未満とすることができ、頂部界面状態密度は、 $5 \times 10^{10} \text{ cm}^{-2} \cdot \text{eV}^{-1}$ 未満とすることができる。

20

30

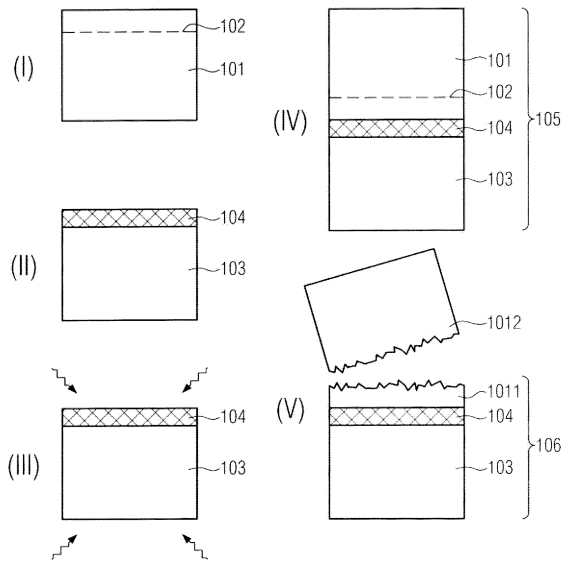
【0049】

換言すれば、複合基板105、106のものと同様に、複合基板205、206の電気特性(特に界面特性)もまた、従来の方法、すなわち安定化工程が平滑化アニーリング後に実施されたはずであるものによって得られる HiO_i HR SOI基板に比べて、非常に顕著に改善される。

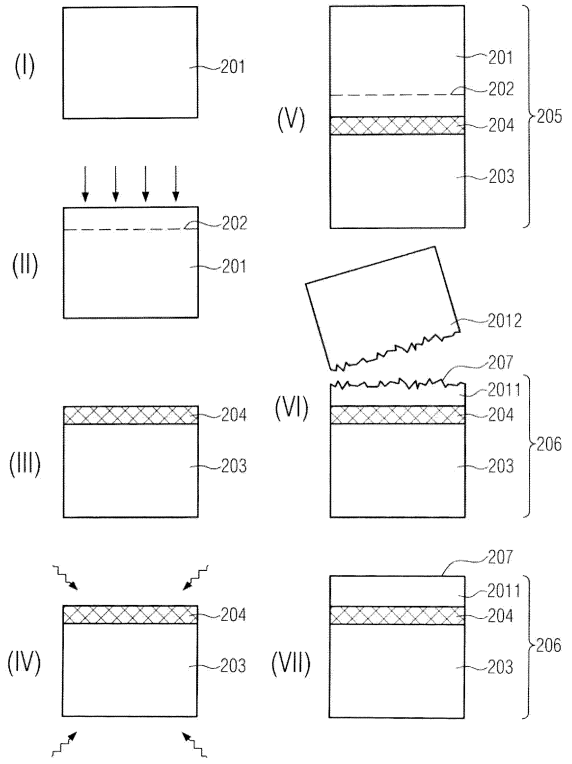
【0050】

さらに、本発明の実施形態の異なる例を互いに組み合わせ、依然として本発明による他の実施形態を生み出すことができる。

【 図 1 】



【 図 2 】



フロントページの続き

(72)発明者 ダミアン パリッシ
フランス 38760 サン - ポール - ド - ヴァルス シュマン ドゥ ベモン 1096ビー

審査官 山本 一郎

(56)参考文献 特表2005 - 524228 (JP, A)
特開2004 - 006615 (JP, A)
特開2016 - 082093 (JP, A)
特表2012 - 520579 (JP, A)
特開2007 - 251129 (JP, A)

(58)調査した分野(Int.Cl. , DB名)
H01L 21/02
H01L 27/12