

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2016 年 1 月 28 日(28.01.2016)



(10) 国際公開番号
WO 2016/012911 A1

- (51) 国際特許分類:
H04N 5/374 (2011.01) *H01L 29/786* (2006.01)
H01L 27/14 (2006.01) *H04N 9/07* (2006.01)
H01L 27/146 (2006.01)
- (21) 国際出願番号: PCT/IB2015/055375
- (22) 国際出願日: 2015 年 7 月 16 日(16.07.2015)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (30) 優先権データ:
特願 2014-151795 2014 年 7 月 25 日(25.07.2014) JP
- (71) 出願人: 株式会社半導体エネルギー研究所
(SEMICONDUCTOR ENERGY LABORATORY CO.,
LTD.) [JP/JP]; 〒2430036 神奈川県厚木市長谷 3 9
8 Kanagawa (JP).
- (72) 発明者: 黒川 義元(KUROKAWA, Yoshiyuki); 〒
2430036 神奈川県厚木市長谷 3 9 8 株式会社半
導体エネルギー研究所内 Kanagawa (JP).
- (81) 指定国 (表示のない限り、全ての種類の国内保
護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA,
BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN,

CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES,
FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN,
IR, IS, JP, KE, KG, KN, KP, KR, KZ, LA, LC, LK, LR,
LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX,
MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH,
PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK,
SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA,
UG, US, UZ, VC, VN, ZA, ZM, ZW.

- (84) 指定国 (表示のない限り、全ての種類の広域保
護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW,
MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), ユー
ロピア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨー
ロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE,
ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC,
MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR),
OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM,
ML, MR, NE, SN, TD, TG).

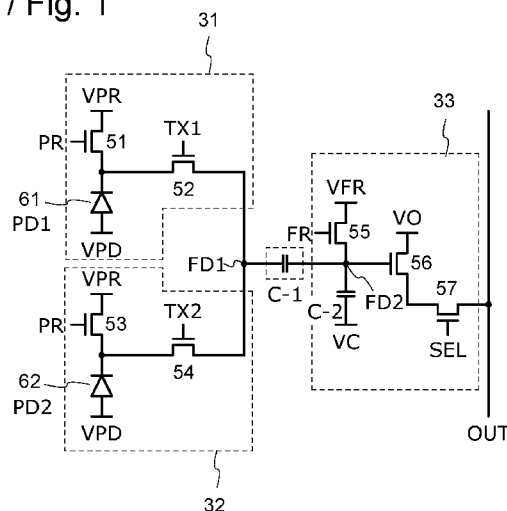
添付公開書類:

- 国際調査報告 (条約第 21 条(3))
- 請求の範囲の補正の期限前の公開であり、補正
を受理した際には再公開される。(規則 48.2(h))

(54) Title: IMAGING APPARATUS

(54) 発明の名称: 撮像装置

[図1] / Fig. 1



(57) Abstract: Provided is an imaging apparatus which does not have a color filter, and which does not require arithmetic processing using an external processing circuit. A first circuit has a first photoelectric conversion element, a first transistor and a second transistor; a second circuit has a second photoelectric conversion element, a third transistor and a fourth transistor; and a third circuit has a fifth transistor, a sixth transistor, a seventh transistor and a second capacitive element. A dispersive element is provided on the first photoelectric conversion element or the second photoelectric conversion element, and the first circuit and the second circuit are connected to a third circuit with a first capacitive element interposed therebetween.

(57) 要約:

[続葉有]

WO 2016/012911 A1



要約書 カラーフィルタを有さず、外部の処理回路を用いた演算処理が不要な撮像装置を提供する。第 1 の回路は、第 1 の光電変換素子と、第 1 のトランジスタと、第 2 のトランジスタを有し、第 2 の回路は、第 2 の光電変換素子と、第 3 のトランジスタと、第 4 のトランジスタを有し、第 3 の回路は、第 5 のトランジスタと、第 6 のトランジスタと、第 7 のトランジスタと、第 2 の容量素子を有し、分光素子は、第 1 の光電変換素子または第 2 の光電変換素子上に設けられており、第 1 の回路および第 2 の回路は、第 1 の容量素子を介して第 3 の回路と接続されている構成とする。

明細書

発明の名称

撮像装置

技術分野

[0001]

本発明の一態様は、撮像装置に関する。

[0002]

なお、本発明の一態様は、上記の技術分野に限定されない。本明細書等で開示する発明の一態様の技術分野は、物、方法、または、製造方法に関するものである。または、本発明の一態様は、プロセス、マシン、マニュファクチャ、または、組成物（コンポジション・オブ・マター）に関するものである。そのため、より具体的に本明細書で開示する本発明の一態様の技術分野としては、半導体装置、表示装置、液晶表示装置、発光装置、照明装置、蓄電装置、記憶装置、撮像装置、それらの駆動方法、または、それらの製造方法、を一例として挙げることができる。

[0003]

なお、本明細書等において半導体装置とは、半導体特性を利用することで機能しうる装置全般を指す。トランジスタ、半導体回路は半導体装置の一態様である。また、記憶装置、表示装置、撮像装置、電子機器は、半導体装置を有する場合がある。

背景技術

[0004]

フォトセンサを有する画素がマトリクス状に配置された半導体装置として、CMOSイメージセンサが知られている。CMOSイメージセンサは、撮像素子としてデジタルカメラや携帯電話などの携帯機器に多く搭載されている。最近では、撮像の高精細化や携帯機器の小型化、低消費電力化により、CMOSイメージセンサの画素の微細化が進んでいる。

[0005]

CMOSイメージセンサにおけるカラーの撮像データの取得は、フォトセンサ上にカラーフィルタを形成し、当該カラーフィルタで入射光を分光した後、各色の光をフォトセンサで検出することによって行う。しかしながら、カラーフィルタは特定の波長範囲の光を透過し、その他の波長の光を吸収するため、入射光の利用効率が悪い。そのため、カラーフィルタの代わりに、入射光を分光する要素を用いた技術が、特許文献1で開示されている。

[先行技術文献]

[特許文献]

[0006]

[特許文献1]国際公開2009/153937号パンフレット

発明の概要

発明が解決しようとする課題

[0007]

特許文献1の構成において、RGB各色の撮像データを求めるためには、直接取得したデータに対して外部の処理回路を用いた演算処理が必要である。そのため、撮像装置の低消費電力化や高速化を行うには、上記演算処理などの省略が可能な構成であることが好ましい。

[0008]

したがって、本発明の一態様では、各色の撮像データを求めるために外部の処理回路を用いた演算処理が不要な撮像装置を提供することを目的の一つとする。または、カラーフィルタを用いずにカラー画像の撮像のできる撮像装置を提供することを目的の一つとする。または、低消費電力の撮像装置を提供することを目的の一つとする。または、高速動作に適した撮像装置を提供することを目的の一つとする。または、高感度の撮像装置を提供することを目的の一つとする。または、ダイナミックレンジの広い撮像装置を提供することを目的の一つとする。または、解像度の高い撮像装置を提供することを目的の一つとする。または、低コストの撮像装置を提供することを目的の一つとする。または、信頼性の高い撮像装置を提供することを目的の一つとする。または、新規な撮像装置などを提供することを目的の一つとする。または、新規な半導体装置などを提供することを目的の一つとする。

[0009]

なお、これらの課題の記載は、他の課題の存在を妨げるものではない。なお、本発明の一態様は、これらの課題の全てを解決する必要はないものとする。なお、これら以外の課題は、明細書、図面、請求項などの記載から、自ずと明らかとなるものであり、明細書、図面、請求項などの記載から、これら以外の課題を抽出することが可能である。

課題を解決するための手段

[0010]

本発明の一態様は、分光素子を有する撮像装置に関する。

[0011]

本発明の一態様は、画素回路と、分光素子と、を有する撮像装置であって、画素回路は、第1の回路と、第2の回路と、第3の回路と、第1の容量素子と、を有し、第1の回路は、第1の光電変換素子と、第1のトランジスタと、第2のトランジスタを有し、第2の回路は、第2の光電変換素子と、第3のトランジスタと、第4のトランジスタを有し、第3の回路は、第5のトランジスタと、第6のトランジスタと、第7のトランジスタと、第2の容量素子を有し、分光素子は、第1の光電変換素子または第2の光電変換素子上に設けられ、第1の光電変換素子の一方の端子は、第1のトランジスタのソースまたはドレインの一方と電気的に接続され、第2のトランジスタのソースまたはドレインの一方は、第1のトランジスタのソースまたはドレインの一方と電気的に接続され、第1のトランジスタのソースまたはドレインの他方は、第1の容量素子の一方の端子と電気的に接続され、第2の光電変換素子の一方の端子は、第3のトランジスタのソースまたはドレインの一方と電気的に接続され、第4のトランジスタのソースまたはドレインの一方は、第3のトランジスタのソースまたはドレインの一方と電気的に接続され、第4のトランジスタのソースまたはドレインの他方は、第1の容量素子の一方の端子と電気的に接続され、第5のトランジスタのソースまたはドレインの一方は、第1の容量素子の他方の端子と電気的に接続され、第2の容量素子の一方の端子は、第1の容量素子の他方の端子と電気的に接続され、第6のトランジスタのゲートは、第1の容量素子の他方の端子と電気的に接続され、第6のトランジスタのソースまたはドレインの一方は、第7のトランジスタのソースまたはドレイン一方と電気的に接続されていることを特徴とする撮像装置である。

[0012]

第1の光電変換素子および第2の光電変換素子は、同等の構成であることが好ましい。

[0013]

第1の容量素子は、第2の容量素子よりも容量値が大きいことが好ましい。

[0014]

第1の光電変換素子の一方の端子、第1のトランジスタのソースまたはドレインの一方、および第1の容量素子の一方の端子間における容量値と、第2の光電変換素子の一方の端子、第3のトランジスタのソースまたはドレインの一方、および第1の容量素子の一方の端子間における容量値とは、同等であることが好ましい。

[0015]

分光素子は、第1の光電変換素子上に設けられ、第1の光電変換素子には、画素回路に入射された光(W)から、赤(R)、緑(G)、青(B)に対応する波長の光成分のいずれか一つが除かれたW-R、W-GまたはW-Bの光が入射し、第2の光電変換素子には、画素回路に入射された光(W)および除かれた光が合成されたW+R、W+GまたはW+Bが入射する構成とすることができる。

[0016]

上記構成において、第2の光電変換素子には、隣接する画素における上記除かれた光の一部が入射されてもよい。

[0017]

また、分光素子は、第2の光電変換素子上に設けられ、第2の光電変換素子には、画素回路に入射された光(W)から、赤(R)、緑(G)、青(B)に対応する波長の光成分の $1/2$ のいずれか二つが除かれた $W - (R/2) - (B/2)$ 、 $W - (R/2) - (G/2)$ または $W - (B/2) - (G/2)$ の光が入射し、第1の光電変換素子には、画素回路に入射された光(W)および除かれた光が合成された $W + (R/2) + (B/2)$ 、 $W + (R/2) + (G/2)$ または $W + (B/2) + (G/2)$ が入射する構成とすることもできる。

[0018]

第1乃至第7のトランジスタの一部または全ては、活性層に酸化物半導体を有し、当該酸化物半導体は、Inと、Znと、M(MはAl、Ti、Ga、Sn、Y、Zr、La、Ce、NdまたはHf)と、を有することが好ましい。

発明の効果

[0019]

本発明の一態様により、各色の撮像データを求めるために外部の処理回路を用いた演算処理が不要な撮像装置を提供することができる。または、カラーフィルタを用いずにカラー画像の撮像のできる撮像装置を提供することができる。または、低消費電力の撮像装置を提供することができる。または、高速動作に適した撮像装置を提供することができる。または、高感度の撮像装置を提供することができる。または、ダイナミックレンジの広い撮像装置を提供することができる。または、解像度の高い撮像装置を提供することができる。または、低コストの撮像装置を提供することができる。または、信頼性の高い撮像装置を提供することができる。または、新規な撮像装置などを提供することができる。または、新規な半導体装置などを提供することができる。

[0020]

なお、これらの効果の記載は、他の効果の存在を妨げるものではない。なお、本発明の一態様は、必ずしも、これらの効果の全てを有する必要はない。なお、これら以外の効果は、明細書、図面、請求項などの記載から、自ずと明らかとなるものであり、明細書、図面、請求項などの記載から、これら

以外の効果を抽出することが可能である。

図面の簡単な説明

[0 0 2 1]

- [図 1] 撮像装置が有する画素の回路図。
- [図 2] 撮像装置が有する分光素子および光電変換素子の位置関係を説明する模式図。
- [図 3] 撮像装置が有する分光素子および光電変換素子の位置関係を説明する模式図。
- [図 4] 画素の形態を説明する上面図。
- [図 5] 画素の断面を説明する図。
- [図 6] 画素回路の動作を説明するタイミングチャート。
- [図 7] 画素回路および画素回路の動作を説明するタイミングチャート。
- [図 8] 撮像装置が有する画素の回路図。
- [図 9] 画素の配列を説明する図。
- [図 10] 回路部を含む撮像装置の断面図。
- [図 11] 湾曲した撮像装置を説明する図。
- [図 12] グローバルシャッタ方式の動作を説明するタイミングチャート。
- [図 13] ローリングシャッタ方式の動作を説明するタイミングチャート。
- [図 14] トランジスタを説明する上面図および断面図。
- [図 15] トランジスタを説明する上面図および断面図。
- [図 16] トランジスタを説明する上面図および断面図。
- [図 17] トランジスタを説明する上面図および断面図。
- [図 18] トランジスタを説明する上面図および断面図。
- [図 19] トランジスタを説明する上面図および断面図。
- [図 20] トランジスタのチャネル幅方向の断面を説明する図。
- [図 21] トランジスタのチャネル長方向の断面を説明する図。
- [図 22] 半導体層を説明する上面図および断面図。
- [図 23] 半導体層を説明する上面図および断面図。
- [図 24] トランジスタを説明する上面図および断面図。
- [図 25] トランジスタを説明する上面図および断面図。
- [図 26] トランジスタを説明する上面図および断面図。
- [図 27] トランジスタを説明する上面図および断面図。
- [図 28] トランジスタを説明する上面図および断面図。
- [図 29] トランジスタを説明する上面図および断面図。
- [図 30] トランジスタのチャネル幅方向の断面を説明する図。
- [図 31] トランジスタのチャネル長方向の断面を説明する図。
- [図 32] トランジスタを説明する上面図。
- [図 33] トランジスタの作製方法を説明する図。
- [図 34] トランジスタの作製方法を説明する図。
- [図 35] トランジスタの作製方法を説明する図。
- [図 36] トランジスタの作製方法を説明する図。

[図 3 7] トランジスタの作製方法を説明する図。

[図 3 8] トランジスタの作製方法を説明する図。

[図 3 9] 電子機器を説明する図。

[図 4 0] 撮像装置が有する画素の回路図。

[図 4 1] 撮像装置が有する画素の回路図。

[図 4 2] 画素の形態を説明する上面図。

発明を実施するための形態

[0022]

実施の形態について、図面を用いて詳細に説明する。但し、本発明は以下の説明に限定されず、本発明の趣旨およびその範囲から逸脱することなくその形態および詳細を様々に変更し得ることは当業者であれば容易に理解される。したがって、本発明は以下に示す実施の形態の記載内容に限定して解釈されるものではない。なお、以下に説明する発明の構成において、同一部分または同様な機能を有する部分には同一の符号を異なる図面間で共通して用い、その繰り返しの説明は省略することがある。なお、図を構成する同じ要素のハッチングを異なる図面間で適宜省略または変更する場合もある。

[0023]

例えば、本明細書等において、XとYとが接続されている、と明示的に記載されている場合は、XとYとが電氣的に接続されている場合と、XとYとが機能的に接続されている場合と、XとYとが直接接続されている場合とが、本明細書等に開示されているものとする。したがって、所定の接続関係、例えば、図または文章に示された接続関係に限定されず、図または文章に示された接続関係以外のものも、図または文章に記載されているものとする。

[0024]

ここで、X、Yは、対象物（例えば、装置、素子、回路、配線、電極、端子、導電膜、層、など）であるとする。

[0025]

XとYとが直接的に接続されている場合の一例としては、XとYとの電氣的な接続を可能とする素子（例えば、スイッチ、トランジスタ、容量素子、インダクタ、抵抗素子、ダイオード、表示素子、発光素子、負荷など）が、XとYとの間に接続されていない場合であり、XとYとの電氣的な接続を可能とする素子（例えば、スイッチ、トランジスタ、容量素子、インダクタ、抵抗素子、ダイオード、表示素子、発光素子、負荷など）を介さずに、XとYとが、接続されている場合である。

[0026]

XとYとが電氣的に接続されている場合の一例としては、XとYとの電氣的な接続を可能とする素子（例えば、スイッチ、トランジスタ、容量素子、インダクタ、抵抗素子、ダイオード、表示素子、発光素子、負荷など）が、XとYとの間に1個以上接続されることが可能である。なお、スイッチは、オンオフが制御される機能を有している。つまり、スイッチは、導通状態（オン状態）、または、非導通状態（オフ状態）になり、電流を流すか流さないかを制御する機能を有している。または、スイッチは、電流を流す経路を選択して切り替える機能を有している。なお、XとYとが電氣的に接続されている場合は、XとYとが直接的に接続されている場合を含むものとする。

[0027]

XとYとが機能的に接続されている場合の一例としては、XとYとの機能的な接続を可能とする回路

(例えば、論理回路(インバータ、NAND回路、NOR回路など)、信号変換回路(DA変換回路、AD変換回路、ガンマ補正回路など)、電位レベル変換回路(電源回路(昇圧回路、降圧回路など)、信号の電位レベルを変えるレベルシフト回路など)、電圧源、電流源、切り替え回路、増幅回路(信号振幅または電流量などを大きく出来る回路、オペアンプ、差動増幅回路、ソースフォロワ回路、バッファ回路など)、信号生成回路、記憶回路、制御回路など)が、XとYとの間に1個以上接続されることが可能である。なお、一例として、XとYとの間に別の回路を挟んでいても、Aから出力された信号がBへ伝達される場合は、XとYとは機能的に接続されているものとする。なお、XとYとが機能的に接続されている場合は、XとYとが直接的に接続されている場合と、XとYとが電氣的に接続されている場合とを含むものとする。

[0028]

なお、XとYとが電氣的に接続されている、と明示的に記載されている場合は、XとYとが電氣的に接続されている場合(つまり、XとYとの間に別の素子又は別の回路を挟んで接続されている場合)と、XとYとが機能的に接続されている場合(つまり、XとYとの間に別の回路を挟んで機能的に接続されている場合)と、XとYとが直接接続されている場合(つまり、XとYとの間に別の素子又は別の回路を挟まずに接続されている場合)とが、本明細書等の開示されているものとする。つまり、電氣的に接続されている、と明示的に記載されている場合は、単に、接続されている、とのみ明示的に記載されている場合と同様な内容が、本明細書等の開示されているものとする。

[0029]

なお、例えば、トランジスタのソース(又は第1の端子など)が、Z1を介して(又は介さず)、Xと電氣的に接続され、トランジスタのドレイン(又は第2の端子など)が、Z2を介して(又は介さず)、Yと電氣的に接続されている場合や、トランジスタのソース(又は第1の端子など)が、Z1の一部と直接的に接続され、Z1の別の一部がXと直接的に接続され、トランジスタのドレイン(又は第2の端子など)が、Z2の一部と直接的に接続され、Z2の別の一部がYと直接的に接続されている場合では、以下のように表現することが出来る。

[0030]

例えば、「XとYとトランジスタのソース(又は第1の端子など)とドレイン(又は第2の端子など)とは、互いに電氣的に接続されており、X、トランジスタのソース(又は第1の端子など)、トランジスタのドレイン(又は第2の端子など)、Yの順序で電氣的に接続されている。」と表現することができる。または、「トランジスタのソース(又は第1の端子など)は、Xと電氣的に接続され、トランジスタのドレイン(又は第2の端子など)はYと電氣的に接続され、X、トランジスタのソース(又は第1の端子など)、トランジスタのドレイン(又は第2の端子など)、Yは、この順序で電氣的に接続されている」と表現することができる。または、「Xは、トランジスタのソース(又は第1の端子など)とドレイン(又は第2の端子など)とを介して、Yと電氣的に接続され、X、トランジスタのソース(又は第1の端子など)、トランジスタのドレイン(又は第2の端子など)、Yは、この接続順序で設けられている」と表現することができる。これらの例と同様な表現方法を用いて、回路構成における接続の順序について規定することにより、トランジスタのソース(又は第1の端子など)と、ドレイン(又は第2の端子など)とを、区別して、技術的範囲を決定することができる。

[0031]

または、別の表現方法として、例えば、「トランジスタのソース(又は第1の端子など)は、少なく

とも第1の接続経路を介して、Xと電氣的に接続され、前記第1の接続経路は、第2の接続経路を有しておらず、前記第2の接続経路は、トランジスタを介した、トランジスタのソース（又は第1の端子など）とトランジスタのドレイン（又は第2の端子など）との間の経路であり、前記第1の接続経路は、Z1を介した経路であり、トランジスタのドレイン（又は第2の端子など）は、少なくとも第3の接続経路を介して、Yと電氣的に接続され、前記第3の接続経路は、前記第2の接続経路を有しておらず、前記第3の接続経路は、Z2を介した経路である。」と表現することができる。または、「トランジスタのソース（又は第1の端子など）は、少なくとも第1の接続経路によって、Z1を介して、Xと電氣的に接続され、前記第1の接続経路は、第2の接続経路を有しておらず、前記第2の接続経路は、トランジスタを介した接続経路を有し、トランジスタのドレイン（又は第2の端子など）は、少なくとも第3の接続経路によって、Z2を介して、Yと電氣的に接続され、前記第3の接続経路は、前記第2の接続経路を有していない。」と表現することができる。または、「トランジスタのソース（又は第1の端子など）は、少なくとも第1の電氣的パスによって、Z1を介して、Xと電氣的に接続され、前記第1の電氣的パスは、第2の電氣的パスを有しておらず、前記第2の電氣的パスは、トランジスタのソース（又は第1の端子など）からトランジスタのドレイン（又は第2の端子など）への電氣的パスであり、トランジスタのドレイン（又は第2の端子など）は、少なくとも第3の電氣的パスによって、Z2を介して、Yと電氣的に接続され、前記第3の電氣的パスは、第4の電氣的パスを有しておらず、前記第4の電氣的パスは、トランジスタのドレイン（又は第2の端子など）からトランジスタのソース（又は第1の端子など）への電氣的パスである。」と表現することができる。これらの例と同様な表現方法を用いて、回路構成における接続経路について規定することにより、トランジスタのソース（又は第1の端子など）と、ドレイン（又は第2の端子など）とを、区別して、技術的範囲を決定することができる。

[0032]

なお、これらの表現方法は、一例であり、これらの表現方法に限定されない。ここで、X、Y、Z1、Z2は、対象物（例えば、装置、素子、回路、配線、電極、端子、導電膜、層、など）であるとする。

[0033]

なお、回路図上は独立している構成要素同士が電氣的に接続しているように図示されている場合であっても、1つの構成要素が、複数の構成要素の機能を併せ持っている場合もある。例えば配線の一部が電極としても機能する場合は、一の導電膜が、配線の機能、及び電極の機能の両方の構成要素の機能を併せ持っている。したがって、本明細書における電氣的に接続とは、このような、一の導電膜が、複数の構成要素の機能を併せ持っている場合も、その範疇に含める。

[0034]

なお、「膜」という言葉と、「層」という言葉とは、場合によっては、または、状況に応じて、互いに入れ替えることが可能である。例えば、「導電層」という用語を、「導電膜」という用語に変更することが可能な場合がある。または、例えば、「絶縁膜」という用語を、「絶縁層」という用語に変更することが可能な場合がある。

[0035]

（実施の形態1）

本実施の形態では、本発明の一態様である撮像装置について、図面を参照して説明する。

[0036]

本発明の一態様の撮像装置は、カラーフィルタの替わりに分光素子を用いることができる。そのため、カラーフィルタの光による吸収の損失を抑え、光電変換素子に入射される光量を増加させることができる。すなわち、撮像装置の感度を高めることができる。

[0037]

また、分光された光から赤（R）、緑（G）、青（B）の撮像データを取り出すために、二つの光電変換素子から得られる信号の差分を検出する方法を用いる。つまり、外部回路による演算が不要であり、撮像装置の低消費電力化および高速化を行うことができる。

[0038]

図1は、本発明の一態様の撮像装置に用いることのできる画素回路の回路図である。当該画素回路は、光電変換部と信号生成部に大別される。説明を簡単にするために、光電変換部は、回路31、回路32を有する構成として説明する。また、信号生成部は、回路33を有する構成として説明する。また、光電変換部と信号生成部は、容量素子C-1を介して接続される構成として説明する。

[0039]

光電変換部における回路31は、フォトダイオード61、トランジスタ51およびトランジスタ52を有する。また、回路32は、フォトダイオード62、トランジスタ53およびトランジスタ54を有する。

[0040]

フォトダイオード61、62には、シリコン基板においてpn型やpin型の接合が形成されたダイオード素子を用いることができる。または非晶質シリコン膜や微結晶シリコン膜などを用いたpin型ダイオード素子などを用いてもよい。なお、回路31および回路32においては、フォトダイオードを有する構成を例示したが、他の光電変換素子であってもよい。例えば、ダイオード接続のトランジスタを用いてもよい。また、光電効果を利用した可変抵抗などをシリコン、ゲルマニウム、セレンなどを用いて形成してもよい。

[0041]

また、アバランシェ増倍という現象を利用したセレンを用いた光電変換素子を用いてもよい。当該光電変換素子では、入射される光量に対する電子の増幅が大きい高感度のセンサとすることができる。

[0042]

セレン系材料としては、非晶質セレンまたは結晶セレンを用いることができる。結晶セレンは、一例として、非晶質セレンを成膜後、熱処理することで得ればよい。なお結晶セレンの結晶粒径を画素ピッチより小さくすることで、画素ごとの特性ばらつきを低減させることができる。

[0043]

信号生成部が有する回路33は、トランジスタ55、トランジスタ56、トランジスタ57および容量素子C-2を有する。

[0044]

回路31において、フォトダイオード61の一方の端子は、トランジスタ51のソースまたはドレインの一方およびトランジスタ52のソースまたはドレインの一方と電氣的に接続される。また、トランジスタ52のソースまたはドレインの他方は、容量素子C-1の一方の端子と電氣的に接続される。

[0045]

回路32において、フォトダイオード62の一方の端子は、トランジスタ53のソースまたはドレイ

ンの一方およびトランジスタ 5 4 のソースまたはドレインの一方と電氣的に接続される。また、トランジスタ 5 4 のソースまたはドレインの他方は、容量素子 C - 1 の一方の端子と電氣的に接続される。
[0 0 4 6]

ここで、トランジスタ 5 2 のソースまたはドレインの他方、トランジスタ 5 4 のソースまたはドレインの他方および容量素子 C - 1 の一方の端子のそれぞれが接続されるノードを第 1 の電荷蓄積部 (F D 1) とする。
[0 0 4 7]

回路 3 3 において、トランジスタ 5 5 のソースまたはドレインの一方、トランジスタ 5 6 のゲートおよび容量素子 C - 2 の一方の端子は、容量素子 C - 1 の他方の端子と電氣的に接続される。また、トランジスタ 5 6 のソースまたはドレインの一方は、トランジスタ 5 7 のソースまたはドレインの一方と電氣的に接続される。
[0 0 4 8]

ここで、トランジスタ 5 5 のソースまたはドレインの一方、トランジスタ 5 6 のゲート、容量素子 C - 2 の一方の端子および容量素子 C - 1 の他方の端子のそれぞれが接続されるノードを第 2 の電荷蓄積部 (F D 2) とする。
[0 0 4 9]

容量素子 C - 1 は、容量素子 C - 2 よりも容量値が大きいことが好ましい。また、フォトダイオード 6 1 の一方の端子、トランジスタ 5 1 のソースまたはドレインの一方、および容量素子 C - 1 の一方の端子間における容量値と、フォトダイオード 6 2 の一方の端子、トランジスタ 5 3 のソースまたはドレインの一方、および容量素子 C - 1 の一方の端子間における容量値とは、同等であることが好ましい。
[0 0 5 0]

フォトダイオード 6 1 、 6 2 の他方の端子は、配線 V P D に電氣的に接続される。また、トランジスタ 5 1 、 5 3 のソースまたはドレインの他方は、配線 V P R に電氣的に接続される。また、トランジスタ 5 5 のソースまたはドレインの他方は、配線 V F R に電氣的に接続される。また、容量素子 C - 2 の他方の端子は、配線 V C に電氣的に接続される。また、トランジスタ 5 6 のソースまたはドレインの他方は、配線 V O と電氣的に接続される。なお、配線 V P D と配線 V C は、共通配線とすることができる。また、図 1 の構成において、配線 V P R 、配線 V F R および配線 V O は、共通配線とすることができる。
[0 0 5 1]

また、トランジスタ 5 1 、 5 3 のゲートは、配線 P R に電氣的に接続される。また、トランジスタ 5 2 のゲートは、配線 T X 1 に電氣的に接続され、トランジスタ 5 4 のゲートは、配線 T X 2 に電氣的に接続される。また、トランジスタ 5 5 のゲートは、配線 F R に電氣的に接続される。また、トランジスタ 5 7 のゲートは、配線 S E L に電氣的に接続され、ソースまたはドレインの他方は配線 O U T に電氣的に接続される。
[0 0 5 2]

なお、配線 V O には、GND、VSS、VDDなどの電位が供給されていてもよい。ここで、電位や電圧は相対的なものである。そのため、GNDの電位の大きさは、必ずしも、0 ボルトであるとは限らないものとする。

[0053]

フォトダイオード61 (PD1)、フォトダイオード62 (PD2) は受光素子であり、画素回路に入射した光に応じた電流を生成する機能を有することができる。トランジスタ52、54は、フォトダイオード61、62による電荷蓄積部(FD1)への電荷蓄積を制御する機能を有することができる。トランジスタ51、53は、電荷蓄積部(FD1)の電位をリセットする動作を行う機能を有することができる。トランジスタ55は、電荷蓄積部(FD2)を電位のリセットする動作を行う機能を有することができる。トランジスタ56は、電荷蓄積部(FD2)の電位に応じた信号を出力する動作を行う機能を有することができる。トランジスタ57は、読み出し時に画素回路の選択を制御する動作を行う機能を有することができる。

[0054]

なお、配線VPR、配線VPD、配線VC、配線VFRおよび配線VOは、電源線としての機能を有することができる。また、配線PR、配線TX1、配線TX2、配線FR、配線SELおよび配線OUTは、信号線としての機能を有することができる。

[0055]

図2(A)、(B)、(C)は、本発明の一態様の撮像装置が有する分光素子と、光電変換素子の位置関係を説明する模式図である。

[0056]

図2(A)は、赤(R)の撮像データを検出するための二つの画素(Pixel-R1およびPixel-R2)が隣接した状態を示している。ここで、PD1は、図1に示すフォトダイオード61に相当し、PD2は、フォトダイオード62に相当する。

[0057]

分光素子65Rは、PD1上に設けられる。分光素子65Rには、撮像の対象となる光(W:RGBの光成分を含む白色光に相当)が入射される。分光素子65Rに入射されたWは分光され、Rの波長成分を中心とした光(R)と、WからRの波長成分を中心とした光を除く光(W-R)に分けられる。

[0058]

W-Rは、分光素子65R内をほぼ直進するように分光素子65Rから射出し、PD1に入射される。また、RはW-Rとは異なる角度で分光素子65Rから射出し、PD2に入射される。

[0059]

なお、図2(A)では、分光素子65R端からR/2が2方向に射出する場合を示している。この場合、Pixel-R1のPD2には、隣接する画素であるPixel-R2の分光素子65Rから射出されたR/2が合成されることでRが照射されることになる。また、PD2には、当該Rと分光素子65Rを介さないWが合成されたW+Rが入射されることになる。

[0060]

また、図2(A)では、分光素子65RからR/2が2方向に射出する構成を示したが、図3(A)に示すように、Rが1方向に射出する構成であってもよい。

[0061]

図2(B)は、青(B)のデータを検出するための二つの画素(Pixel-B1およびPixel-B2)が隣接した状態を示している。ここで、PD1は、図1に示すフォトダイオード61に相当し、PD2はフォトダイオード62に相当する。

[0062]

分光素子65Bは、PD1上に設けられる。分光素子65Bには、撮像の対象となる入射光(W)が入射される。分光素子65Bに入射されたWは分光され、Bの波長成分を中心とした光(B)と、WからBの波長成分を中心とした光を除く光(W-B)に分けられる。

[0063]

図2(B)において、PD1にW-Bが入射される説明およびPD2にW+Bが入射される説明は、上記Rの撮像データを検出するため画素の説明と同様である。また、図2(B)の構成に替えて、図3(B)の構成としてもよい。

[0064]

図2(C)は、緑(G)の撮像データを検出する二つの画素(Pixel-G1およびPixel-G2)が隣接した状態を示している。ここで、PD1は、図1に示すフォトダイオード61に相当し、PD2はフォトダイオード62に相当する。

[0065]

分光素子65Gは、PD1上に設けられる。分光素子65Gには、撮像の対象となる光(W:RGBが合成された白色光に相当)が入射される。分光素子65Gに入射されたWは分光され、Rの波長成分を中心とした光の一部(R/2)と、Bの波長成分を中心とした光の一部(B/2)と、WからR/2およびB/2を除く光(W-(R/2)-(B/2))に分けられる。

[0066]

W-(R/2)-(B/2)は、分光素子65R内をほぼ直進するように分光素子65Rから射出し、PD2に入射される。また、R/2およびB/2は、W-(R/2)-(B/2)とは異なる角度で分光素子65Gから射出する。例えば、図2(C)に示すように、Pixel-G1の分光素子65Gから射出されたR/2は、Pixel-G1のPD1に入射され、B/2は、隣接するPixel-G2のPD1に入射される。または、図3(C)に示すように、R/2およびB/2が分光素子65Gから同じ方向に射出する構成とすることもできる。

[0067]

なお、図2(A)、(B)および図3(A)、(B)は、RまたはBの撮像データを取得するための形態として説明したが、分光素子を変更することで、Gの撮像データを取得するための形態とすることもできる。また、図2(C)および図3(C)は、Gの撮像データを取得するための形態として説明したが、分光素子を変更することで、RまたはBの撮像データを取得するための形態とすることもできる。

[0068]

図4(A)、(B)は、画素の上面の形態の一例である。図4(A)は、図2(A)または図3(A)に示すRの撮像データを取得するための画素として図示したが、図2(B)または図3(B)に示すBの撮像データを取得するための画素も同じ構成とすることができる。

[0069]

本発明の一態様では、PD1およびPD2から出力される信号の差分を利用するため、両者の電気特性は同等であることが好ましい。すなわち、PD1およびPD2は、同等の構成であることが好ましい。なお、両者の電気特性が同等であれば、構成が異なってもよい。

[0070]

分光素子65Rは、PD1の中央付近の上方に配置され、分光素子65Rから分光されたRの波長成

分を中心とした光は、PD 2 が設けられた方向に射出される。画素は微細であり、画素全体に照射される外光のうち、PD 1 の上方およびPD 2 の上方には、ほぼ同じ光量の光が入射される。PD 1 の上方に入射された光は分光素子 6 5 R に導かれてW-R およびR に分光される。したがって、図 2 (A) の構成においては、W-R はPD 1 に入射され、 $R/2$ はPD 2 と、隣接する画素のPD 2 のそれぞれに入射される。図 3 (A) の構成においては、R が同じ画素のPD 2 に入射される。

[0071]

図 4 (B) は、図 2 (C) または図 3 (C) に示すGの撮像データを得るための画素である。分光素子 6 5 R は、PD 2 の中央付近の上方に配置され、分光素子 6 5 G から分光されたR およびBの波長成分を中心とした光は、PD 1 が設けられた方向に射出される。Rの撮像データを得るための画素と同様に、PD 1 の上方およびPD 2 の上方には、ほぼ同じ光量の光が入射される。PD 2 の上方に入射された光は、図 4 (B) に示す領域 6 6 に導かれ、当該領域に入射される半分の光が分光素子 6 5 G に入射される。つまり、分光素子 6 5 G から射出されるR およびBの波長成分を中心とした光は、 $R/2$ および $B/2$ となる。したがって、図 2 (C) の構成においては、 $W - (R/2) - (B/2)$ はPD 2 に入射され、 $R/2$ および $B/2$ はPD 1 と、隣接する画素のPD 1 に別々に入射される。図 3 (C) の構成においては、 $R/2$ および $B/2$ が同じ画素のPD 1 に入射される。

[0072]

なお、図 4 (A)、(B) では、画素、フォトダイオード、および分光素子の上面形状が矩形である形態を示したが、これに限らない。上記要素の上面形状は、円形、六角形等の多角形などであってもよい。例えば、図 4 (C) に示す図 4 (A) の変形例のように、画素が二つの六角形が隣接するような多角形であり、フォトダイオードが略六角形であり、分光素子が略円形であってもよい。また、上記の矩形、六角形等の多角形の要素が有する角部は、曲率を有していてもよい。

[0073]

図 5 (A) は、Rの撮像データを得るための画素の断面の一例である。PD 1 およびPD 2 は素子分離層 1 5 0 0 を介して分離され、素子分離層 1 5 0 0 上には、混色を防止する遮光層 1 5 1 0 が設けられる。フォトダイオード (PD 1、PD 2) 上には、可視光に対して透光性の高い絶縁層 1 5 2 0 が設けられ、絶縁層 1 5 2 0 上にフォトダイオードと一対となるようにマイクロレンズ 1 5 4 0 が設けられる。

[0074]

そして、マイクロレンズ 1 5 4 0 を通過した光の光路上に分光素子 6 5 R が設けられている。分光素子 6 5 R の種類は限定されず、例えば、プリズムや回折格子などの光学素子を用いることができる。または、可視光に対して透光性を有する高屈折率の板状体などを分光素子として用いることもできる。例えば、当該高屈折率の板状体は窒化シリコン膜などで形成することができる。また、分光素子に他の要素の組み合わせてもよい。例えば、プリズム、回折格子、高屈折率の板状体などの分光素子と、ミラー、導光板などの要素を組み合わせてもよい。

[0075]

一例として、図 5 (B) には、分光素子 6 5 R とミラー 6 7 との組み合わせた形態を示している。ミラー 6 7 を用いることによって、分光素子 6 5 R から射出された光の光路の自由度を高めることができる。なお、ミラーは金属などの反射率の高い材料で形成できるほか、屈折率の異なる材料を組み合わせで全反射を起こさせる構成であってもよい。また、図 4 2 は、図 5 (B) における画素の上面図

一例である。

[0076]

また、図5 (C) に示すように、フォトダイオード上にもマイクロレンズ1541を設けてもよい。

[0077]

なお、図5 (A)、(B)、(C) では、Rの撮像データを得るための画素として説明したが、Bの撮像データを得るための画素およびGの撮像データを得るための画素も同様の構成とすることができる。また、上記画素の構成は限定されず、上記以外の絶縁層、上記以外の遮光層、パッシベーション層膜、接着層、反射防止膜、光吸収層などを有していてもよい。また、マイクロレンズ1540とフォトダイオード (PD1、PD2) との間に着色層を有していてもよい。

[0078]

次に、図1に示す回路を有し、Rの撮像データを得るため画素の動作について説明する。図6 (A) は、当該画素の動作を説明するタイミングチャートである。ここで、配線VPDは低電位、配線VPRは高電位、配線VCは低電位、配線VFRは高電位、配線VOは高電位とする。

[0079]

時刻T1乃至時刻T2において、配線PRを”H”、配線FRを”H”、配線TX1を”H”、配線TX2を”H”とする。このとき、ノードFD2の電位は配線VFRの電位に設定され、ノードFD1の電位は配線VPRの電位に設定される (リセット動作)。

[0080]

時刻T2乃至時刻T3において、配線PRを”L”、配線FRを”H”、配線TX1を”H”、配線TX2を”L”とする。このとき、フォトダイオード61 (PD1) に照射する光、すなわち、W-Rの光強度 (I (W-R)) に比例して、ノードFD1の電位は $\Delta V1'$ 低下する (数式 (1) 参照、 α' は比例係数)。なお、フォトダイオード61 (PD1) に照射する光が強い程、ノードFD1の電位は早く低下する (蓄積動作1)。

[0081]

[数1]

$$\Delta V1' = \alpha' \cdot (W - R) \quad (1)$$

[0082]

時刻T3において、配線FRを”L”、配線TX1を”L”とする。このとき、ノードFD2の電位は、配線VPRの電位に保持される。また、ノードFD1の電位は配線VPRの電位から $\Delta V1'$ 低下した電位に保持される。

[0083]

時刻T4乃至時刻T5において、配線PRを”H”とする。このとき、フォトダイオード61 (PD1) のカソードの電位及びフォトダイオード62 (PD2) のカソードの電位は、配線VPRの電位に設定される (リセット動作2)。時刻T3乃至時刻T5においては、フォトダイオード61 (PD1) 及びフォトダイオード62 (PD2) のカソードの電位は下がるため、時刻T5 (配線TX1および配線TX2を”H”) の前にカソードの電位を配線VPRの電位にしておくことが好ましい。このようにすることで、時刻T5の直後にノードFD1の電位が急激に落ち込む現象、すなわち、ノイズとなる現象がなくなり、撮像データを精度良く取得することができる。

[0084]

なお、同様の効果を得る目的で、容量素子C-1の容量値をフォトダイオード61(PD1)のカソードの容量値及びフォトダイオード62(PD2)のカソードの容量値より十分大きくすることが好ましい。

[0085]

時刻T5乃至時刻T6において、配線PRを”H”、配線FRを”L”、配線TX1を”H”、配線TX2を”H”とする。このとき、ノードFD1の電位は、配線VPRの電位に設定される。すなわち、ノードFD1の電位は、時刻T3乃至時刻T4よりも $\Delta V1'$ 上昇する。ここで、ノードFD2の電位は、容量素子C-1の容量C1と、容量素子C-2の容量C2及びトランジスタ56のゲート容量Cgの合成容量と、の容量結合により、 $\Delta V1$ 上昇する(数式(2)参照、 α は比例係数)。

[0086]

[数2]

$$\Delta V1 = \Delta V1' \cdot \frac{C1}{C1+C2+Cg} = \alpha \cdot I(W - R) \quad (2)$$

[0087]

時刻T6乃至時刻T7において、配線PRを”L”、配線FRを”L”、配線TX1を”L”、配線TX2を”H”とする。このとき、フォトダイオード62(PD2)に照射する光、すなわち、W+Rの光強度(I(W+R))に比例して、ノードFD1の電位は $\Delta V2'$ 低下する(数式(3)参照)。なお、フォトダイオード62(PD2)に照射する光が強い程、ノードFD1の電位は低下する(蓄積動作2)。

[0088]

[数3]

$$\Delta V2' = \alpha' \cdot I(W + R) \quad (3)$$

[0089]

また、ノードFD2の電位は、 $\Delta V2$ 低下する(数式(4)参照)。すなわち、ノードFD2の電位は、配線VFRの電位に対し、 $\Delta V2 - \Delta V1$ 低い電位となる。ここで、数式(5)が成り立つとすると、 $\Delta V2 - \Delta V1 = 2\alpha I R$ (数式(6)参照)であることから、ノードFD2の電位は、入射光WのR成分に依存した電位となる。

[0090]

[数4]

$$\Delta V2 = \Delta V2' \cdot \frac{C1}{C1+C2+Cg} = \alpha \cdot I(W + R) \quad (4)$$

[0091]

[数5]

$$I(W + R) - I(W - R) = I(2R) = 2I(R) \quad (5)$$

[0092]

[数6]

$$\Delta V2 - \Delta V1 = \alpha \cdot I(W + R) - \alpha \cdot I(W - R) = 2\alpha I(R) \quad (6)$$

[0093]

時刻T8乃至時刻T9において、配線SELを”H”とする（選択動作）。このとき、配線OUTには、ノードFD2の電位に応じた電位が出力される。すなわち、入射光WのR成分に依存した撮像データが取得することができる。ここで、ノードFD2の電位が高い程、配線OUTの電位は高くなる。すなわち、入射光WのR成分の光強度が強い程、配線OUTの電位は高くなる。

[0094]

以上は、Rの撮像データを得るための動作として説明したが、Bの撮像データを得るための動作も同様に行うことができる。

[0095]

次に、Gの撮像データを得るため画素の動作について説明する。図6（B）は、当該画素の動作を説明するタイミングチャートである。Gの撮像データを得るため画素においては、フォトダイオード61（PD1）に $W + (R/2) + (B/2)$ が入射され、フォトダイオード62（PD2）に $W - (R/2) - (B/2)$ が入射される。

[0096]

図6（B）のタイミングチャートでは、時刻T6乃至時刻T7の期間が時刻T2乃至時刻T3の3倍（A：B＝1：3）となっている点が図6（A）のタイミングチャートと異なる。つまり、図6（A）の説明における $\Delta V1$ および $\Delta V2$ は、数式（7）、（8）のように置き換えることができる。

[0097]

[数7]

$$\Delta V1 = \alpha \cdot I(W + \frac{R}{2} + \frac{B}{2}) \quad (7)$$

[0098]

[数8]

$$\Delta V2 = 3\alpha \cdot I(W - \frac{R}{2} - \frac{B}{2}) \quad (8)$$

[0099]

したがって、ノードFD2の電位は、配線VFRの電位に対し、 $\Delta V2 - \Delta V1$ 低い電位となる。ここで、数式9が成り立つとすると、 $\Delta V2 - \Delta V1 = 2\alpha IG$ （数式（10）参照）であることから、ノードFD2の電位は、入射光WのG成分に依存した電位となる。

[0100]

[数9]

$$3I\left(W - \frac{R}{2} - \frac{B}{2}\right) - I\left(W + \frac{R}{2} + \frac{B}{2}\right) = I\left(3W - \frac{3R}{2} - \frac{3B}{2}\right) - I\left(W + \frac{R}{2} + \frac{B}{2}\right) =$$

$$I(2W - 2R - 2B) = I(2G) = 2I(G) \quad (9)$$

[0101]

[数10]

$$\Delta V2 - \Delta V1 = 3\alpha I\left(W - \frac{R}{2} - \frac{B}{2}\right) - \alpha I\left(W + \frac{R}{2} + \frac{B}{2}\right) = \alpha I(2W - 2R -$$

$$2B) = 2\alpha I(W - R - B) = 2\alpha I(G) \quad (10)$$

[0102]

なお、上記においては、期間を調整することにより受光量を調整したが、フォトダイオードの受光面積を調整することにより受光量を調整することもできる。例えば、受光面積をPD1 : PD2 = 1 : 3とし、A : B = 1 : 1として動作を行うことによりGの撮像データを得ることができる。

[0103]

配線OUTのデータは、読み出し回路におけるA/D変換回路でデジタルデータに変換した後、画像データとして出力する構成が可能である。なお、差分演算を画素外の読み出し回路で行う構成も可能ではあるが、差分演算を画素内で行うことで、露光時間を長くすることが容易になる。

[0104]

また、画素を構成するトランジスタの一部または全てに、オフ電流の優れた酸化物半導体を有するトランジスタを用いることが好ましい。当該トランジスタを用いることで、電荷保持特性の高い画素を構成することができる。このような構成では、被減算データを保持しておくことが容易になり、画素内で差分演算する構成に適する。

[0105]

また、酸化物半導体を有するトランジスタを画素回路に用いると、撮像のダイナミックレンジを拡大することができる。図1(A)に示す回路構成では、フォトダイオード61、62に入射される光の強度が大きいときにノードFD1の電位が小さくなる。酸化物半導体を用いたトランジスタは極めてオフ電流が低いため、ゲート電位が極めて小さい場合においても当該ゲート電位に応じた電流を正確に出力することができる。したがって、検出することのできる照度のレンジ、すなわちダイナミックレンジを広げることができる。

[0106]

また、酸化物半導体を有するトランジスタの低いオフ電流特性によってノードFD1およびノードFD2で電荷を保持できる期間を極めて長くすることができる。そのため、回路構成や動作方法を複雑にすることなく全画素で同時に電荷の蓄積動作を行うグローバルシャッタ方式を適用することができる。したがって、被写体が動体であっても歪の小さい画像を容易に得ることができる。また、グローバルシャッタ方式により露光時間(電荷の蓄積動作を行う期間)を長くすることもできることから、低照度環境における撮像にも適する。

[0107]

また、ノードFD1、ノードFD2の電位を制御するためのトランジスタなどはノイズの少ないトランジスタが求められる。後述する二層または三層の酸化物半導体層を有するトランジスタはチャンネルが埋め込み型であり、極めてノイズに強い特性を有する。したがって、当該トランジスタを用いることでノイズの少ない画像を得ることができる。

[0108]

以上の本発明の一態様によって、カラーフィルタを用いることなく、入射光Wから、R、G、B成分毎の撮像データを取得することができる。なお、上記においては、RおよびBを分光する分光素子を用いて差分検出によりGを求める形態を示したが、RおよびGを分光する分光素子を用いて差分検出によりBを求める形態とすることもできる。また、BおよびGを分光する分光素子を用いて差分検出によりRを求める形態とすることもできる。

[0109]

また、本発明の一態様の撮像装置に用いることのできる画素回路は、図40(A)に示すように、光電変換部が回路31の一つで構成されている形態であってもよい。この場合、図1の回路の動作の説明におけるPD1に照射される光とPD2に照射される光を交互に図40(A)に示すPD1に照射することによって各色の撮像データを得ることができる。

[0110]

また、光電変換部が3個以上の回路を有する構成であってもよい。例えば、図40(B)に示す画素回路では、光電変換部が回路31、回路32、ならびにフォトダイオード63(PD3)、トランジスタ58およびトランジスタ59を有する回路34を有している。

[0111]

また、本発明の一態様の撮像装置に用いることのできる画素回路は、図7(A)に示すように、図1に示す回路とフォトダイオードの接続の向きが異なってもよい。この場合、配線V_{PD}は高電位、配線V_{PR}は低電位、配線V_Cは低電位、配線V_{FR}は高電位、配線V_Oは高電位とする。

[0112]

RおよびBの撮像データを得るため画素の動作に関しては、図6(A)に示すタイミングチャートと同様に信号を入力することができ、FD1およびFD2の電位は、図7(B)のタイミングチャートに示すように変化する。時刻T7において、ノードFD2の電位は、配線V_{FR}の電位に対し、 $\Delta V_2 - \Delta V_1$ 高い電位となる。また、Gの撮像データを得るには、図6(B)のタイミングチャートと同様に、図7(B)のタイミングチャートにおいても、時刻T6乃至時刻T7の期間を時刻T2乃至時刻T3の3倍とすればよい。または、フォトダイオードの受光面積をPD1:PD2=1:3とすればよい。

[0113]

また、本発明の一態様の撮像装置に用いることのできる画素回路は、図8に示すように、図1に示す回路からトランジスタ51およびトランジスタ53を除く構成とすることもできる。この場合、配線V_Cは低電位、配線V_{FR}は高電位、配線V_Oは高電位とする。なお、配線P_Rは、電源線としても機能する。

[0114]

この場合、ノードFD1のリセット動作は、配線P_Rを高電位にすることで行うことができる。定め

られた期間において、配線PRを高電位とするとPD1、PD2には順方向バイアスがかかる。当該機関において、TX1、TX2を”H”にすることでノードFD1を配線PRの電位に設定することができる。また、定められた期間において、配線PRを低電位とするとPD1、PD2には逆方向バイアスがかかる。当該機関において、TX1、TX2を”H”にすることで蓄積動作を行うことができる。なお、これらの動作には、図6(A)、(B)に示すタイミングチャートを用いることができる。

[0115]

また、図8に示す画素回路の構成は、図41(A)に示すように、光電変換部を回路31の一つで構成されていてもよい。また、図41(B)に示すように、光電変換部を3個以上の回路で構成してもよい。

[0116]

なお、上記R、G、Bの撮像データを得るための画素の配列は、例えば、図9(A)、(B)に示す形態とすることができる。図9(A)、(B)は、3×3の画素の上面形態の一例を示し、RGBの順序は限定されない。RおよびBの撮像データを得るための画素においては、分光素子の符号の下側にPD1が設けられている。また、Gの撮像データを得るための画素においては、分光素子の符号の下側にPD2が設けられている。

[0117]

またR、G、Bのうち、いずれか1成分をカラーフィルタを用いて分光する構成としてもよい。図9(C)は一例であり、Rの撮像データを得るための画素上にカラーフィルタ(R)を設けた形態である。また、R、G、Bのうち、いずれか2成分をカラーフィルタを用いて分光する構成としてもよい。図9(D)は一例であり、RおよびGの撮像データを得るための画素上にそれぞれカラーフィルタ(R)、カラーフィルタ(G)を設けた形態である。このような構成とすることで、分光素子またはカラーフィルタの作製が容易になり、微細化、低コスト化が容易となる。

[0118]

なお、図9(A)乃至図9(D)では、縦方向にRGBが並ぶ形態を示したが、RGBが横方向に並ぶ形態であつてもよい。また、図9(E)に示すように半ピッチずれた画素を有する構成であつてもよい。図9(E)の構成は、カラーフィルタを有する構成にも適用することができる。

[0119]

図10(A)は、回路部を含む撮像装置の断面図の一例である。回路部90は、シリコン基板に活性領域を有するトランジスタ51と、酸化物半導体を活性層とするトランジスタ52との組み合わせであり、例えば、インバータ回路やメモリ回路などを構成することができる。また、回路部92は、シリコン基板40に形成されるフォトダイオード60と、酸化物半導体を活性層とするトランジスタ56との組み合わせであり、例えば、図1に示す回路31または回路32などを構成することができる。なお、破線で示す配線およびコンタクトプラグは、他の配線およびコンタクトプラグと奥行き方向の位置が異なることを示している。

[0120]

ここで、回路部92は、図1に示す光電変換部の一部に相当し、フォトダイオード60は、例えば、図1に示すフォトダイオード61またはフォトダイオード62に相当する。また、トランジスタ56は、図1に示すトランジスタ51またはトランジスタ53に相当する。

[0121]

図10 (A) において、フォトダイオード60と、トランジスタ56とを重ねるように形成することができるため、画素の集積度を高めることができる。すなわち、撮像装置の解像度を高めることができる。また、回路部92の占有領域においてシリコン基板40にはトランジスタが形成されていないため、フォトダイオードの面積を広くすることができる。したがって、低照度環境においてもノイズの少ない画像を得ることができる。

[0122]

なお、図10では、フォトダイオード60とトランジスタ51は、同じシリコン基板40に設ける構成を図示しているが、これに限らない、例えば、トランジスタ51をシリコン基板40に設け、別の基板に作製したフォトダイオードを貼り合わせてもよい。また、トランジスタ51をシリコン基板40に設けず、トランジスタ52、56と同様に酸化物半導体を活性層とするトランジスタで設けてもよい。また、図10 (B) に示すようにトランジスタ51、52、56をシリコン基板40に設けてもよい（トランジスタ52は図示せず）。また、トランジスタ51以外の素子もシリコン基板40に設けてもよい。たとえば、シリコン基板40に、容量素子、ダイオード、抵抗素子、などを設けてもよい。

[0123]

なお、図10 (A) に示す構成において、トランジスタ51およびフォトダイオード60を有すと、トランジスタ52およびトランジスタ56との間には絶縁層80が設けられる。

[0124]

トランジスタ51の活性領域近傍に設けられる絶縁層中の水素はシリコンのダングリングボンドを終端する。したがって、当該水素はトランジスタ51の信頼性を向上させる効果がある。一方、トランジスタ52およびトランジスタ56等の活性層である酸化物半導体層の近傍に設けられる絶縁層中の水素は、酸化物半導体中にキャリアを生成する要因の一つとなる。そのため、当該水素はトランジスタ52およびトランジスタ56等の信頼性を低下させる要因となる場合がある。したがって、シリコン系半導体材料を用いたトランジスタを有する一方の層と、酸化物半導体を用いたトランジスタを有する他方の層を積層する場合、これらの間に水素の拡散を防止する機能を有する絶縁層80を設けることが好ましい。絶縁層80により、一方の層に水素を閉じ込めることでトランジスタ51の信頼性を向上することができる。また、一方の層から他方の層への水素の拡散が抑制されることでトランジスタ52およびトランジスタ56等の信頼性も同時に向上させることができる。

[0125]

絶縁層80としては、例えば酸化アルミニウム、酸化窒化アルミニウム、酸化ガリウム、酸化窒化ガリウム、酸化イットリウム、酸化窒化イットリウム、酸化ハフニウム、酸化窒化ハフニウム、イットリア安定化ジルコニア (YSZ) 等を用いることができる。

[0126]

また、シリコン基板40はバルクのシリコン基板に限らず、SOI基板であってもよい。また、シリコン基板40に替えて、ゲルマニウム、シリコンゲルマニウム、炭化シリコン、ガリウムヒ素、アルミニウムガリウムヒ素、インジウムリン、窒化ガリウム、有機半導体を材料とする基板を用いることもできる。

[0127]

なお、トランジスタ51は、プレーナ型のトランジスタだけでなく、様々なタイプのトランジスタと

することができる。例えば、F I N（フィン）型、T R I－G A T E（トライゲート）型などのトランジスタなどとすることができる。

[0128]

また、トランジスタ56は、状況に応じて酸化物半導体だけでなく、様々な半導体を有することができる。例えば、シリコン、ゲルマニウム、シリコンゲルマニウム、炭化シリコン、ガリウムヒ素、アルミニウムガリウムヒ素、インジウムリン、窒化ガリウム、有機半導体などを有することもできる。

[0129]

また、撮像装置は、図11（A1）及び図11（B1）に示すように湾曲させてもよい。図11（A1）は、撮像装置を同図中の二点鎖線X1－X2の方向に湾曲させた状態を示している。図11（A2）は、図11（A1）中の二点鎖線X1－X2で示した部位の断面図である。図11（A3）は、図11（A1）中の二点鎖線Y1－Y2で示した部位の断面図である。

[0130]

図11（B1）は、撮像装置を同図中の二点鎖線X3－X4の方向に湾曲させ、かつ、同図中の二点鎖線Y3－Y4の方向に湾曲させた状態を示している。図11（B2）は、図11（B1）中の二点鎖線X3－X4で示した部位の断面図である。図11（B3）は、図11（B1）中の二点鎖線Y3－Y4で示した部位の断面図である。

[0131]

撮像装置を湾曲させることで、像面湾曲や非点収差を低減することができる。よって、撮像装置と組み合わせて用いるレンズなどの光学設計を容易とすることができる。例えば、収差補正のためのレンズ枚数を低減できるため、撮像装置を用いた半導体装置などの小型化や軽量化を容易とすることができる。また、撮像された画像の品質を向上させる事ができる。

[0132]

なお、本実施の形態において、本発明の一態様について述べた。または、他の実施の形態において、本発明の一態様について述べる。ただし、本発明の一態様は、これらに限定されない。例えば、本発明の一態様として、撮像装置に適用した場合の例を示したが、本発明の一態様は、これに限定されない。場合によっては、または、状況に応じて、本発明の一態様は、撮像装置に適用しなくてもよい。例えば、本発明の一態様は、別の機能を有する半導体装置に適用してもよい。

[0133]

本実施の形態は、他の実施の形態に記載した構成と適宜組み合わせて実施することが可能である。

（実施の形態2）

本実施の形態では、画素回路の駆動方法の一例について説明する。

[0134]

実施の形態1で説明したように、画素回路の動作は、リセット動作、蓄積動作、および選択動作の繰り返しである。画素マトリクス全体を制御する撮像方法としては、グローバルシャッタ方式とローリングシャッタ方式が知られている。

[0135]

図12は、グローバルシャッタ方式におけるタイミングチャートである。なお、図12は、マトリクス状に複数の画素回路を有し、当該画素回路に図1の回路を有する撮像装置を例として、第1行目から第n行目（nは3以上の自然数）の画素回路の動作を説明するものである。

[0136]

図12において、信号501、信号502、信号503は、第1行目、第2行目、第n行目の各画素回路に接続された配線PRに入力される信号である。また、信号504、信号506、信号508は、第1行目、第2行目、第n行目の各画素回路に接続された配線TX1に入力される信号である。また、信号505、信号507、信号509は、第1行目、第2行目、第n行目の各画素回路に接続された配線TX2に入力される信号である。

また、信号510、信号511、信号512は、第1行目、第2行目、第n行目の各画素回路に接続された配線SELに入力される信号である。

[0137]

また、期間515は、1回の撮像に要する期間である。また、期間516は、各行の画素回路が同じタイミングでリセット動作および蓄積動作を行う期間である。選択動作は各行の画素回路で順次行われる。一例として、期間517は、第1行目の画素回路が選択動作を行っている期間である。このように、グローバルシャッタ方式では、全画素回路で略同時にリセット動作および蓄積動作が行われ、1行毎に順次読み出し動作が行われる。

[0138]

つまり、グローバルシャッタ方式では、全ての画素回路において蓄積動作が略同時に行われているため、各行の画素回路における撮像の同時性が確保される。したがって、被写体が動体であっても歪の小さい画像を取得することができる。

[0139]

一方、図13は、ローリングシャッタ方式を用いた場合のタイミングチャートである。なお、信号501乃至512は図10の説明を参照することができる。期間615は1回の撮像に要する期間である。期間621は、第1行目の画素がリセット動作および蓄積動作を行う期間である。期間622は、第2行目の画素がリセット動作および蓄積動作を行う期間である。期間623は、第n行目の画素がリセット動作および蓄積動作を行う期間である。また、期間617は、1行目の画素回路が選択動作を行っている期間である。このように、ローリングシャッタ方式では、蓄積動作が全ての画素回路では同時に行われず、行毎に順次行われるため、各行の画素回路における撮像の同時性が確保されない。したがって、一行目の最終行目では撮像のタイミングが異なるため、動体が被写体である場合は歪の大きい画像となってしまう。

[0140]

グローバルシャッタ方式を実現するためには、各画素からの信号の読み出しが順次終了するまで、電荷蓄積部(FD2)の電位を長時間保つ必要がある。電荷蓄積部(FD2)の電位の長時間の保持は、トランジスタ55などにチャネル形成領域を酸化物半導体で形成した極めてオフ電流の低いトランジスタを用いることで実現できる。一方、トランジスタ55などにチャネル形成領域をシリコンなどで形成したトランジスタを適用した場合は、オフ電流が高いために電荷蓄積部(FD2)の電位を長時間保持できず、グローバルシャッタ方式を用いることが困難となる。

[0141]

以上のように、画素回路にチャネル形成領域を酸化物半導体で形成したトランジスタを用いることでグローバルシャッタ方式を容易に実現することができる。

[0142]

本実施の形態は、他の実施の形態に記載した構成と適宜組み合わせることで実施することが可能である。

[0143]

(実施の形態3)

本実施の形態では、本発明の一態様に用いることのできる酸化物半導体を有するトランジスタについて図面を用いて説明する。なお、本実施の形態における図面では、明瞭化のために一部の要素を拡大、縮小、または省略して図示している。

[0144]

図14(A)、(B)は、本発明の一態様のトランジスタ101の上面図および断面図である。図14(A)は上面図であり、図14(A)に示す一点鎖線B1-B2方向の断面が図14(B)に相当する。また、図14(A)に示す一点鎖線B3-B4方向の断面が図20(A)に相当する。また、一点鎖線B1-B2方向をチャネル長方向、一点鎖線B3-B4方向をチャネル幅方向と呼称する場合がある。

[0145]

トランジスタ101は、基板115と接する絶縁層120と、絶縁層120と接する酸化物半導体層130と、酸化物半導体層130と電氣的に接続する導電層140および導電層150と、酸化物半導体層130、導電層140および導電層150と接する絶縁層160と、絶縁層160と接する導電層170と、導電層140、導電層150、絶縁層160および導電層170と接する絶縁層175と、絶縁層175と接する絶縁層180と、を有する。また、必要に応じて絶縁層180に平坦化膜としての機能を付加してもよい。

[0146]

ここで、導電層140はソース電極層、導電層150はドレイン電極層、絶縁層160はゲート絶縁膜、導電層170はゲート電極層としてそれぞれ機能することができる。

[0147]

また、図14(B)に示す領域231はソース領域、領域232はドレイン領域、領域233はチャネル形成領域として機能することができる。領域231および領域232は導電層140および導電層150とそれぞれ接しており、導電層140および導電層150として酸素と結合しやすい導電材料を用いれば領域231および領域232を低抵抗化することができる。

[0148]

具体的には、酸化物半導体層130と導電層140および導電層150とが接することで酸化物半導体層130内に酸素欠損が生じ、当該酸素欠損と酸化物半導体層130内に残留または外部から拡散する水素との相互作用により、領域231および領域232は低抵抗のn型となる。

[0149]

なお、トランジスタの「ソース」や「ドレイン」の機能は、異なる極性のトランジスタを採用する場合や、回路動作において電流の方向が変化する場合などには入れ替わることがある。このため、本明細書においては、「ソース」や「ドレイン」という用語は、入れ替えて用いることができるものとする。また、「電極層」は、「配線」と言い換えることもできる。

[0150]

また、導電層170は、導電層171および導電層172の二層で形成される例を図示しているが、一層または三層以上の積層であってもよい。当該構成は本実施の形態で説明する他のトランジスタに

も適用できる。

[0151]

また、導電層140および導電層150は単層で形成される例を図示しているが、二層以上の積層であってもよい。当該構成は本実施の形態で説明する他のトランジスタにも適用できる。

[0152]

また、本発明の一態様のトランジスタは、図15(A)、(B)に示す構成であってもよい。図15(A)はトランジスタ102の上面図であり、図15(A)に示す一点鎖線C1-C2方向の断面が図15(B)に相当する。また、図15(A)に示す一点鎖線C3-C4方向の断面は、図20(B)に相当する。また、一点鎖線C1-C2方向をチャネル長方向、一点鎖線C3-C4方向をチャネル幅方向と呼称する場合がある。

[0153]

トランジスタ102は、ゲート絶縁膜として作用する絶縁層160の端部とゲート電極層として作用する導電層170の端部とを一致させない点を除き、トランジスタ101と同様の構成を有する。トランジスタ102の構造は、導電層140および導電層150が絶縁層160で広く覆われているため、導電層140および導電層150と導電層170との間の抵抗が高く、ゲートリーク電流の少ない特徴を有している。

[0154]

トランジスタ101およびトランジスタ102は、導電層170と導電層140および導電層150が重なる領域を有するトップゲート構造である。当該領域のチャネル長方向の幅は、寄生容量を小さくするために3nm以上300nm未満とすることが好ましい。一方で、酸化物半導体層130にオフセット領域が形成されないため、オン電流の高いトランジスタを形成しやすい。

[0155]

また、本発明の一態様のトランジスタは、図16(A)、(B)に示す構成であってもよい。図16(A)はトランジスタ103の上面図であり、図16(A)に示す一点鎖線D1-D2方向の断面が図16(B)に相当する。また、図16(A)に示す一点鎖線D3-D4方向の断面は、図20(A)に相当する。また、一点鎖線D1-D2方向をチャネル長方向、一点鎖線D3-D4方向をチャネル幅方向と呼称する場合がある。

[0156]

トランジスタ103は、基板115と接する絶縁層120と、絶縁層120と接する酸化物半導体層130と、酸化物半導体層130と接する絶縁層160と、絶縁層160と接する導電層170と、酸化物半導体層130、絶縁層160および導電層170を覆う絶縁層175と、絶縁層175と接する絶縁層180と、絶縁層175および絶縁層180に設けられた開口部を通じて酸化物半導体層130と電氣的に接続する導電層140および導電層150を有する。また、必要に応じて絶縁層180、導電層140および導電層150に接する絶縁層（平坦化膜）などを有していてもよい。

[0157]

ここで、導電層140はソース電極層、導電層150はドレイン電極層、絶縁層160はゲート絶縁膜、導電層170はゲート電極層としてそれぞれ機能することができる。

[0158]

また、図16(B)に示す領域231はソース領域、領域232はドレイン領域、領域233はチャ

ネル形成領域として機能することができる。領域 231 および領域 232 は絶縁層 175 と接しており、例えば絶縁層 175 として水素を含む絶縁材料を用いれば領域 231 および領域 232 を低抵抗化することができる。

[0159]

具体的には、絶縁層 175 を形成するまでの工程により領域 231 および領域 232 に生じる酸素欠損と、絶縁層 175 から領域 231 および領域 232 に拡散する水素との相互作用により、領域 231 および領域 232 は低抵抗の n 型となる。なお、水素を含む絶縁材料としては、例えば窒化シリコン膜や窒化アルミニウム膜などを用いることができる。

[0160]

また、本発明の一態様のトランジスタは、図 17 (A)、(B) に示す構成であってもよい。図 17 (A) はトランジスタ 104 の上面図であり、図 17 (A) に示す一点鎖線 E1-E2 方向の断面が図 17 (B) に相当する。また、図 17 (A) に示す一点鎖線 E3-E4 方向の断面は、図 20 (A) に相当する。また、一点鎖線 E1-E2 方向をチャネル長方向、一点鎖線 E3-E4 方向をチャネル幅方向と呼称する場合がある。

[0161]

トランジスタ 104 は、導電層 140 および導電層 150 が酸化物半導体層 130 の端部を覆うように接している点を除き、トランジスタ 103 と同様の構成を有する。

[0162]

また、図 17 (B) に示す領域 331 および領域 334 はソース領域、領域 332 および領域 335 はドレイン領域、領域 333 はチャネル形成領域として機能することができる。領域 331 および領域 332 はトランジスタ 101 における領域 231 および領域 232 と同様に低抵抗化することができる。また、領域 334 および領域 335 はトランジスタ 103 における領域 231 および領域 232 と同様に低抵抗化することができる。なお、チャネル長方向における領域 334 および領域 335 の長さが 100 nm 以下、好ましくは 50 nm 以下の場合には、ゲート電界の寄与によりオン電流は大きく低下しないため、上述したような低抵抗化を行わない構成とすることもできる。

[0163]

トランジスタ 103 およびトランジスタ 104 は、導電層 170 と導電層 140 および導電層 150 が重なる領域を有さないセルフアライン構造である。セルフアライン構造のトランジスタはゲート電極層とソース電極層およびドレイン電極層間の寄生容量が極めて小さいため、高速動作用途に適している。

[0164]

また、本発明の一態様のトランジスタは、図 18 (A)、(B) に示す構成であってもよい。図 18 (A) はトランジスタ 105 の上面図であり、図 18 (A) に示す一点鎖線 F1-F2 方向の断面が図 18 (B) に相当する。また、図 18 (A) に示す一点鎖線 F3-F4 方向の断面は、図 20 (A) に相当する。また、一点鎖線 F1-F2 方向をチャネル長方向、一点鎖線 F3-F4 方向をチャネル幅方向と呼称する場合がある。

[0165]

トランジスタ 105 は、基板 115 と接する絶縁層 120 と、絶縁層 120 と接する酸化物半導体層 130 と、酸化物半導体層 130 と電氣的に接続する導電層 141 および導電層 151 と、酸化物半

導体層 130、導電層 141、導電層 151 と接する絶縁層 160 と、絶縁層 160 と接する導電層 170 と、酸化物半導体層 130、導電層 141、導電層 151、絶縁層 160 および導電層 170 と接する絶縁層 175 と、絶縁層 175 と接する絶縁層 180 と、絶縁層 175 および絶縁層 180 に設けられた開口部を通じて導電層 141 および導電層 151 とそれぞれ電氣的に接続する導電層 142 および導電層 152 を有する。また、必要に応じて絶縁層 180、導電層 142 および導電層 152 に接する絶縁層などを有していてもよい。

[0166]

ここで、導電層 141 および導電層 151 は、酸化物半導体層 130 の上面と接し、側面には接しない構成となっている。

[0167]

トランジスタ 105 は、導電層 141 および導電層 151 を有する点、絶縁層 175 および絶縁層 180 に設けられた開口部を有する点、ならびに当該開口部を通じて導電層 141 および導電層 151 とそれぞれ電氣的に接続する導電層 142 および導電層 152 を有する点を除き、トランジスタ 101 と同様の構成を有する。導電層 140（導電層 141 および導電層 142）はソース電極層として作用させることができ、導電層 150（導電層 151 および導電層 152）はドレイン電極層として作用させることができる。

[0168]

また、本発明の一態様のトランジスタは、図 19（A）、（B）に示す構成であってもよい。図 19（A）はトランジスタ 106 の上面図であり、図 19（A）に示す一点鎖線 G1-G2 方向の断面が図 19（B）に相当する。また、図 19（A）に示す一点鎖線 G3-G4 方向の断面は、図 20（A）に相当する。また、一点鎖線 G1-G2 方向をチャネル長方向、一点鎖線 G3-G4 方向をチャネル幅方向と呼称する場合がある。

[0169]

トランジスタ 106 は、基板 115 と接する絶縁層 120 と、絶縁層 120 と接する酸化物半導体層 130 と、酸化物半導体層 130 と電氣的に接続する導電層 141 および導電層 151 と、酸化物半導体層 130 と接する絶縁層 160 と、絶縁層 160 と接する導電層 170 と、絶縁層 120、酸化物半導体層 130、導電層 141、導電層 151、絶縁層 160、導電層 170 と接する絶縁層 175 と、絶縁層 175 と接する絶縁層 180 と、絶縁層 175 および絶縁層 180 に設けられた開口部を通じて導電層 141 および導電層 151 とそれぞれ電氣的に接続する導電層 142 および導電層 152 を有する。また、必要に応じて絶縁層 180、導電層 142 および導電層 152 に接する絶縁層（平坦化膜）などを有していてもよい。

[0170]

ここで、導電層 141 および導電層 151 は、酸化物半導体層 130 の上面と接し、側面には接しない構成となっている。

[0171]

トランジスタ 106 は、導電層 141 および導電層 151 を有する点を除き、トランジスタ 103 と同様の構成を有する。導電層 140（導電層 141 および導電層 142）はソース電極層として作用させることができ、導電層 150（導電層 151 および導電層 152）はドレイン電極層として作用させることができる。

[0172]

トランジスタ105およびトランジスタ106の構成では、導電層140および導電層150が絶縁層120と接しない構成であるため、絶縁層120中の酸素が導電層140および導電層150に奪われにくくなり、絶縁層120から酸化物半導体層130中への酸素の供給を容易とすることができる。

[0173]

なお、トランジスタ103における領域231および領域232、トランジスタ104およびトランジスタ106における領域334および領域335には、酸素欠損を形成し導電率を高めるための不純物を添加してもよい。酸化物半導体層に酸素欠損を形成する不純物としては、例えば、リン、砒素、アンチモン、ホウ素、アルミニウム、シリコン、窒素、ヘリウム、ネオン、アルゴン、クリプトン、キセノン、インジウム、フッ素、塩素、チタン、亜鉛、および炭素のいずれかから選択される一つ以上を用いることができる。当該不純物の添加方法としては、プラズマ処理法、イオン注入法、イオンドーピング法、プラズマイマージョンイオンインプランテーション法などを用いることができる。

[0174]

不純物元素として、上記元素が酸化物半導体層に添加されると、酸化物半導体層中の金属元素および酸素の結合が切断され、酸素欠損が形成される。酸化物半導体層に含まれる酸素欠損と酸化物半導体層中に残存または後から添加される水素の相互作用により、酸化物半導体層の導電率を高くすることができる。

[0175]

なお、不純物元素の添加により酸素欠損が形成された酸化物半導体に水素を添加すると、酸素欠損サイトに水素が入り伝導帯近傍にドナー準位が形成される。その結果、酸化物導電体を形成することができる。なお、ここでは、導電体化された酸化物半導体を酸化物導電体という。

[0176]

酸化物導電体は、縮退半導体であり、伝導帯端とフェルミ準位とが一致または略一致していると推定される。このため、酸化物導電体層とソース電極層およびドレイン電極層として機能する導電層との接触はオーミック接触であり、酸化物導電体層とソース電極層およびドレイン電極層として機能する導電層との接触抵抗を低減することができる。

[0177]

また、本発明の一態様のトランジスタは、図21(A)、(B)、(C)、(D)、(E)、(F)に示すチャネル長方向の断面図、ならびに図20(C)、(D)に示すチャネル幅方向の断面図のように、酸化物半導体層130と基板115との間に導電層173を備えていてもよい。当該導電層を第2のゲート電極層（バックゲート）として用いることで、更なるオン電流の増加や、しきい値電圧の制御を行うことができる。なお、図21(A)、(B)、(C)、(D)、(E)、(F)に示す断面図において、導電層173の幅を酸化物半導体層130よりも短くしてもよい。さらに、導電層173の幅を導電層170の幅よりも短くしてもよい。

[0178]

オン電流を増加させるには、例えば、導電層170と導電層173を同電位とし、ダブルゲートトランジスタとして駆動させればよい。また、しきい値電圧の制御を行うには、導電層170とは異なる定電位を導電層173に供給すればよい。導電層170と導電層173を同電位とするには、例えば、

図 20 (D) に示すように、導電層 170 と導電層 173 とをコンタクトホールを介して電氣的に接続すればよい。

[0179]

また、図 14 乃至図 19 におけるトランジスタ 101 乃至トランジスタ 106 では、酸化物半導体層 130 が単層である例を図示したが、酸化物半導体層 130 は積層であってもよい。トランジスタ 101 乃至トランジスタ 106 の酸化物半導体層 130 は、図 22 または図 23 に示す酸化物半導体層 130 と入れ替えることができる。

[0180]

図 22 (A)、(B)、(C) は、二層構造である酸化物半導体層 130 の上面図および断面図である。図 22 (A) は上面図であり、図 22 (A) に示す一点鎖線 A1-A2 方向の断面が図 22 (B) に相当する。また、図 22 (A) に示す一点鎖線 A3-A4 方向の断面が図 22 (C) に相当する。

[0181]

また、図 23 (A)、(B)、(C) は、三層構造である酸化物半導体層 130 の上面図および断面図である。図 23 (A) は上面図であり、図 23 (A) に示す一点鎖線 A1-A2 方向の断面が図 23 (B) に相当する。また、図 23 (A) に示す一点鎖線 A3-A4 方向の断面が図 23 (C) に相当する。

[0182]

酸化物半導体層 130a、酸化物半導体層 130b、酸化物半導体層 130c には、それぞれ組成の異なる酸化物半導体層などを用いることができる。

[0183]

また、本発明の一態様のトランジスタは、図 24 (A)、(B) に示す構成であってもよい。図 24 (A) はトランジスタ 107 の上面図であり、図 24 (A) に示す一点鎖線 H1-H2 方向の断面が図 24 (B) に相当する。また、図 24 (A) に示す一点鎖線 H3-H4 方向の断面が図 30 (A) に相当する。また、一点鎖線 H1-H2 方向をチャネル長方向、一点鎖線 H3-H4 方向をチャネル幅方向と呼称する場合がある。

[0184]

トランジスタ 107 は、基板 115 と接する絶縁層 120 と、絶縁層 120 と接する酸化物半導体層 130a および酸化物半導体層 130b からなる積層と、当該積層と電氣的に接続する導電層 140 および導電層 150 と、当該積層、導電層 140 および導電層 150 と接する酸化物半導体層 130c と、酸化物半導体層 130c と接する絶縁層 160 と、絶縁層 160 と接する導電層 170 と、導電層 140、導電層 150、酸化物半導体層 130c、絶縁層 160 および導電層 170 と接する絶縁層 175 と、絶縁層 175 と接する絶縁層 180 と、を有する。また、必要に応じて絶縁層 180 に平坦化膜としての機能を付加してもよい。

[0185]

トランジスタ 107 は、領域 231 および領域 232 において酸化物半導体層 130 が二層（酸化物半導体層 130a、酸化物半導体層 130b）である点、領域 233 において酸化物半導体層 130 が三層（酸化物半導体層 130a、酸化物半導体層 130b、酸化物半導体層 130c）である点、および導電層 140 および導電層 150 と絶縁層 160 との間に酸化物半導体層の一部（酸化物半導体層 130c）が介在している点を除き、トランジスタ 101 と同様の構成を有する。

[0186]

また、本発明の一態様のトランジスタは、図25(A)、(B)に示す構成であってもよい。図25(A)はトランジスタ108の上面図であり、図25(A)に示す一点鎖線I1-I2方向の断面が図25(B)に相当する。また、図25(A)に示す一点鎖線I3-I4方向の断面が図30(B)に相当する。また、一点鎖線I1-I2方向をチャネル長方向、一点鎖線I3-I4方向をチャネル幅方向と呼称する場合がある。

[0187]

トランジスタ108は、絶縁層160および酸化物半導体層130cの端部が導電層170の端部と一致しない点がトランジスタ107と異なる。

[0188]

また、本発明の一態様のトランジスタは、図26(A)、(B)に示す構成であってもよい。図26(A)はトランジスタ109の上面図であり、図26(A)に示す一点鎖線J1-J2方向の断面が図26(B)に相当する。また、図26(A)に示す一点鎖線J3-J4方向の断面が図30(A)に相当する。また、一点鎖線J1-J2方向をチャネル長方向、一点鎖線J3-J4方向をチャネル幅方向と呼称する場合がある。

[0189]

トランジスタ109は、基板115と接する絶縁層120と、絶縁層120と接する酸化物半導体層130aおよび酸化物半導体層130bからなる積層と、当該積層と接する酸化物半導体層130cと、酸化物半導体層130cと接する絶縁層160と、絶縁層160と接する導電層170と、当該積層、酸化物半導体層130c、絶縁層160および導電層170を覆う絶縁層175と、絶縁層175と接する絶縁層180と、絶縁層175および絶縁層180に設けられた開口部を通じて当該積層と電氣的に接続する導電層140および導電層150を有する。また、必要に応じて絶縁層180、導電層140および導電層150に接する絶縁層（平坦化膜）などを有していてもよい。

[0190]

トランジスタ109は、領域231および領域232において酸化物半導体層130が二層（酸化物半導体層130a、酸化物半導体層130b）である点、領域233において酸化物半導体層130が三層（酸化物半導体層130a、酸化物半導体層130b、酸化物半導体層130c）である点を除き、トランジスタ103と同様の構成を有する。

[0191]

また、本発明の一態様のトランジスタは、図27(A)、(B)に示す構成であってもよい。図27(A)はトランジスタ110の上面図であり、図27(A)に示す一点鎖線K1-K2方向の断面が図27(B)に相当する。また、図27(A)に示す一点鎖線K3-K4方向の断面が図30(A)に相当する。また、一点鎖線K1-K2方向をチャネル長方向、一点鎖線K3-K4方向をチャネル幅方向と呼称する場合がある。

[0192]

トランジスタ110は、領域231および領域232において酸化物半導体層130が二層（酸化物半導体層130a、酸化物半導体層130b）である点、領域233において酸化物半導体層130が三層（酸化物半導体層130a、酸化物半導体層130b、酸化物半導体層130c）である点を除き、トランジスタ104と同様の構成を有する。

[0193]

また、本発明の一態様のトランジスタは、図28(A)、(B)に示す構成であってもよい。図28(A)はトランジスタ111の上面図であり、図28(A)に示す一点鎖線L1-L2方向の断面が図28(B)に相当する。また、図28(A)に示す一点鎖線L3-L4方向の断面が図30(A)に相当する。また、一点鎖線L1-L2方向をチャネル長方向、一点鎖線L3-L4方向をチャネル幅方向と呼称する場合がある。

[0194]

トランジスタ111は、基板115と接する絶縁層120と、絶縁層120と接する酸化物半導体層130aおよび酸化物半導体層130bからなる積層と、当該積層と電氣的に接続する導電層141および導電層151と、当該積層、導電層141および導電層151と接する酸化物半導体層130cと、酸化物半導体層130cと接する絶縁層160と、絶縁層160と接する導電層170と、当該積層、導電層141、導電層151、酸化物半導体層130c、絶縁層160および導電層170と接する絶縁層175と、絶縁層175と接する絶縁層180と、絶縁層175および絶縁層180に設けられた開口部を通じて導電層141および導電層151とそれぞれ電氣的に接続する導電層142および導電層152を有する。また、必要に応じて絶縁層180、導電層142および導電層152に接する絶縁層（平坦化膜）などを有していてもよい。

[0195]

トランジスタ111は、領域231および領域232において酸化物半導体層130が二層（酸化物半導体層130a、酸化物半導体層130b）である点、領域233において酸化物半導体層130が三層（酸化物半導体層130a、酸化物半導体層130b、酸化物半導体層130c）である点、および導電層141および導電層151と絶縁層160との間に酸化物半導体層の一部（酸化物半導体層130c）が介在している点を除き、トランジスタ105と同様の構成を有する。

[0196]

また、本発明の一態様のトランジスタは、図29(A)、(B)に示す構成であってもよい。図29(A)はトランジスタ112の上面図であり、図29(A)に示す一点鎖線M1-M2方向の断面が図29(B)に相当する。また、図29(A)に示す一点鎖線M3-M4方向の断面が図30(A)に相当する。また、一点鎖線M1-M2方向をチャネル長方向、一点鎖線M3-M4方向をチャネル幅方向と呼称する場合がある。

[0197]

トランジスタ112は、領域331、領域332、領域334および領域335において酸化物半導体層130が二層（酸化物半導体層130a、酸化物半導体層130b）である点、領域333において酸化物半導体層130が三層（酸化物半導体層130a、酸化物半導体層130b、酸化物半導体層130c）である点を除き、トランジスタ106と同様の構成を有する。

[0198]

また、本発明の一態様のトランジスタは、図31(A)、(B)、(C)、(D)、(E)、(F)に示すチャネル長方向の断面図、ならびに図30(C)、(D)に示すチャネル幅方向の断面図のように、酸化物半導体層130と基板115との間に導電層173を備えていてもよい。当該導電層を第2のゲート電極層（バックゲート）として用いることで、更なるオン電流の増加や、しきい値電圧の制御を行うことができる。なお、図31(A)、(B)、(C)、(D)、(E)、(F)に示す断面図において、導電層173の幅を酸化物半導体層130よりも短くしてもよい。さらに、導電層173の幅を導電層17

0の幅よりも短くしてもよい。

[0199]

また、本発明の一態様のトランジスタにおける導電層140（ソース電極層）および導電層150（ドレイン電極層）は、図32（A）、（B）に示す上面図（酸化物半導体層130、導電層140および導電層150のみを図示）のように酸化物半導体層の幅（ W_{OS} ）よりも導電層140および導電層150の幅（ W_{SD} ）が長く形成されていてもよいし、短く形成されていてもよい。 $W_{OS} \geq W_{SD}$ （ W_{SD} は W_{OS} 以下）とすることで、ゲート電界が酸化物半導体層130全体にかかりやすくなり、トランジスタの電気特性を向上させることができる。

[0200]

本発明の一態様のトランジスタ（トランジスタ101乃至トランジスタ109）では、いずれの構成においても、ゲート電極層である導電層170は、ゲート絶縁膜である絶縁層160を介して酸化物半導体層130のチャネル幅方向を電気的に取り囲み、オン電流が高められる。このようなトランジスタの構造を、*surrounded channel (s-channel)* 構造とよぶ。

[0201]

また、酸化物半導体層130bおよび酸化物半導体層130cを有するトランジスタ、ならびに酸化物半導体層130a、酸化物半導体層130bおよび酸化物半導体層130cを有するトランジスタにおいては、酸化物半導体層130を構成する二層または三層の材料を適切に選択することで酸化物半導体層130bに電流を流すことができる。酸化物半導体層130bに電流が流れることで、界面散乱の影響を受けにくく、高いオン電流を得ることができる。なお、酸化物半導体層130bを厚くすると、オン電流を向上させることができる。例えば、酸化物半導体層130bの膜厚を100nm乃至200nmとしてもよい。

[0202]

以上の構成のトランジスタを用いることにより、半導体装置に良好な電気特性を付与することができる。

[0203]

なお、本明細書において、チャネル長とは、例えば、トランジスタの上面図において、半導体（またはトランジスタがオン状態のときに半導体の中で電流の流れる部分）とゲート電極とが重なる領域、またはチャネルが形成される領域における、ソース（ソース領域またはソース電極）とドレイン（ドレイン領域またはドレイン電極）との間の距離をいう。なお、一つのトランジスタにおいて、チャネル長が全ての領域で同じ値をとるとは限らない。即ち、一つのトランジスタのチャネル長は、一つの値に定まらない場合がある。そのため、本明細書では、チャネル長は、チャネルの形成される領域における、いずれか一の値、最大値、最小値または平均値とする。

[0204]

また、チャネル幅とは、例えば、半導体（またはトランジスタがオン状態のときに半導体の中で電流の流れる部分）とゲート電極とが重なる領域、またはチャネルが形成される領域における、ソースとドレインとが向かい合っている部分の長さをいう。なお、一つのトランジスタにおいて、チャネル幅がすべての領域で同じ値をとるとは限らない。即ち、一つのトランジスタのチャネル幅は、一つの値に定まらない場合がある。そのため、本明細書では、チャネル幅は、チャネルの形成される領域における、いずれか一の値、最大値、最小値または平均値とする。

[0205]

なお、トランジスタの構造によっては、実際にチャネルの形成される領域におけるチャネル幅（以下、実効的なチャネル幅と呼ぶ。）と、トランジスタの上面図において示されるチャネル幅（以下、見かけ上のチャネル幅と呼ぶ。）と、が異なる場合がある。例えば、ゲート電極が半導体の側面を覆う場合、実効的なチャネル幅が、見かけ上のチャネル幅よりも大きくなり、その影響が無視できなくなる場合がある。例えば、微細かつゲート電極が半導体の側面を覆うトランジスタでは、半導体の上面に形成されるチャネル領域の割合に対して、半導体の側面に形成されるチャネル領域の割合が大きくなる場合がある。その場合は、見かけ上のチャネル幅よりも、実効的なチャネル幅の方が大きくなる。

[0206]

このような場合、実効的なチャネル幅の、実測による見積もりが困難となる場合がある。例えば、設計値から実効的なチャネル幅を見積もるためには、半導体の形状が既知という仮定が必要である。したがって、半導体の形状が正確にわからない場合には、実効的なチャネル幅を正確に測定することは困難である。

[0207]

そこで、本明細書では、見かけ上のチャネル幅を、「囲い込みチャネル幅（SCW: Surrounded Channel Width）」と呼ぶ場合がある。また、本明細書では、単にチャネル幅と記載した場合には、囲い込みチャネル幅または見かけ上のチャネル幅を指す場合がある。または、本明細書では、単にチャネル幅と記載した場合には、実効的なチャネル幅を指す場合がある。なお、チャネル長、チャネル幅、実効的なチャネル幅、見かけ上のチャネル幅、囲い込みチャネル幅などは、断面TEM像を解析することなどによって、値を決定することができる。

[0208]

なお、トランジスタの電界効果移動度や、チャネル幅当たりの電流値などを計算して求める場合、囲い込みチャネル幅を用いて計算する場合がある。その場合には、実効的なチャネル幅を用いて計算する場合とは異なる値をとる場合がある。

[0209]

本実施の形態に示す構成は、他の実施の形態に示す構成と適宜組み合わせて用いることができる。

[0210]

（実施の形態4）

本実施の形態では、実施の形態5に示したトランジスタの構成要素について詳細を説明する。

[0211]

基板115は、トランジスタおよび／またはフォトダイオードが形成されたシリコン基板、および当該シリコン基板上に絶縁層、配線、コンタクトプラグとして機能を有する導電体等が形成されたものである。なお、シリコン基板にp-c h型のトランジスタを形成する場合は、n⁻型の導電性を有するシリコン基板を用いることが好ましい。または、n⁻型またはi型のシリコン層を有するSOI基板であってもよい。また、当該シリコン基板におけるトランジスタを形成する面の面方位は、(110)面であることが好ましい。(110)面にp-c h型トランジスタを形成することで、移動度を高くすることができる。

[0212]

絶縁層120は、基板115に含まれる要素からの不純物の拡散を防止する役割を有するほか、酸化

物半導体層 130 に酸素を供給する役割を担うことができる。したがって、絶縁層 120 は酸素を含む絶縁膜であることが好ましく、化学量論組成よりも多い酸素を含む絶縁膜であることがより好ましい。例えば、膜の表面温度が 100℃以上 700℃以下、好ましくは 100℃以上 500℃以下の加熱処理で行われる TDS 法にて、酸素原子に換算しての酸素の放出量が $1.0 \times 10^{19} \text{ atoms/cm}^3$ 以上である膜とする。また、絶縁層 120 は、層間絶縁膜としての機能も有し、表面が平坦になるように CMP (Chemical Mechanical Polishing) 法等で平坦化処理を行ってもよい。

[0213]

例えば、絶縁層 120 には、酸化アルミニウム、酸化マグネシウム、酸化シリコン、酸化窒化シリコン、酸化ガリウム、酸化ゲルマニウム、酸化イットリウム、酸化ジルコニウム、酸化ランタン、酸化ネオジム、酸化ハフニウムおよび酸化タンタルなどの酸化物絶縁膜、窒化シリコン、窒化酸化シリコン、窒化アルミニウム、窒化酸化アルミニウムなどの窒化物絶縁膜、またはこれらの混合材料を用いることができる。また、上記材料の積層であってもよい。

[0214]

なお、本実施の形態では、トランジスタが有する酸化物半導体層 130 が酸化物半導体層 130a、酸化物半導体層 130b および酸化物半導体層 130c を絶縁層 120 側から順に積んだ三層構造である場合を主として詳細を説明する。

[0215]

なお、酸化物半導体層 130 が単層の場合は、本実施の形態に示す、酸化物半導体層 130b に相当する層を用いればよい。

[0216]

また、酸化物半導体層 130 が二層の場合は、本実施の形態に示す、酸化物半導体層 130b に相当する層および酸化物半導体層 130c に相当する層を絶縁層 120 側から順に積んだ積層を用いればよい。この構成の場合、酸化物半導体層 130b と酸化物半導体層 130c とを入れ替えることもできる。

[0217]

また、酸化物半導体層 130 が四層以上である場合は、例えば、本実施の形態で説明する三層構造の酸化物半導体層 130 に対して他の酸化物半導体層を付加する構成とすることができる。

[0218]

一例としては、酸化物半導体層 130b には、酸化物半導体層 130a および酸化物半導体層 130c よりも電子親和力（真空準位から伝導帯下端までのエネルギー）が大きい酸化物半導体を用いる。電子親和力は、真空準位と価電子帯上端とのエネルギー差（イオン化ポテンシャル）から、伝導帯下端と価電子帯上端とのエネルギー差（エネルギーギャップ）を差し引いた値として求めることができる。

[0219]

酸化物半導体層 130a および酸化物半導体層 130c は、酸化物半導体層 130b を構成する金属元素を一種以上含み、例えば、伝導帯下端のエネルギーが酸化物半導体層 130b よりも、0.05 eV、0.07 eV、0.1 eV、0.15 eV のいずれか以上であって、2 eV、1 eV、0.5 eV、0.4 eV のいずれか以下の範囲で真空準位に近い酸化物半導体で形成することが好ましい。

[0220]

このような構造において、導電層170に電界を印加すると、酸化物半導体層130のうち、伝導帯下端のエネルギーが最も小さい酸化物半導体層130bにチャネルが形成される。

[0221]

また、酸化物半導体層130aは、酸化物半導体層130bを構成する金属元素を一種以上含んで構成されるため、酸化物半導体層130bと絶縁層120が接した場合の界面と比較して、酸化物半導体層130bと酸化物半導体層130aとの界面には界面準位が形成されにくくなる。該界面準位はチャネルを形成することがあるため、トランジスタのしきい値電圧が変動することがある。したがって、酸化物半導体層130aを設けることにより、トランジスタのしきい値電圧などの電気特性のばらつきを低減することができる。また、当該トランジスタの信頼性を向上させることができる。

[0222]

また、酸化物半導体層130cは、酸化物半導体層130bを構成する金属元素を一種以上含んで構成されるため、酸化物半導体層130bとゲート絶縁膜（絶縁層160）が接した場合の界面と比較して、酸化物半導体層130bと酸化物半導体層130cとの界面ではキャリアの散乱が起こりにくくなる。したがって、酸化物半導体層130cを設けることにより、トランジスタの電界効果移動度を高くすることができる。

[0223]

酸化物半導体層130aおよび酸化物半導体層130cには、例えば、Al、Ti、Ga、Ge、Y、Zr、Sn、La、CeまたはHfを酸化物半導体層130bよりも高い原子数比で含む材料を用いることができる。具体的には、当該原子数比を1.5倍以上、好ましくは2倍以上、さらに好ましくは3倍以上とする。前述の元素は酸素と強く結合するため、酸素欠損が酸化物半導体層に生じることを抑制する機能を有する。すなわち、酸化物半導体層130aおよび酸化物半導体層130cは、酸化物半導体層130bよりも酸素欠損が生じにくいということができる。

[0224]

また、酸化物半導体層130a、酸化物半導体層130b、および酸化物半導体層130cとして用いることのできる酸化物半導体は、少なくともInもしくはZnを含むことが好ましい。または、InとZnの双方を含むことが好ましい。また、該酸化物半導体を用いたトランジスタの電気特性のばらつきを減らすため、それらと共に、スタビライザーを含むことが好ましい。

[0225]

スタビライザーとしては、Ga、Sn、Hf、Al、またはZr等がある。また、他のスタビライザーとしては、ランタノイドであるLa、Ce、Pr、Nd、Sm、Eu、Gd、Tb、Dy、Ho、Er、Tm、Yb、Lu等がある。

[0226]

例えば、酸化物半導体として、酸化インジウム、酸化スズ、酸化ガリウム、酸化亜鉛、In-Zn酸化物、Sn-Zn酸化物、Al-Zn酸化物、Zn-Mg酸化物、Sn-Mg酸化物、In-Mg酸化物、In-Ga酸化物、In-Ga-Zn酸化物、In-Al-Zn酸化物、In-Sn-Zn酸化物、Sn-Ga-Zn酸化物、Al-Ga-Zn酸化物、Sn-Al-Zn酸化物、In-Hf-Zn酸化物、In-La-Zn酸化物、In-Ce-Zn酸化物、In-Pr-Zn酸化物、In-Nd-Zn酸化物、In-Sm-Zn酸化物、In-Eu-Zn酸化物、In-Gd-Zn酸化物、

In-Tb-Zn酸化物、In-Dy-Zn酸化物、In-Ho-Zn酸化物、In-Er-Zn酸化物、In-Tm-Zn酸化物、In-Yb-Zn酸化物、In-Lu-Zn酸化物、In-Sn-Ga-Zn酸化物、In-Hf-Ga-Zn酸化物、In-Al-Ga-Zn酸化物、In-Sn-Al-Zn酸化物、In-Sn-Hf-Zn酸化物、In-Hf-Al-Zn酸化物を用いることができる。

[0227]

なお、ここで、例えば、In-Ga-Zn酸化物とは、InとGaとZnを主成分として有する酸化物という意味である。また、InとGaとZn以外の金属元素が入っていてもよい。また、本明細書においては、In-Ga-Zn酸化物で構成した膜をIGZO膜とも呼ぶ。

[0228]

また、 $\text{InMO}_3(\text{ZnO})_m$ ($m > 0$ 、且つ、 m は整数でない) で表記される材料を用いてもよい。なお、 M は、Ga、Y、Zr、La、Ce、またはNdから選ばれた一つの金属元素または複数の金属元素を示す。また、 $\text{In}_2\text{SnO}_5(\text{ZnO})_n$ ($n > 0$ 、且つ、 n は整数) で表記される材料を用いてもよい。

[0229]

なお、酸化物半導体層130a、酸化物半導体層130b、酸化物半導体層130cが、少なくともインジウム、亜鉛およびM (Al、Ti、Ga、Ge、Y、Zr、Sn、La、CeまたはHf等の金属) を含むIn-M-Zn酸化物であるとき、酸化物半導体層130aを $\text{In}:\text{M}:\text{Zn} = x_1:y_1:z_1$ [原子数比]、酸化物半導体層130bを $\text{In}:\text{M}:\text{Zn} = x_2:y_2:z_2$ [原子数比]、酸化物半導体層130cを $\text{In}:\text{M}:\text{Zn} = x_3:y_3:z_3$ [原子数比] とすると、 y_1/x_1 および y_3/x_3 が y_2/x_2 よりも大きくなるのが好ましい。 y_1/x_1 および y_3/x_3 は y_2/x_2 よりも1.5倍以上、好ましくは2倍以上、さらに好ましくは3倍以上とする。このとき、酸化物半導体層130bにおいて、 y_2 が x_2 以上であるとトランジスタの電気特性を安定させることができる。ただし、 y_2 が x_2 の3倍以上になると、トランジスタの電界効果移動度が低下してしまうため、 y_2 は x_2 の3倍未満であることが好ましい。

[0230]

酸化物半導体層130aおよび酸化物半導体層130cにおけるZnおよびOを除いた場合において、InおよびMの原子数比率は、好ましくはInが50atomic%未満、Mが50atomic%以上、さらに好ましくはInが25atomic%未満、Mが75atomic%以上とする。また、酸化物半導体層130bのZnおよびOを除いてのInおよびMの原子数比率は、好ましくはInが25atomic%以上、Mが75atomic%未満、さらに好ましくはInが34atomic%以上、Mが66atomic%未満とする。

[0231]

また、酸化物半導体層130bは、酸化物半導体層130aおよび酸化物半導体層130cよりもインジウムの含有量を多くするとよい。酸化物半導体では主として重金属のs軌道がキャリア伝導に寄与しており、Inの含有率を多くすることにより、より多くのs軌道が重なるため、InがMよりも多い酸化物はInがMと同等または少ない酸化物と比較して移動度が高くなる。そのため、酸化物半導体層130bにインジウムの含有量が多い酸化物を用いることで、高い電界効果移動度のトランジスタを実現することができる。

[0232]

酸化物半導体層130aの厚さは、3nm以上100nm以下、好ましくは5nm以上50nm以下、さらに好ましくは5nm以上25nm以下とする。また、酸化物半導体層130bの厚さは、3nm以上200nm以下、好ましくは10nm以上150nm以下、さらに好ましくは15nm以上100nm以下とする。また、酸化物半導体層130cの厚さは、1nm以上50nm以下、好ましくは2nm以上30nm以下、さらに好ましくは3nm以上15nm以下とする。また、酸化物半導体層130bは、酸化物半導体層130aおよび酸化物半導体層130cより厚い方が好ましい。

[0233]

なお、酸化物半導体層をチャンネルとするトランジスタに安定した電気特性を付与するためには、酸化物半導体層中の不純物濃度を低減し、酸化物半導体層を真性(i型)または実質的に真性にするのが有効である。ここで、実質的に真性とは、酸化物半導体層のキャリア密度が、 $1 \times 10^{17} / \text{cm}^3$ 未満であること、 $1 \times 10^{15} / \text{cm}^3$ 未満であること、あるいは $1 \times 10^{13} / \text{cm}^3$ 未満であることを指す。

[0234]

また、酸化物半導体層において、水素、窒素、炭素、シリコン、および主成分以外の金属元素は不純物となる。例えば、水素および窒素はドナー準位の形成に寄与し、キャリア密度を増大させてしまう。また、シリコンは酸化物半導体層中で不純物準位の形成に寄与する。当該不純物準位はトラップとなり、トランジスタの電気特性を劣化させることがある。したがって、酸化物半導体層130a、酸化物半導体層130bおよび酸化物半導体層130cの層中や、それぞれの界面において不純物濃度を低減させることが好ましい。

[0235]

酸化物半導体層を真性または実質的に真性とするためには、SIMS (Secondary Ion Mass Spectrometry) 分析で見積もられるシリコン濃度が $1 \times 10^{19} \text{ atoms} / \text{cm}^3$ 未満、好ましくは $5 \times 10^{18} \text{ atoms} / \text{cm}^3$ 未満、さらに好ましくは $1 \times 10^{18} \text{ atoms} / \text{cm}^3$ 未満となる領域を有するように制御する。また、水素濃度が、 $2 \times 10^{20} \text{ atoms} / \text{cm}^3$ 以下、好ましくは $5 \times 10^{19} \text{ atoms} / \text{cm}^3$ 以下、より好ましくは $1 \times 10^{19} \text{ atoms} / \text{cm}^3$ 以下、さらに好ましくは $5 \times 10^{18} \text{ atoms} / \text{cm}^3$ 以下になる領域を有するように制御する。また、窒素濃度は、例えば、酸化物半導体層のある深さにおいて、または、酸化物半導体層のある領域において、 $5 \times 10^{19} \text{ atoms} / \text{cm}^3$ 未満、好ましくは $5 \times 10^{18} \text{ atoms} / \text{cm}^3$ 以下、より好ましくは $1 \times 10^{18} \text{ atoms} / \text{cm}^3$ 以下、さらに好ましくは $5 \times 10^{17} \text{ atoms} / \text{cm}^3$ 以下とする。

[0236]

シリコンや炭素が高濃度で含まれると、酸化物半導体層の結晶性を低下させることがある。酸化物半導体層の結晶性を低下させないためには、例えばシリコン濃度を $1 \times 10^{19} \text{ atoms} / \text{cm}^3$ 未満、好ましくは $5 \times 10^{18} \text{ atoms} / \text{cm}^3$ 未満、さらに好ましくは $1 \times 10^{18} \text{ atoms} / \text{cm}^3$ 未満になる領域を有するように制御する。また、炭素濃度を $1 \times 10^{19} \text{ atoms} / \text{cm}^3$ 未満、好ましくは $5 \times 10^{18} \text{ atoms} / \text{cm}^3$ 未満、さらに好ましくは $1 \times 10^{18} \text{ atoms} / \text{cm}^3$ 未満になる領域を有するように制御する。

[0237]

また、上述のように高純度化された酸化物半導体膜をチャネル形成領域に用いたトランジスタのオフ電流は極めて小さい。例えば、ソースとドレインとの間の電圧を0.1 V、5 V、または、10 V程度とした場合に、トランジスタのチャネル幅あたりのオフ電流を数 $y \text{ A} / \mu \text{ m}$ 乃至数 $z \text{ A} / \mu \text{ m}$ にまで低減することが可能となる。

[0238]

なお、トランジスタのゲート絶縁膜としては、シリコンを含む絶縁膜が多く用いられるため、上記理由により酸化物半導体層のチャネルとなる領域は、本発明の一態様のトランジスタのようにゲート絶縁膜と接しない構造が好ましいといえることができる。また、ゲート絶縁膜と酸化物半導体層との界面にチャネルが形成される場合、該界面でキャリアの散乱が起こり、トランジスタの電界効果移動度が低くなる。このような観点からも、酸化物半導体層のチャネルとなる領域はゲート絶縁膜から離すことが好ましいといえる。

[0239]

したがって、酸化物半導体層130を酸化物半導体層130a、酸化物半導体層130b、酸化物半導体層130cの積層構造とすることで、酸化物半導体層130bにチャネルを形成することができ、高い電界効果移動度および安定した電気特性を有したトランジスタを形成することができる。

[0240]

酸化物半導体層130a、酸化物半導体層130b、酸化物半導体層130cのバンド構造においては、伝導帯下端のエネルギーが連続的に変化する。これは、酸化物半導体層130a、酸化物半導体層130b、酸化物半導体層130cの組成が近似することにより、酸素が相互に拡散しやすい点からも理解される。したがって、酸化物半導体層130a、酸化物半導体層130b、酸化物半導体層130cは組成が異なる層の積層体ではあるが、物性的に連続であるということもでき、図面において、当該積層体のそれぞれの界面は点線で表している。

[0241]

主成分を共通として積層された酸化物半導体層130は、各層を単に積層するのではなく連続接合（ここでは特に伝導帯下端のエネルギーが各層の間で連続的に変化するU字型の井戸構造（U Shape Well））が形成されるように作製する。すなわち、各層の界面にトラップ中心や再結合中心のような欠陥準位を形成するような不純物が存在しないように積層構造を形成する。仮に、積層された酸化物半導体層の層間に不純物が混在していると、エネルギーバンドの連続性が失われ、界面でキャリアがトラップあるいは再結合により消滅してしまう。

[0242]

例えば、酸化物半導体層130aおよび酸化物半導体層130cには $\text{In}:\text{Ga}:\text{Zn}=1:3:2$ 、 $1:3:3$ 、 $1:3:4$ 、 $1:3:6$ 、 $1:4:5$ 、 $1:6:4$ または $1:9:6$ （原子数比）などの In-Ga-Zn 酸化物などを用いることができる。また、酸化物半導体層130bには $\text{In}:\text{Ga}:\text{Zn}=1:1:1$ 、 $2:1:3$ 、 $5:5:6$ 、または $3:1:2$ （原子数比）などの In-Ga-Zn 酸化物などを用いることができる。なお、酸化物半導体層130a、酸化物半導体層130b、および酸化物半導体層130cの原子数比はそれぞれ、誤差として上記の原子数比のプラスマイナス20%の変動を含む。

[0243]

酸化物半導体層130における酸化物半導体層130bはウェル（井戸）となり、チャネルは酸化物

半導体層 130b に形成される。なお、酸化物半導体層 130 は伝導帯下端のエネルギーが連続的に変化しているため、U 字型井戸とも呼ぶことができる。また、このような構成で形成されたチャネルを埋め込みチャネルということもできる。

[0244]

また、酸化物半導体層 130a および酸化物半導体層 130c と、酸化シリコン膜などの絶縁層との界面近傍には、不純物や欠陥に起因したトラップ準位が形成され得る。酸化物半導体層 130a および酸化物半導体層 130c があることにより、酸化物半導体層 130b と当該トラップ準位とを遠ざけることができる。

[0245]

ただし、酸化物半導体層 130a および酸化物半導体層 130c の伝導帯下端のエネルギーと、酸化物半導体層 130b の伝導帯下端のエネルギーとの差が小さい場合、酸化物半導体層 130b の電子が該エネルギー差を越えてトラップ準位に達することがある。電子がトラップ準位に捕獲されることで、絶縁層界面にマイナスの電荷が生じ、トランジスタのしきい値電圧はプラス方向にシフトしてしまう。

[0246]

酸化物半導体層 130a、酸化物半導体層 130b および酸化物半導体層 130c には、結晶部が含まれることが好ましい。特に c 軸に配向した結晶を用いることでトランジスタに安定した電気特性を付与することができる。また、c 軸に配向した結晶は歪曲に強く、フレキシブル基板を用いた半導体装置の信頼性を向上させることができる。

[0247]

ソース電極層として作用する導電層 140 およびドレイン電極層として作用する導電層 150 には、例えば、Al、Cr、Cu、Ta、Ti、Mo、W、Ni、Mn、Nd、Sc、および当該金属材料の合金から選ばれた材料の単層、または積層を用いることができる。代表的には、特に酸素と結合しやすい Ti や、後のプロセス温度が比較的高くできることなどから、融点の高い W を用いることがより好ましい。また、低抵抗の Cu や Cu-Mn などの合金と上記材料との積層を用いてもよい。なお、トランジスタ 105、トランジスタ 106、トランジスタ 111、トランジスタ 112 においては、例えば、導電層 141 および導電層 151 に W、導電層 142 および導電層 152 に Ti と Al との積層膜などを用いることができる。

[0248]

上記材料は酸化物半導体層から酸素を引き抜く性質を有する。そのため、上記材料と接した酸化物半導体層の一部の領域では酸化物半導体層中の酸素が脱離し、酸素欠損が形成される。層中に僅かに含まれる水素と当該酸素欠損が結合することにより当該領域は n 型化する。したがって、n 型化した当該領域はトランジスタのソースまたはドレインとして作用させることができる。

[0249]

ゲート絶縁膜として作用する絶縁層 160 には、酸化アルミニウム、酸化マグネシウム、酸化シリコン、酸化窒化シリコン、窒化酸化シリコン、窒化シリコン、酸化ガリウム、酸化ゲルマニウム、酸化イットリウム、酸化ジルコニウム、酸化ランタン、酸化ネオジム、酸化ハフニウムおよび酸化タンタルを一種以上含む絶縁膜を用いることができる。また、絶縁層 160 は上記材料の積層であってもよい。なお、絶縁層 160 に、La、窒素、Zr などを、不純物として含んでいてもよい。

[0250]

また、絶縁層160の積層構造の一例について説明する。絶縁層160は、例えば、酸素、窒素、シリコン、ハフニウムなどを有する。具体的には、酸化ハフニウム、および酸化シリコンまたは酸化窒化シリコンを含むと好ましい。

[0251]

酸化ハフニウムおよび酸化アルミニウムは、酸化シリコンや酸化窒化シリコンと比べて比誘電率が高い。したがって、酸化シリコンを用いた場合に比べて膜厚を大きくできるため、トンネル電流によるリーク電流を小さくすることができる。即ち、オフ電流の小さいトランジスタを実現することができる。さらに、結晶構造を有する酸化ハフニウムは、非晶質構造を有する酸化ハフニウムと比べて高い比誘電率を備える。したがって、オフ電流の小さいトランジスタとするためには、結晶構造を有する酸化ハフニウムを用いることが好ましい。結晶構造の例としては、単斜晶系や立方晶系などが挙げられる。ただし、本発明の一態様は、これらに限定されない。

[0252]

また、酸化物半導体層130と接する絶縁層120および絶縁層160においては、窒素酸化物の準位密度が低い領域を有していてもよい。窒素酸化物の準位密度が低い酸化物絶縁層として、窒素酸化物の放出量の少ない酸化窒化シリコン膜、または窒素酸化物の放出量の少ない酸化窒化アルミニウム膜等を用いることができる。

[0253]

なお、窒素酸化物の放出量の少ない酸化窒化シリコン膜は、昇温脱離ガス分析法(TDS(Thermal Desorption Spectroscopy))において、窒素酸化物の放出量よりアンモニアの放出量が多い膜であり、代表的にはアンモニアの放出量が 1×10^{18} 個/cm³以上 5×10^{19} 個/cm³以下である。なお、アンモニアの放出量は、膜の表面温度が50℃以上650℃以下、好ましくは50℃以上550℃以下の加熱処理による放出量とする。

[0254]

絶縁層120および絶縁層160として、上記酸化物絶縁層を用いることで、トランジスタのしきい値電圧のシフトを低減することが可能であり、トランジスタの電気特性の変動を低減することができる。

[0255]

ゲート電極層として作用する導電層170には、例えば、Al、Ti、Cr、Co、Ni、Cu、Y、Zr、Mo、Ru、Ag、Mn、Nd、Sc、TaおよびWなどの導電膜を用いることができる。また、上記材料の合金や上記材料の導電性窒化物を用いてもよい。また、上記材料、上記材料の合金、および上記材料の導電性窒化物から選ばれた複数の材料の積層であってもよい。代表的には、タングステン、タングステンと窒化チタンの積層、タングステンと窒化タンタルの積層などを用いることができる。また、低抵抗のCuまたはCu-Mn等の合金や上記材料とCuまたはCu-Mn等の合金との積層を用いてもよい。本実施の形態では、導電層171に窒化タンタル、導電層172にタングステンをを用いて導電層170を形成する。

[0256]

絶縁層175には、水素を含む窒化シリコン膜または窒化アルミニウム膜などを用いることができる。実施の形態2に示したトランジスタ103、トランジスタ104、トランジスタ106、トランジスタ

タ１０９、トランジスタ１１０、およびトランジスタ１１２では、絶縁層１７５として水素を含む絶縁膜を用いることで酸化物半導体層の一部をｎ型化することができる。また、窒化絶縁膜は水分などのブロッキング膜としての作用も有し、トランジスタの信頼性を向上させることができる。

[０２５７]

また、絶縁層１７５としては酸化アルミニウム膜を用いることもできる。特に、実施の形態２に示したトランジスタ１０１、トランジスタ１０２、トランジスタ１０５、トランジスタ１０７、トランジスタ１０８、およびトランジスタ１１１では絶縁層１７５に酸化アルミニウム膜を用いることが好ましい。酸化アルミニウム膜は、水素、水分などの不純物、および酸素の両方に対して膜を透過させない遮断効果が高い。したがって、酸化アルミニウム膜は、トランジスタの作製工程中および作製後において、水素、水分などの不純物の酸化物半導体層１３０への混入防止、酸素の酸化物半導体層からの放出防止、絶縁層１２０からの酸素の不必要な放出防止の効果を有する保護膜として用いることに適している。また、酸化アルミニウム膜に含まれる酸素を酸化物半導体層中に拡散させることもできる。

[０２５８]

また、絶縁層１７５上には絶縁層１８０が形成されていることが好ましい。当該絶縁層には、酸化マグネシウム、酸化シリコン、酸化窒化シリコン、窒化酸化シリコン、窒化シリコン、酸化ガリウム、酸化ゲルマニウム、酸化イットリウム、酸化ジルコニウム、酸化ランタン、酸化ネオジム、酸化ハフニウムおよび酸化タンタルを一種以上含む絶縁膜を用いることができる。また、当該絶縁層は上記材料の積層であってもよい。

[０２５９]

ここで、絶縁層１８０は絶縁層１２０と同様に化学量論組成よりも多くの酸素を有することが好ましい。絶縁層１８０から放出される酸素は絶縁層１６０を経由して酸化物半導体層１３０のチャネル形成領域に拡散させることができることから、チャネル形成領域に形成された酸素欠損に酸素を補填することができる。したがって、安定したトランジスタの電気特性を得ることができる。

[０２６０]

半導体装置を高集積化するにはトランジスタの微細化が必須である。一方、トランジスタの微細化によりトランジスタの電気特性が悪化することが知られており、特にチャネル幅が縮小するとオン電流は低下する。

[０２６１]

本発明の一態様のトランジスタ１０７乃至トランジスタ１１２では、チャネルが形成される酸化物半導体層１３０ｂを覆うように酸化物半導体層１３０ｃが形成されており、チャネル形成層とゲート絶縁膜が接しない構成となっている。そのため、チャネル形成層とゲート絶縁膜との界面で生じるキャリアの散乱を抑えることができ、トランジスタのオン電流を大きくすることができる。

[０２６２]

また、本発明の一態様のトランジスタでは、前述したように酸化物半導体層１３０のチャネル幅方向を電氣的に取り囲むようにゲート電極層（導電層１７０）が形成されているため、酸化物半導体層１３０に対しては上面に垂直な方向からのゲート電界に加えて、側面に垂直な方向からのゲート電界が印加される。すなわち、チャネル形成層に対して全体的にゲート電界が印加されることになり実効チャネル幅が拡大するため、さらにオン電流を高められる。

[0263]

また、本発明の一態様における酸化物半導体層130が二層または三層のトランジスタでは、チャネルが形成される酸化物半導体層130bを酸化物半導体層130a上に形成することで界面準位を形成しにくくする効果を有する。また、本発明の一態様における酸化物半導体層130が三層のトランジスタでは、酸化物半導体層130bを三層構造の中間に位置する層とすることで上下からの不純物混入の影響を排除できる効果などを併せて有する。そのため、上述したトランジスタのオン電流の向上に加えて、しきい値電圧の安定化や、S値（サブスレッショルド値）の低減をはかることができる。したがって、 I_{cut} （ゲート電圧VGが0V時の電流）を下げることができ、消費電力を低減させることができる。また、トランジスタのしきい値電圧が安定化することから、半導体装置の長期信頼性を向上させることができる。また、本発明の一態様のトランジスタは、微細化にともなう電気特性の劣化が抑えられることから、集積度の高い半導体装置の形成に適しているといえる。

[0264]

本実施の形態に示す構成は、他の実施の形態に示す構成と適宜組み合わせる用いることができる。

[0265]

（実施の形態5）

本実施の形態では、実施の形態3で説明したトランジスタ101、およびトランジスタ107の作製方法を説明する。

[0266]

まず、基板115に含まれるシリコントランジスタの作製方法を説明する。ここでは、一例として、p-ch型トランジスタの作製方法を説明する。シリコン基板としては、n⁻型の単結晶シリコン基板を用い、表面に絶縁層（フィールド酸化膜とも言う）で分離した素子形成領域を形成する。素子分離領域の形成は、LOCOS法（Local Oxidation of Silicon）法）やSTI法（Shallow Trench Isolation）等を用いることができる。

[0267]

ここで基板は単結晶シリコン基板に限らず、SOI（Silicon on Insulator）基板等を用いることもできる。

[0268]

次に、素子形成領域を覆うようにゲート絶縁膜を形成する。例えば、熱処理を行い素子形成領域の表面を酸化させることにより酸化シリコン膜を形成する。また、酸化シリコン膜を形成した後に窒化処理を行うことによって酸化シリコン膜の表面を窒化させてもよい。

[0269]

次に、ゲート絶縁膜を覆うように導電膜を形成する。導電膜としては、Ta、W、Ti、Mo、Al、Cu、Cr、Nb等から選択された元素またはこれらの元素を主成分とする合金材料若しくは化合物材料で形成することができる。また、これらの元素を窒化した金属窒化膜で形成することもできる。他にも、リン等の不純物元素をドーピングした多結晶シリコンに代表される半導体材料により形成することもできる。

[0270]

次に、導電膜を選択的にエッチングすることによって、ゲート絶縁膜上にゲート電極層を形成する。

[0271]

次に、ゲート電極層を覆うように酸化シリコン膜または窒化シリコン膜等の絶縁膜を形成し、エッチバックを行ってゲート電極層の側面にサイドウォールを形成する。

[0272]

次に、素子形成領域以外を覆うようにレジストマスクを選択的に形成し、当該レジストマスクおよびゲート電極層をマスクとして不純物元素を導入することによって p^+ 型の不純物領域を形成する。ここでは、 $p-ch$ 型のトランジスタを形成するため、不純物元素としては、 p 型を付与する不純物元素であるBやGa等を用いることができる。

[0273]

以上でシリコン基板に活性領域を有する $p-ch$ 型のトランジスタが完成する。なお、当該トランジスタ上には窒化シリコン膜や酸化アルミニウム膜などのパッシベーション膜を形成することが好ましい。

[0274]

次に、トランジスタを形成したシリコン基板上に層間絶縁膜を形成し、各種コンタクトプラグおよび各種配線を形成する。

[0275]

続いて、図33および図34を用いてトランジスタ102の作製方法を説明する。なお、図面の左側にはトランジスタのチャネル長方向の断面を示し、右側にはチャネル幅方向の断面を示す。また、チャネル幅方向の図面は拡大図のため、各要素の見かけ上の膜厚は左右の図面で異なる。

[0276]

酸化物半導体層130は、酸化物半導体層130a、酸化物半導体層130bおよび酸化物半導体層130cの三層構造である場合を例示する。酸化物半導体層130が二層構造の場合は、酸化物半導体層130aおよび酸化物半導体層130bの二層とし、酸化物半導体層130が単層構造の場合は、酸化物半導体層130bの一層とすればよい。

[0277]

まず、基板115上に絶縁層120を形成する。基板115の種類および絶縁層120の材質は実施の形態4の説明を参照することができる。なお、絶縁層120は、スパッタ法、CVD法、MBE (Molecular Beam Epitaxy) 法などを用いて形成することができる。

[0278]

また、絶縁層120にイオン注入法、イオンドーピング法、プラズマイメージョンイオンインプランテーション法、プラズマ処理法などを用いて酸素を添加してもよい。酸素を添加することによって、絶縁層120から酸化物半導体層130への酸素の供給をさらに容易にすることができる。

[0279]

なお、基板115の表面が絶縁体であり、後に設ける酸化物半導体層130への不純物拡散の影響が無い場合は、絶縁層120を設けない構成とすることができる。

[0280]

次に、絶縁層120上に酸化物半導体層130aとなる酸化物半導体膜130A、酸化物半導体層130bとなる酸化物半導体膜130B、および酸化物半導体層130cとなる酸化物半導体膜130Cをスパッタ法、CVD法、MBE法などを用いて成膜する（図33（A）参照）。

[0281]

酸化物半導体層 130 が積層構造である場合、酸化物半導体膜はロードロック室を備えたマルチチャンバー方式の成膜装置（例えばスパッタ装置）を用いて各層を大気に触れさせることなく連続して積層することが好ましい。スパッタ装置における各チャンバーは、酸化物半導体にとって不純物となる水等を可能な限り除去すべく、クライオポンプのような吸着式の真空排気ポンプを用いて高真空排気（ 5×10^{-7} Pa 乃至 1×10^{-4} Pa 程度まで）できること、かつ、基板を 100°C 以上、好ましくは 500°C 以上に加熱できることが好ましい。または、ターボ分子ポンプとコールドトラップを組み合わせることで排気系からチャンバー内に炭素成分や水分等を含む気体が逆流しないようにしておくことが好ましい。また、ターボ分子ポンプとクライオポンプを組み合わせた排気系を用いてもよい。

[0282]

高純度真性酸化物半導体を得るためには、チャンバー内を高真空排気するのみならずスパッタガスを高純度化することが好ましい。スパッタガスとして用いる酸素ガスやアルゴンガスは、露点が -40°C 以下、好ましくは -80°C 以下、より好ましくは -100°C 以下にまで高純度化することで酸化物半導体膜に水分等が取り込まれることを可能な限り防ぐことができる。

[0283]

酸化物半導体膜 130A、酸化物半導体膜 130B、および酸化物半導体膜 130C には、実施の形態 4 で説明した材料を用いることができる。また、成膜法にスパッタ法を用いる場合は、実施の形態 4 で説明した材料をターゲットとして成膜することができる。

[0284]

ただし、実施の形態 4 に詳細を記したように、酸化物半導体膜 130B には酸化物半導体膜 130A および酸化物半導体膜 130C よりも電子親和力が大きい材料を用いる。

[0285]

なお、酸化物半導体膜の成膜には、スパッタ法を用いることが好ましい。スパッタ法としては、RF スパッタ法、DC スパッタ法、AC スパッタ法等を用いることができる。

[0286]

酸化物半導体膜 130C の形成後に、第 1 の加熱処理を行ってもよい。第 1 の加熱処理は、 250°C 以上 650°C 以下、好ましくは 300°C 以上 500°C 以下の温度で、不活性ガス雰囲気、酸化性ガスを 10 ppm 以上含む雰囲気、または減圧で行えばよい。また、第 1 の加熱処理の雰囲気は、不活性ガス雰囲気で加熱処理した後に、脱離した酸素を補うために酸化性ガスを 10 ppm 以上含む雰囲気で行ってもよい。第 1 の加熱処理によって、酸化物半導体膜 130A、酸化物半導体膜 130B、および酸化物半導体膜 130C の結晶性を高め、さらに絶縁層 120、酸化物半導体膜 130A、酸化物半導体膜 130B、および酸化物半導体膜 130C から水素や水などの不純物を除去することができる。なお、第 1 の加熱処理は、後述する酸化物半導体層 130a、酸化物半導体層 130b、および酸化物半導体層 130c を形成するエッチングの後に行ってもよい。

[0287]

次に、酸化物半導体膜 130A 上に第 1 の導電層を形成する。第 1 の導電層は、例えば、次の方法を用いて形成することができる。

[0288]

まず、酸化物半導体膜 130A 上に第 1 の導電膜を形成する。第 1 の導電膜としては、Al、Cr、Cu、Ta、Ti、Mo、W、Ni、Mn、Nd、Sc、および当該金属材料の合金から選ばれた材

料の単層、または積層を用いることができる。

[0289]

次に、第1の導電膜上にレジスト膜を形成し、当該レジスト膜に対して電子ビーム露光、液浸露光、EUV露光などの方法を用いて露光し、現像処理を行うことで第1のレジストマスクを形成する。なお、第1の導電膜とレジスト膜の間には密着剤として有機塗布膜を形成することが好ましい。また、ナノインプリントリソグラフィ法を用いて第1のレジストマスクを形成してもよい。

[0290]

次に、第1のレジストマスクを用いて、第1の導電膜を選択的にエッチングし、第1のレジストマスクをアッシングすることにより導電層を形成する。

[0291]

次に、上記導電層をハードマスクとして用い、酸化物半導体膜130A、酸化物半導体膜130B、および酸化物半導体膜130Cを選択的にエッチングして上記導電層を取り除き、酸化物半導体層130a、酸化物半導体層130b、および酸化物半導体層130cの積層からなる酸化物半導体層130を形成する（図33（B）参照）。なお、上記導電層を形成せずに、第1のレジストマスクを用いて酸化物半導体層130を形成してもよい。ここで、酸化物半導体層130に対して酸素イオンを注入してもよい。

[0292]

次に、酸化物半導体層130を覆うように第2の導電膜を形成する。第2の導電膜としては、実施の形態6で説明した導電層140および導電層150に用いることのできる材料で形成すればよい。第2の導電膜の形成には、スパッタ法、CVD法、MBE法などを用いることができる。

[0293]

次に、ソース領域およびドレイン領域となる部分の上に第2のレジストマスクを形成する。そして、第2の導電膜の一部をエッチングし、導電層140および導電層150を形成する（図33（C）参照）。

[0294]

次に、酸化物半導体層130、導電層140および導電層150上に絶縁膜160Aを形成する。絶縁膜160Aは、実施の形態4で説明した絶縁層160に用いることのできる材料で形成すればよい。絶縁膜160Aの形成には、スパッタ法、CVD法、MBE法などを用いることができる。

[0295]

次に、第2の加熱処理を行ってもよい。第2の加熱処理は、第1の加熱処理と同様の条件で行うことができる。第2の加熱処理により、酸化物半導体層130に注入した酸素を酸化物半導体層130の全体に拡散させることができる。なお、第2の加熱処理を行わずに、第3の加熱処理で上記効果を得てもよい。

[0296]

次に、絶縁膜160A上に導電層170となる第3の導電膜171Aおよび第4の導電膜172Aを形成する。第3の導電膜171Aおよび第4の導電膜172Aは、実施の形態4で説明した導電層171および導電層172に用いることのできる材料で形成すればよい。第3の導電膜171Aおよび第4の導電膜172Aの形成には、スパッタ法、CVD法、MBE法などを用いることができる。

[0297]

次に、第4の導電膜172A上に第3のレジストマスク156を形成する（図34（A）参照）。そして、第3のレジストマスク156を用いて、第3の導電膜171A、第4の導電膜172Aおよび絶縁膜160Aを選択的にエッチングし、導電層171および導電層172からなる導電層170、および絶縁層160を形成する（図34（B）参照）。なお、絶縁膜160Aをエッチングしない構造とすれば、トランジスタ102を作製することができる。

[0298]

次に、酸化物半導体層130、導電層140、導電層150、絶縁層160および導電層170上に絶縁層175を形成する。絶縁層175の材質は、実施の形態3の説明を参照することができる。トランジスタ101の場合は、酸化アルミニウム膜を用いることが好ましい。絶縁層175は、スパッタ法、CVD法、MBE法などで形成することができる。

[0299]

次に、絶縁層175上に絶縁層180を形成する（図34（C）参照）。絶縁層180の材質は、実施の形態4の説明を参照することができる。また、絶縁層180は、スパッタ法、CVD法、MBE法などで形成することができる。

[0300]

また、絶縁層175および／または絶縁層180にイオン注入法、イオンドーピング法、プラズマイメージョンイオンインプランテーション法、プラズマ処理法などを用いて酸素を添加してもよい。酸素を添加することによって、絶縁層175および／または絶縁層180から酸化物半導体層130への酸素の供給をさらに容易にすることができる。

[0301]

次に、第3の加熱処理を行ってもよい。第3の加熱処理は、第1の加熱処理と同様の条件で行うことができる。第3の加熱処理により、絶縁層120、絶縁層175、絶縁層180から過剰酸素が放出されやすくなり、酸化物半導体層130の酸素欠損を低減することができる。

[0302]

次に、トランジスタ107の作製方法について説明する。なお、上述したトランジスタ101の作製方法と重複する工程の詳細な説明は省略する。

[0303]

基板115上に絶縁層120を形成し、当該絶縁層上に酸化物半導体層130aとなる酸化物半導体膜130A、および酸化物半導体層130bとなる酸化物半導体膜130Bをスパッタ法、CVD法、MBE法などを用いて成膜する（図35（A）参照）。

[0304]

次に、第1の導電膜を酸化物半導体膜130B上に形成し、前述した方法と同様に第1のレジストマスクを用いて導電層を形成する、そして、当該導電層をハードマスクとして酸化物半導体膜130Aおよび酸化物半導体膜130Bを選択的にエッチングし、上記導電層を取り除いて酸化物半導体層130aおよび酸化物半導体層130bからなる積層を形成する（図35（B）参照）。なお、ハードマスクを形成せずに、第1のレジストマスクを用いて当該積層を形成してもよい。ここで、酸化物半導体層130aおよび酸化物半導体層130bに対して酸素イオンを注入してもよい。

[0305]

次に、上記積層を覆うように第2の導電膜を形成する。そして、ソース領域およびドレイン領域とな

る部分の上に第2のレジストマスクを形成し、当該第2のレジストマスクを用いて第2の導電膜の一部をエッチングし、導電層140および導電層150を形成する（図35（C）参照）。

[0306]

次に、酸化物半導体層130aおよび酸化物半導体層130bの積層上、ならびに導電層140および導電層150上に酸化物半導体層130cとなる酸化物半導体膜130Cを形成する。さらに、酸化物半導体膜130C上に絶縁膜160A、第3の導電膜171Aおよび第4の導電膜172Aを形成する。

[0307]

次に、第4の導電膜172A上に第3のレジストマスク156を形成する（図36（A）参照）。そして、当該レジストマスクを用いて、第3の導電膜171A、第4の導電膜172A、絶縁膜160A、および酸化物半導体膜130Cを選択的にエッチングし、導電層171および導電層172からなる導電層170、絶縁層160、および酸化物半導体層130cを形成する（図36（B）参照）。なお、絶縁膜160Aおよび酸化物半導体膜130Cを第4のレジストマスクを用いてエッチングすることで、トランジスタ108を作製することができる。

[0308]

次に、絶縁層120、酸化物半導体層130（酸化物半導体層130a、酸化物半導体層130b、酸化物半導体層130c）、導電層140、導電層150、絶縁層160および導電層170上に絶縁層175および絶縁層180を形成する（図36（C）参照）。

[0309]

以上の工程において、トランジスタ107を作製することができる。

[0310]

次に、トランジスタ111の作製方法について説明する。なお、上述したトランジスタ102の作製方法と重複する工程の詳細な説明は省略する。

[0311]

基板115上に絶縁層120を形成し、当該絶縁層上に酸化物半導体層130aとなる酸化物半導体膜130A、および酸化物半導体層130bとなる酸化物半導体膜130Bをスパッタ法、CVD法、MBE法などを用いて成膜する。そして、第1の導電膜を酸化物半導体膜130B上に形成し、第1のレジストマスクを用いて導電層141aを形成する（図37（A）参照）。

[0312]

そして、導電層141aをハードマスクとして酸化物半導体膜130Aおよび酸化物半導体膜130Bを選択的にエッチングし、酸化物半導体層130a、酸化物半導体層130bおよび導電層141aからなる積層を形成する（図37（B）参照）。ここで、酸化物半導体層130aおよび酸化物半導体層130bに対して酸素イオンを注入してもよい。

[0313]

次に、ソース領域およびドレイン領域となる部分の上に第2のレジストマスクを形成し、当該第2のレジストマスクを用いて導電層141aの一部をエッチングし、導電層141および導電層151を形成する（図37（C）参照）。

[0314]

次に、酸化物半導体層130aおよび酸化物半導体層130bの積層上、ならびに導電層141およ

び導電層 151 上に酸化物半導体層 130c となる酸化物半導体膜 130C を形成する。さらに、酸化物半導体膜 130C 上に絶縁膜 160A、第 3 の導電膜 171A および第 4 の導電膜 172A を形成する。

[0315]

次に、第 4 の導電膜 172A 上に第 3 のレジストマスク 156 を形成する（図 38（A）参照）。そして、当該レジストマスクを用いて、第 3 の導電膜 171A、第 4 の導電膜 172A、絶縁膜 160A、および酸化物半導体膜 130C を選択的にエッチングし、導電層 171 および導電層 172 からなる導電層 170、絶縁層 160、および酸化物半導体層 130c を形成する（図 38（B）参照）。

[0316]

次に、絶縁層 120、酸化物半導体層 130（酸化物半導体層 130a、酸化物半導体層 130b、酸化物半導体層 130c）、導電層 140、導電層 150、絶縁層 160 および導電層 170 上に絶縁層 175 および絶縁層 180 を形成する。

[0317]

次に、絶縁層 175 および絶縁層 180 に導電層 141 および導電層 151 に達する開口部を設け、当該開口部を覆うように第 5 の導電膜を形成する。そして、第 5 の導電膜上に第 4 のレジストマスクを設け、当該レジストマスクを用いて、第 5 の導電膜を選択的にエッチングし、導電層 142 および導電層 152 を形成する（図 38（C）参照）。

[0318]

以上の工程において、トランジスタ 107 を作製することができる。

[0319]

なお、本実施の形態で説明した金属膜、半導体膜、無機絶縁膜など様々な膜は、代表的にはスパッタ法やプラズマ CVD 法により形成することができるが、他の方法、例えば、熱 CVD 法により形成してもよい。熱 CVD 法の例としては、MOCVD（Metal Organic Chemical Vapor Deposition）法や ALD（Atomic Layer Deposition）法などがある。

[0320]

熱 CVD 法は、プラズマを使わない成膜方法のため、プラズマダメージにより欠陥が生成されることが無いという利点を有する。

[0321]

また、熱 CVD 法では、原料ガスと酸化剤を同時にチャンバー内に送り、チャンバー内を大気圧または減圧下とし、基板近傍または基板上で反応させて基板上に堆積させることで成膜を行ってもよい。

[0322]

ALD 法は、チャンバー内を大気圧または減圧下とし、反応のための原料ガスをチャンバーに導入・反応させ、これを繰り返すことで成膜を行う。原料ガスと一緒に不活性ガス（アルゴン、或いは窒素など）をキャリアガスとして導入しても良い。例えば 2 種類以上の原料ガスを順番にチャンバーに供給してもよい。その際、複数種の原料ガスが混ざらないように第 1 の原料ガスの反応後、不活性ガスを導入し、第 2 の原料ガスを導入する。あるいは、不活性ガスを導入する代わりに真空排気によって第 1 の原料ガスを排出した後、第 2 の原料ガスを導入してもよい。第 1 の原料ガスが基板の表面に吸着・反応して第 1 の層を成膜し、後から導入される第 2 の原料ガスが吸着・反応して、第 2 の層が第

1の層上に積層されて薄膜が形成される。このガス導入順序を制御しつつ所望の厚さになるまで複数回繰り返すことで、段差被覆性に優れた薄膜を形成することができる。薄膜の厚さは、ガス導入の繰り返す回数によって調節することができるため、精密な膜厚調節が可能であり、微細なFETを作製する場合に適している。

[0323]

MOCVD法やALD法などの熱CVD法は、これまでに記載した実施形態に開示された金属膜、半導体膜、無機絶縁膜など様々な膜を形成することができ、例えば、In-Ga-Zn-O膜を成膜する場合には、トリメチルインジウム($\text{In}(\text{CH}_3)_3$)、トリメチルガリウム($\text{Ga}(\text{CH}_3)_3$)、およびジメチル亜鉛($\text{Zn}(\text{CH}_3)_2$)を用いることができる。これらの組み合わせに限定されず、トリメチルガリウムに代えてトリエチルガリウム($\text{Ga}(\text{C}_2\text{H}_5)_3$)を用いることもでき、ジメチル亜鉛に代えてジエチル亜鉛($\text{Zn}(\text{C}_2\text{H}_5)_2$)を用いることもできる。

[0324]

例えば、ALDを利用する成膜装置により酸化ハフニウム膜を形成する場合には、溶媒とハフニウム前駆体を含む液体(ハフニウムアルコキシドや、テトラキスジメチルアミドハフニウム(TDMAH、 $\text{Hf}[\text{N}(\text{CH}_3)_2]_4$)やテトラキス(エチルメチルアミド)ハフニウムなどのハフニウムアミド)を気化させた原料ガスと、酸化剤としてオゾン(O_3)の2種類のガスを用いる。

[0325]

例えば、ALDを利用する成膜装置により酸化アルミニウム膜を形成する場合には、溶媒とアルミニウム前駆体を含む液体(トリメチルアルミニウム(TMA、 $\text{Al}(\text{CH}_3)_3$)など)を気化させた原料ガスと、酸化剤として H_2O の2種類のガスを用いる。他の材料としては、トリス(ジメチルアミド)アルミニウム、トリイソブチルアルミニウム、アルミニウムトリス(2, 2, 6, 6-テトラメチル-3, 5-ヘプタンジオナート)などがある。

[0326]

例えば、ALDを利用する成膜装置により酸化シリコン膜を形成する場合には、ヘキサクロロジシランを被成膜面に吸着させ、酸化性ガス(O_2 、一酸化二窒素)のラジカルを供給して吸着物と反応させる。

[0327]

例えば、ALDを利用する成膜装置によりタングステン膜を成膜する場合には、 WF_6 ガスと B_2H_6 ガスを順次導入して初期タングステン膜を形成し、その後、 WF_6 ガスと H_2 ガスを順次導入してタングステン膜を形成する。なお、 B_2H_6 ガスに代えて SiH_4 ガスを用いてもよい。

[0328]

例えば、ALDを利用する成膜装置により酸化物半導体膜、例えばIn-Ga-Zn-O膜を成膜する場合には、 $\text{In}(\text{CH}_3)_3$ ガスと O_3 ガスを順次導入してIn-O層を形成し、その後、 $\text{Ga}(\text{CH}_3)_3$ ガスと O_3 ガスを順次導入してGa-O層を形成し、更にその後 $\text{Zn}(\text{CH}_3)_2$ と O_3 ガスを順次導入してZn-O層を形成する。なお、これらの層の順番はこの例に限らない。これらのガスを用いてIn-Ga-O層やIn-Zn-O層、Ga-Zn-O層などの混合化合物層を形成しても良い。なお、 O_3 ガスに変えてAr等の不活性ガスでバブリングして得られた H_2O ガスを用いても良いが、Hを含まない O_3 ガスを用いる方が好ましい。

[0329]

本実施の形態に示す構成は、他の実施の形態に示す構成と適宜組み合わせ用いることができる。

[0330]

(実施の形態6)

以下では、本発明の一態様に用いることのできる酸化物半導体膜の構造について説明する。

[0331]

なお、本明細書において、「平行」とは、二つの直線が -10° 以上 10° 以下の角度で配置されている状態をいう。したがって、 -5° 以上 5° 以下の場合も含まれる。また、「垂直」とは、二つの直線が 80° 以上 100° 以下の角度で配置されている状態をいう。したがって、 85° 以上 95° 以下の場合も含まれる。

[0332]

また、本明細書において、結晶が三方晶または菱面体晶である場合、六方晶系として表す。

[0333]

酸化物半導体膜は、非単結晶酸化物半導体膜と単結晶酸化物半導体膜とに大別される。非単結晶酸化物半導体膜とは、CAAC-OS (C Axis Aligned Crystalline Oxide Semiconductor) 膜、多結晶酸化物半導体膜、微結晶酸化物半導体膜、非晶質酸化物半導体膜などをいう。

[0334]

まずは、CAAC-OS膜について説明する。

[0335]

CAAC-OS膜は、c軸配向した複数の結晶部を有する酸化物半導体膜の一つである。

[0336]

透過型電子顕微鏡(TEM: Transmission Electron Microscope)によって、CAAC-OS膜の明視野像および回折パターン(複合解析像(高分解能TEM像ともいう。))を観察することで複数の結晶部を確認することができる。一方、高分解能TEM像によっても明確な結晶部同士の境界、即ち結晶粒界(グレインバウンダリーともいう。)を確認することができない。そのため、CAAC-OS膜は、結晶粒界に起因する電子移動度の低下が起こりにくいといえる。

[0337]

試料面と概略平行な方向から、CAAC-OS膜の断面の高分解能TEM像を観察すると、結晶部において、金属原子が層状に配列していることを確認できる。金属原子の各層は、CAAC-OS膜の膜を形成する面(被形成面ともいう。)または上面の凹凸を反映した形状であり、CAAC-OS膜の被形成面または上面と平行に配列する。

[0338]

一方、試料面と概略垂直な方向から、CAAC-OS膜の平面の高分解能TEM像を観察すると、結晶部において、金属原子が三角形状または六角形状に配列していることを確認できる。しかしながら、異なる結晶部間で、金属原子の配列に規則性は見られない。

[0339]

CAAC-OS膜に対し、X線回折(XRD: X-Ray Diffraction)装置を用いて構造解析を行うと、例えばInGaZnO₄の結晶を有するCAAC-OS膜のout-of-plane

ane法による解析では、回折角(2θ)が 31° 近傍にピークが現れる場合がある。このピークは、 InGaZnO_4 の結晶の(009)面に帰属されることから、CAAC-OS膜の結晶がc軸配向性を有し、c軸が被形成面または上面に概略垂直な方向を向いていることが確認できる。

[0340]

なお、 InGaZnO_4 の結晶を有するCAAC-OS膜のout-of-plane法による解析では、 2θ が 31° 近傍のピークの他に、 2θ が 36° 近傍にもピークが現れる場合がある。 2θ が 36° 近傍のピークは、CAAC-OS膜中の一部に、c軸配向性を有さない結晶が含まれることを示している。CAAC-OS膜は、 2θ が 31° 近傍にピークを示し、 2θ が 36° 近傍にピークを示さないことが好ましい。

[0341]

CAAC-OS膜は、不純物濃度の低い酸化物半導体膜である。不純物は、水素、炭素、シリコン、遷移金属元素などの酸化物半導体膜の主成分以外の元素である。特に、シリコンなどの、酸化物半導体膜を構成する金属元素よりも酸素との結合力の強い元素は、酸化物半導体膜から酸素を奪うことで酸化物半導体膜の原子配列を乱し、結晶性を低下させる要因となる。また、鉄やニッケルなどの重金属、アルゴン、二酸化炭素などは、原子半径（または分子半径）が大きいため、酸化物半導体膜内部に含まれると、酸化物半導体膜の原子配列を乱し、結晶性を低下させる要因となる。なお、酸化物半導体膜に含まれる不純物は、キャリアトラップやキャリア発生源となる場合がある。

[0342]

また、CAAC-OS膜は、欠陥準位密度の低い酸化物半導体膜である。例えば、酸化物半導体膜中の酸素欠損は、キャリアトラップとなることや、水素を捕獲することによってキャリア発生源となることがある。

[0343]

不純物濃度が低く、欠陥準位密度が低い（酸素欠損の少ない）ことを、高純度真性または実質的に高純度真性と呼ぶ。高純度真性または実質的に高純度真性である酸化物半導体膜は、キャリア発生源が少ないため、キャリア密度を低くすることができる。したがって、当該酸化物半導体膜を用いたトランジスタは、しきい値電圧がマイナスとなる電気特性（ノーマリーオンともいう。）になることが少ない。また、高純度真性または実質的に高純度真性である酸化物半導体膜は、キャリアトラップが少ない。そのため、当該酸化物半導体膜を用いたトランジスタは、電気特性の変動が小さく、信頼性の高いトランジスタとなる。なお、酸化物半導体膜のキャリアトラップに捕獲された電荷は、放出するまでに要する時間が長く、あたかも固定電荷のように振る舞うことがある。そのため、不純物濃度が高く、欠陥準位密度が高い酸化物半導体膜を用いたトランジスタは、電気特性が不安定となる場合がある。

[0344]

また、CAAC-OS膜を用いたトランジスタは、可視光や紫外光の照射による電気特性の変動が小さい。

[0345]

次に、微結晶酸化物半導体膜について説明する。

[0346]

微結晶酸化物半導体膜は、高分解能TEM像において、結晶部を確認することのできる領域と、明確

な結晶部を確認することのできない領域と、を有する。微結晶酸化物半導体膜に含まれる結晶部は、1 nm以上100 nm以下、または1 nm以上10 nm以下の大きさであることが多い。特に、1 nm以上10 nm以下、または1 nm以上3 nm以下の微結晶であるナノ結晶（*nc:nanocrystal*）を有する酸化物半導体膜を、*nc-OS*（*nanocrystalline Oxide Semiconductor*）膜と呼ぶ。また、*nc-OS*膜は、例えば、高分解能TEM像では、結晶粒界を明確に確認できない場合がある。

[0347]

*nc-OS*膜は、微小な領域（例えば、1 nm以上10 nm以下の領域、特に1 nm以上3 nm以下の領域）において原子配列に周期性を有する。また、*nc-OS*膜は、異なる結晶部間で結晶方位に規則性が見られない。そのため、膜全体で配向性が見られない。したがって、*nc-OS*膜は、分析方法によっては、非晶質酸化物半導体膜と区別が付かない場合がある。例えば、*nc-OS*膜に対し、結晶部よりも大きい径のX線を用いるXRD装置を用いて構造解析を行うと、*out-of-plane*法による解析では、結晶面を示すピークが検出されない。また、*nc-OS*膜に対し、結晶部よりも大きいプローブ径（例えば50 nm以上）の電子線を用いる電子回折（制限視野電子回折ともいう。）を行うと、ハローパターンのような回折パターンが観測される。一方、*nc-OS*膜に対し、結晶部の大きさと近い結晶部より小さいプローブ径の電子線を用いるナノビーム電子回折を行うと、スポットが観測される。また、*nc-OS*膜に対しナノビーム電子回折を行うと、円周状に分布したスポットが観測される場合がある。また、*nc-OS*膜に対しナノビーム電子回折を行うと、リング状の領域内に複数のスポットが観測される場合がある。

[0348]

*nc-OS*膜は、非晶質酸化物半導体膜よりも規則性の高い酸化物半導体膜である。そのため、*nc-OS*膜は、非晶質酸化物半導体膜よりも欠陥準位密度が低くなる。ただし、*nc-OS*膜は、異なる結晶部間で結晶方位に規則性が見られない。そのため、*nc-OS*膜は、CAAC-OS膜と比べて欠陥準位密度が高くなる。

[0349]

次に、非晶質酸化物半導体膜について説明する。

[0350]

非晶質酸化物半導体膜は、膜中における原子配列が不規則であり、結晶部を有さない酸化物半導体膜である。石英のような無定形状態を有する酸化物半導体膜が一例である。

[0351]

非晶質酸化物半導体膜は、高分解能TEM像において結晶部を確認することができない。

[0352]

非晶質酸化物半導体膜に対し、XRD装置を用いた構造解析を行うと、*out-of-plane*法による解析では、結晶面を示すピークが検出されない。また、非晶質酸化物半導体膜に対し、電子回折を行うと、ハローパターンが観測される。また、非晶質酸化物半導体膜に対し、ナノビーム電子回折を行うと、スポットが観測されず、ハローパターンが観測される。

[0353]

なお、酸化物半導体膜は、*nc-OS*膜と非晶質酸化物半導体膜との間の物性を示す構造を有する場合がある。そのような構造を有する酸化物半導体膜を、特に非晶質ライク酸化物半導体（*amorp*

hous-like OS:amorphous-like Oxide Semiconductor) 膜と呼ぶ。

[0354]

amorphous-like OS膜は、高分解能TEM像において鬆（ボイドともいう。）が観察される場合がある。また、高分解能TEM像において、明確に結晶部を確認することのできる領域と、結晶部を確認することのできない領域と、を有する。amorphous-like OS膜は、TEMによる観察程度の微量な電子照射によって、結晶化が起り、結晶部の成長が見られる場合がある。一方、良質なnc-OS膜であれば、TEMによる観察程度の微量な電子照射による結晶化はほとんど見られない。

[0355]

なお、amorphous-like OS膜およびnc-OS膜の結晶部の大きさの計測は、高分解能TEM像を用いて行うことができる。例えば、InGaZnO₄の結晶は層状構造を有し、In-O層の間に、Ga-Zn-O層を2層有する。InGaZnO₄の結晶の単位格子は、In-O層を3層有し、またGa-Zn-O層を6層有する、計9層がc軸方向に層状に重なった構造を有する。よって、これらの近接する層同士の間隔は、(009)面の格子面間隔（d値ともいう。）と同程度であり、結晶構造解析からその値は0.29nmと求められている。そのため、高分解能TEM像における格子縞に着目し、格子縞の間隔が0.28nm以上0.30nm以下である箇所においては、それぞれの格子縞がInGaZnO₄の結晶のa-b面に対応する。

[0356]

なお、酸化物半導体膜は、例えば、非晶質酸化物半導体膜、amorphous-like OS膜、微結晶酸化物半導体膜、CAAC-OS膜のうち、二種以上を有する積層膜であってもよい。

[0357]

本実施の形態に示す構成は、他の実施の形態に示す構成と適宜組み合わせて用いることができる。

[0358]

（実施の形態7）

[0359]

本発明の一態様に係る撮像装置および当該撮像装置を含む半導体装置は、表示機器、パーソナルコンピュータ、記録媒体を備えた画像再生装置（代表的にはDVD:Digital Versatile Disc等の記録媒体を再生し、その画像を表示しうるディスプレイを有する装置）に用いることができる。その他に、本発明の一態様に係る撮像装置および当該撮像装置を含む半導体装置を用いることができる電子機器として、携帯電話、携帯型を含むゲーム機、携帯データ端末、電子書籍、ビデオカメラ、デジタルスチルカメラ等のカメラ、ゴーグル型ディスプレイ（ヘッドマウントディスプレイ）、ナビゲーションシステム、音響再生装置（カーオーディオ、デジタルオーディオプレイヤー等）、複写機、ファクシミリ、プリンタ、プリンタ複合機、現金自動預け入れ払い機（ATM）、自動販売機などが挙げられる。これら電子機器の具体例を図39に示す。

[0360]

図39（A）は携帯型ゲーム機であり、筐体901、筐体902、表示部903、表示部904、マイク905、スピーカー906、操作キー907、スタイラス908、カメラ909等を有する。なお、図39（A）に示した携帯型ゲーム機は、2つの表示部903と表示部904とを有しているが、

携帯型ゲーム機が有する表示部の数は、これに限定されない。カメラ 9 0 9 には本発明の一態様の撮像装置を用いることができる。

[0 3 6 1]

図 3 9 (B) は携帯データ端末であり、第 1 筐体 9 1 1、表示部 9 1 2、カメラ 9 1 9 等を有する。表示部 9 1 2 が有するタッチパネル機能により情報の入出力を行うことができる。カメラ 9 0 9 には本発明の一態様の撮像装置を用いることができる。

[0 3 6 2]

図 3 9 (C) はデジタルカメラであり、筐体 9 2 1、シャッターボタン 9 2 2、マイク 9 2 3、発光部 9 2 7、レンズ 9 2 5 等を有する。レンズ 9 2 5 の焦点となる位置には本発明の一態様の撮像装置を備えることができる。

[0 3 6 3]

図 3 9 (D) は腕時計型の情報端末であり、筐体 9 3 1、表示部 9 3 2、リストバンド 9 3 3、カメラ 9 3 9 等を有する。表示部 9 3 2 はタッチパネルとなってもよい。カメラ 9 0 9 には本発明の一態様の撮像装置を用いることができる。

[0 3 6 4]

図 3 9 (E) はビデオカメラであり、第 1 筐体 9 4 1、第 2 筐体 9 4 2、表示部 9 4 3、操作キー 9 4 4、レンズ 9 4 5、接続部 9 4 6 等を有する。操作キー 9 4 4 およびレンズ 9 4 5 は第 1 筐体 9 4 1 に設けられており、表示部 9 4 3 は第 2 筐体 9 4 2 に設けられている。そして、第 1 筐体 9 4 1 と第 2 筐体 9 4 2 とは、接続部 9 4 6 により接続されており、第 1 筐体 9 4 1 と第 2 筐体 9 4 2 の間の角度は、接続部 9 4 6 により変更が可能である。表示部 9 4 3 における映像を、接続部 9 4 6 における第 1 筐体 9 4 1 と第 2 筐体 9 4 2 との間の角度に従って切り替える構成としても良い。レンズ 9 4 5 の焦点となる位置には本発明の一態様の撮像装置を備えることができる。

[0 3 6 5]

図 3 9 (F) は携帯電話であり、筐体 9 5 1 に、表示部 9 5 2、マイク 9 5 7、スピーカー 9 5 4、カメラ 9 5 9、入出力端子 9 5 6、操作用のボタン 9 5 5 等を有する。カメラ 9 5 9 には本発明の一態様の撮像装置を用いることができる。

[0 3 6 6]

なお、本実施の形態は、本明細書で示す他の実施の形態と適宜組み合わせることができる。

[符号の説明]

[0 3 6 7]

- 3 1 回路
- 3 2 回路
- 3 3 回路
- 3 4 回路
- 4 0 シリコン基板
- 5 1 トランジスタ
- 5 2 トランジスタ
- 5 3 トランジスタ
- 5 4 トランジスタ

5 5 トランジスタ
5 6 トランジスタ
5 7 トランジスタ
5 8 トランジスタ
5 9 トランジスタ
6 0 フォトダイオード
6 1 フォトダイオード
6 2 フォトダイオード
6 3 フォトダイオード
6 5 B 分光素子
6 5 G 分光素子
6 5 R 分光素子
6 6 領域
6 7 ミラー
8 0 絶縁層
9 0 回路部
9 2 回路部
1 0 1 トランジスタ
1 0 2 トランジスタ
1 0 3 トランジスタ
1 0 4 トランジスタ
1 0 5 トランジスタ
1 0 6 トランジスタ
1 0 7 トランジスタ
1 0 8 トランジスタ
1 0 9 トランジスタ
1 1 0 トランジスタ
1 1 1 トランジスタ
1 1 2 トランジスタ
1 1 5 基板
1 2 0 絶縁層
1 3 0 酸化物半導体層
1 3 0 a 酸化物半導体層
1 3 0 A 酸化物半導体膜
1 3 0 b 酸化物半導体層
1 3 0 B 酸化物半導体膜
1 3 0 c 酸化物半導体層
1 3 0 C 酸化物半導体膜
1 4 0 導電層

1 4 1	導電層
1 4 1 a	導電層
1 4 2	導電層
1 5 0	導電層
1 5 1	導電層
1 5 2	導電層
1 5 6	レジストマスク
1 6 0	絶縁層
1 6 0 A	絶縁膜
1 7 0	導電層
1 7 1	導電層
1 7 1 A	導電膜
1 7 2	導電層
1 7 2 A	導電膜
1 7 3	導電層
1 7 5	絶縁層
1 8 0	絶縁層
2 3 1	領域
2 3 2	領域
2 3 3	領域
3 3 1	領域
3 3 2	領域
3 3 3	領域
3 3 4	領域
3 3 5	領域
5 0 1	信号
5 0 2	信号
5 0 3	信号
5 0 4	信号
5 0 5	信号
5 0 6	信号
5 0 7	信号
5 0 8	信号
5 0 9	信号
5 1 0	信号
5 1 1	信号
5 1 2	信号
5 1 5	期間
5 1 6	期間

5 1 7	期間
6 1 5	期間
6 1 7	期間
6 2 1	期間
6 2 2	期間
6 2 3	期間
9 0 1	筐体
9 0 2	筐体
9 0 3	表示部
9 0 4	表示部
9 0 5	マイク
9 0 6	スピーカー
9 0 7	操作キー
9 0 8	スタイラス
9 0 9	カメラ
9 1 1	筐体
9 1 2	表示部
9 1 9	カメラ
9 2 1	筐体
9 2 2	シャッターボタン
9 2 3	マイク
9 2 5	レンズ
9 2 7	発光部
9 3 1	筐体
9 3 2	表示部
9 3 3	リストバンド
9 3 9	カメラ
9 4 1	筐体
9 4 2	筐体
9 4 3	表示部
9 4 4	操作キー
9 4 5	レンズ
9 4 6	接続部
9 5 1	筐体
9 5 2	表示部
9 5 4	スピーカー
9 5 5	ボタン
9 5 6	入出力端子
9 5 7	マイク

9 5 9	カメラ
1 5 0 0	素子分離層
1 5 1 0	遮光層
1 5 2 0	絶縁層
1 5 4 0	マイクロレンズ
1 5 4 1	マイクロレンズ

請求の範囲

[請求項1]

画素回路と、分光素子と、を有する撮像装置であって、
前記画素回路は、第1の回路と、第2の回路と、第3の回路と、第1の容量素子と、を有し、
前記第1の回路は、第1の光電変換素子と、第1のトランジスタと、第2のトランジスタを有し、
前記第2の回路は、第2の光電変換素子と、第3のトランジスタと、第4のトランジスタを有し、
前記第3の回路は、第5のトランジスタと、第6のトランジスタと、第7のトランジスタと、第2の容量素子を有し、
前記分光素子は、前記第1の光電変換素子または前記第2の光電変換素子上に設けられ、
前記第1の光電変換素子の一方の端子は、前記第1のトランジスタのソースまたはドレインの一方と電気的に接続され、
前記第2のトランジスタのソースまたはドレインの一方は、前記第1のトランジスタのソースまたはドレインの一方と電気的に接続され、
前記第1のトランジスタのソースまたはドレインの他方は、前記第1の容量素子の一方の端子と電気的に接続され、
前記第2の光電変換素子の一方の端子は、前記第3のトランジスタのソースまたはドレインの一方と電気的に接続され、
前記第4のトランジスタのソースまたはドレインの一方は、前記第3のトランジスタのソースまたはドレインの一方と電気的に接続され、
前記第4のトランジスタのソースまたはドレインの他方は、前記第1の容量素子の一方の端子と電気的に接続され、
前記第5のトランジスタのソースまたはドレインの一方は、前記第1の容量素子の他方の端子と電気的に接続され、
前記第2の容量素子の一方の端子は、前記第1の容量素子の他方の端子と電気的に接続され、
前記第6のトランジスタのゲートは、前記第1の容量素子の他方の端子と電気的に接続され、
前記第6のトランジスタのソースまたはドレインの一方は、前記第7のトランジスタのソースまたはドレイン一方と電気的に接続されていることを特徴とする撮像装置。

[請求項2]

請求項1において、前記第1の光電変換素子および前記第2の光電変換素子は、同等の構成であることを特徴とする撮像装置。

[請求項3]

請求項1において、
前記第1の容量素子の容量値は、前記第2の容量素子の容量値よりも大きいことを特徴とする撮像装置。

[請求項4]

請求項1において、
前記第1の光電変換素子の一方の端子、前記第1のトランジスタのソースまたはドレインの一方、および前記第1の容量素子の一方の端子間における容量値と、前記第2の光電変換素子の一方の端子、前記第3のトランジスタのソースまたはドレインの一方、および前記第1の容量素子の一方の端子間

における容量値とは、同等であることを特徴とする撮像装置。

[請求項5]

請求項1において、

前記分光素子は、前記第1の光電変換素子上に設けられ、前記第1の光電変換素子には、前記画素回路に入射された光(W)から、赤(R)、緑(G)、青(B)に対応する波長の光成分のいずれか一つが除かれた $W-R$ 、 $W-G$ または $W-B$ の光が入射し、前記第2の光電変換素子には、前記画素回路に入射された光(W)および前記除かれた光が合成された $W+R$ 、 $W+G$ または $W+B$ が入射することを特徴とする撮像装置。

[請求項6]

請求項5において、前記第2の光電変換素子には、前記画素回路を有する画素に隣接する画素における前記除かれた光の一部が入射されることを特徴とする撮像装置。

[請求項7]

請求項1において、

前記分光素子は、前記第2の光電変換素子上に設けられ、前記第2の光電変換素子には、前記画素回路に入射された光(W)から、赤(R)、緑(G)、青(B)に対応する波長の光成分の $1/2$ のいずれか二つが除かれた $W-(R/2)-(B/2)$ 、 $W-(R/2)-(G/2)$ または $W-(B/2)-(G/2)$ の光が入射し、前記第1の光電変換素子には、前記画素回路に入射された光(W)および前記除かれた光が合成された $W+(R/2)+(B/2)$ 、 $W+(R/2)+(G/2)$ または $W+(B/2)+(G/2)$ が入射することを特徴とする撮像装置。

[請求項8]

請求項7において、前記第2の光電変換素子には、隣接する画素における前記除かれた光の一部が入射されることを特徴とする撮像装置。

[請求項9]

請求項1において、

前記第1乃至第7のトランジスタの一部または全ては、活性層に酸化物半導体を有し、当該酸化物半導体は、Inと、Znと、M(MはAl、Ti、Ga、Sn、Y、Zr、La、Ce、NdまたはHf)と、を有することを特徴とする撮像装置。

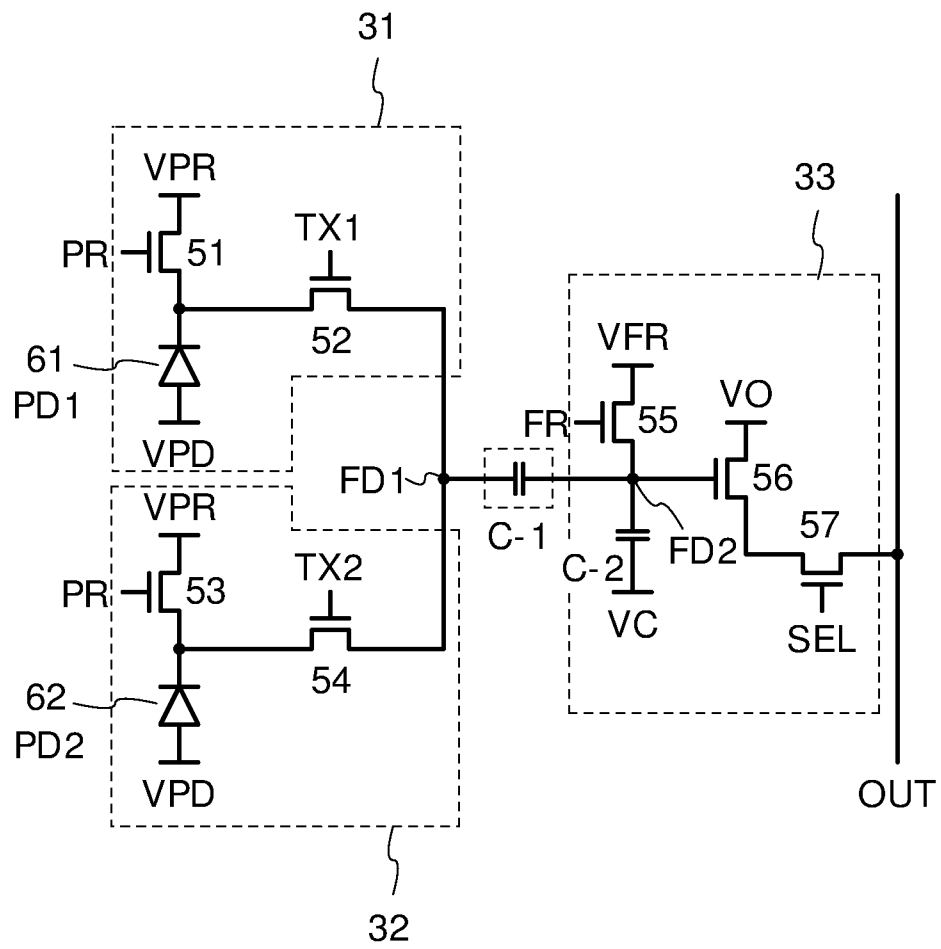
[請求項10]

請求項1に記載の撮像装置と、

表示装置、操作キー、または、シャッターボタンと、
を有することを特徴とする電子機器。

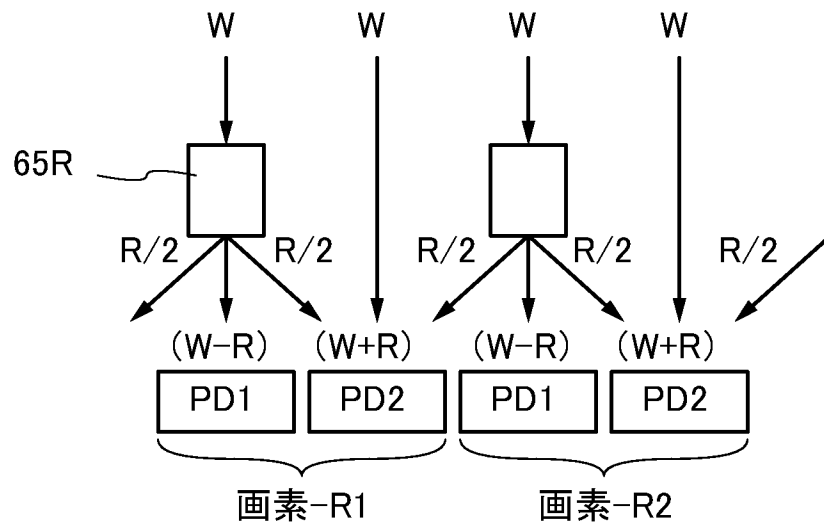
1/42

[図1]

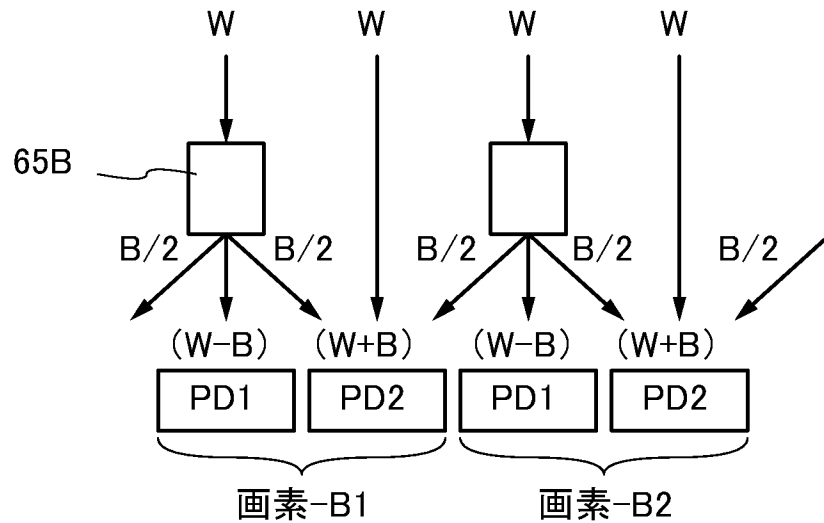


[図2]

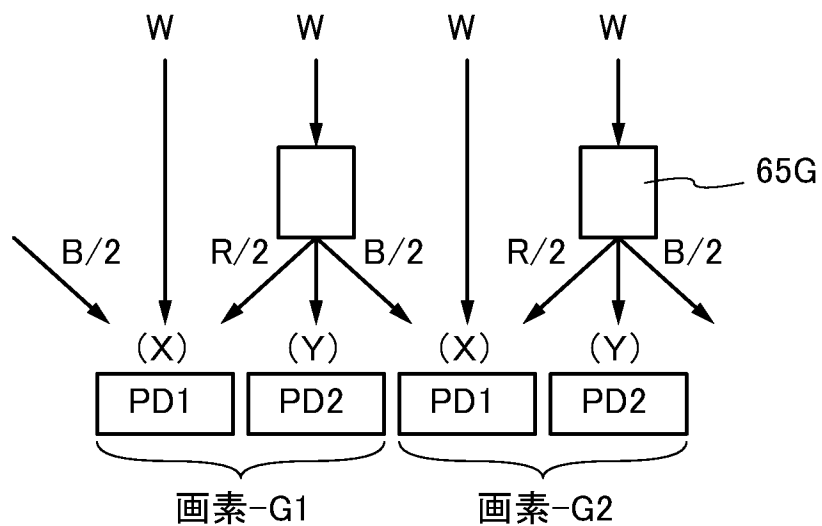
(A)



(B)



(C)



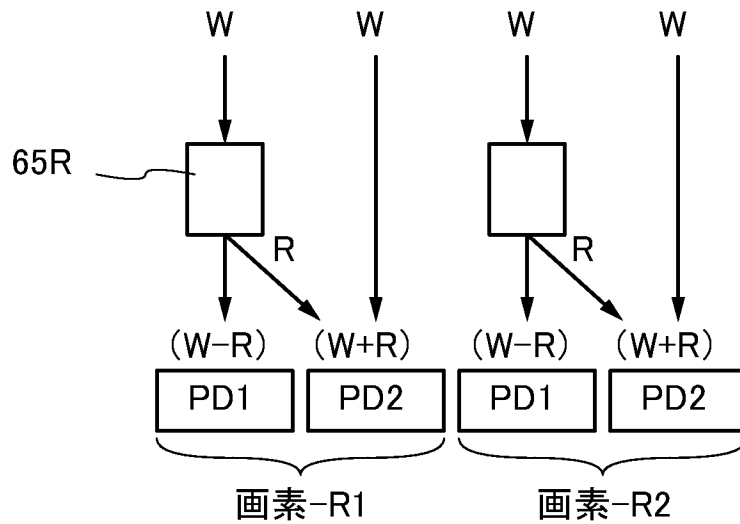
$$X = W + (R/2) + (B/2)$$

$$Y = W - (R/2) - (B/2)$$

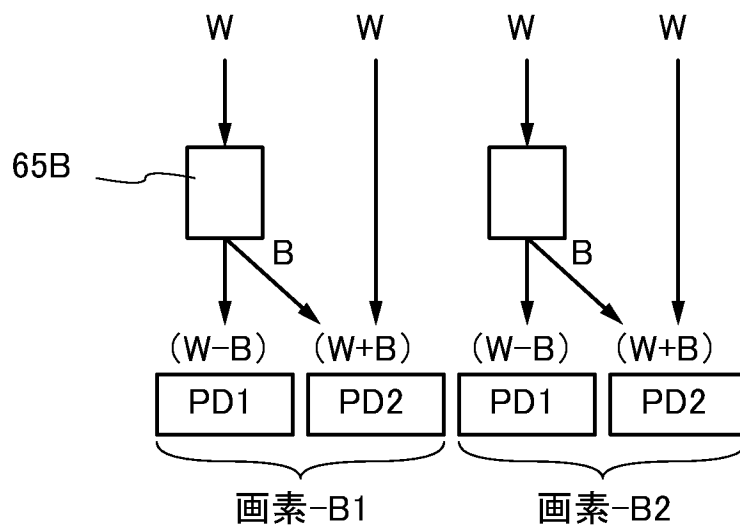
差替え用紙 (規則26)

[図3]

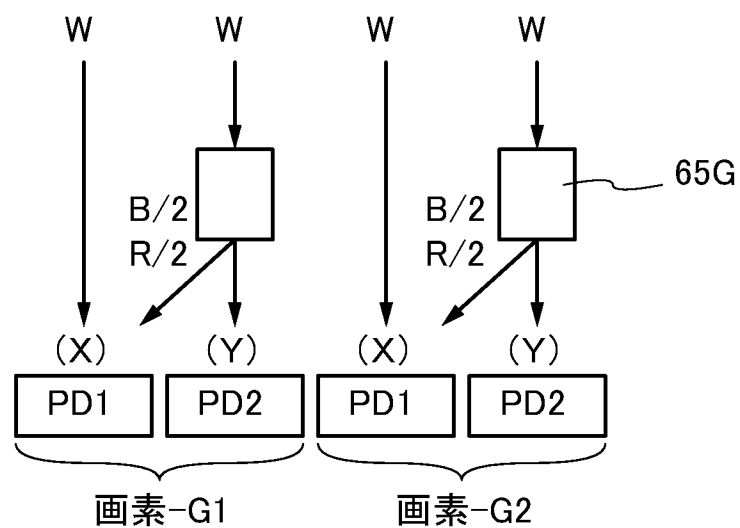
(A)



(B)



(B)

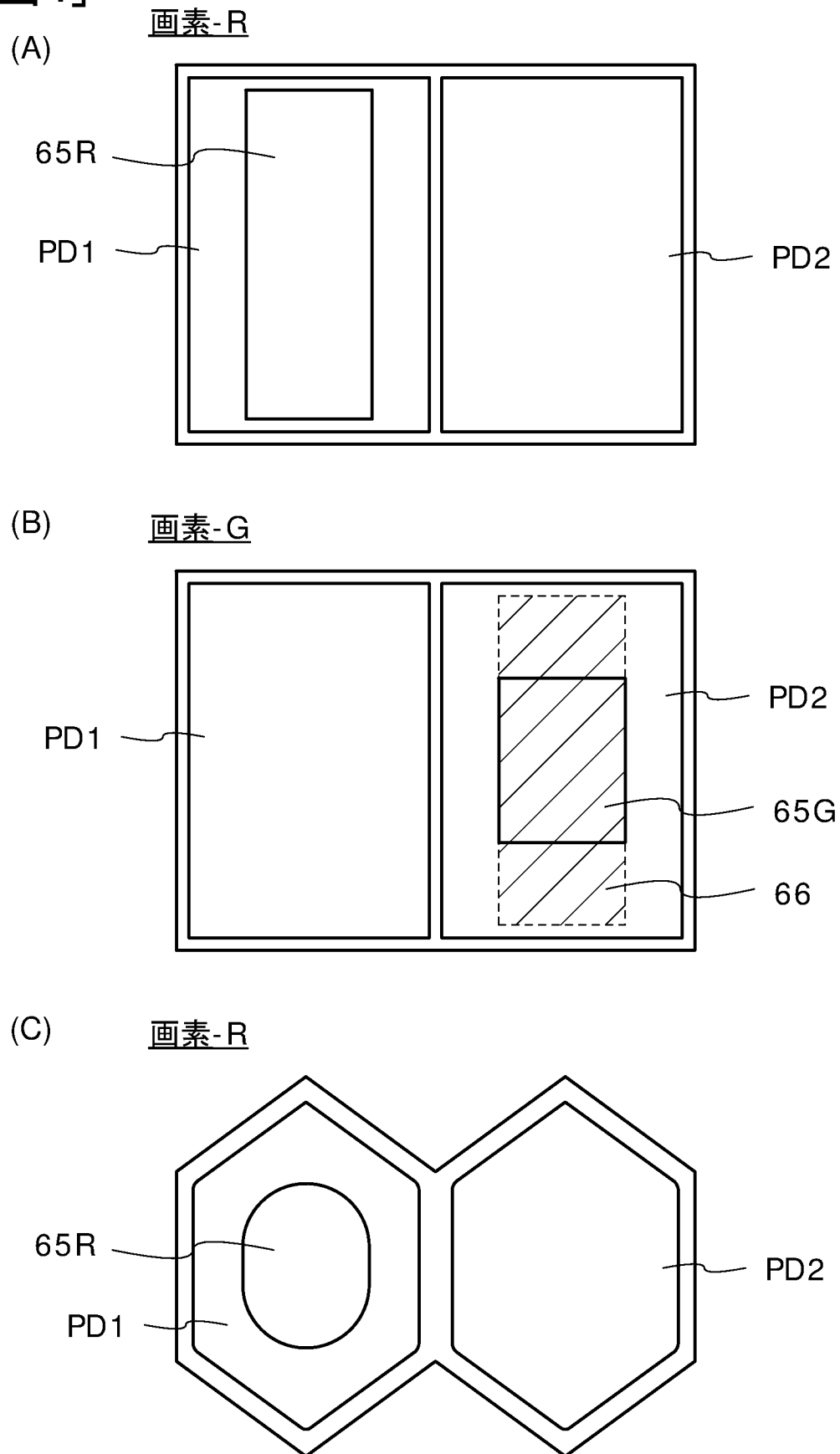


$$X=W+(R/2)+(B/2)$$

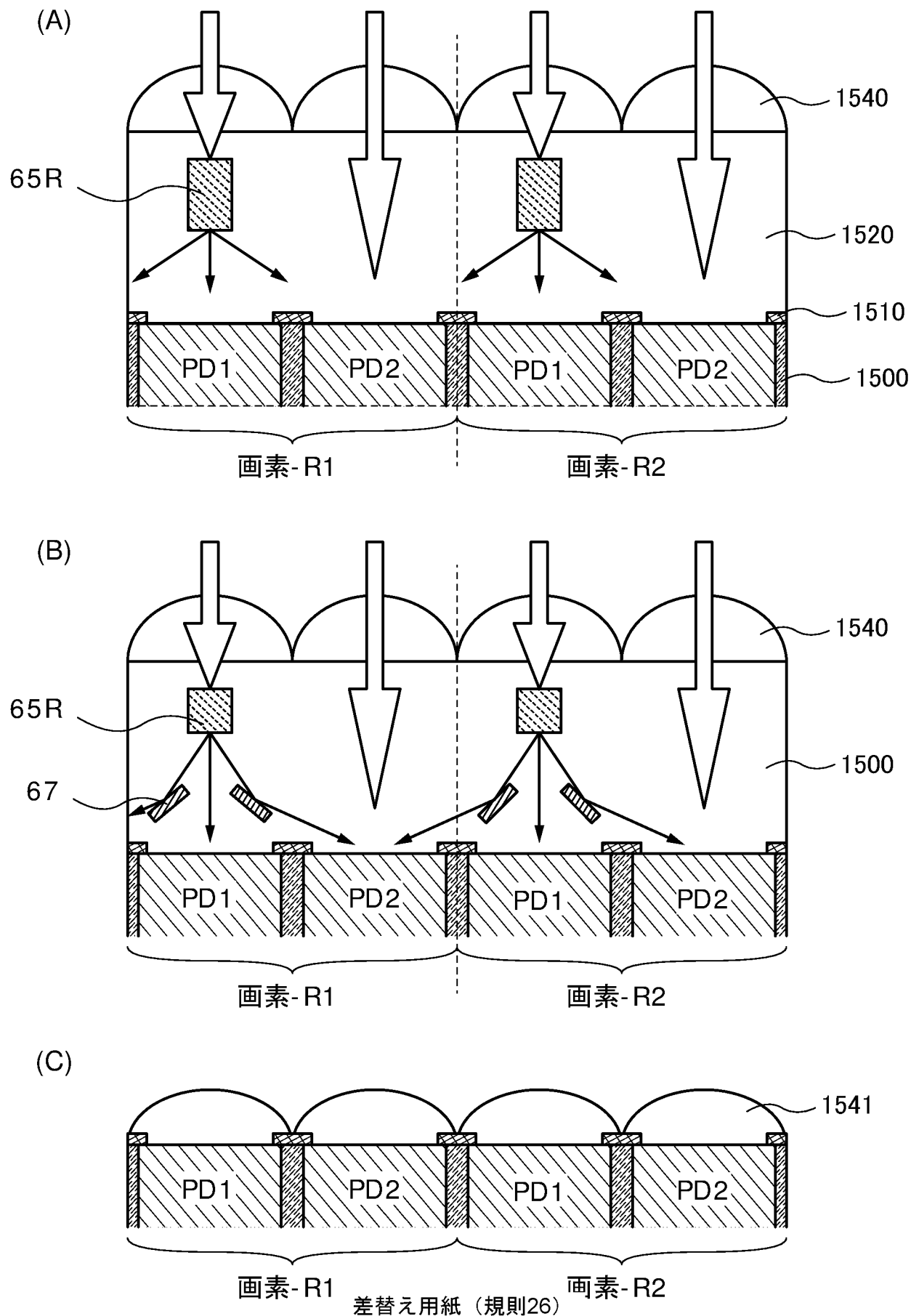
$$Y=W-(R/2)-(B/2)$$

差替え用紙 (規則26)

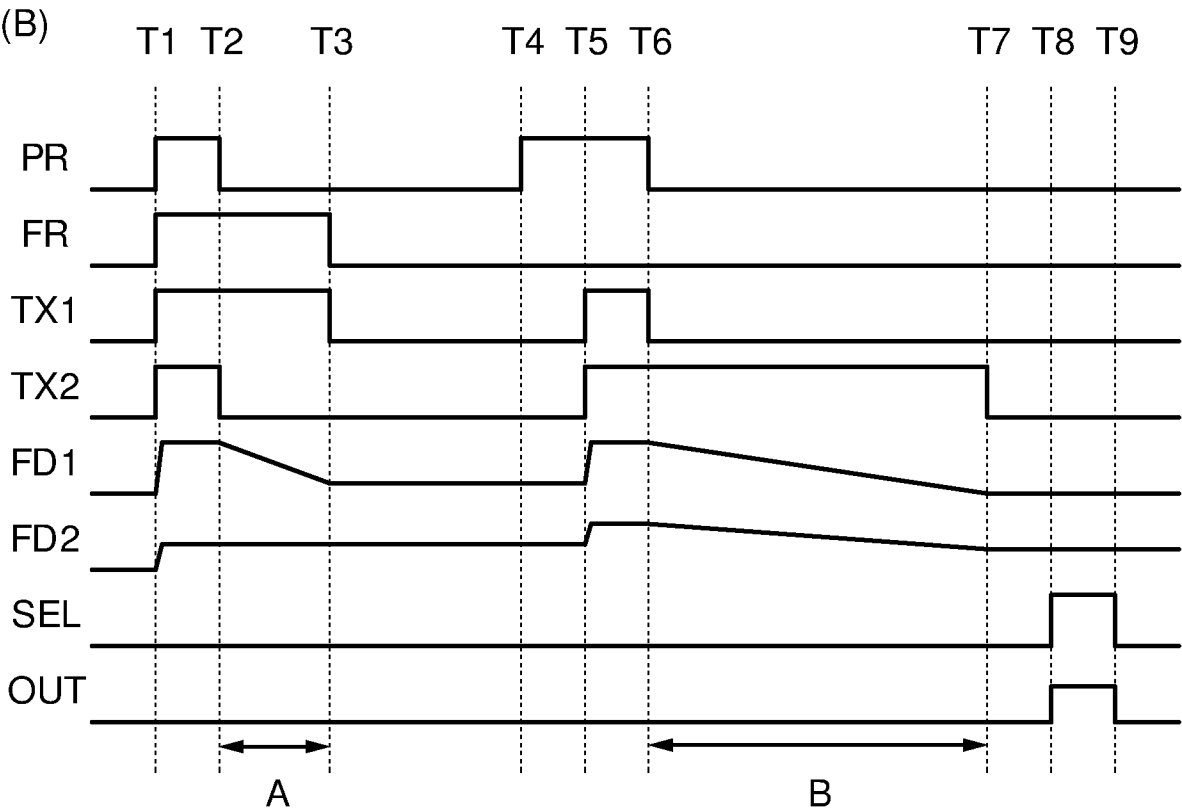
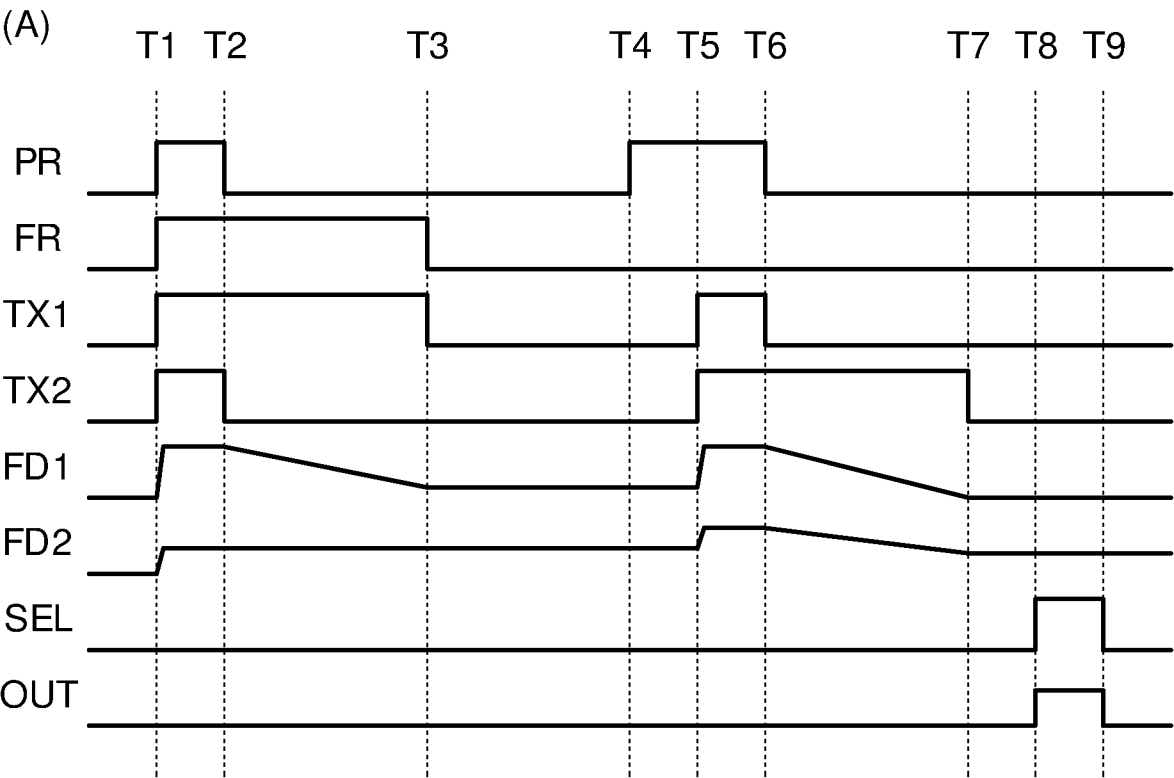
[図4]



[図5]



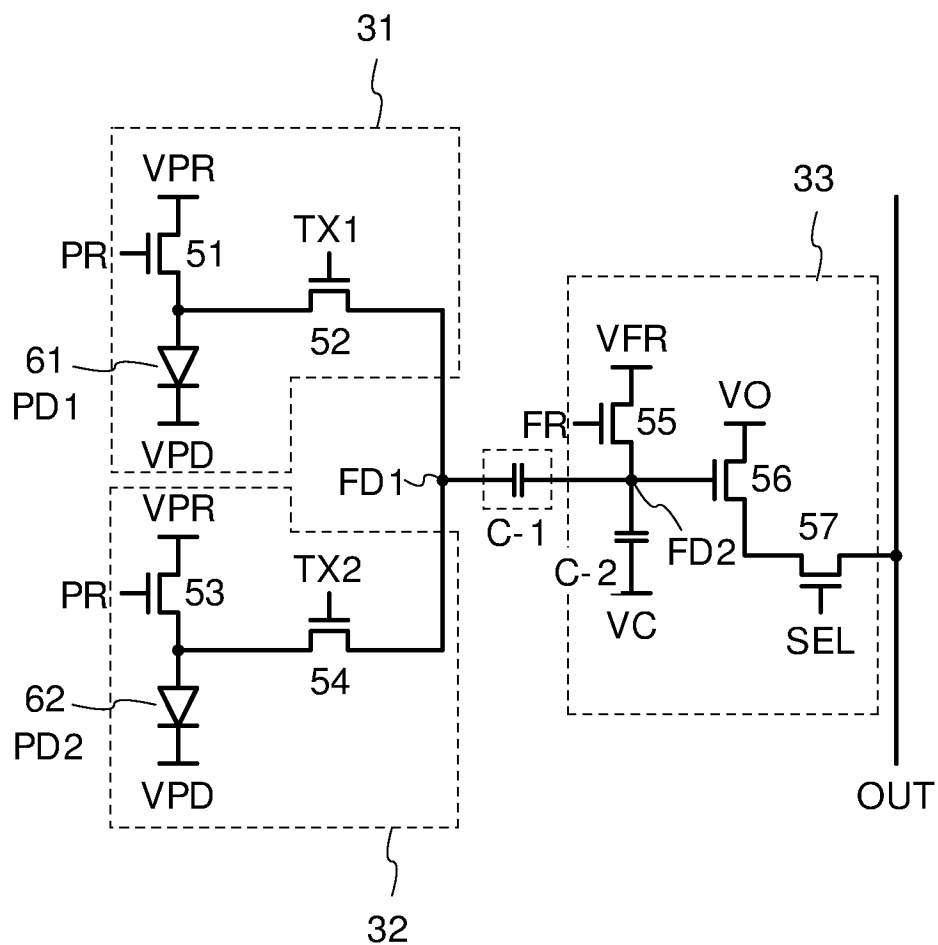
[図6]



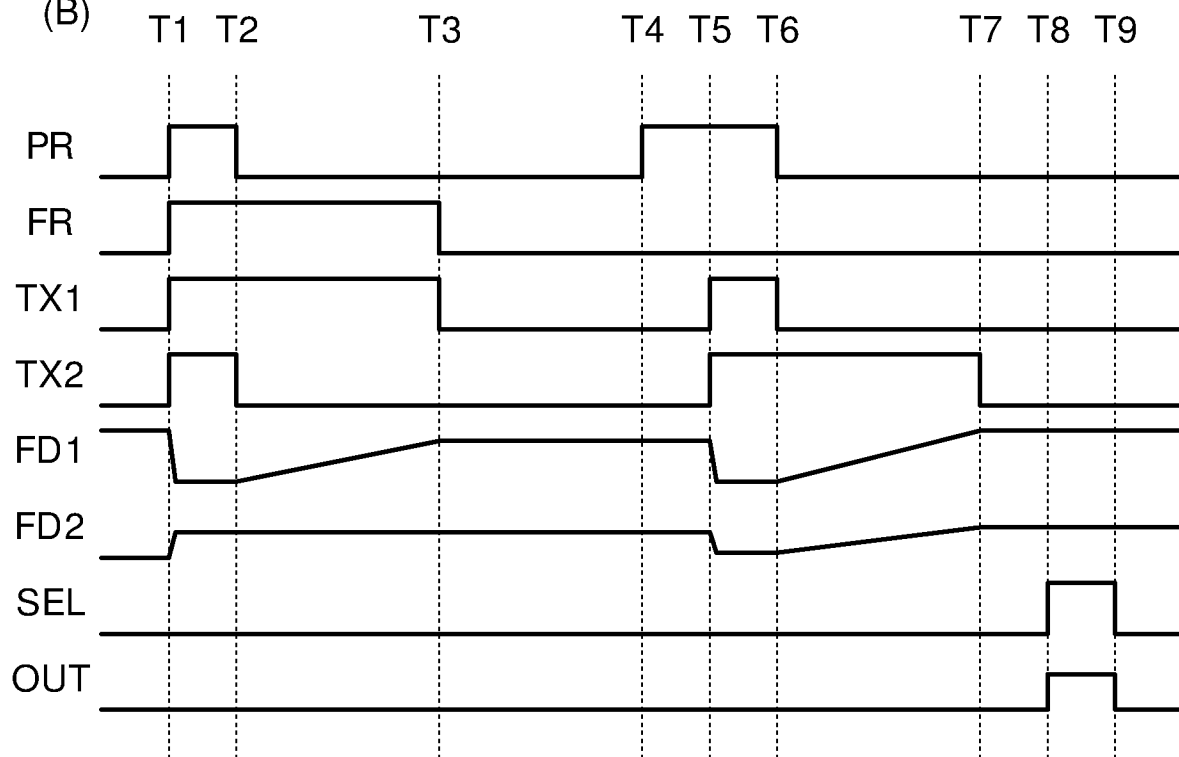
A: B= 1:3
差替え用紙（規則26）

[図7]

(A)

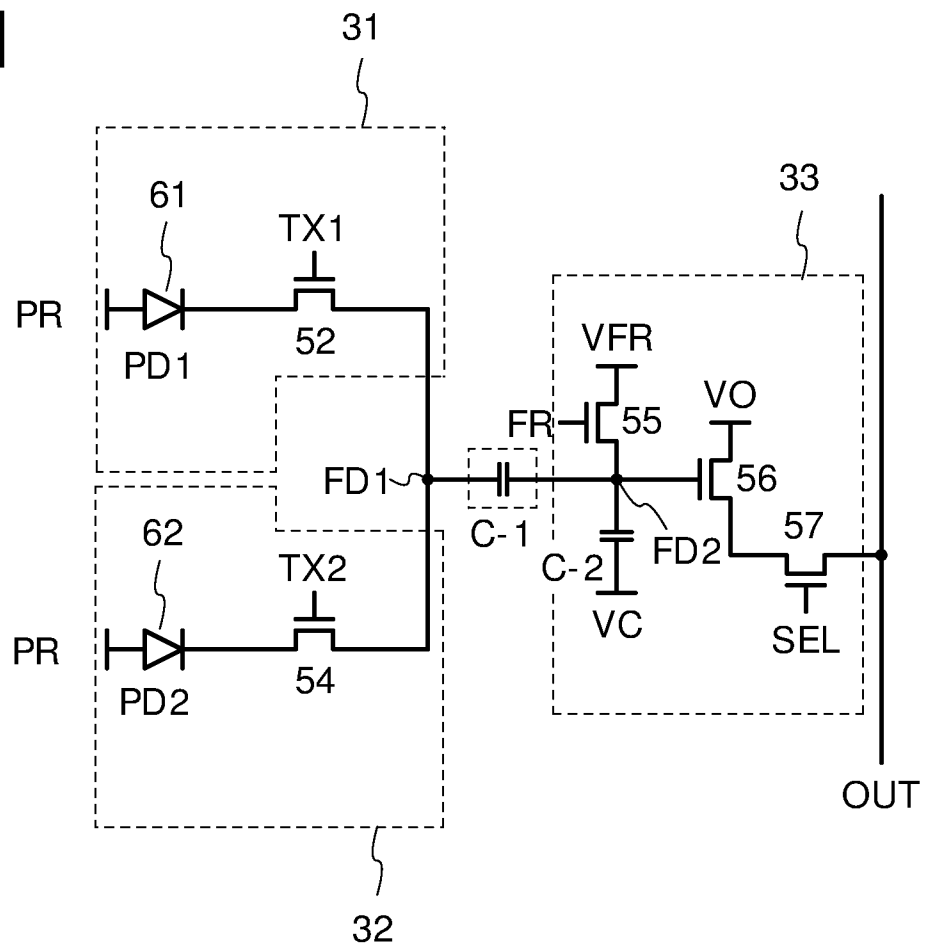


(B)



8/42

[図8]



[図9]

(A)

65R	65R	65R
65G	65G	65G
65B	65B	65B

(B)

65R	65R	65R
65G	65G	65G
65B	65B	65B

(C)

R	R	R
65G	65G	65G
65B	65B	65B

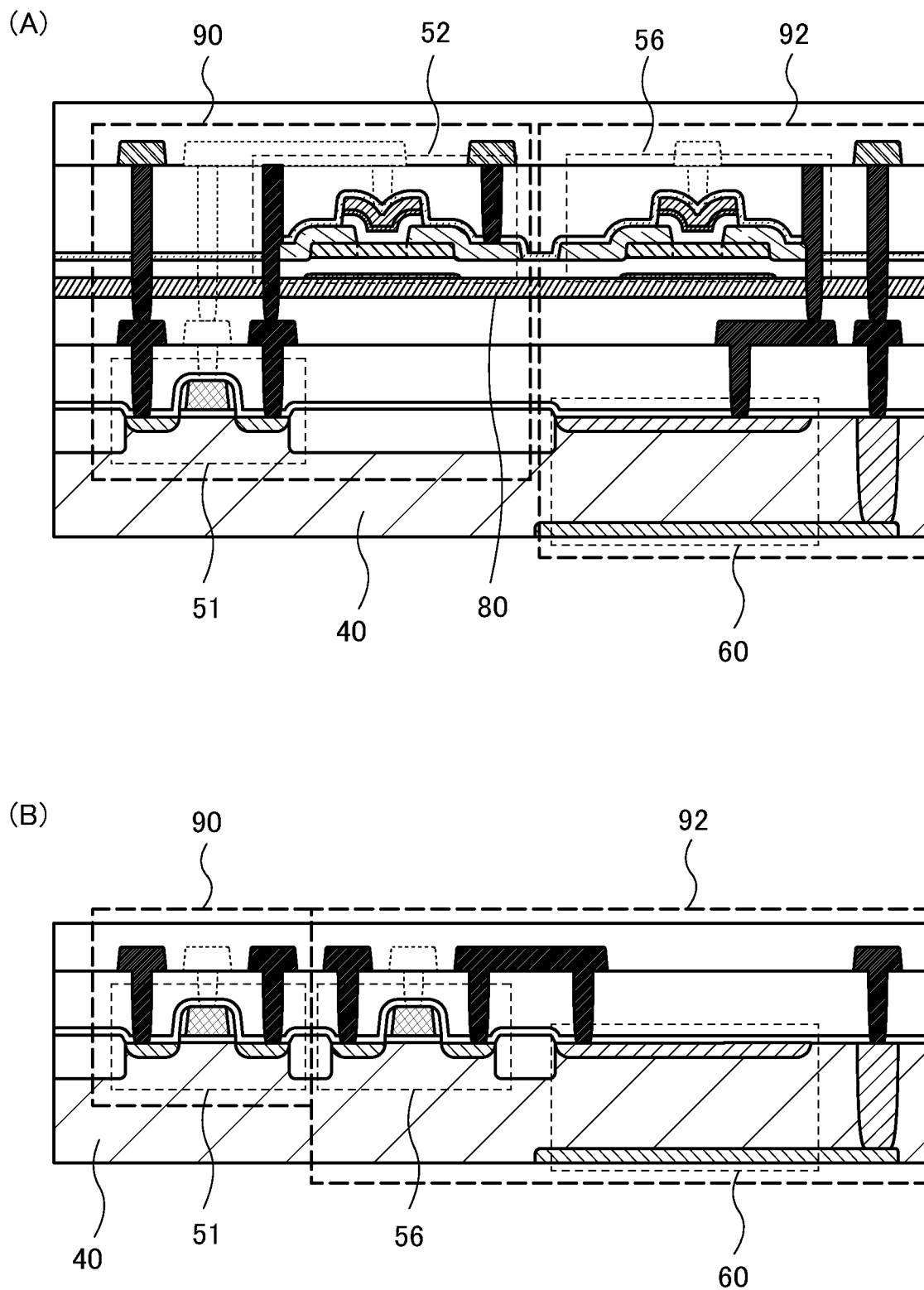
(D)

R	R	R
G	G	G
65B	65B	65B

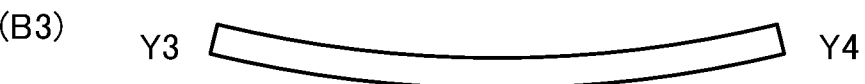
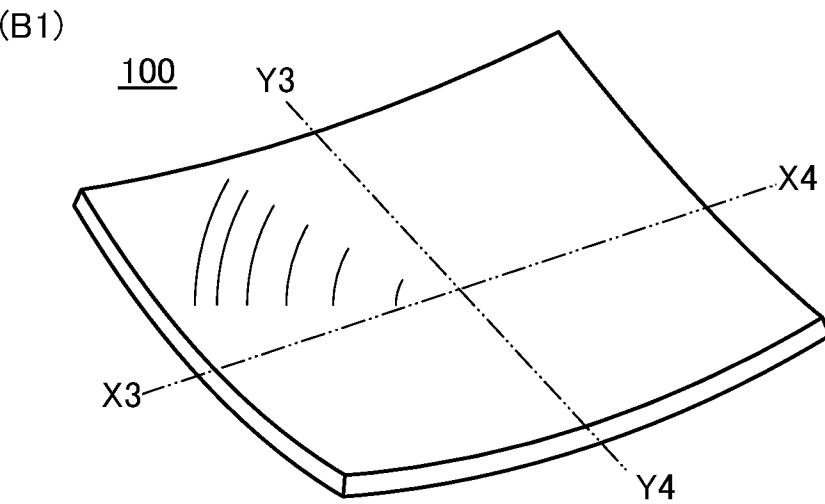
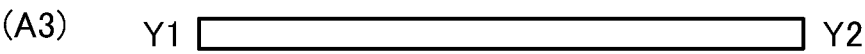
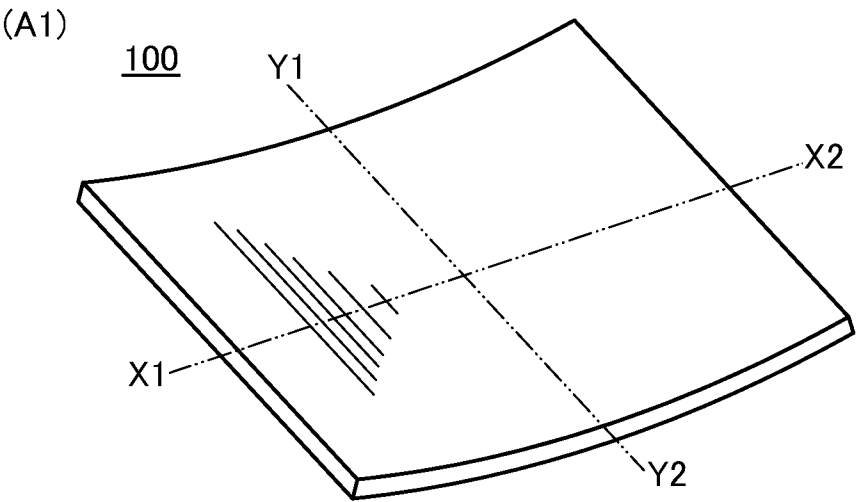
(E)

65R	65R	65R
65G	65G	65G
65B	65B	65B

[図10]

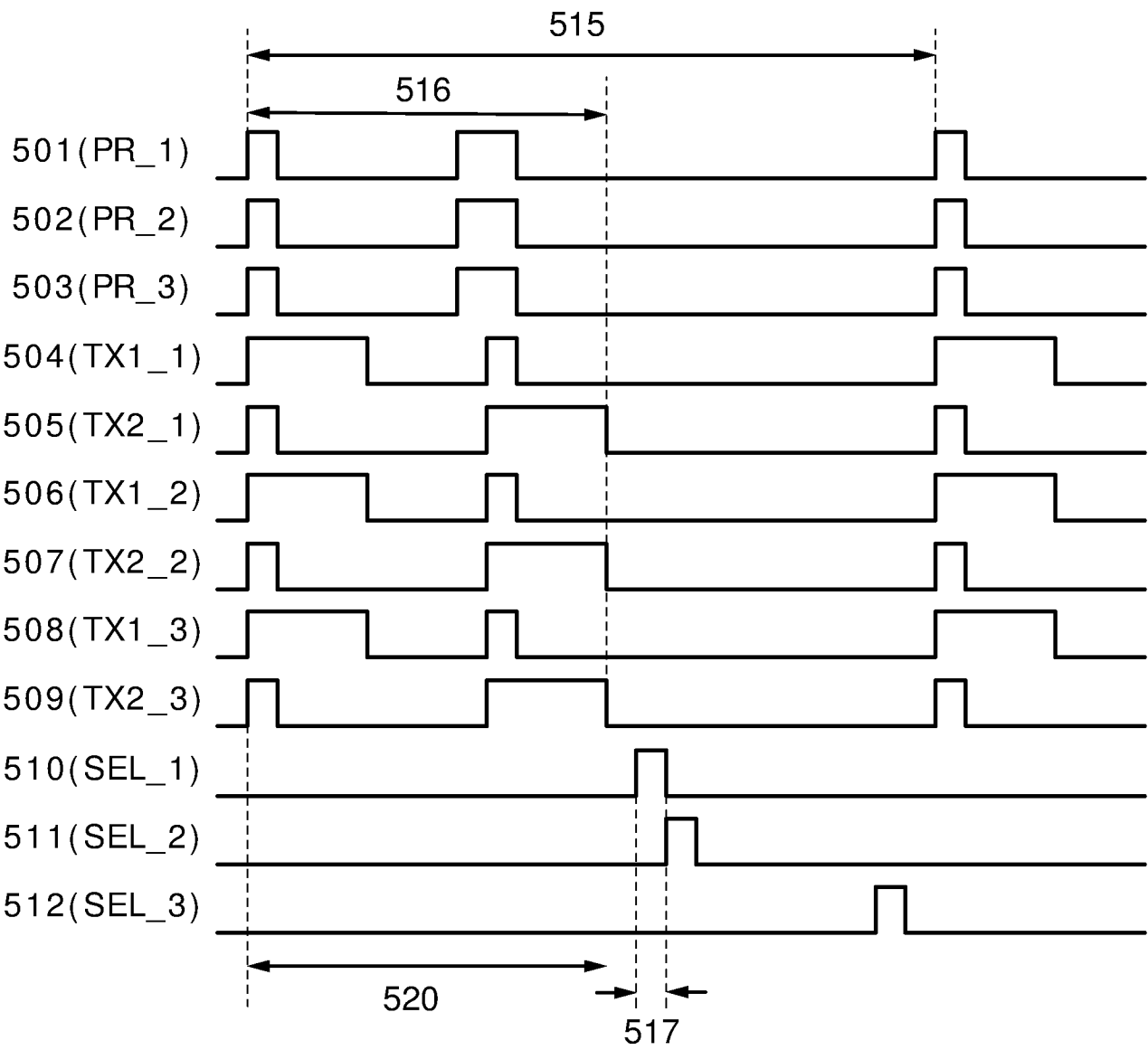


[図11]

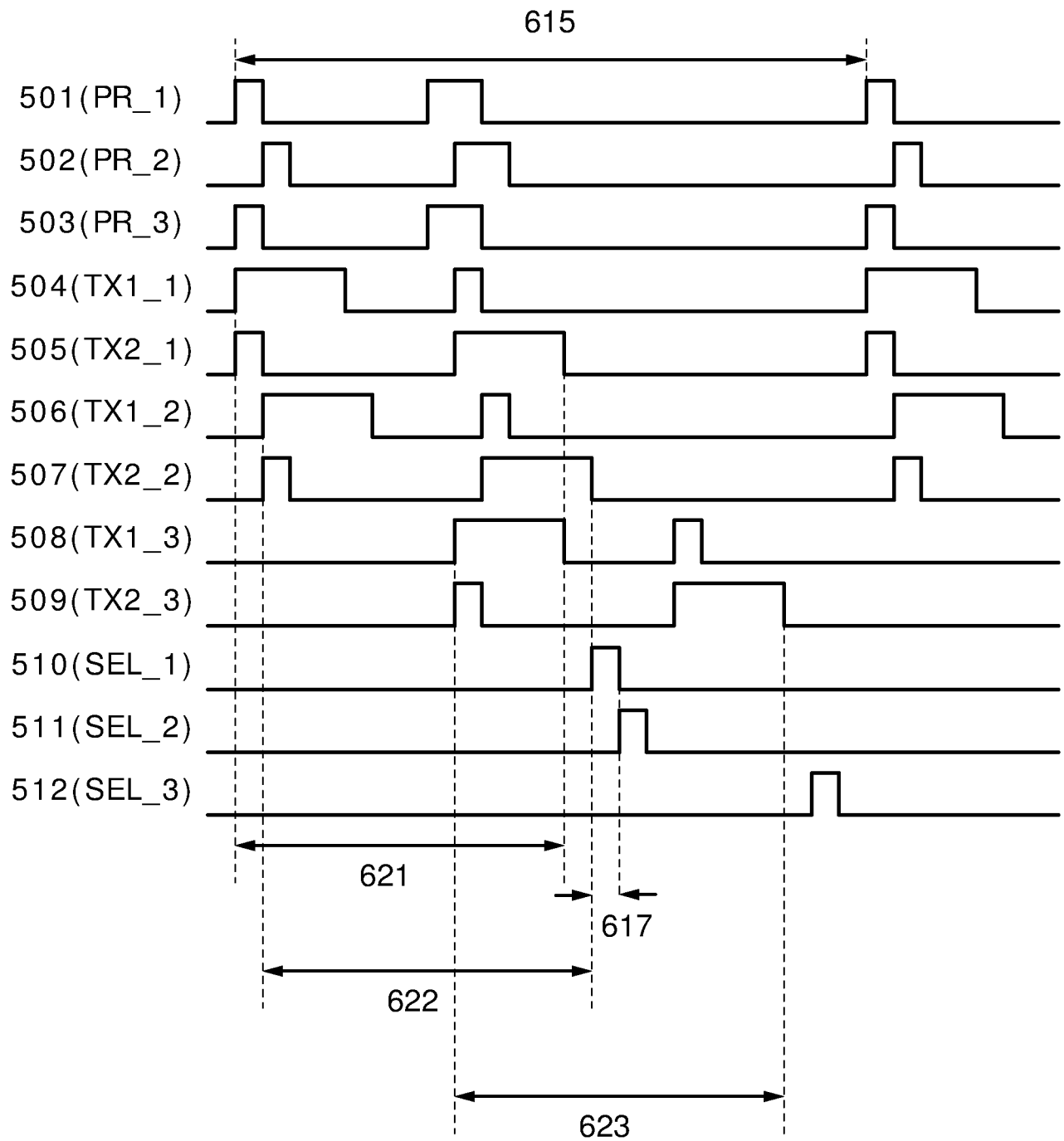


差替え用紙（規則26）

[図12]

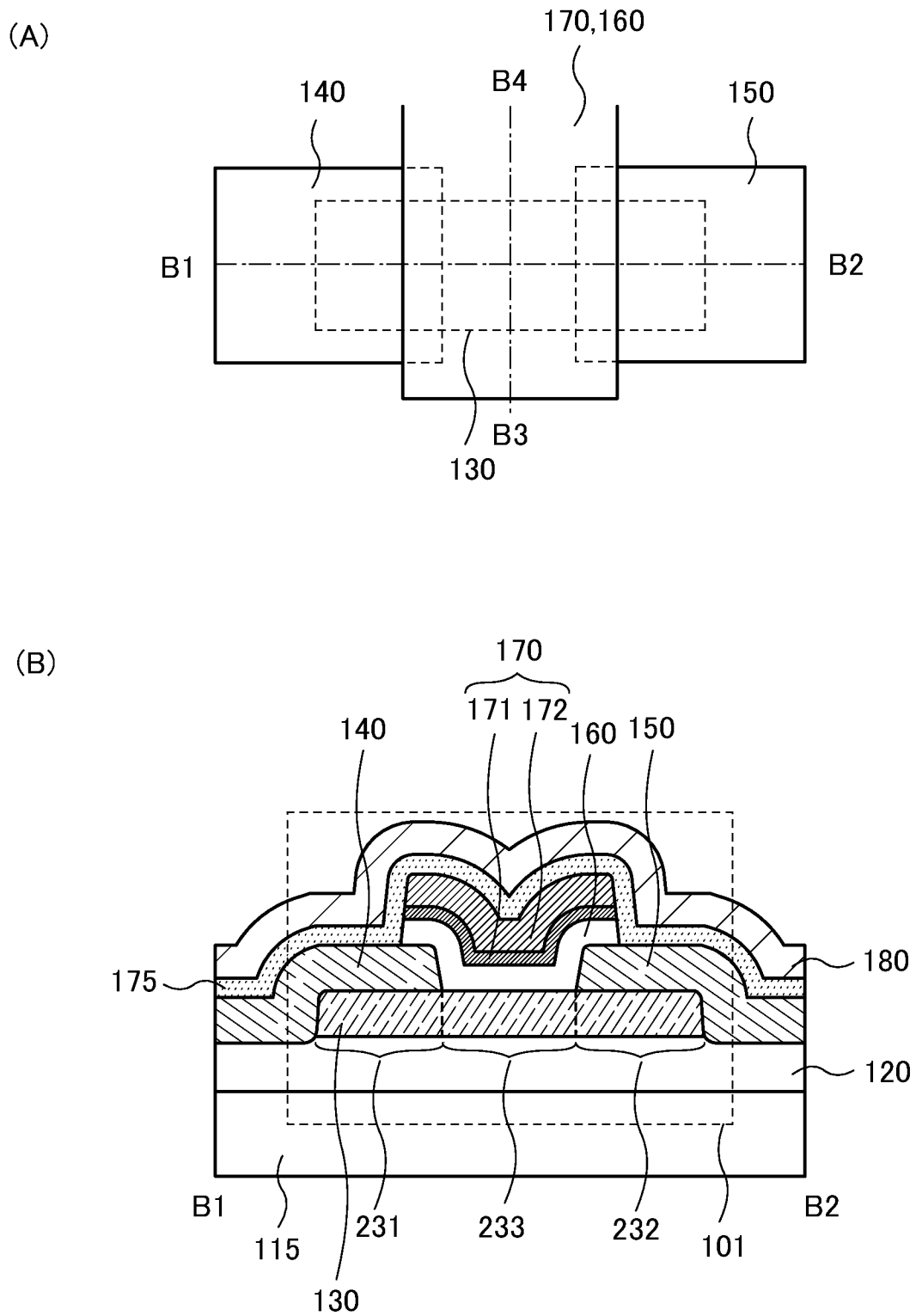


[図13]



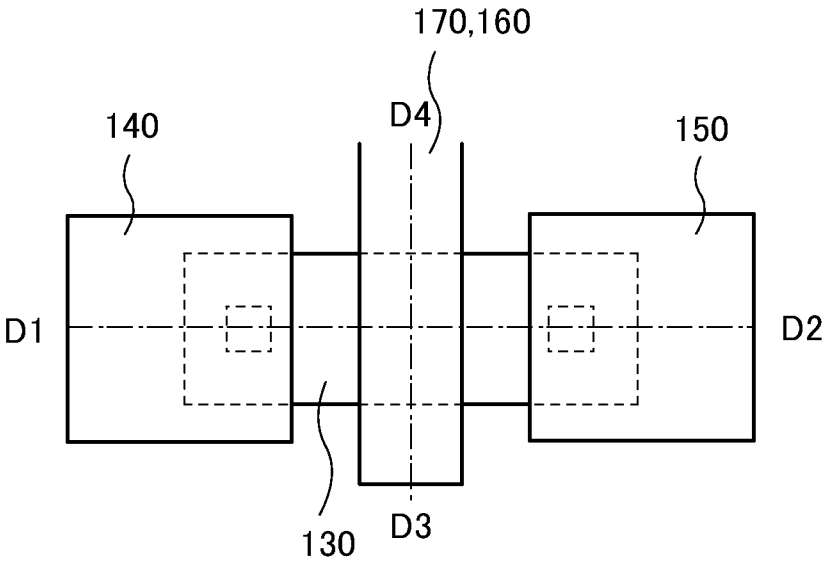
14/42

[図14]

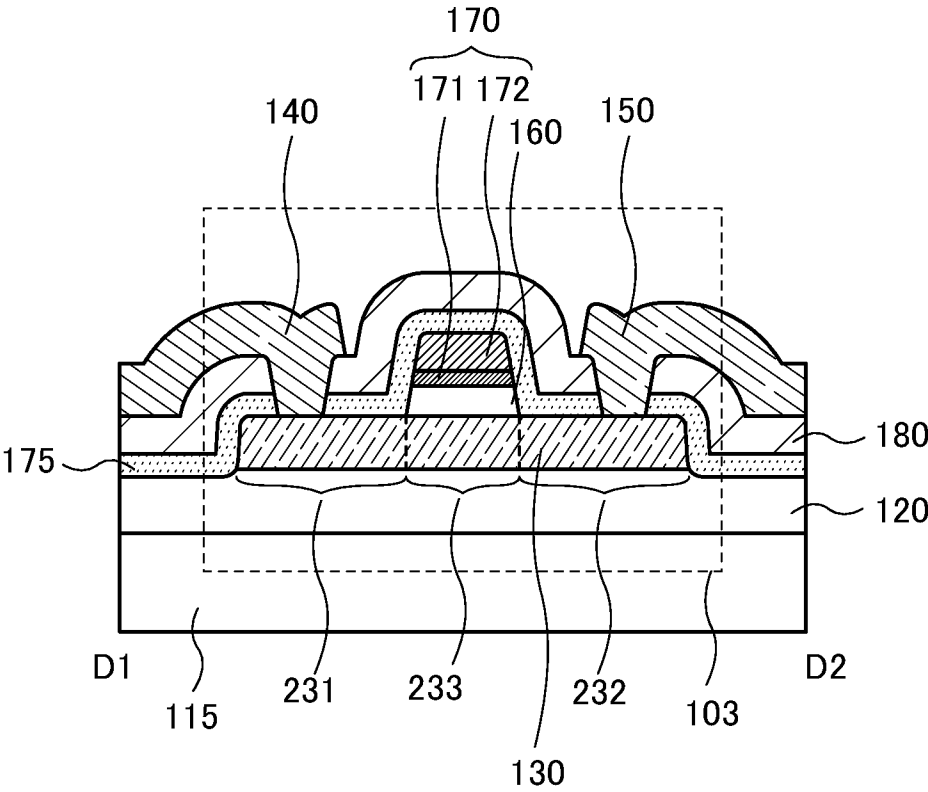


[図16]

(A)

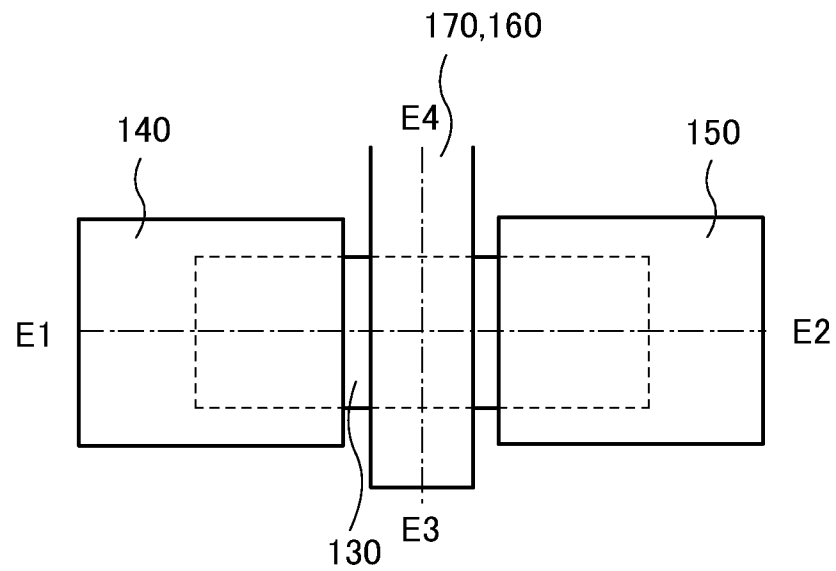


(B)

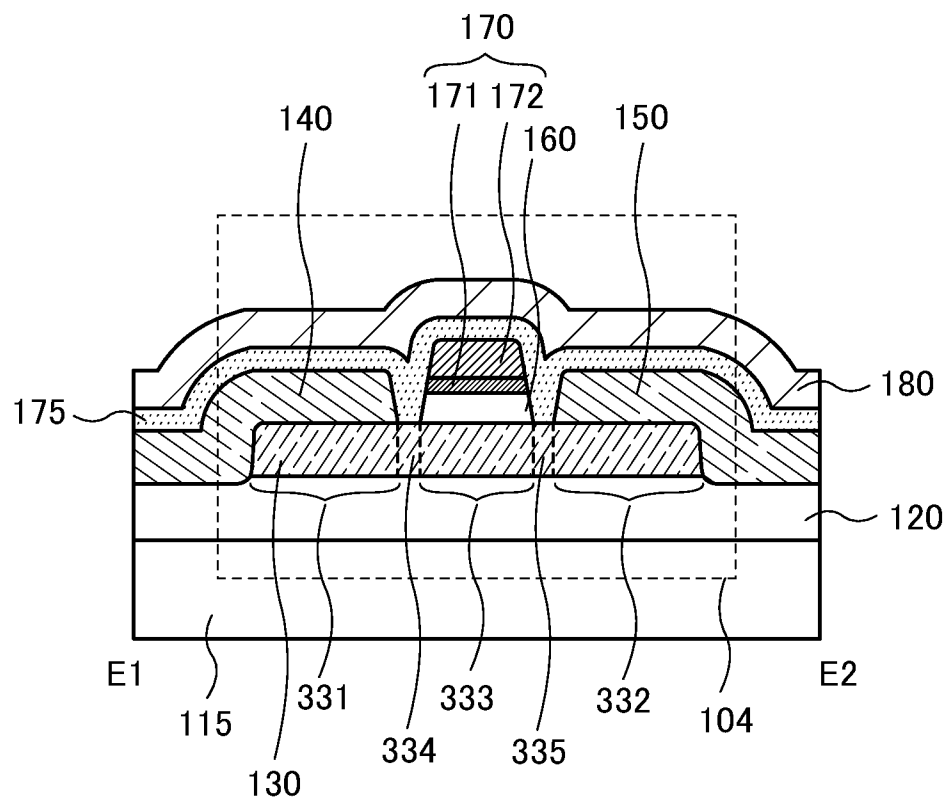


[図17]

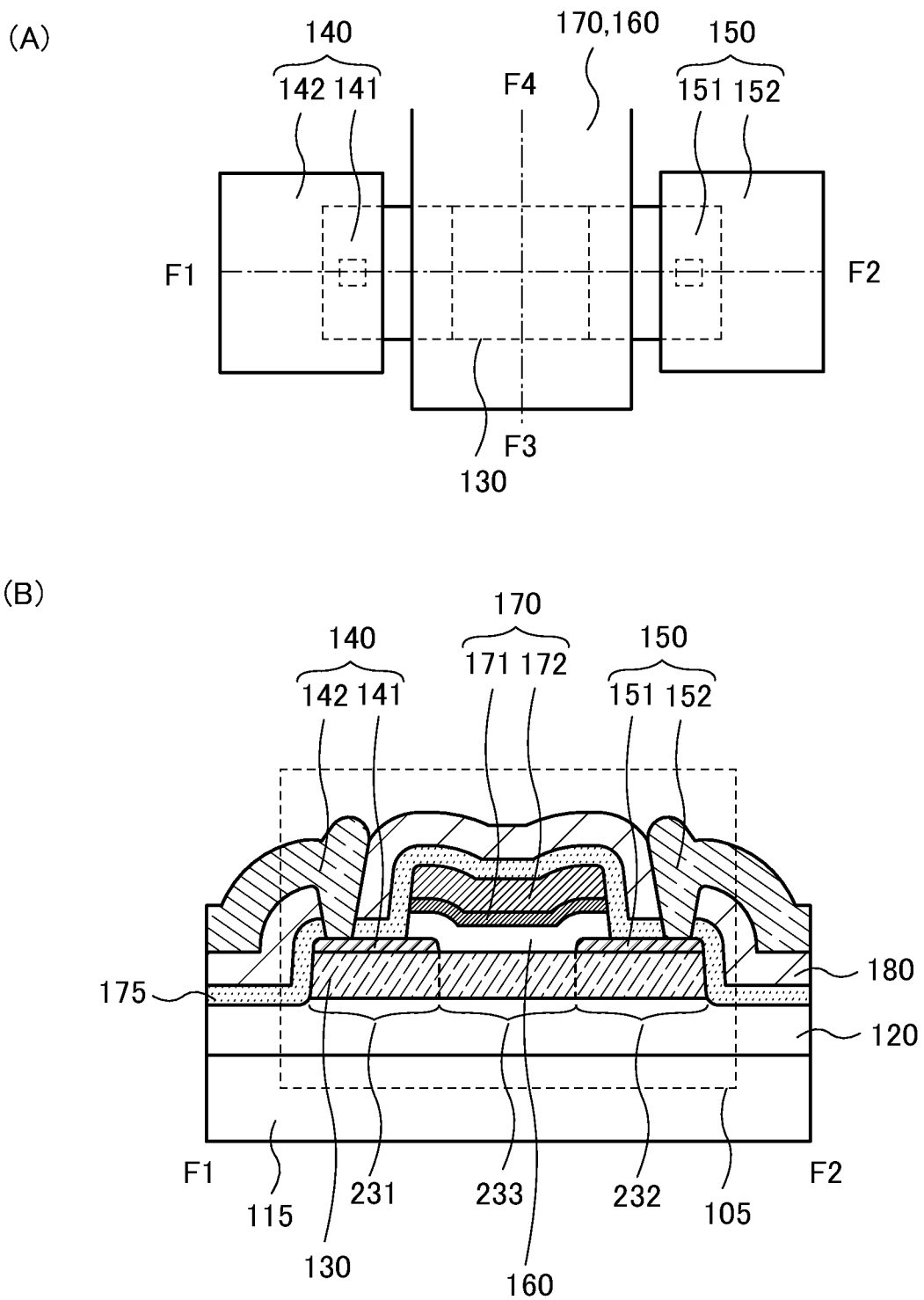
(A)



(B)

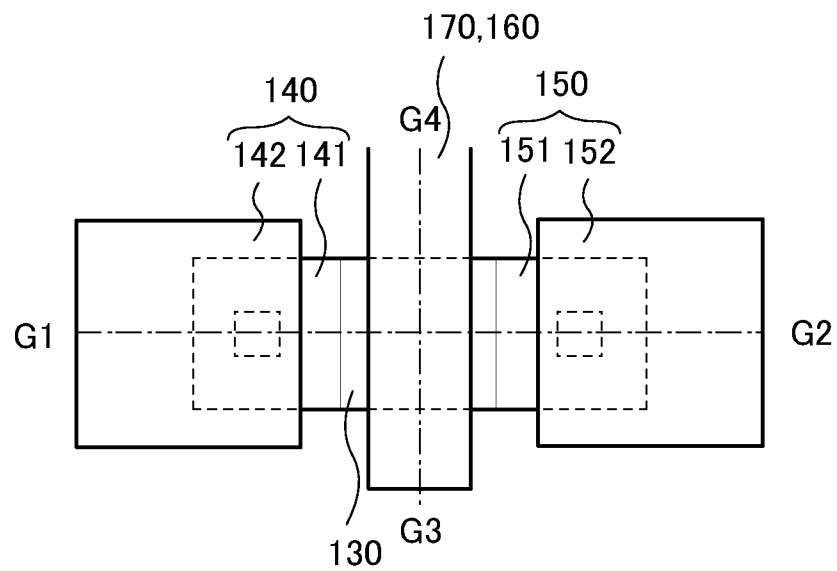


[図18]

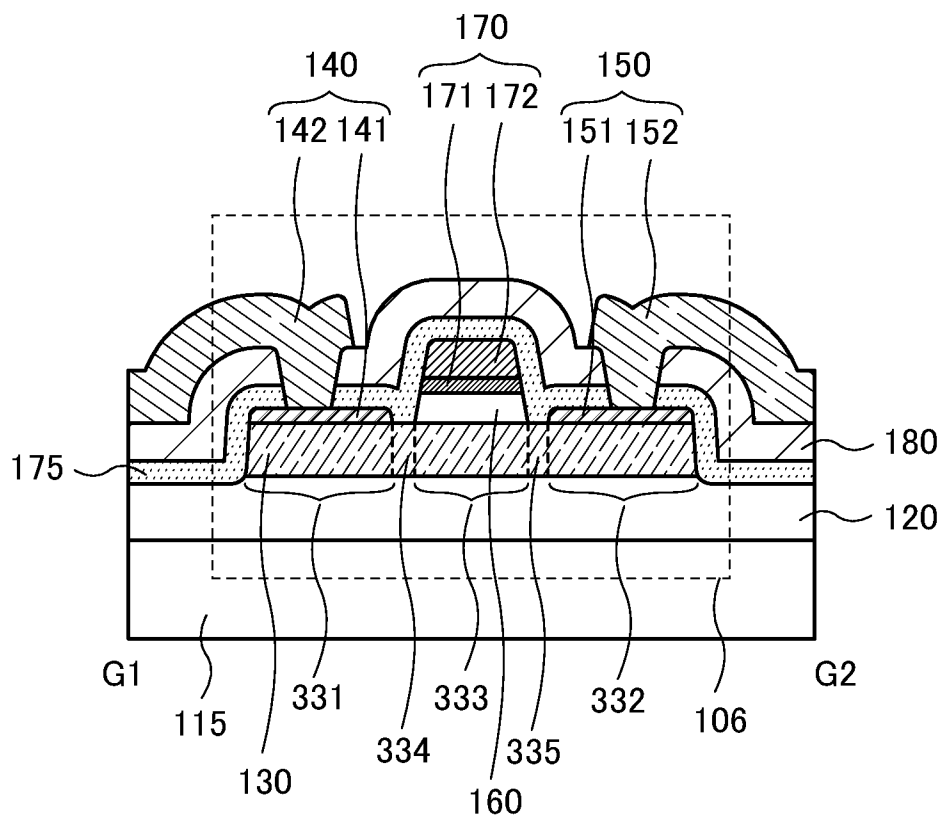


[図19]

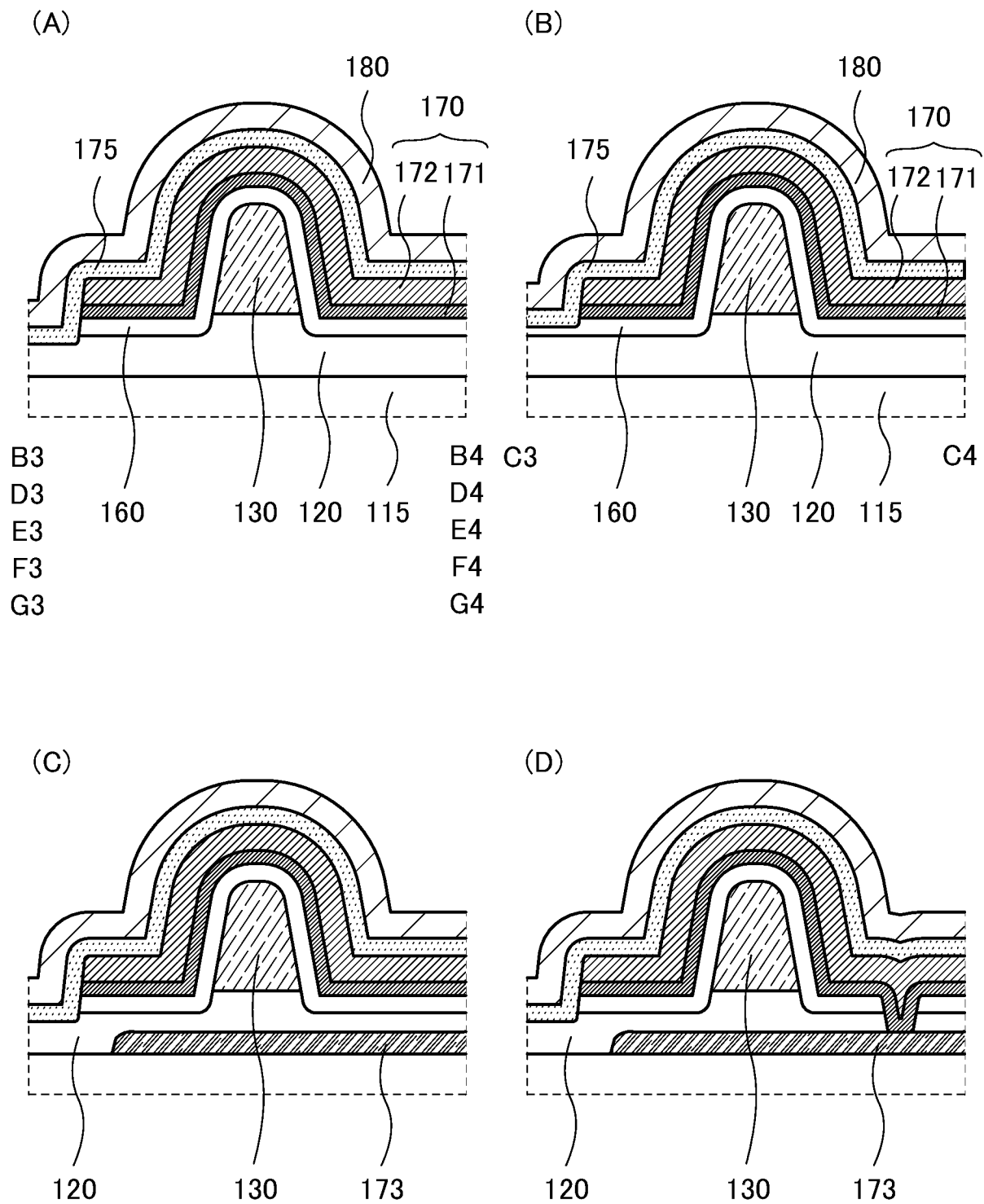
(A)



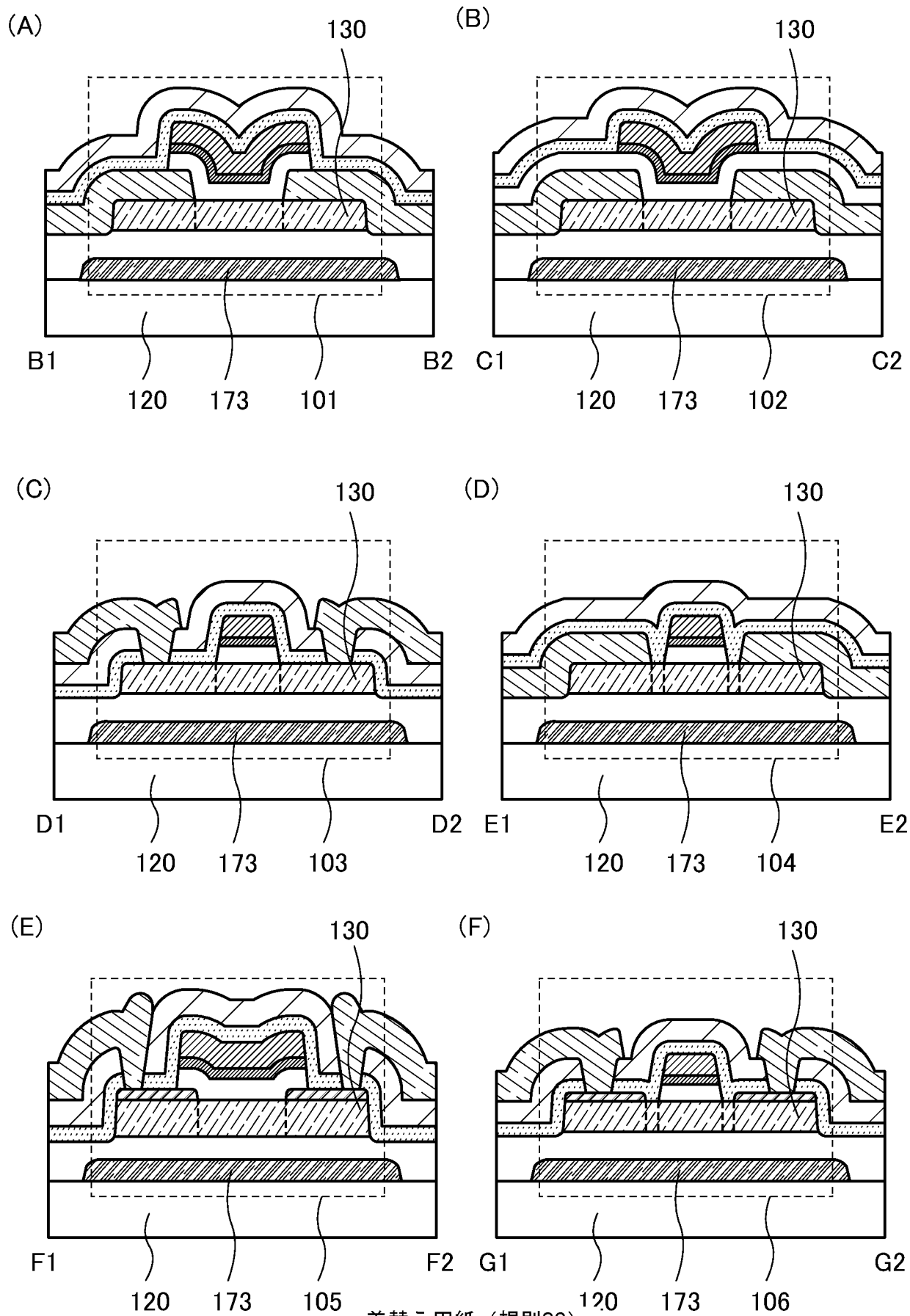
(B)



[図20]

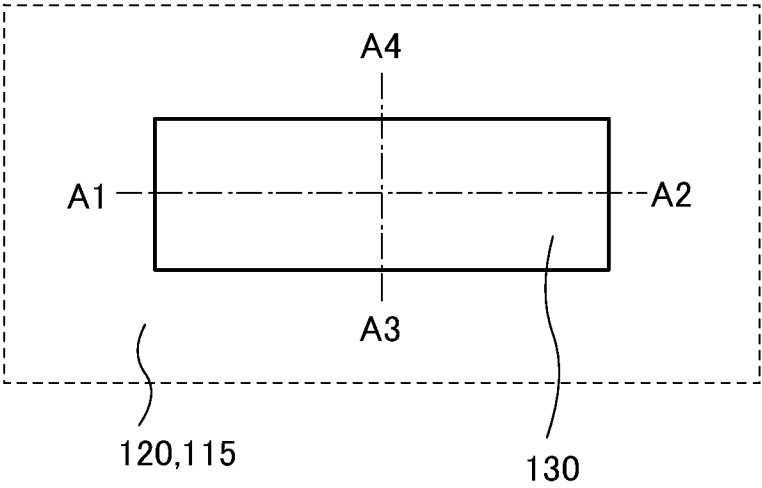


[図21]

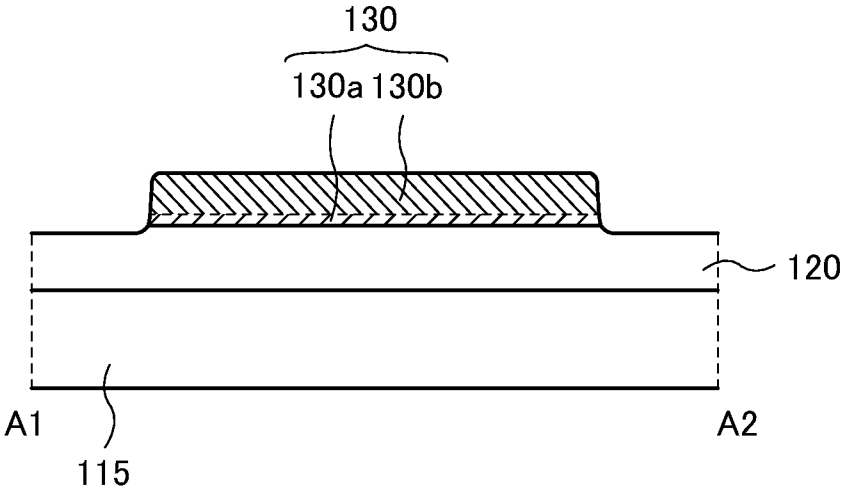


[図22]

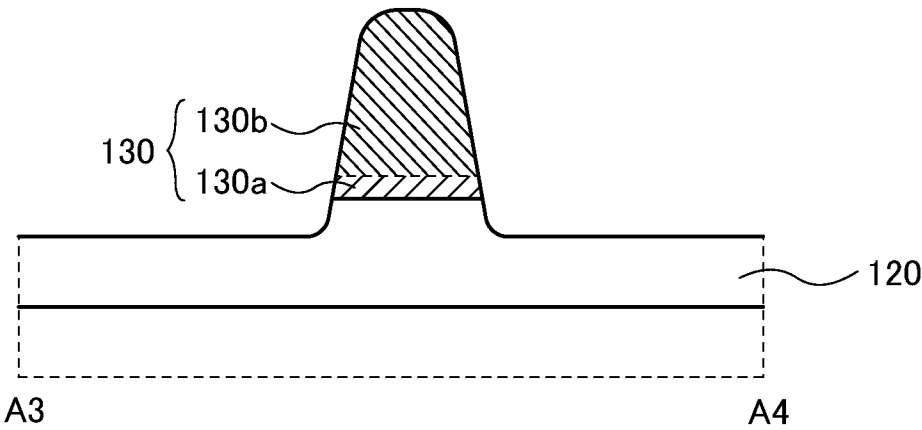
(A)



(B)

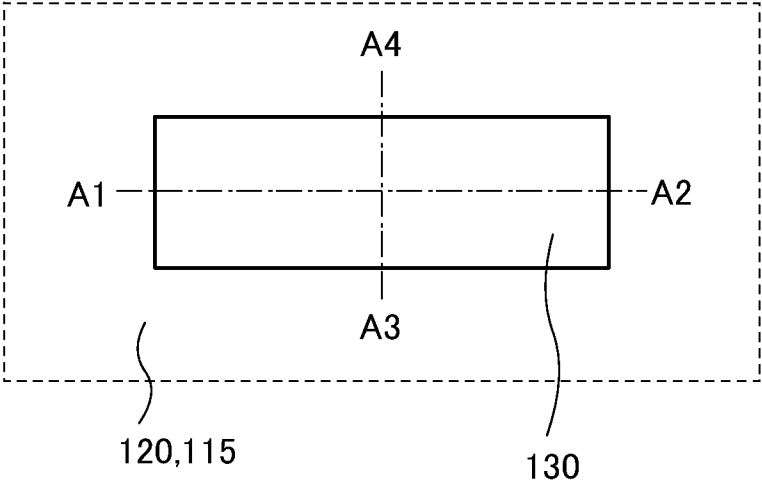


(C)

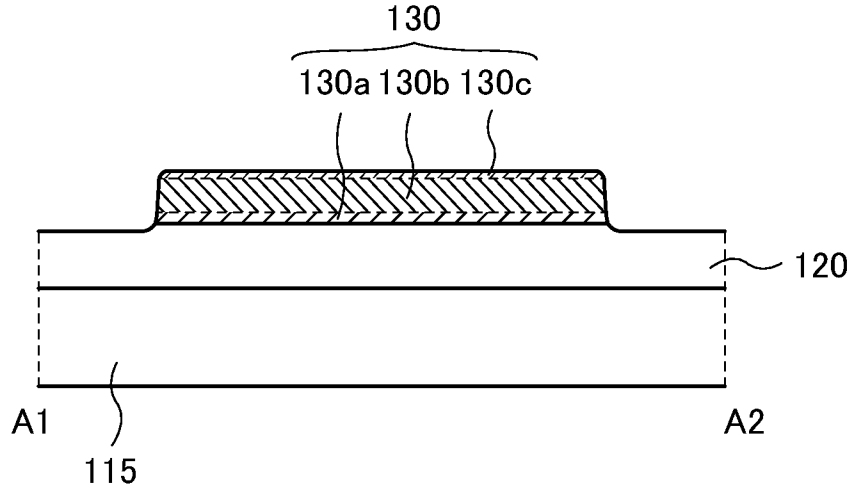


[図23]

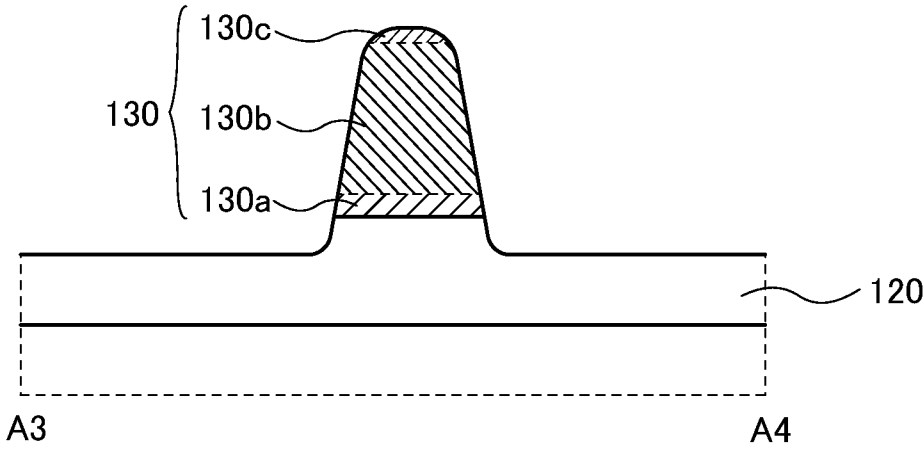
(A)



(B)



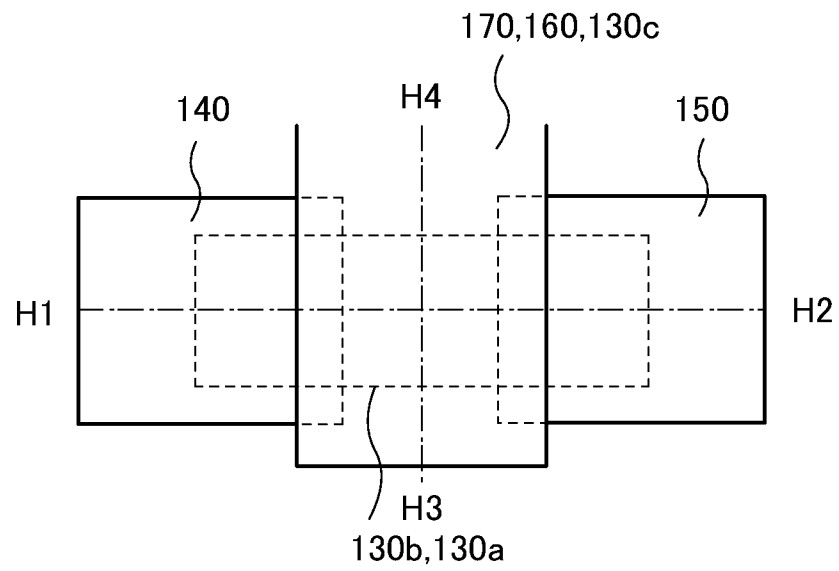
(C)



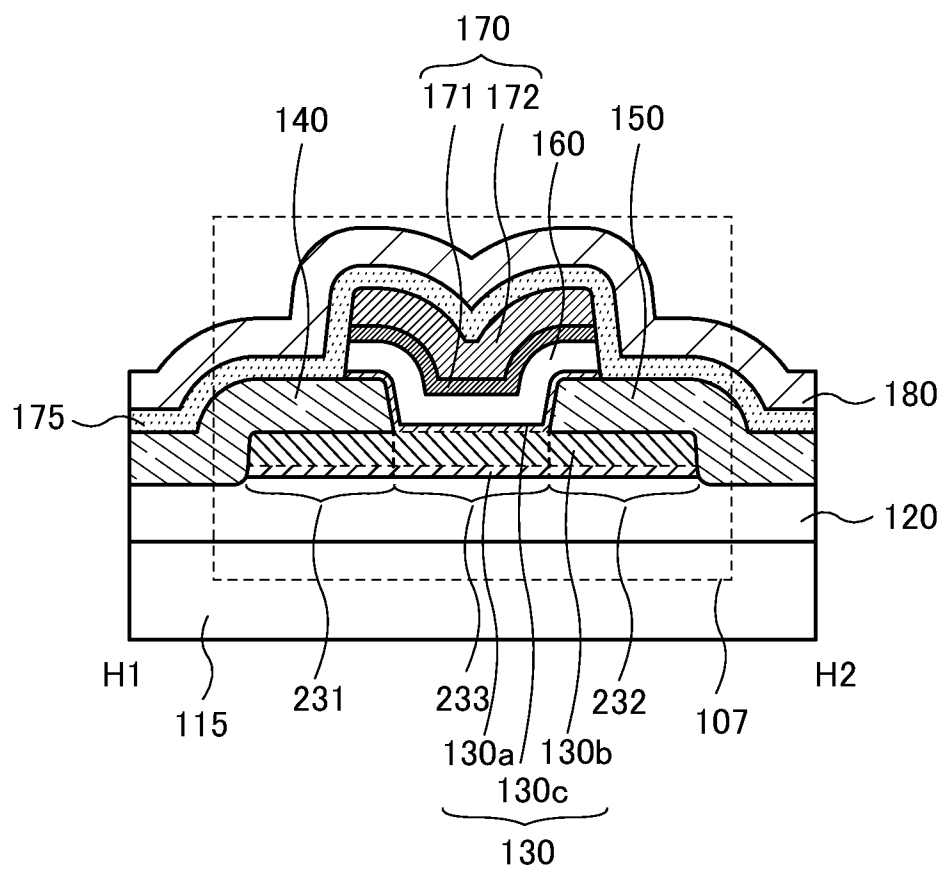
24/42

[図24]

(A)

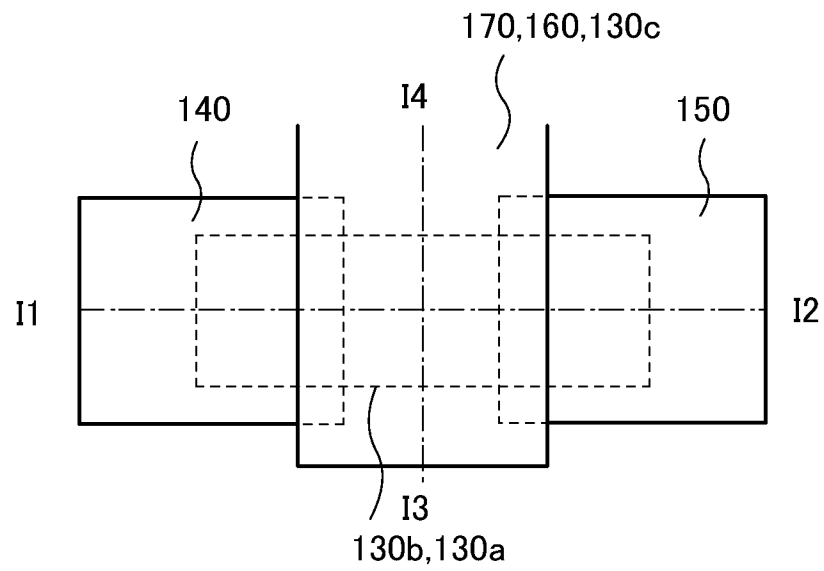


(B)

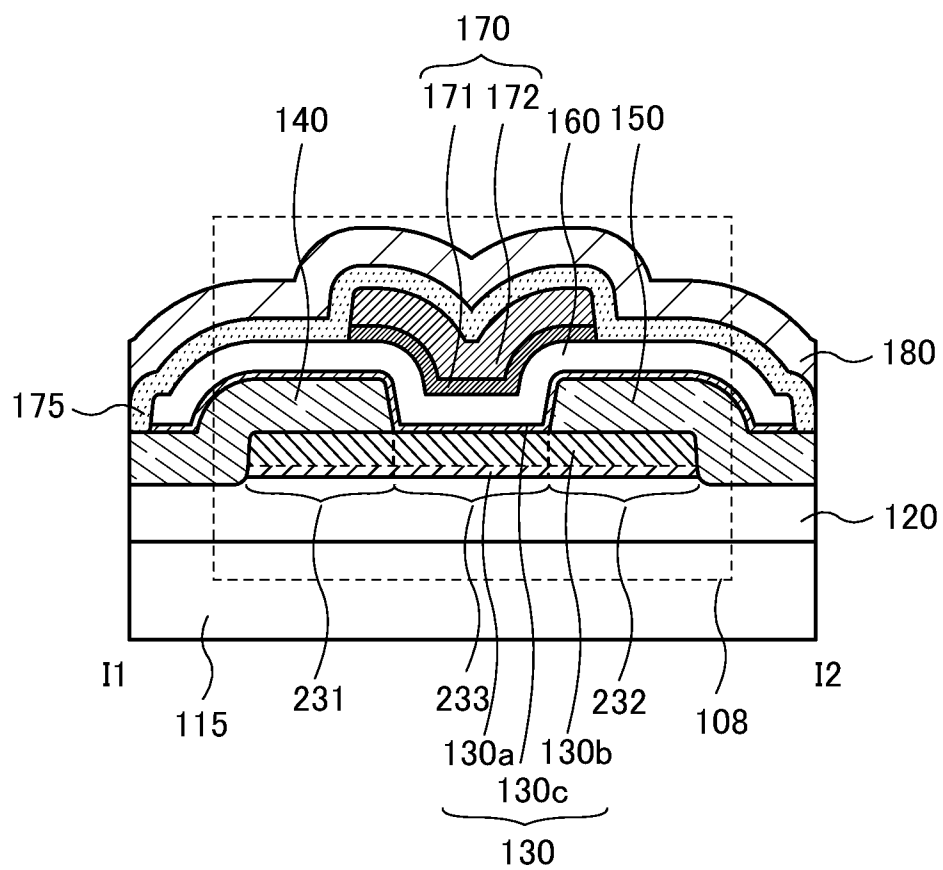


[図25]

(A)

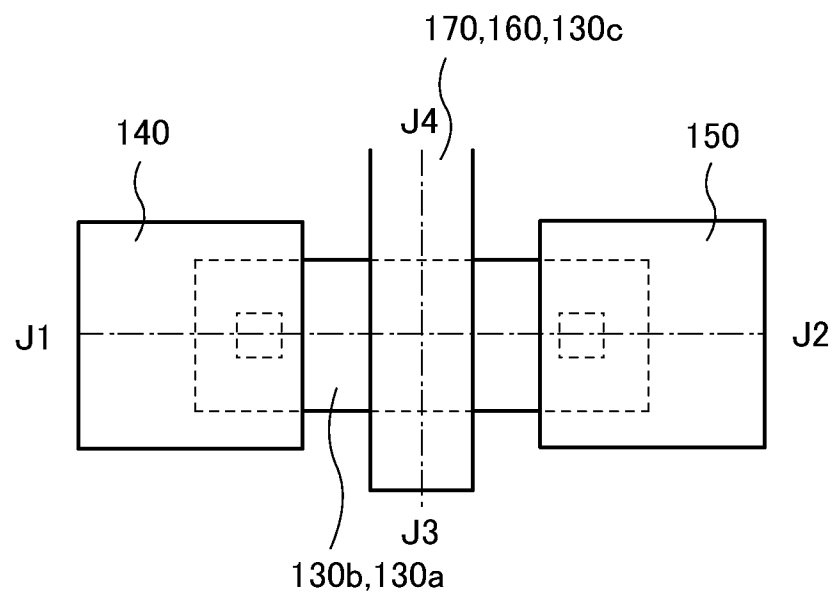


(B)

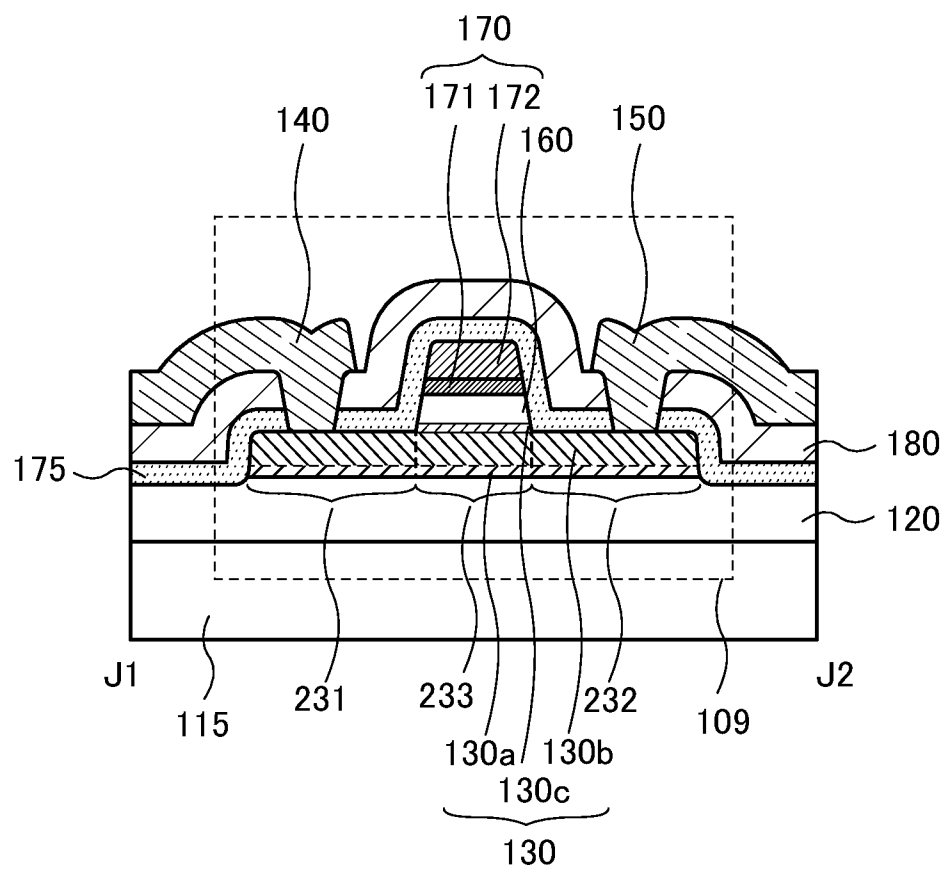


[図26]

(A)



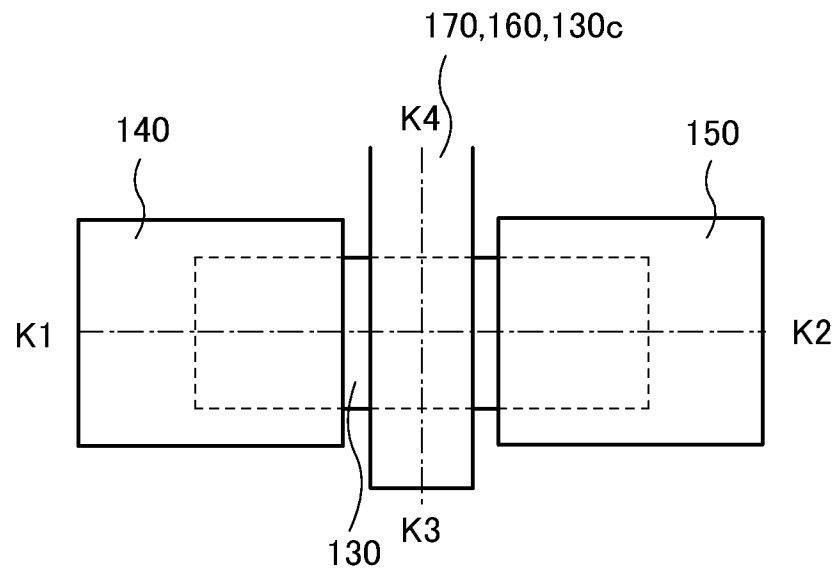
(B)



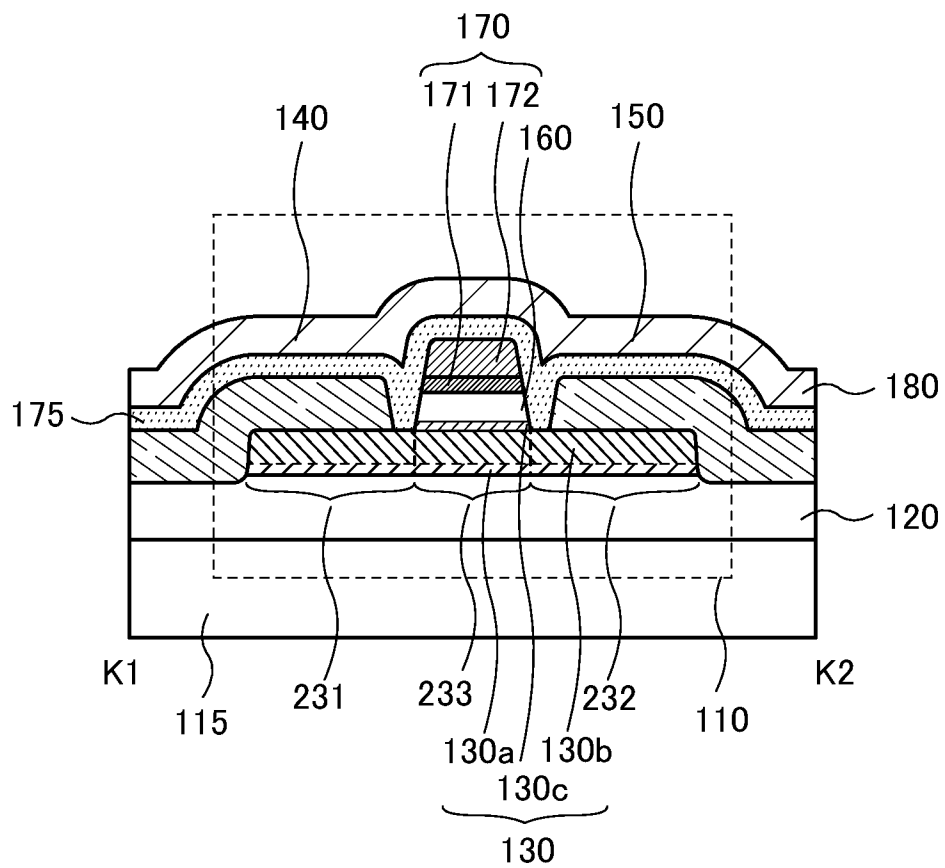
27/42

[図27]

(A)

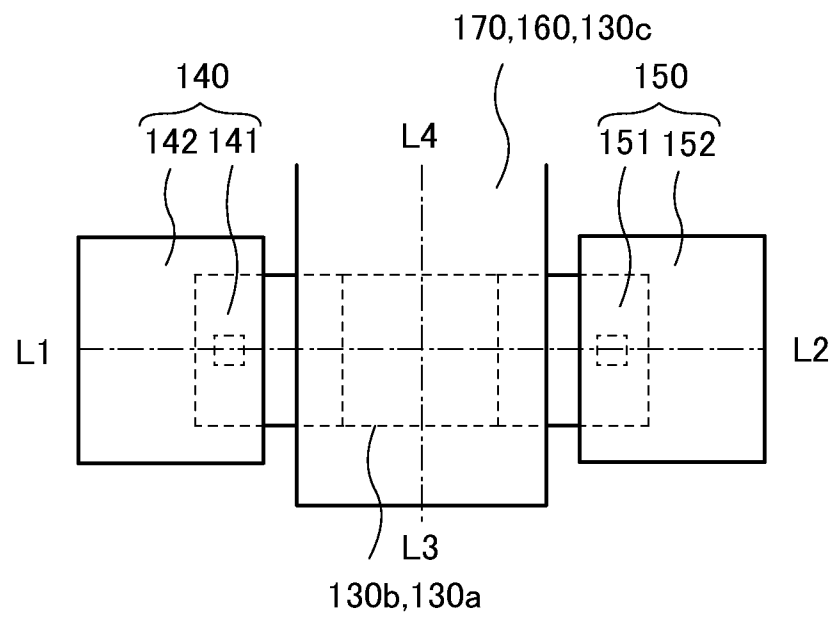


(B)

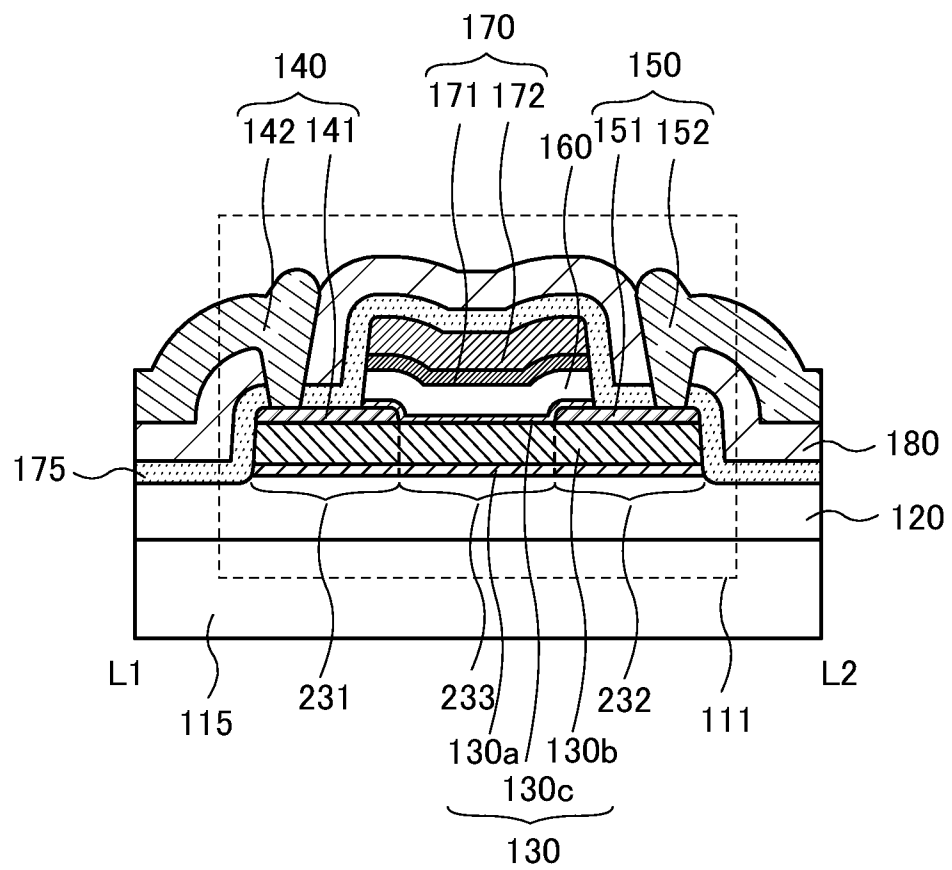


[図28]

(A)



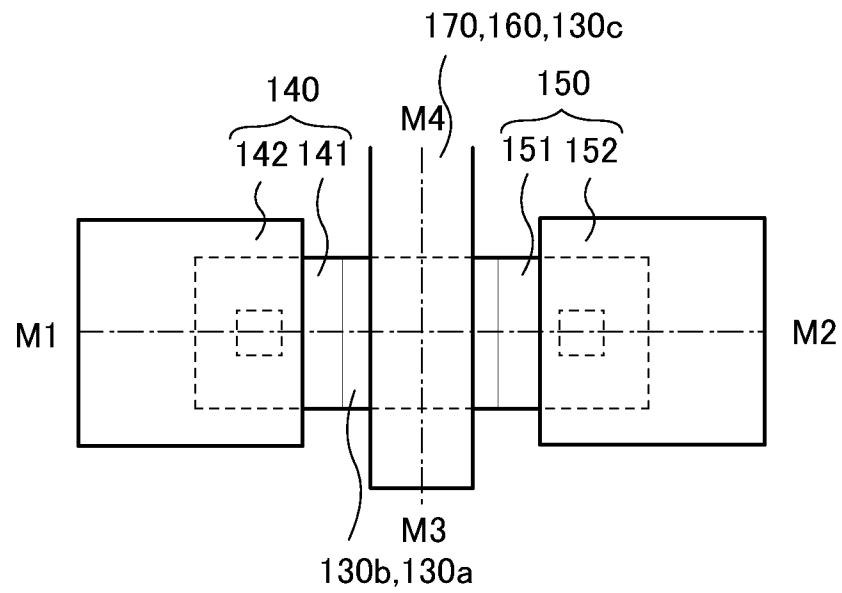
(B)



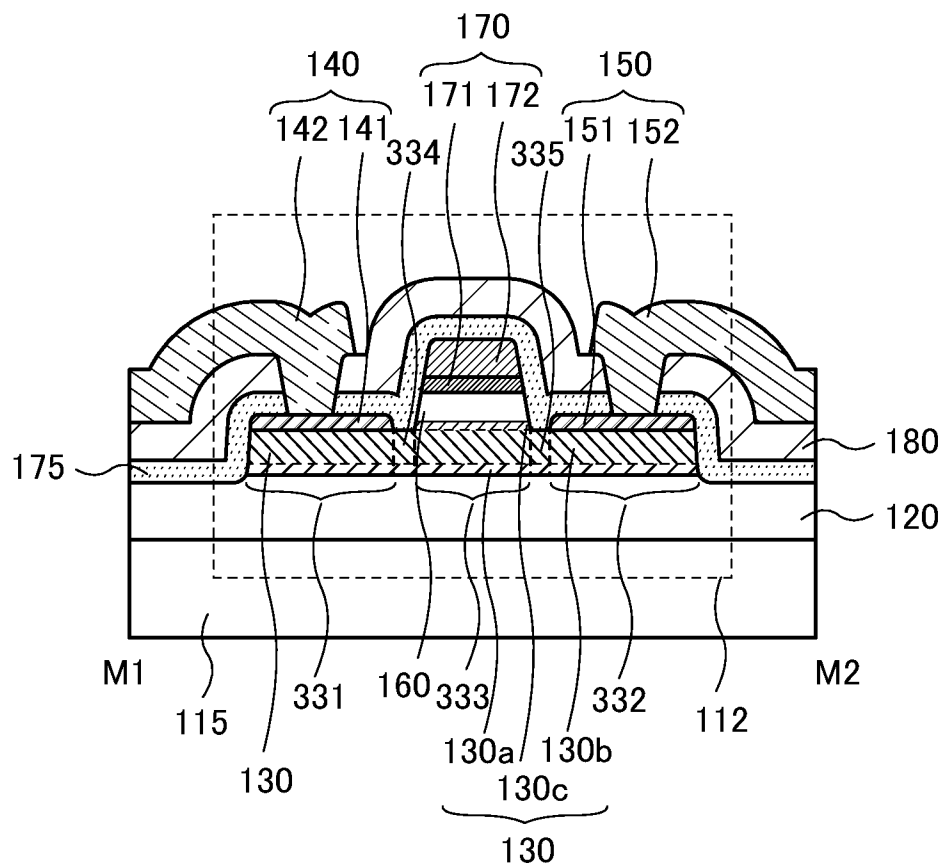
29/42

[図29]

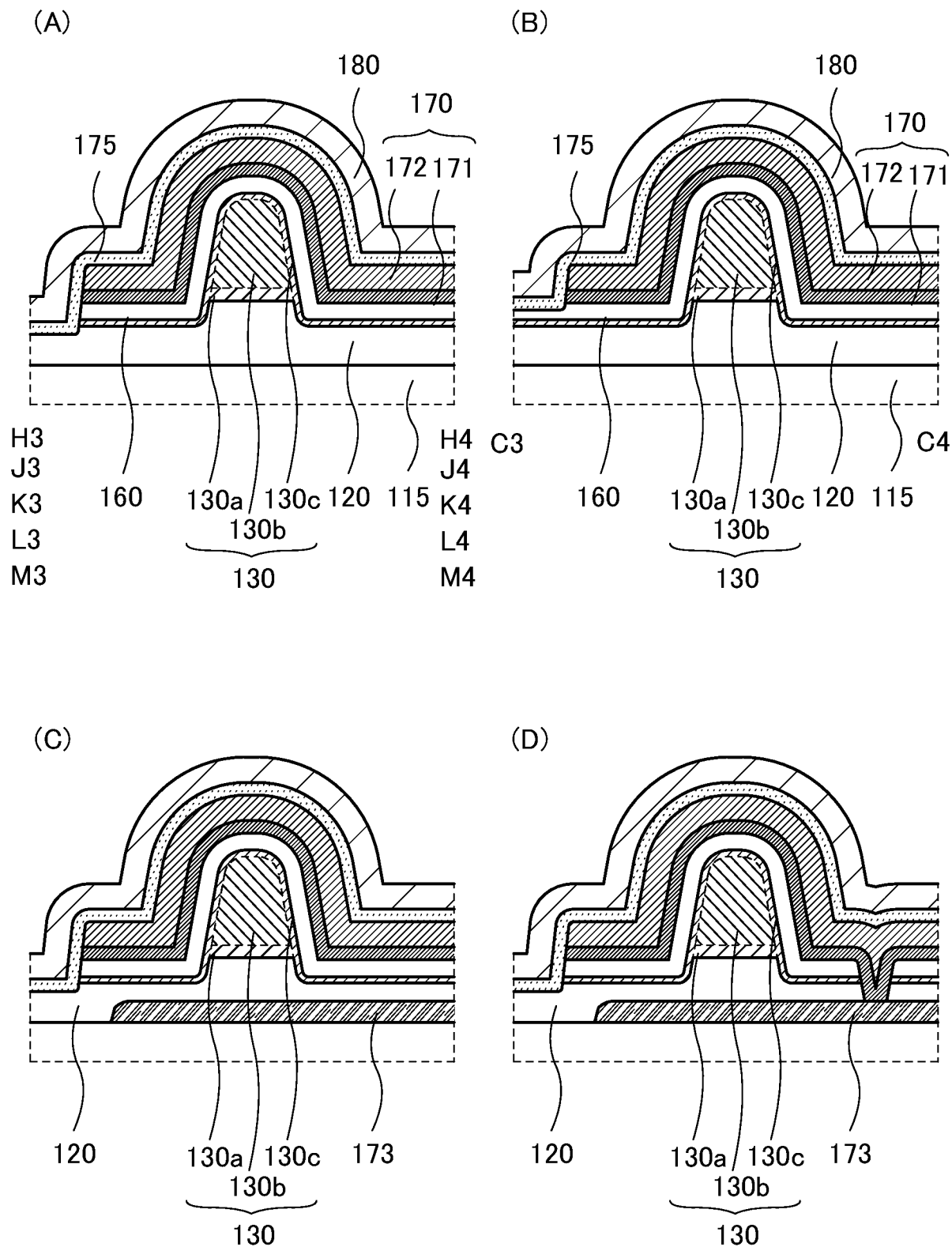
(A)



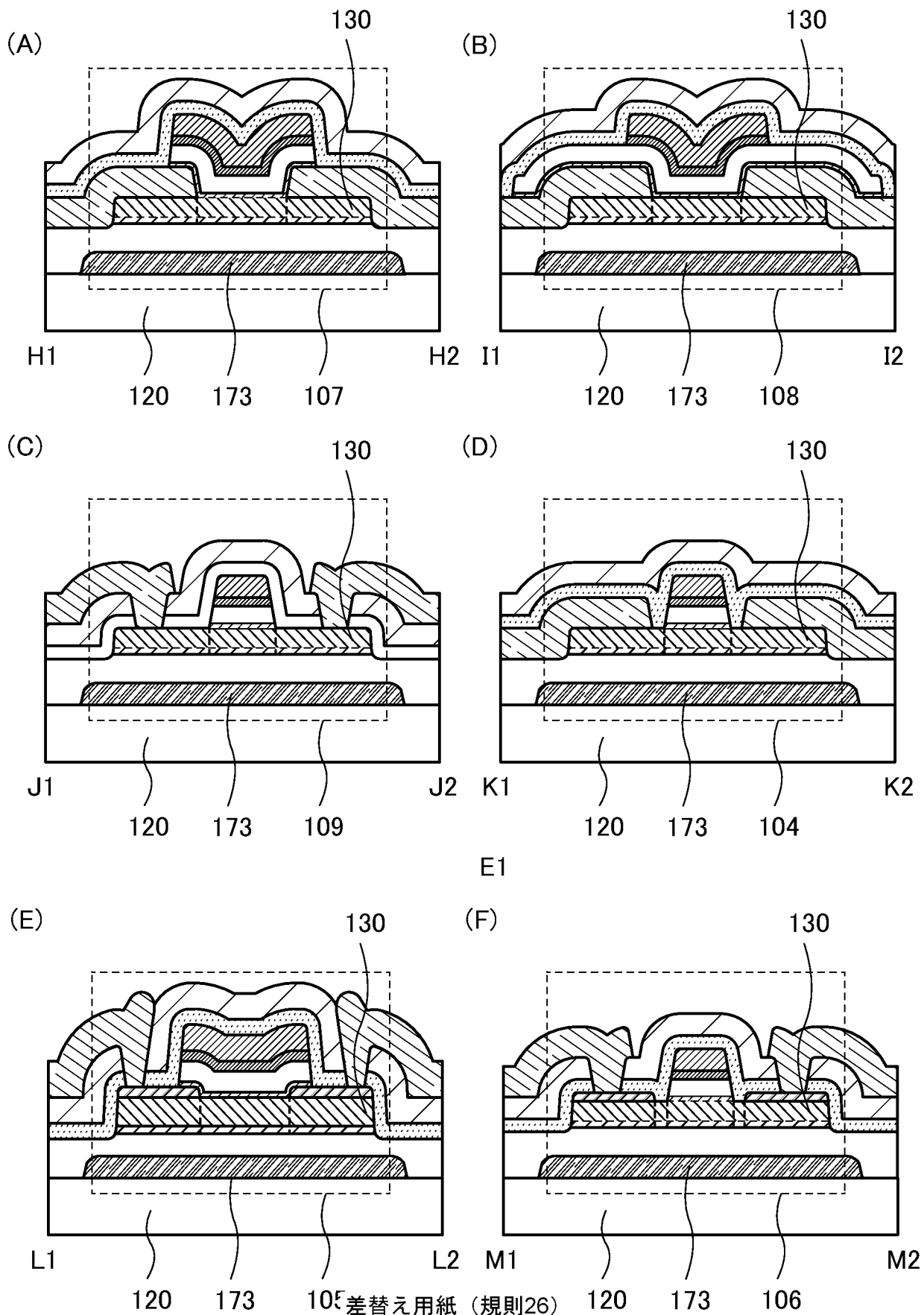
(B)



[図30]

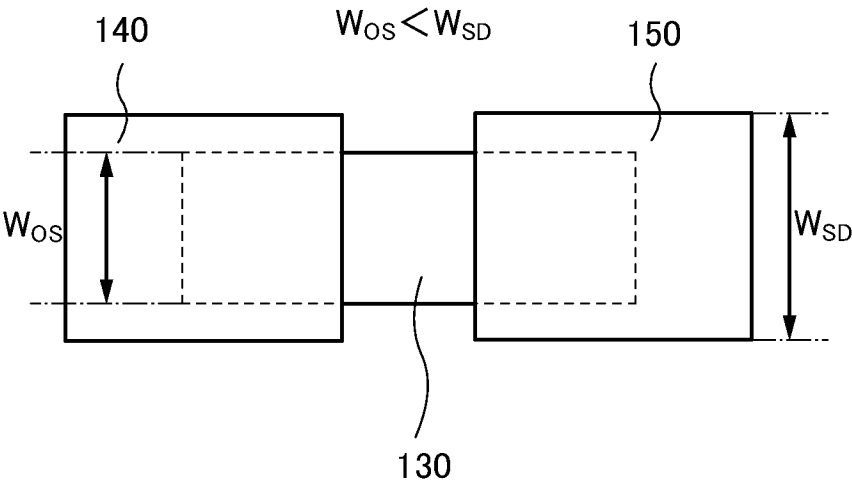


[図31]

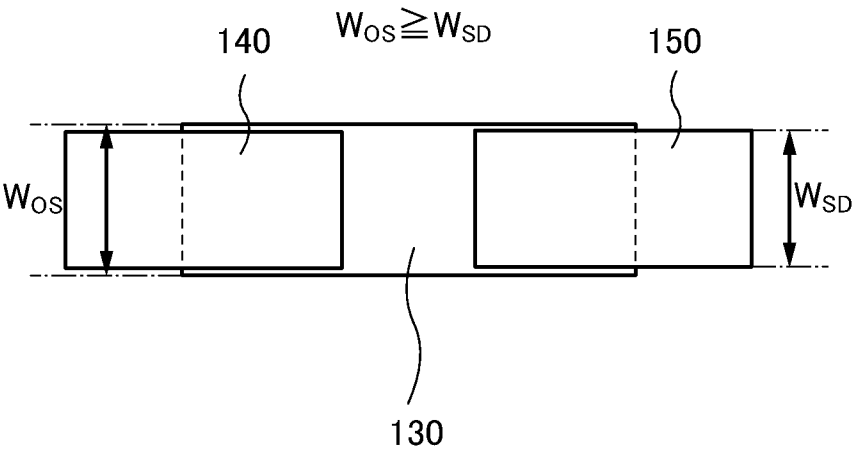


[図32]

(A)



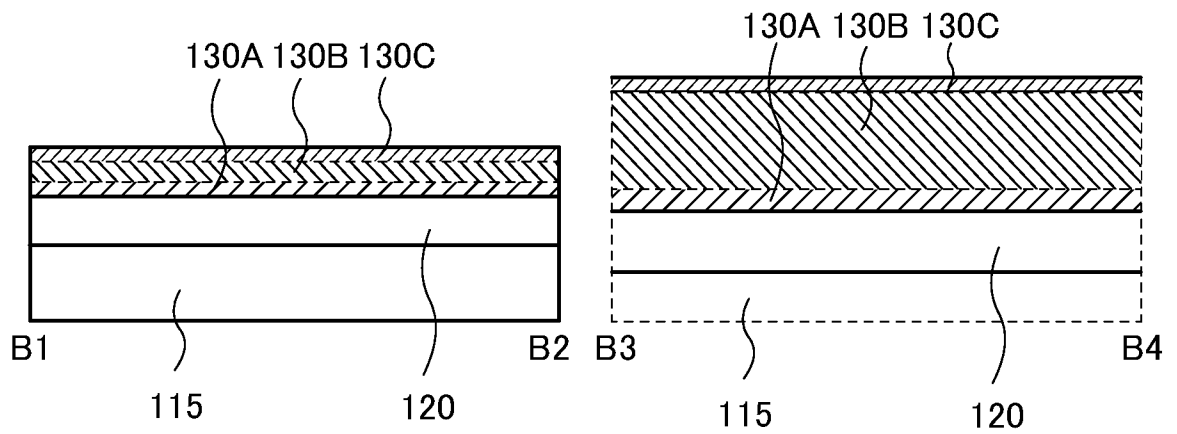
(B)



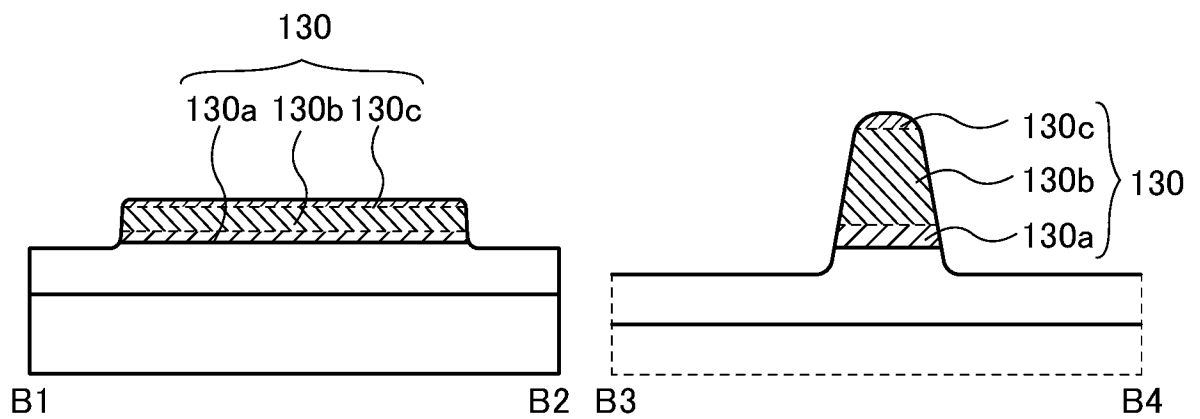
33/42

[図33]

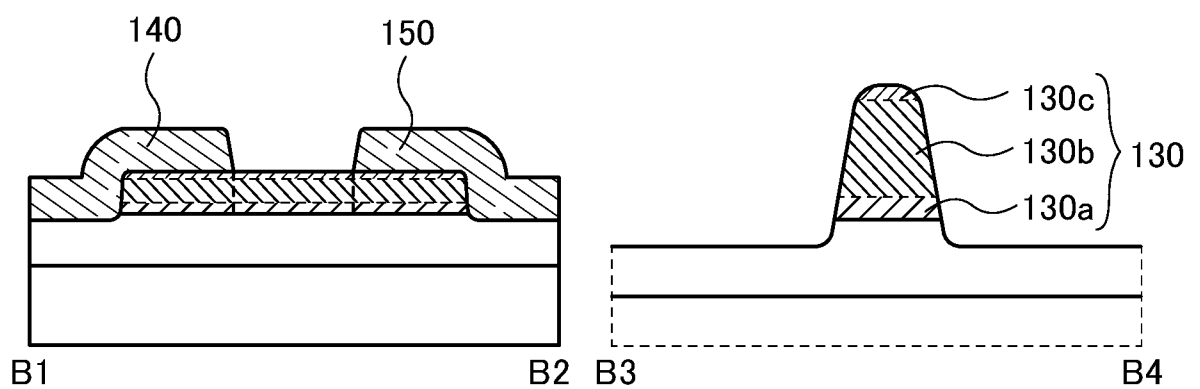
(A)



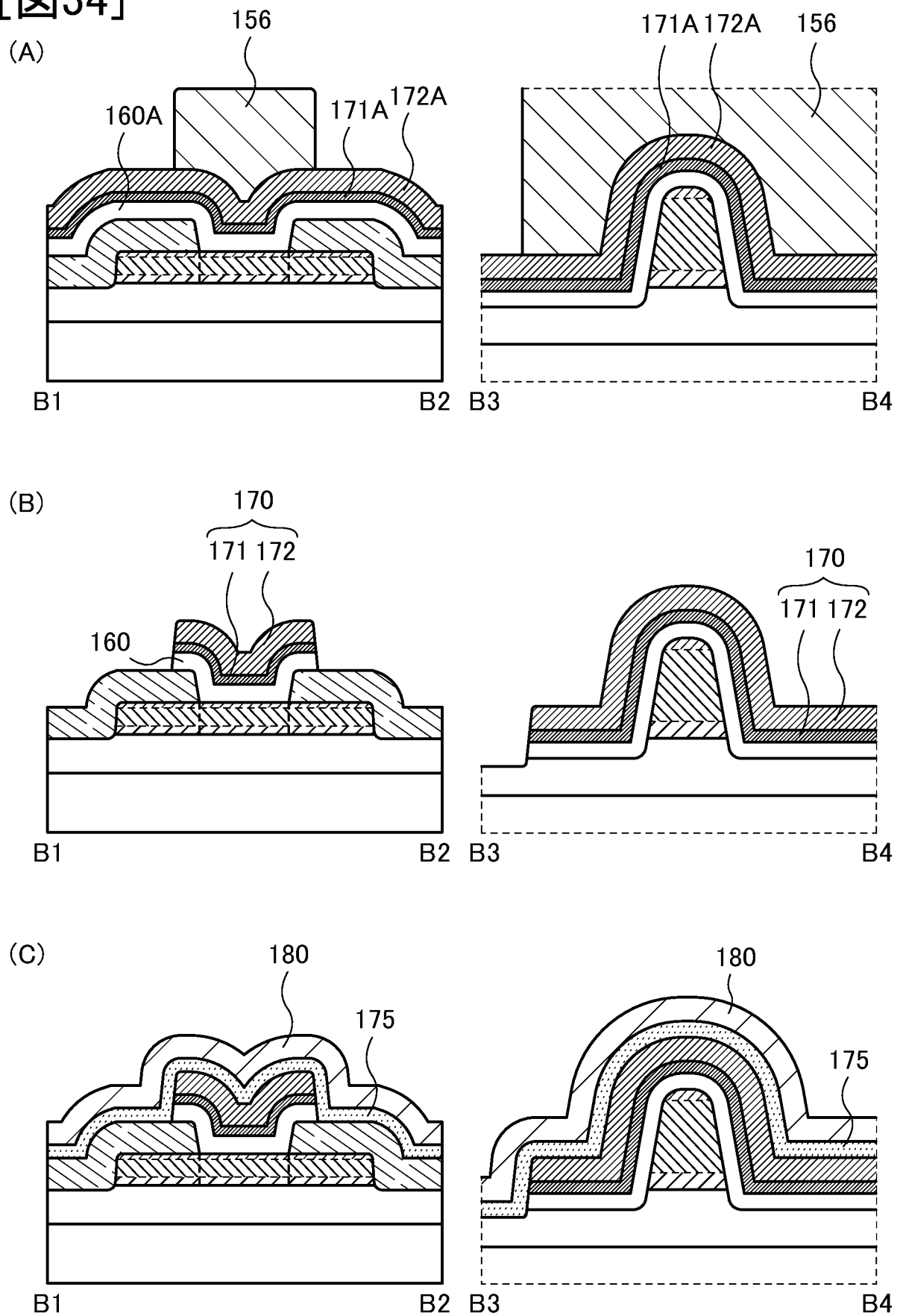
(B)



(C)

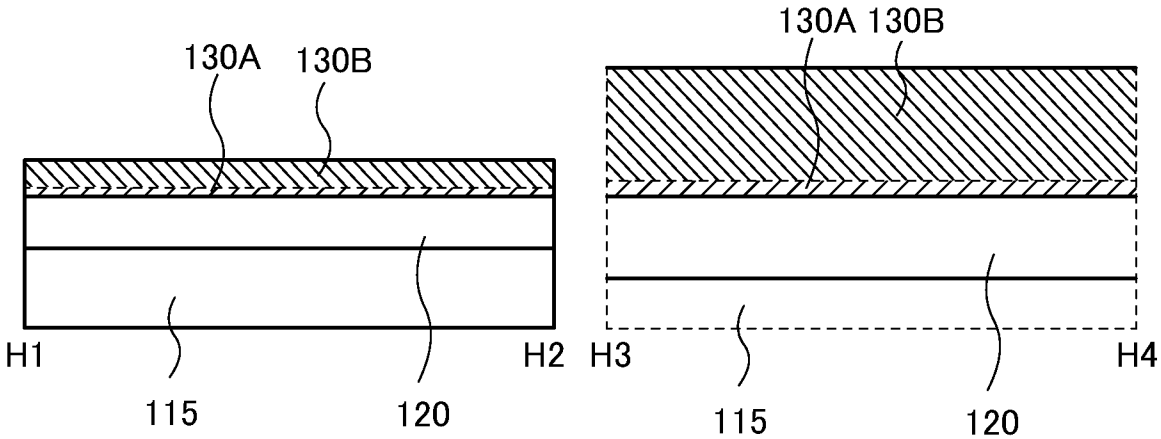


[図34]

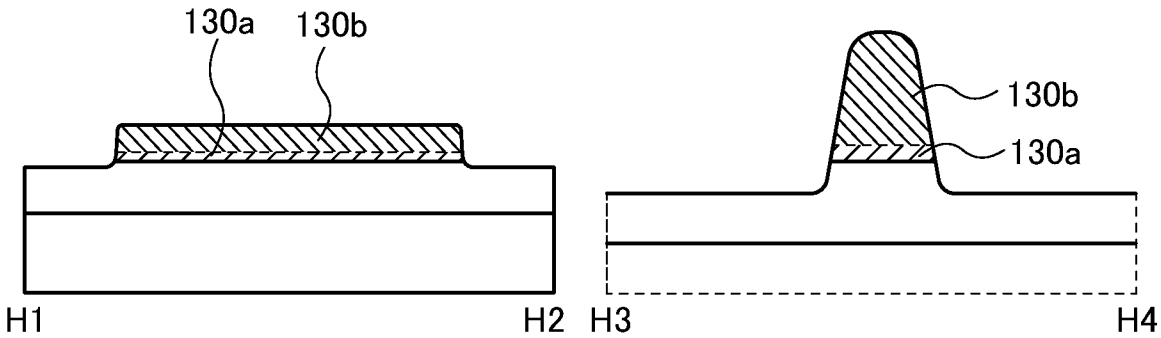


[図35]

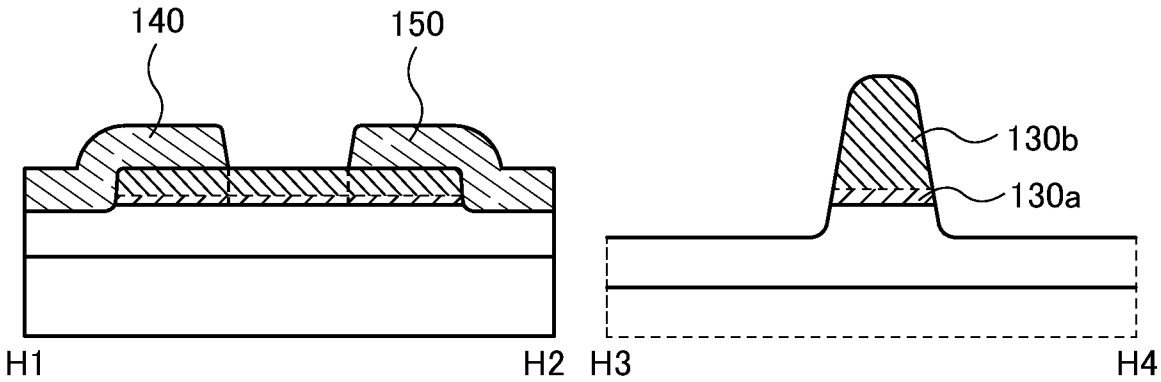
(A)



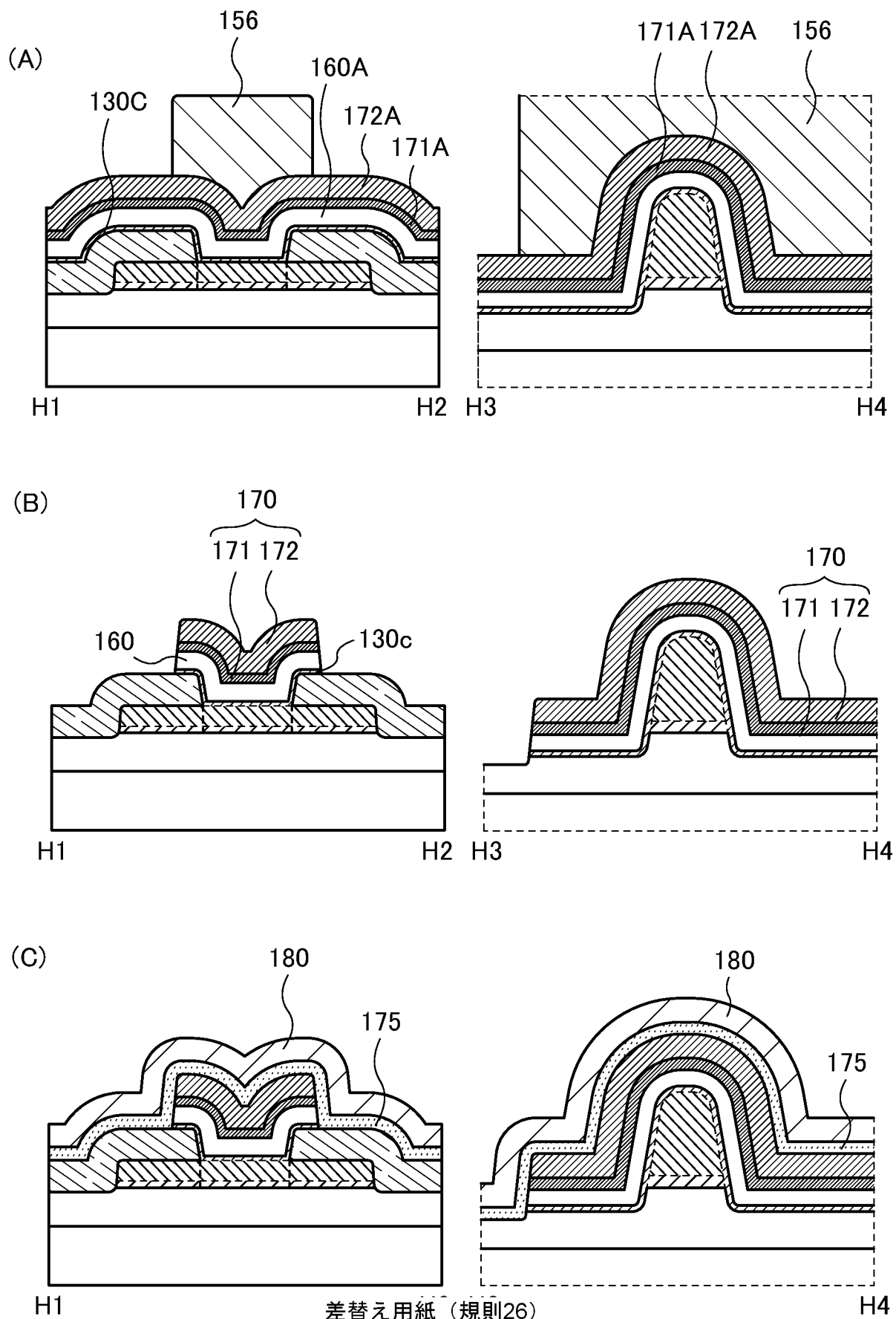
(B)



(C)

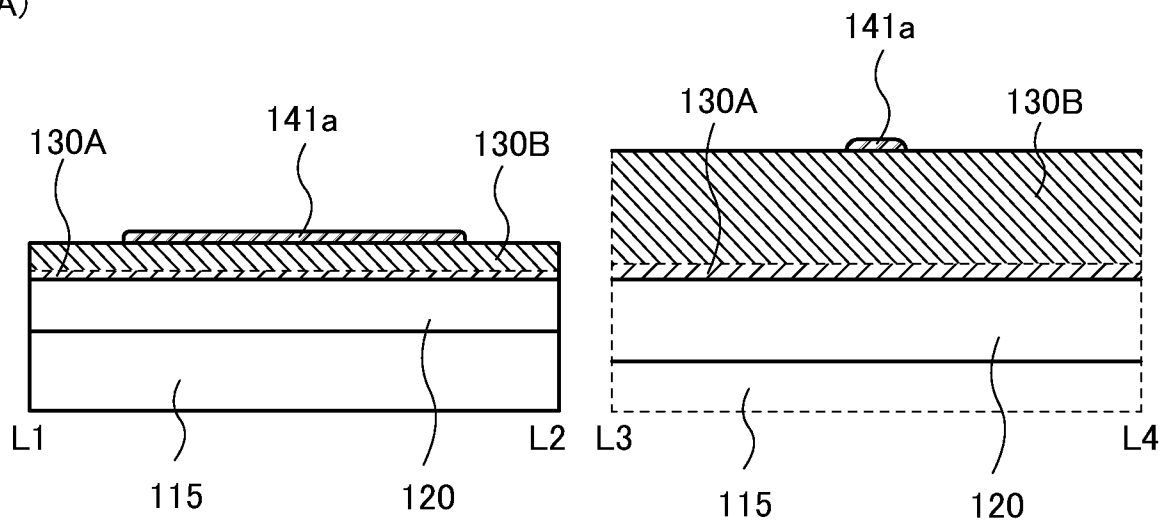


[図36]

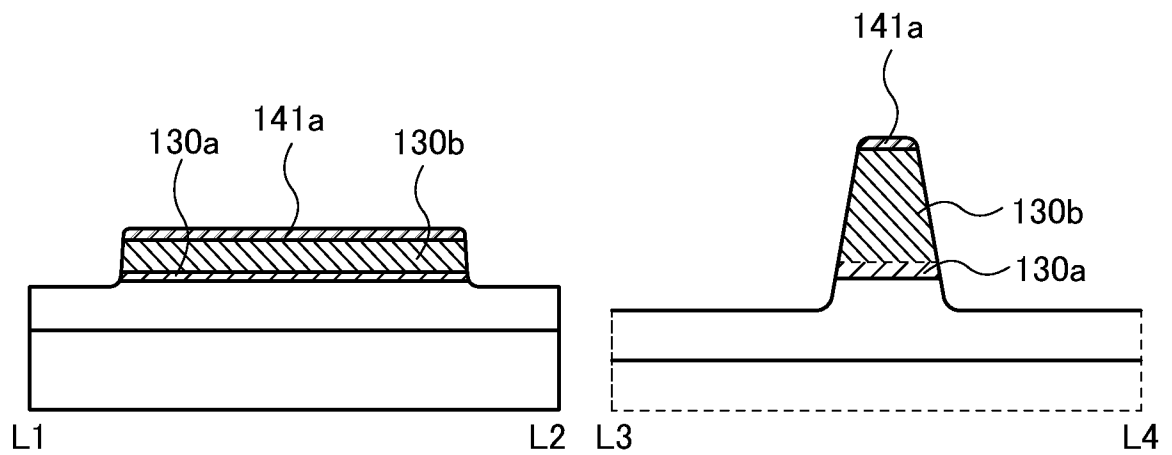


[図37]

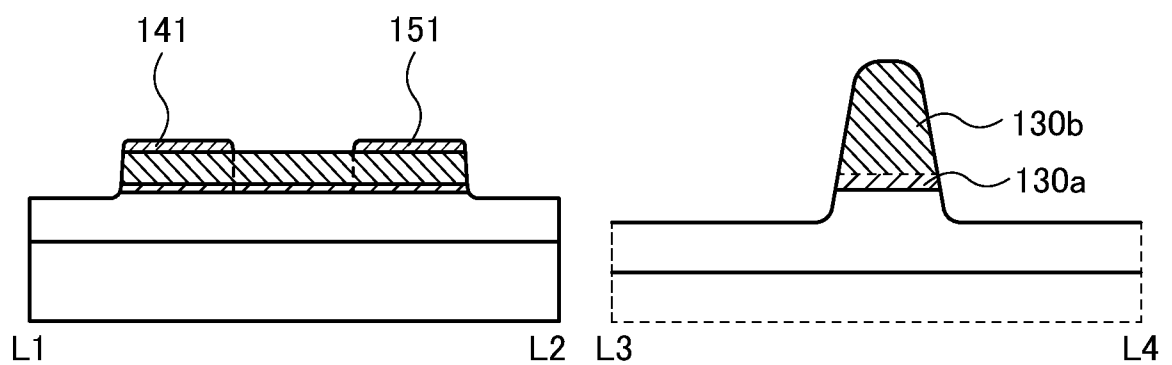
(A)



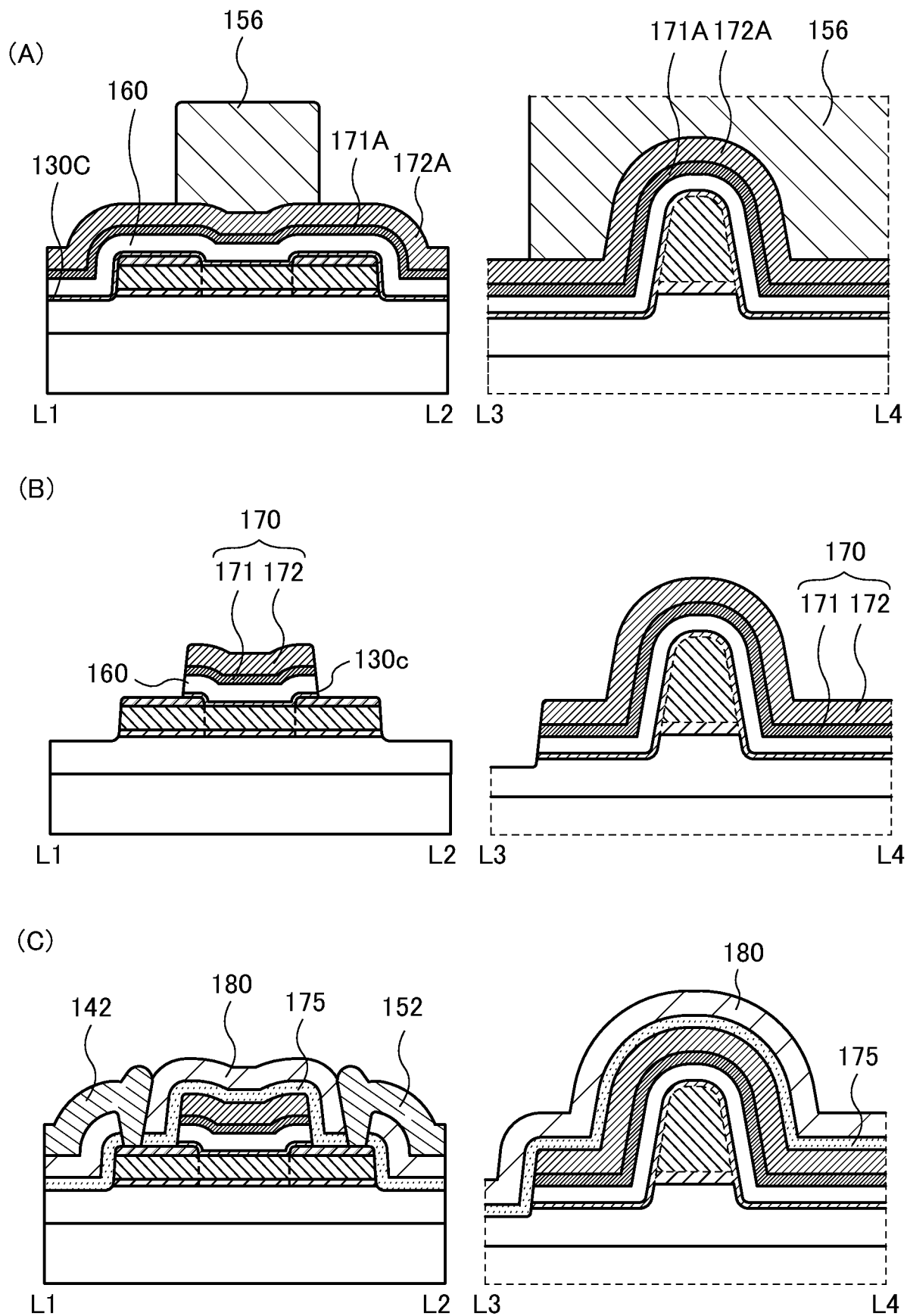
(B)



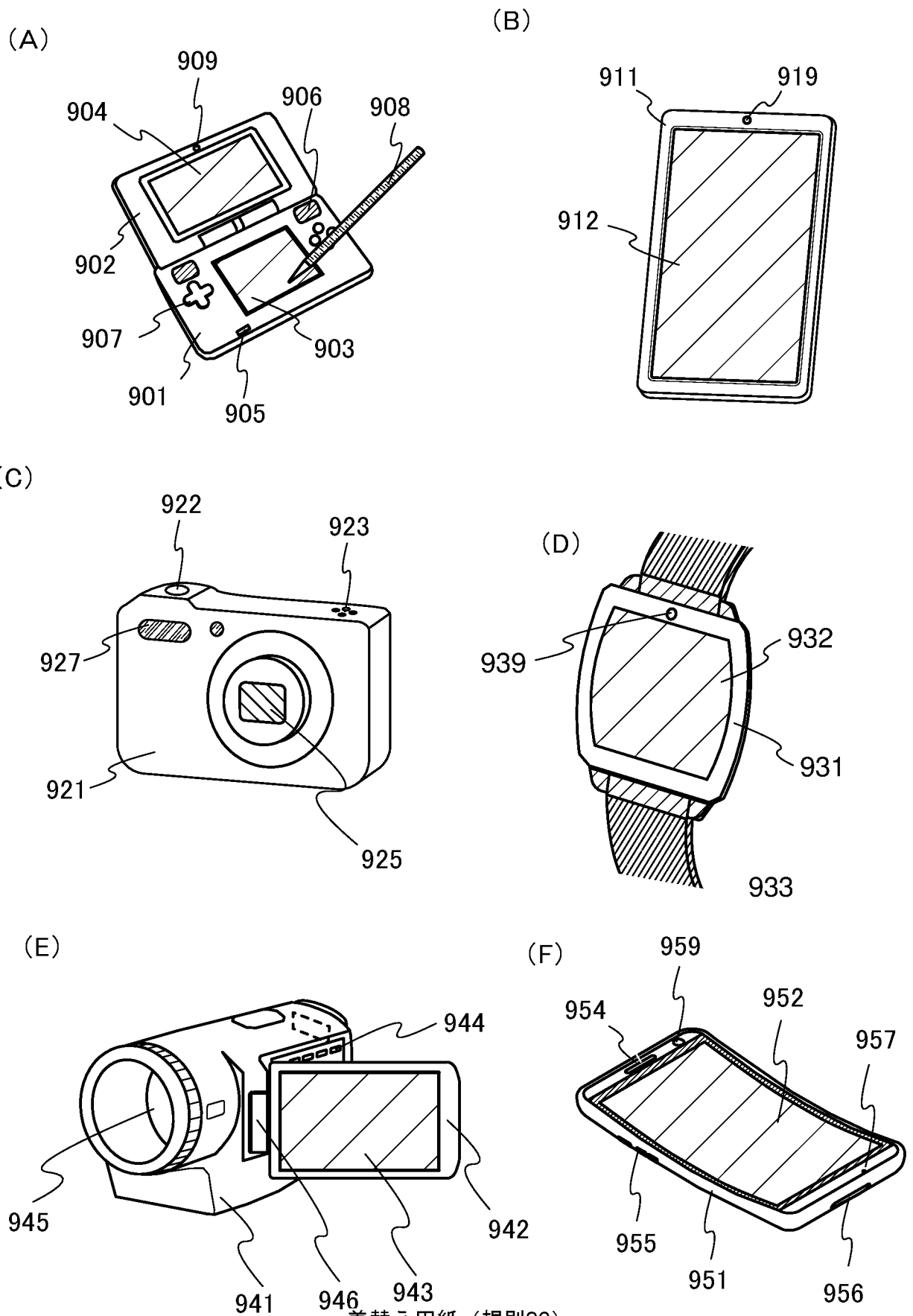
(C)



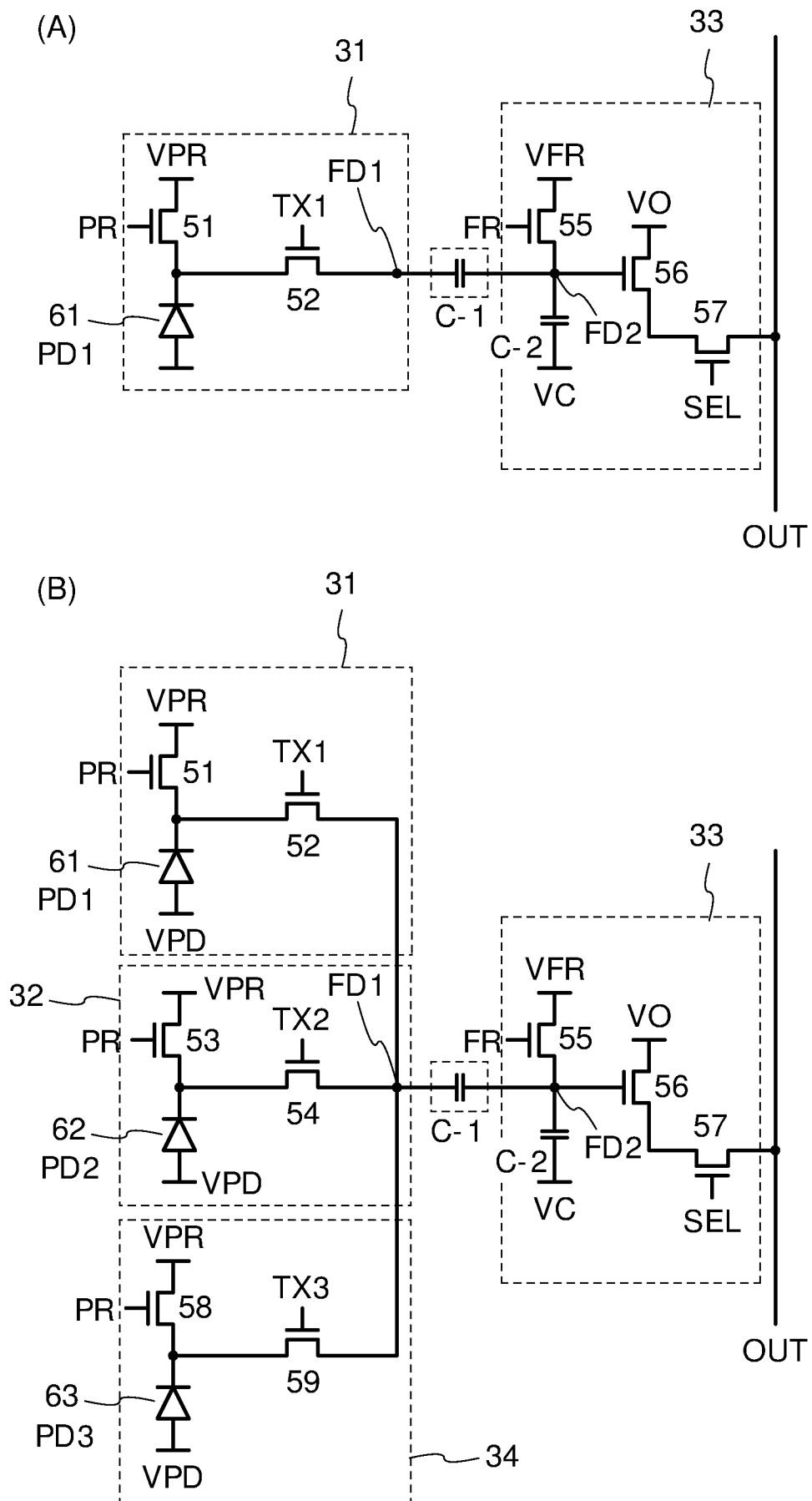
[図38]



[図39]



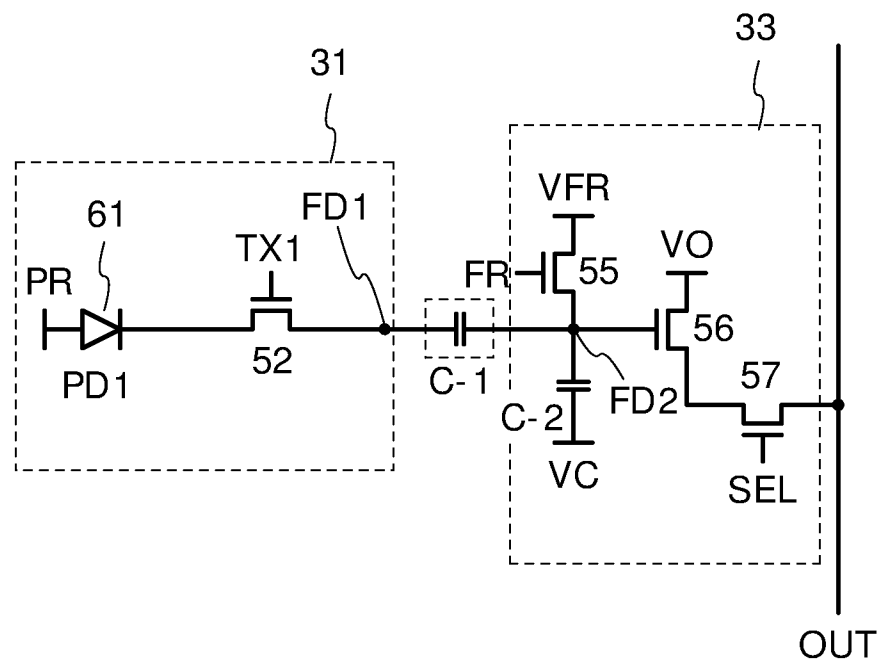
[図40]



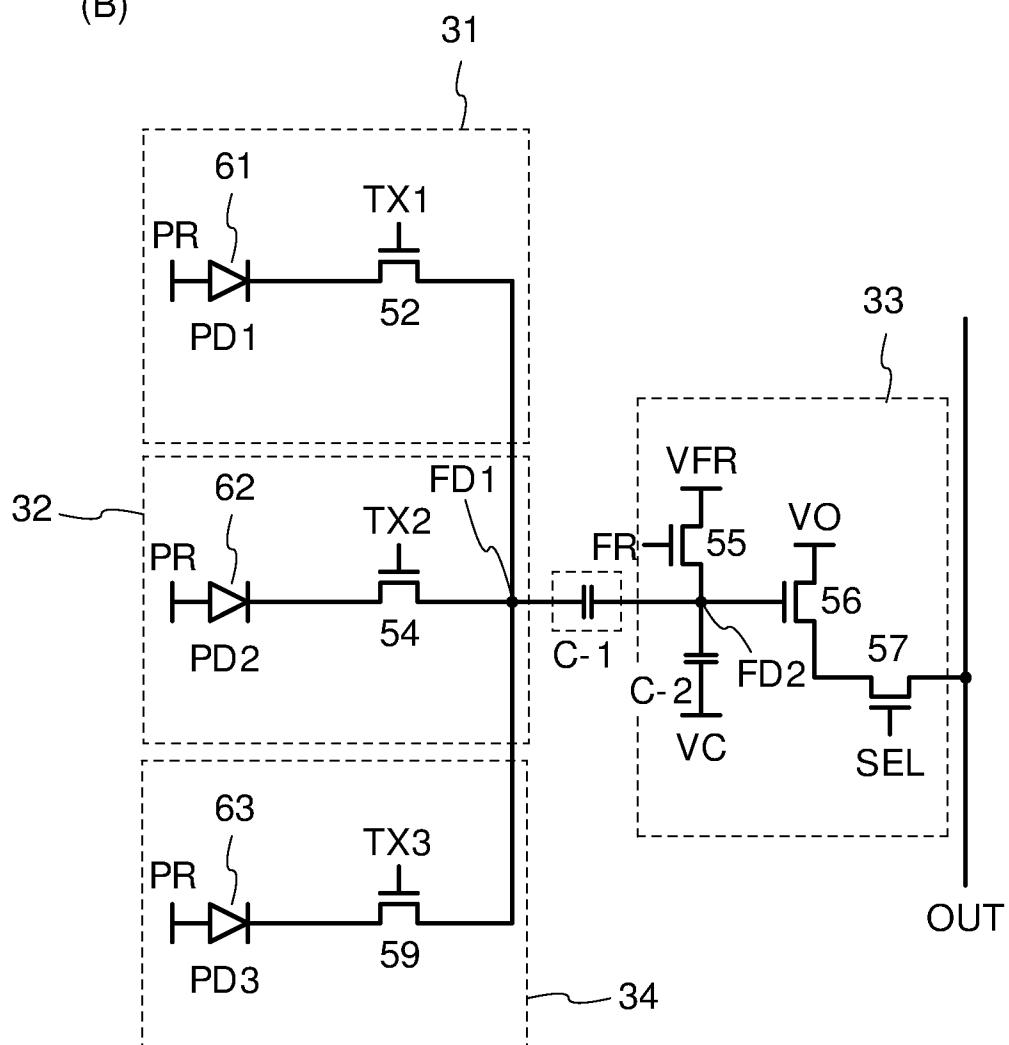
41/42

[図41]

(A)

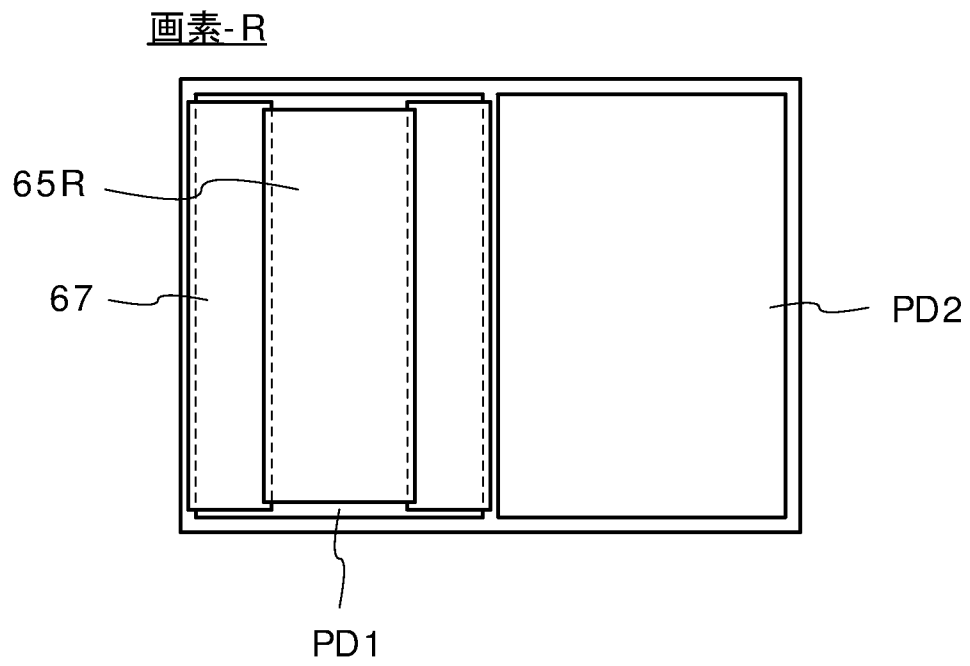


(B)



42/42

[図42]



INTERNATIONAL SEARCH REPORT

International application No.

PCT/IB2015/055375

A. CLASSIFICATION OF SUBJECT MATTER

H04N5/374(2011.01)i, H01L27/14(2006.01)i, H01L27/146(2006.01)i,
H01L29/786(2006.01)i, H04N9/07(2006.01)i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

H04N5/374, H01L27/14, H01L27/146, H01L29/786, H04N9/07

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho	1922-1996	Jitsuyo Shinan Toroku Koho	1996-2015
Kokai Jitsuyo Shinan Koho	1971-2015	Toroku Jitsuyo Shinan Koho	1994-2015

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	WO 2009/153937 A1 (Panasonic Corp.), 23 December 2009 (23.12.2009), paragraphs [0116] to [0124]; fig. 11 & JP 5325117 B & US 2010/0188537 A1 paragraphs [0184] to [0192]; fig. 11 & CN 101779288 A	1-10
A	JP 2012-049619 A (Panasonic Corp.), 08 March 2012 (08.03.2012), entire text; all drawings & US 2012/0206637 A1 & WO 2012/026051 A1 & CN 102577395 A	1-10
A	JP 11-313334 A (Nippon Hoso Kyokai), 09 November 1999 (09.11.1999), entire text; all drawings (Family: none)	1-10

☐ Further documents are listed in the continuation of Box C.

☐ See patent family annex.

* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier application or patent but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&" document member of the same patent family

Date of the actual completion of the international search
12 November 2015 (12.11.15)

Date of mailing of the international search report
24 November 2015 (24.11.15)

Name and mailing address of the ISA/
Japan Patent Office
3-4-3, Kasumigaseki, Chiyoda-ku,
Tokyo 100-8915, Japan

Authorized officer

Telephone No.

A. 発明の属する分野の分類（国際特許分類（IPC））

Int.Cl. H04N5/374(2011.01)i, H01L27/14(2006.01)i, H01L27/146(2006.01)i, H01L29/786(2006.01)i, H04N9/07(2006.01)i

B. 調査を行った分野

調査を行った最小限資料（国際特許分類（IPC））

Int.Cl. H04N5/374, H01L27/14, H01L27/146, H01L29/786, H04N9/07

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	1922-1996年
日本国公開実用新案公報	1971-2015年
日本国実用新案登録公報	1996-2015年
日本国登録実用新案公報	1994-2015年

国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
A	WO 2009/153937 A1（パナソニック株式会社）2009.12.23, 段落 [0116] - [0124], 第11図 & JP 5325117 B & US 2010/0188537 A1, 段落 [0184] - [0192], 第11図 & CN 101779288 A	1-10
A	JP 2012-049619 A（パナソニック株式会社）2012.03.08, 全文, 全図 & US 2012/0206637 A1 & WO 2012/026051 A1 & CN 102577395 A	1-10
A	JP 11-313334 A（日本放送協会）1999.11.09, 全文, 全図（ファミリーなし）	1-10

☐ C欄の続きにも文献が列挙されている。

☐ パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

「A」特に関連のある文献ではなく、一般的技術水準を示すもの
「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの
「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）
「O」口頭による開示、使用、展示等に言及する文献
「P」国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの
「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの
「Y」特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
「&」同一パテントファミリー文献

国際調査を完了した日

12.11.2015

国際調査報告の発送日

24.11.2015

国際調査機関の名称及びあて先

日本国特許庁（ISA/J P）
郵便番号100-8915
東京都千代田区霞が関三丁目4番3号

特許庁審査官（権限のある職員）

鈴木 明

5V

9185

電話番号 03-3581-1101 内線 3571