

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2015年8月27日(27.08.2015)



(10) 国際公開番号

WO 2015/125928 A1

- (51) 国際特許分類:
H05K 3/46 (2006.01) B32B 15/08 (2006.01)
- (21) 国際出願番号: PCT/JP2015/054832
- (22) 国際出願日: 2015年2月20日(20.02.2015)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (30) 優先権データ:
特願 2014-032288 2014年2月21日(21.02.2014) JP
- (71) 出願人: 三井金属鉱業株式会社(MITSUI MINING & SMELTING CO., LTD.) [JP/JP]; 〒1418584 東京都品川区大崎一丁目1番1号 Tokyo (JP).
- (72) 発明者: 桑子 富士夫(KUWAKO, Fujio); 〒3620017 埼玉県上尾市二ツ宮656-2 三井金属鉱業株式会社 電子材料事業本部内 Saitama (JP). 松島 敏文(MATSUSHIMA, Toshifumi); 〒3620017 埼玉県上尾市二ツ宮656-2 三井金属鉱業株式会社 電子材料事業本部内 Saitama (JP). 細井 俊宏(HOSOI, Toshihiro); 〒3620017 埼

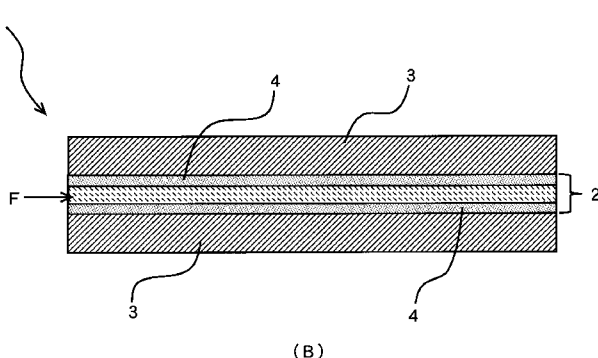
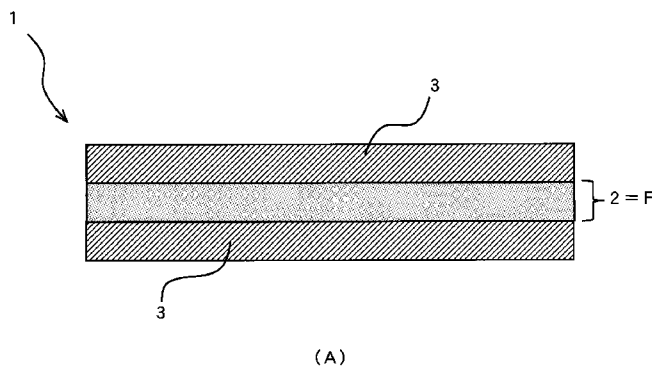
玉県上尾市二ツ宮656-2 三井金属鉱業株式会社 電子材料事業本部内 Saitama (JP).

- (74) 代理人: 吉村 勝博(YOSHIMURA, Katsuhiko); 〒3300854 埼玉県さいたま市大宮区桜木町2丁目5-4 大宮Fビル 吉村国際特許事務所 Saitama (JP).
- (81) 指定国 (表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, JP, KE, KG, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW.
- (84) 指定国 (表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨー

[続葉有]

(54) Title: COPPER-CLAD LAMINATE FOR FORMING INTEGRATED CAPACITOR LAYER, MULTILAYER PRINTED WIRING BOARD, AND PRODUCTION METHOD FOR MULTILAYER PRINTED WIRING BOARD

(54) 発明の名称: 内蔵キャパシタ層形成用銅張積層板、多層プリント配線板及び多層プリント配線板の製造方法



(57) Abstract: The purpose of the present invention is to provide a capacitor-layer-forming material or the like with which, when drilling is used to form through-hole-forming holes in the production of a multilayer printed wiring board having an integrated capacitor circuit and a high number of layers, cracks are not formed in a capacitor dielectric layer. Accordingly, a copper-clad laminate for forming an integrated capacitor layer is provided, which is used in order to form, as an inner layer of a multilayer printed wiring board, an integrated capacitor circuit comprising a copper layer, a capacitor dielectric layer, and a copper layer. The copper-clad laminate for forming the integrated capacitor layer is characterized in that the complex elastic modulus (E_r) of a resin film in the thickness direction, said resin film configuring the capacitor dielectric layer, is less than 6.1 GPa.

(57) 要約: 高多層のキャパシタ回路内蔵多層プリント配線板の製造において、ドリル加工でスルーホール形成用の貫通孔を形成したときに、キャパシタ誘電体層にクラックが発生しないキャパシタ層形成材等の提供を目的とする。この目的を達成するため、多層プリント配線板の内層に銅層／キャパシタ誘電体層／銅層の内蔵キャパシタ回路を形成するために用いる銅張積層板であって、当該キャパシタ誘電体層を構成する樹脂フィルムの厚さ方向の複合弾性率 E_r が 6.1 GPa 未満であることを特徴とする内蔵キャパシタ層形成用銅張積層板等を用いた。

WO 2015/125928 A1



ロツパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE,
ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV,
MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK,
SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ,
GW, KM, ML, MR, NE, SN, TD, TG).

添付公開書類:

— 国際調査報告 (条約第 21 条(3))

明 細 書

発明の名称：

内蔵キャパシタ層形成用銅張積層板、多層プリント配線板及び多層プリント配線板の製造方法

技術分野

[0001] 本件出願は、内蔵キャパシタ層形成用銅張積層板、キャパシタ回路内蔵多層プリント配線板及びキャパシタ回路内蔵多層プリント配線板の製造方法に関する。

背景技術

[0002] 近年、多層プリント配線板において、デバイスの信号伝達速度の高速化、デバイスの作動電源の安定供給、省電力化、ノイズの発生軽減等を考慮しつつ、電源グランド層として使用したときの、均一なパワーディストリビューションを形成し、ノイズの発生を抑えるため、キャパシタ回路を内層部に含むキャパシタ回路内蔵多層プリント配線板が使用されている。特に、このようなキャパシタ回路内蔵多層プリント配線板は、インフラストラクチャー用通信装置、ネットワークサーバー、スーパーコンピュータ等に用いられ、LSIの配線密度の向上及び搭載するチップの大型化に対応している。

[0003] このキャパシタ回路内蔵多層プリント配線板に関する技術として、例えば、特許文献1には、多層プリント配線板の内層に、「導電性フォイル／誘電性シート／導電性フォイル」いう層構成のキャパシタ回路（内蔵キャパシタ回路）を備えたキャパシタ回路内蔵多層プリント配線板（特許文献1では、「容量性印刷配線基板」という用語で表示している。）が開示されている。

[0004] この特許文献1に開示の方法で製造されるキャパシタ回路内蔵多層プリント配線板を上述のインフラストラクチャー用通信装置、ネットワークサーバー、スーパーコンピュータ等で使用すると、電源回路の電圧を下げることはできるが、大電流を流す必要性が生じる。このような大電流を流すには、電源回路からの発熱を避けるため、回路の電気抵抗を下げる必要があり、回路

の導体を厚くする等の対応が必要になる。そのため、電源回路・接地回路の形成には、厚い銅層を使用することで、回路の断面積を広くして、電気抵抗を低くする設計が行われる。

[0005] 上述の特許文献 1 に開示のキャパシタ回路内蔵多層プリント配線板のキャパシタ回路の形成には、「銅層／キャパシタ誘電体層／銅層」の層構成を備える両面銅張積層板を使用することが好ましい。そして、この特許文献 1 に開示のキャパシタ回路内蔵多層プリント配線板の内蔵キャパシタ回路の形成に適したものとして、特許文献 2 に開示された両面銅張積層板を用いることが好ましい。

[0006] この特許文献 2 には、「銅箔面間に電圧を印加した場合にも短絡することなく優れた耐電圧性を示し、しかも、回路形成エッチング時のシャワーリング圧により、破壊されない絶縁層を備えたキャパシター層形成用の両面銅張積層板を提供する。」ことを目的として、「両面の外層に導電体である銅箔層が配され、銅箔層間に誘電体となる樹脂層が挟持されたキャパシター層形成用の両面銅張積層板において、樹脂層は、その層構成が熱硬化性樹脂層／耐熱性フィルム層／熱硬化性樹脂層である三層の構造を備え、且つ、トータル厚さが $25\ \mu\text{m}$ 以下であり、当該熱硬化性樹脂層はエポキシ系樹脂材で構成され、当該耐熱性フィルム層は、ヤング率が $300\ \text{kg/mm}^2$ 以上、引張り強さ $20\ \text{kg/mm}^2$ 以上、引張り伸び率 5% 以上の常態特性を備え、両面に位置する熱硬化性樹脂層を構成する熱硬化性樹脂の成形温度よりも高い軟化温度を持ち、且つ、比誘電率 2.5 以上の樹脂材で構成することを特徴とする両面銅張積層板。」が開示されている。

[0007] 一般的に、キャパシタ回路の電気容量は、誘電層の誘電率が高いほど、誘電層の厚さが薄いほど高くなる。従って、誘電層を可能な限り薄くしたいのは当然であるが、誘電層を過剰に薄くしたとき、キャパシタ回路の上部電極と下部電極との間で、耐電圧が低下し、ショートを起こすという問題がある。特許文献 2 に開示の両面銅張積層板は、耐熱性を備えた高強度のフィルムを誘電層の中間に配置している。このように誘電層の中間にフィルムが存在

すると、最終的に得られる薄い誘電層を備えるキャパシタ回路の上部電極と下部電極との接触を確実に防止でき、良好な絶縁耐力を保証することができるようになる。よって、特許文献１に開示の発明において、特許文献２に開示の両面銅張積層板を使用することが好適といえる。

先行技術文献

特許文献

[0008] 特許文献１：特許第２７３８５９０号公報

特許文献２：特開２００３－３９５９５号公報

発明の概要

発明が解決しようとする課題

[0009] しかしながら、上述のインフラストラクチャー用通信装置、ネットワークサーバー、スーパーコンピュータ等で使用するキャパシタ回路内蔵多層プリント配線板は、一般的に複雑な回路設計が要求される。特に、キャパシタ回路内蔵多層プリント配線板のＢＧＡ実装部分に相当する領域において、密集して存在する殆どのスルーホールが、電源回路及び接地回路との電氣的導通を持たないクリアランスホールとして設計される傾向がある。

[0010] このような使用状況の中で、特許文献２に開示の両面銅張積層板を特許文献１に開示のキャパシタ回路内蔵多層プリント配線板の製造に用いて、キャパシタ回路内蔵多層プリント配線板を製造し、ドリル加工でスルーホール形成用の貫通孔を形成した場合、キャパシタ誘電体層にクラックが発生するという問題が生じていた。このドリル加工時にキャパシタ誘電体層にクラックが発生するという問題は、キャパシタ回路内蔵多層プリント配線板の高多層化が進行するほど発生しやすくなる傾向がある。また、同様の問題は、キャパシタ回路を構成する銅層が厚くなるほど発生しやすくなる傾向がある。

[0011] 図６は、ドリル加工でスルーホール形成用の貫通孔を形成し、銅めっきをしてスルーホールＴＨを形成したキャパシタ回路内蔵多層プリント配線板（２６層）のスルーホール断面を含む断面写真である。そして、この図６の中

の矩形領域Aに、クラック F_c が発生したキャパシタ誘電体層2が確認できる。そして、この矩形領域Aを拡大したのが図7である。この図面から理解できるように、キャパシタ誘電体層2に大きなクラック F_c が確認できる。このようなクラックがキャパシタ誘電体層2に発生すると、予定する誘電率を得ることができず、良好なスルーホールめっきができなくなり、ショートの原因となる場合がある。更に、その後のプリント配線板製造プロセスのソルダリング等で高温が付加されるとクラック内のガス膨張により、デラミネーション等の不具合が発生する可能性があるため好ましくない。

[0012] よって、高多層化したキャパシタ回路内蔵多層プリント配線板の製造において、ドリル加工でスルーホール形成用の貫通孔を形成したときに、キャパシタ誘電体層にクラックが発生しないことが望まれてきた。

課題を解決するための手段

[0013] そこで、本件発明者等が鋭意研究した結果、以下に述べる「内蔵キャパシタ層形成用銅張積層板」、「キャパシタ回路内蔵多層プリント配線板」及び「キャパシタ回路内蔵多層プリント配線板の製造方法」を用いると、ドリル加工でスルーホール形成用の貫通孔を形成したときに、高多層化したキャパシタ回路内蔵多層プリント配線板のキャパシタ誘電体層でのクラック発生を防止できることに想到した。以下、本件出願に係る発明の概要を述べる。

[0014] <内蔵キャパシタ層形成用銅張積層板>

本件出願に係る内蔵キャパシタ層形成用銅張積層板は、多層プリント配線板の層内に銅層／キャパシタ誘電体層／銅層の層構成の内蔵キャパシタ回路を含む内蔵キャパシタ層を形成するための銅張積層板であって、当該キャパシタ誘電体層は少なくとも樹脂フィルムを構成材料として含むものであり、当該樹脂フィルムの厚さ方向の複合弾性率 E_r が 6.1 GPa 未満であることを特徴とする。

[0015] <キャパシタ回路内蔵多層プリント配線板>

本件出願に係るキャパシタ回路内蔵多層プリント配線板は、ドリル加工により形成したスルーホールと、内蔵キャパシタ回路を含む内蔵キャパシタ層

とを備える多層プリント配線板であって、当該内蔵キャパシタ回路を構成するキャパシタ誘電体層を構成する樹脂フィルムの厚さ方向の複合弾性率 E_r が 6.1 GPa 未満であることを特徴とする。

[0016] <キャパシタ回路内蔵多層プリント配線板の製造方法>

本件出願に係るキャパシタ回路内蔵多層プリント配線板の製造方法は、以下の工程を含むことを特徴とする。

[0017] 多層積層体の製造工程： 複合弾性率 E_r が 6.1 GPa 未満の樹脂フィルムを構成材料として含むキャパシタ誘電体層の表面にキャパシタ回路を備えるキャパシタ回路付積層板を準備し、この両面に絶縁層構成材を介して、2層以上のプリント配線板を必要枚数積層して所望の層数の多層積層体を得る。

孔明け加工工程： 当該多層積層体に対して、ドリル加工により、必要な箇所にスルーホール形成用の貫通孔の形成を行う。

仕上げ加工工程： 当該スルーホール形成用の貫通孔の形成を行った後、デスミア処理によるスミア除去、層間導通形成、めっき処理等の必要な加工を施し、外層回路の形成を行いキャパシタ回路内蔵多層プリント配線板を得る。

発明の効果

[0018] 本件出願に係る内蔵キャパシタ層形成用銅張積層板は、キャパシタ誘電体層を構成する樹脂フィルムの厚さ方向の複合弾性率 E_r を 6.1 GPa 未満としている。この内蔵キャパシタ層形成用銅張積層板を用いて製造したキャパシタ回路内蔵多層プリント配線板の内蔵キャパシタ層は、ドリル加工でスルーホール形成用の貫通孔を形成しても、キャパシタ誘電体層にクラックが発生することを防止できる。従って、本件出願に係る内蔵キャパシタ層形成用銅張積層板を用いて得られるキャパシタ回路内蔵多層プリント配線板は、キャパシタ誘電体層に損傷のない良好なキャパシタ回路を備えるため、安定したキャパシタ特性を発揮できる。

[0019] また、ドリル加工によりスルーホール形成用の貫通孔を形成する際のキャ

パシタ誘電体層のクラックは、８層以上のキャパシタ回路内蔵多層プリント配線板において発生しやすい。しかし、本件出願に係るキャパシタ回路内蔵多層プリント配線板の製造方法を用いることで、ドリル加工でスルーホール形成用の貫通孔を形成した８層以上のキャパシタ回路内蔵多層プリント配線板であっても、クラックが発生しないキャパシタ誘電体層を備えることができるようになる。

図面の簡単な説明

[0020] [図1]本件出願に係る内蔵キャパシタ層形成用銅張積層板の断面模式図である。

[図2]本件出願に係る内蔵キャパシタ層形成用銅張積層板に回路形成することにより得られるキャパシタ回路付積層板の模式断面図である。

[図3]本件出願に係るキャパシタ回路内蔵多層プリント配線板の製造プロセスを説明するための模式断面図である。

[図4]本件出願に係るキャパシタ回路内蔵多層プリント配線板の製造プロセスを説明するための模式断面図である。

[図5]本件出願に係るキャパシタ回路内蔵多層プリント配線板の製造プロセスを説明するための模式断面図である。

[図6]ドリル加工で形成したスルーホールを備えるキャパシタ回路内蔵多層プリント配線板（２６層）を金属顕微鏡で観察した断面写真（５０倍）である。

[図7]図６のキャパシタ回路内蔵多層プリント配線板のキャパシタ誘電体層に発生したクラックを、金属顕微鏡で拡大観察した断面写真（１００倍、５００倍）である。

発明を実施するための形態

[0021] 本件出願に係る実施の形態を述べる前に、本件出願に係る発明者等が考えた当該クラック発生のメカニズムに関する所見を述べる。一般的に、多層プリント配線板の積層時に使用する絶縁層構成材は、ガラスクロス、ガラス不織布、樹脂製繊維クロス、樹脂製繊維不織布等の骨格材に熱硬化性樹脂等を

含浸させたプリプレグが使用される。このプリプレグが加熱冷却されて硬化したとき、ガラスクロスガラスのガラス密度が高いほど熱膨張係数が小さくなる傾向がある。ところが、上述のキャパシタ回路内蔵多層プリント配線板のBGA実装部分のクリアランスホール付近は、多層化する積層の際にプリプレグから流れ出した樹脂のみで埋設される。係る場合において、例えば、厚さ70 μ m以上の銅層を使用して電源回路・接地回路の形成が行われ、且つ、3層以上の電源回路層・接地回路層を含むキャパシタ回路内蔵多層プリント配線板を製造すると、クリアランスホール付近の樹脂分が非常に高くなる。

[0022] この結果、積層によって絶縁層構成材の樹脂成分が硬化した後、上述の骨格材の存在しないクリアランスホール付近では、流入した樹脂が硬化する際の収縮により、キャパシタ回路内蔵多層プリント配線板の厚さ方向の歪みが非常に大きくなる。厚さ方向の歪みが大きくなると、ドリル加工の際に、ドリルの押し込みによって、厚さ方向の歪みが最も蓄積しやすいキャパシタ回路内蔵多層プリント配線板の中央部近傍に存在するキャパシタ誘電体層にクラックが発生しやすくなると考えた。そこで、キャパシタ回路内蔵多層プリント配線板の厚さ方向の歪みに着目し、当該厚さ方向に歪みが生じて、ドリルの刃先の押し込みによってキャパシタ誘電体層にクラックが発生しない条件に関して鋭意研究を行った結果、本件出願に係る発明に想到した。

[0023] 以下、本件出願に係る実施の形態を「内蔵キャパシタ層形成用銅張積層板の形態」、「キャパシタ回路内蔵多層プリント配線板の形態」及び「キャパシタ回路内蔵多層プリント配線板の製造方法の形態」に分けて説明する。

[0024] <内蔵キャパシタ層形成用銅張積層板の形態>

本件出願に係る内蔵キャパシタ層形成用銅張積層板は、多層プリント配線板の内層に「銅層／キャパシタ誘電体層／銅層」の層構成を備える内蔵キャパシタ回路を形成するために用いる銅張積層板である。この銅張積層板は、図1に示すように、キャパシタ誘電体層2の両面に銅層3を備える。従って、この内蔵キャパシタ層形成用銅張積層板を用いて製造される内蔵キャパシタ回路も、「銅層／キャパシタ誘電体層／銅層」の層構成を備える。以下、

項目毎に説明する。なお、本件出願における図面において、模式断面に示すキャパシタ誘電体層2、銅層3、樹脂フィルムF等の各層の厚さに関しては、現実の厚さのイメージを反映させたものではないことを明記しておく。

[0025] キャパシタ誘電体層： 本件出願に係る内蔵キャパシタ層形成用銅張積層板の当該キャパシタ誘電体層は少なくとも樹脂フィルムを構成材料として含むものであり、当該樹脂フィルムの厚さ方向の複合弾性率 E_r が 6.1 GPa 未満であることを特徴とする。ここで「キャパシタ誘電体層は樹脂フィルムを含む」とは、キャパシタ誘電体層2が、図1(A)の場合には「樹脂フィルム層」のみの層構成を採用し、図1(B)の場合には「樹脂層4／樹脂フィルム層F／樹脂層4」の3層構成を含むことを意味している。なお、図示は省略しているが、キャパシタ誘電体層2を「樹脂層4／樹脂フィルム層F」とした2層構成を採用することも可能である。

[0026] 当該樹脂フィルムの厚さ方向の複合弾性率 E_r が 6.1 GPa 以上になると、キャパシタ回路内蔵多層プリント配線板を製造する過程において、スルーホール形成用の貫通孔をドリル加工で形成する際に、当該キャパシタ誘電体層にクラックが発生しやすくなり、クラックが発生すると誘電層としての機能が損なわれる。即ち、当該樹脂フィルムの厚さ方向の複合弾性率 E_r が 6.1 GPa 未満の場合には、プリント配線板を製造する過程に施すドリル加工時のドリルの押し込みにより生じる剪断応力を緩和して吸収することで、キャパシタ誘電体層のクラック発生を防止できる。ここで、当該樹脂フィルムの厚さ方向の複合弾性率 E_r の下限値を特に限定していないが、銅張積層板としての必要な剛性・強度等を考慮すると 0.1 GPa 程度である。

[0027] なお、本件出願における樹脂フィルムの複合弾性率は、ナノインデンテーション法で測定した。このナノインデンテーション法は、測定対象である樹脂フィルムをステージに固定し、連続剛性測定を5回行う。そして、その測定データを解析し、ポアソン比を 0.3 と仮定して樹脂フィルムの複合弾性率を得た。この測定には、MTM Systems製の装置名Nano Indenter XPを用い、使用圧子には三角錘形圧子であるBerkov

v i c hを用いている。

[0028] キャパシタ誘電体層2が、図1 (A) に示すような「樹脂フィルム層」のみの層構成を採用する場合の樹脂フィルムとしては、上述の複合弾性率を満たし、誘電特性に優れた樹脂成分を用いることができ、特段の限定は無い。例えば、樹脂フィルムに適した「誘電特性に優れた樹脂成分」として、エポキシ、ポリイミド、ポリアミド、ポリアミドイミド、ポリフェニレンエーテル、シアネート、ポリオレフィン、液晶ポリマー、ジンジオタクチックポリスチレン等の使用が可能である。更に具体的にいえば、ポリエチレンテレフタレート、ポリエチレンナフタレート、ポリビニルカルバゾール、ポリフェニレンサルファイド、ポリアミド、芳香族ポリアミド、ポリアミドイミド、ポリエーテルサルフォン、ポリエーテルニトリル、ポリエーテルエーテルケトン、ポリイミド等を用いることが好ましい。

[0029] そして、「樹脂フィルム層」のみの層構成を採用した場合のキャパシタ誘電体層2は、厚さ30 μm 以下が好ましい。キャパシタとして考えたときの電気容量は、キャパシタ誘電体層の厚さに反比例するものである。そのため、キャパシタ誘電体層の厚さが薄いほど、電気容量は大きく、蓄電量も大きなものとなる。蓄電した電気は、電源用電力の一部として用いられ、省電力化に繋がるものとなる。そこで、キャパシタ誘電体層2の厚さは、製品設計、回路設計の段階で決められるものであり、市場における要求レベルを考慮して30 μm 以下としている。また、キャパシタ誘電体層2の両面に配置する銅層同士がショートしない厚さである限り、キャパシタ誘電体層2の厚さの下限に限定はないが、0.5 μm 以上が好ましく、より確実に上述のショートを防止するためには、5 μm 以上がより好ましい。しかし、本件出願にいうキャパシタ誘電体層に発生するクラックは、キャパシタ誘電体層の厚さが厚いほど、発生しやすい傾向がある。従って、本件発明に係る技術思想は、キャパシタ誘電体層の厚さが12 μm ～30 μm のものを対象とするときに、特にクラック発生を防止する効果が得られる。

[0030] また、キャパシタ回路の設計品質に応じて、キャパシタ誘電体層2を構成

する樹脂フィルムに誘電体フィラーを含有させることもできる。上述の樹脂フィルムのマトリクス中に、「誘電体フィラー」として、チタン酸バリウム系セラミック、チタン酸鉛系セラミック、チタン酸カルシウム系セラミック、チタン酸マグネシウム系セラミック、チタン酸ビスマス系セラミック、チタン酸ストロンチウム系セラミック、ジルコン酸鉛系セラミック等のペロブスカイト系の誘電体フィラーを分散含有させることが好ましい。

[0031] 以上に述べてきた「樹脂フィルム層」のみのキャパシタ誘電体層2を備える内蔵キャパシタ層形成用銅張積層板は、2枚の銅箔の間に樹脂フィルムを積層して得ることができる。また、銅箔の表面にキャスト法で樹脂フィルム層を形成した後、当該樹脂フィルム層の表面と銅箔とを積層して得ることもできる。さらに、銅箔の表面に樹脂層を形成した2枚の樹脂付銅箔の樹脂面同士を重ね合わせて積層することで2枚の銅箔の間に樹脂フィルム層を形成することも可能である。このキャスト方式とは、銅箔の表面に、例えばポリアミド酸等の加熱によりポリイミド樹脂化する樹脂組成膜を形成し、加熱して縮合反応を起こさせて、銅箔の表面にポリイミド樹脂フィルム層を直接形成する方法である。

[0032] そして、キャパシタ誘電体層2が、図1(B)に示すような「樹脂層4／樹脂フィルム層F／樹脂層4」の3層構成を採用することも好ましい。キャパシタ誘電体層の中央部に樹脂フィルムFが存在すると、キャパシタ誘電体層の両面にある銅層同士の表面が接触して回路ショートを引き起こす可能性を完全に排除できるからである。

[0033] 3層構成のキャパシタ誘電体層2の場合も、樹脂フィルム層Fが上述の複合弾性率を満たす必要がある。樹脂フィルム層Fが上述の複合弾性率を満たさなければ、本件出願の種々の目的が達成できないからである。しかし、3層構成のキャパシタ誘電体層2の場合には、樹脂フィルム層Fに用いる樹脂として、例えば、ポリエチレンテレフタレート、ポリエチレンナフタレート、ポリビニルカルバゾール、ポリフェニレンサルファイド、ポリイミド、ポリアミド、芳香族ポリアミド、ポリアミドイミド、ポリエーテルサルフォン

、ポリエーテルニトリル、ポリエーテルエーテルケトン等を用いることが好ましい。これらの中でも、ポリイミド樹脂フィルムを用いることが好ましい。そして、3層構成のキャパシタ誘電体層2の場合でも、比誘電率を大きくし、キャパシタ回路の電気容量の増大を図るため、樹脂フィルム層Fのマトリクス中に、上述と同様の「誘電体フィラー」を分散含有させることも好ましい。

[0034] 次に、樹脂層4は、銅層3と樹脂フィルム層Fとの良好な密着性が確保できれば特段の限定は無いが、樹脂層4に用いる樹脂成分としては、エポキシ、ポリイミド、ポリアミド、ポリアミドイミド等の樹脂成分を用いることが好ましい。そして、樹脂層4にポリイミドを用いる場合には、熱可塑性のポリイミド樹脂の使用が好適である。銅層3と樹脂フィルム層Fとの良好な密着性を確保することを前提として、これらの樹脂成分を適宜用い、その組成を調整すればよい。更に、キャパシタ回路の設計品質に応じて、樹脂層に、上述と同様の「誘電体フィラー」を含有させることもできる。

[0035] ここで、キャパシタ誘電体層2が「樹脂層4／樹脂フィルム層F／樹脂層4」の層構成を備える場合の各層の厚さについて述べる。通常は樹脂フィルム層Fの厚さが、2つの樹脂層4の厚さを合計した厚さよりも厚くなるように設計する。ここで使用する「樹脂フィルム層F」は、厚さ0.5 μm ～25 μm の樹脂フィルムを使用することが好ましく、より好ましくは厚さ2 μm ～20 μm である。そして、このときの樹脂層4は厚さ0.1 μm ～10 μm が好ましく、より好ましくは厚さ2 μm ～7 μm である。

[0036] 以上に述べてきた層構成が「樹脂層4／樹脂フィルム層F／樹脂層4」のキャパシタ誘電体層2を備える内蔵キャパシタ層形成用銅張積層板は、2枚の樹脂付銅箔の樹脂面同士を対向させた状態で、その樹脂面間に樹脂フィルムを配置して積層することで得ることができる。また、1枚の樹脂付銅箔の樹脂層の表面に樹脂フィルム層を形成した後、当該樹脂フィルム表面に他の樹脂付銅箔の樹脂面を積層して得ることもできる。

[0037] 銅層： 本件出願に係る内蔵キャパシタ層形成用銅張積層板1の銅層3は、

「銅箔で構成された銅層」、「銅箔と銅めっき層とで構成された銅層」、「キャパシタ誘電体層上にシード層を設けてめっき法で形成した銅層」等の概念が含まれるものである。

[0038] この銅層 3 は、電源回路・接地回路を形成することができる限り、厚さに関する特段の限定はないが、実用的観点から、厚さ $18\mu\text{m} \sim 105\mu\text{m}$ であることが好ましい。この銅層 3 の厚さを $18\mu\text{m}$ 以上とすることで、電気抵抗の上昇による発熱量の少ない電源回路・接地回路の形成が可能となる。そして、本件出願にいうキャパシタ誘電体層に発生するクラックは、内蔵キャパシタ層形成用銅張積層板に使用する銅層が厚くなるほど発生しやすい傾向にある。従って、本件出願に係る内蔵キャパシタ層形成用銅張積層板 1 の場合、厚さが $35\mu\text{m}$ 以上の銅層 3 を使用したものであっても、キャパシタ誘電体層 2 の樹脂フィルムの厚さ方向の複合弾性率 E_r を 6.1GPa 未満とすることで、クラック発生を防止する効果が得られる。更に、当該銅層 3 の厚さが $70\mu\text{m}$ 以上になると、クラック発生率がより高くなるが、このような厚さの銅層 3 を使用した内蔵キャパシタ層形成用銅張積層板 1 においても、キャパシタ誘電体層を構成する樹脂フィルムの厚さ方向の複合弾性率 E_r を 6.1GPa 未満とすることで、クラック発生を防止する効果が得られる。また、当該銅層 3 の厚さが $105\mu\text{m}$ を超えても、特段の問題はない。しかしながら、 $105\mu\text{m}$ を超える厚さの銅層で、電源回路・接地回路を形成することに対する特段の市場要求が無く、資源の無駄使いとなる。

[0039] この内蔵キャパシタ層形成用銅張積層板 1 の銅層 3 は、キャパシタ回路の上部電極と下部電極とを形成するために用いるものである。即ち、図 2 に示すように、銅層 3 を用いて回路形成し、キャパシタ回路の上部電極 E_U (=銅層 3) と下部電極 E_L (=銅層 3) とを形成し、この上部電極 E_U と下部電極 E_L との間にキャパシタ誘電体層 2 を介在させたキャパシタ回路を形成してキャパシタ回路付積層板 10 となる。従って、このキャパシタ回路は、「銅層／キャパシタ誘電体層／銅層」の層構成を備えるが、この層構成を「上部電極 E_U ／キャパシタ誘電体層 2／下部電極 E_L 」と称することも可能であり、

本件出願は必要に応じてこの表現を用いる。

[0040] <キャパシタ回路内蔵多層プリント配線板の形態>

本件出願に係るキャパシタ回路内蔵多層プリント配線板は、ドリル加工により形成したスルーホールと内蔵キャパシタ層とを備えるキャパシタ回路内蔵多層プリント配線板であって、当該内蔵キャパシタ層を構成するキャパシタ誘電体層を構成する樹脂フィルムの厚さ方向の複合弾性率 E_r が 6.1 GPa 未満であることを特徴とする。ここで、「内蔵キャパシタ層を構成するキャパシタ誘電体層を構成する樹脂フィルムの厚さ方向の複合弾性率」、「本件出願に係るキャパシタ回路内蔵多層プリント配線板の前記内蔵キャパシタ層の厚さ」、「内蔵キャパシタ層を構成するキャパシタ誘電体層の樹脂層／樹脂フィルム層／樹脂層の層構成」、「キャパシタ回路を構成する内蔵キャパシタ層の両面に配置する電極回路の厚さ」の各項目に関しては、上述の本件出願に係る内蔵キャパシタ層形成用銅張積層板において述べたと同様の理由及び根拠が適用できる。よって、これらの項目に関する重複した説明を避けるため、ここでの説明は省略する。以下、上述の本件出願に係る内蔵キャパシタ層形成用銅張積層板において述べていない項目に関してのみ述べる。

[0041] 本件出願に係るキャパシタ回路内蔵多層プリント配線板は、トータル厚さが 1.8 mm 以上で、且つ、8層以上のものを対象とすることが好ましい。ここでいう「トータル厚さ」とは、ドリル加工を施す対象のキャパシタ回路内蔵多層プリント配線板の板厚のことである。このトータル厚さが 1.8 mm を超えると、プリント配線板の製造過程において、ドリル加工でスルーホール形成用の貫通孔を形成する際にキャパシタ誘電体層のクラックが発生しやすくなる。また、ここで8層以上のキャパシタ回路内蔵多層プリント配線板を対象としているが、キャパシタ回路内蔵多層プリント配線板の層数が多くなるほど、キャパシタ誘電体層にクラックが発生しやすくなる傾向がある。特に、電源回路層・接地回路層を含むクリアランスホール付近の樹脂分が高くなった16層以上のキャパシタ回路内蔵多層プリント配線板になると、

よりクラックが発生しやすくなり、20層以上になると、更にクラックが発生しやすくなる傾向がある。従って、本件出願に係る発明は、これらの層数のキャパシタ回路内蔵多層プリント配線板を対象とすることが好ましい。なお、念のために明記しておくが、「8層」、「16層」等と称する場合は、導体層の層数を示している。以上のことから理解できるように、8層以上の多層化がなされ、トータル厚さが1.8mm以上、且つ、上述の要件を満たす本件出願に係るキャパシタ回路内蔵多層プリント配線板は、ドリル加工でスルーホール形成用の貫通孔が形成されていても、樹脂分が高い電源回路層・接地回路層を含むクリアランスホール付近のキャパシタ誘電体層のクラック発生を防止できる。

[0042] <キャパシタ回路内蔵多層プリント配線板の製造方法の形態>

本件出願に係るキャパシタ回路内蔵多層プリント配線板の製造方法は、以下の工程を含むことを特徴とする。以下、工程毎に説明する。

[0043] 多層積層体の製造工程： この工程では、まず、図2に示すようなキャパシタ誘電体層の表面にキャパシタ回路を備えるキャパシタ回路付積層板を準備する。このときのキャパシタ誘電体層は、複合弾性率 E_r が6.1GPa未満の樹脂フィルムを構成材料として含んでいる。このキャパシタ回路付積層板は、キャパシタ誘電体層の一面側にキャパシタ回路の上部電極として用いる銅層を備え、キャパシタ誘電体層の他面側にキャパシタ回路の下部電極として用いる銅層を備えるものであり、次のような方法で製造することが可能である。

[0044] このキャパシタ回路付積層板は、サブトラクティブ法で製造できる。かかる場合には、例えば多層プリント配線板の内層に銅層／キャパシタ誘電体層／銅層の層構成の内蔵キャパシタ回路を形成するために用いる銅張積層板であって、厚さ方向の複合弾性率 E_r が6.1GPa未満の樹脂フィルムを構成材料として含むキャパシタ誘電体層の両面に銅層を備える内蔵キャパシタ層形成用銅張積層板1を準備する。この内蔵キャパシタ層形成用銅張積層板1の模式断面図が、図1に示すものである。そして、当該内蔵キャパシタ層

形成用銅張積層板 1 の両面に、「上部電極 E_U / キャパシタ誘電体層 2 / 下部電極 E_L 」の層構成を備えるキャパシタ回路を形成し、図 2 に示すキャパシタ回路付積層板 10 を得ることができる。

[0045] また、このキャパシタ回路付積層板 10 は、銅箔を用いたセミアディティブ法でも製造できる。かかる場合には、例えばキャリア箔付極薄銅箔を積層した内蔵キャパシタ層形成用銅張積層板 1 を準備し、その表面からキャリア箔を除去して露出させた極薄銅箔層の表面にキャパシタ回路の形状に応じたパターンめっきを行い、その後、回路間に露出した極薄銅箔層をフラッシュエッチングで除去して、上述の層構成を備えるキャパシタ回路を形成することができる。

[0046] 更に、このキャパシタ回路付積層板 10 は、セミアディティブ法でも製造できる。かかる場合には、例えばキャパシタ誘電体層の表面にシード層を設け、このシード層上に回路形状に応じたパターンめっきを行う。その後、回路間に露出したシード層をフラッシュエッチングで除去して、上述の層構成を備えるキャパシタ回路を形成することもできる。

[0047] 以上のようにして得られたキャパシタ回路付積層板を用いて、この両面に絶縁層構成材 5 を介して、2 層以上のプリント配線板を必要枚数積層して所望の層数の多層積層体を得る。即ち、一例を示せば、図 3 (A) に示すように、絶縁層構成材 5 (PP0) を介して、2 枚のキャパシタ回路付積層板 10 (ここでは、図 2 (B) に示すキャパシタ回路付積層板を用いている。) を配置し、それぞれの当該キャパシタ回路付積層板 10 の外側に絶縁層構成材 5 (PP1 ~ PPn) と、2 層以上のプリント配線板 PWB1 ~ PWBn とを交互に積層し、最後に絶縁層構成材 5 (PPn+1) と、最外層の銅層 3 を形成するための銅箔 7 を配置して、これらを一括積層して、図 4 (B) に示す多層積層体 20 を得る。

[0048] このとき、図 3 (A) に示すように、キャパシタ回路付積層板 10 の表面に、絶縁層構成材 5 (PP1 ~ PPn) と、2 層以上のプリント配線板 PWB1 ~ PWBn とを一括積層することで多層積層体を得ることができる。ま

た、当該キャパシタ回路付積層板 10 の表面に、絶縁層構成材 5 を介して、2 層以上のプリント配線板 PWB 1 ~ PWB n を積層することを、順次繰り返して行い、多層積層体を得ることもできる。このような多層化プロセスにおいて、2 層以上のプリント配線板 PWB 1 ~ PWB n を使用することで、例えば 20 層を超える高多層化が要求されても、迅速に目的の層数の多層積層体 20 を製造することができる。そして、絶縁層構成材 5 には、プリプレグ、樹脂シート等を用い、プリント配線板の絶縁層として使用できるものであれば、特段の限定は無い。また、この積層に用いる 2 層以上のプリント配線板 PWB 1 ~ PWB n は、いかなる製造方法を用いて得られるものでもよい。例えば、当該多層プリント配線板 PWB 1 ~ PWB n の製造において、銅層及び絶縁層構成材としてプリント配線板製造に用いることのできる限り、いかなるものを用いてもよい。また、ビアホール等の層間導通手段の形成、各種めっきを施す等してもよい。

[0049] 孔明け加工工程： この工程では、以上のようにして得られた多層積層体 20 に対して、図 5 (C) に示すように、ドリル加工により、必要な箇所にスルーホール形成用の貫通孔 6 の形成を行う。このときのドリル加工条件に関しては、通常のプリント配線板の孔明け加工に使用される条件として、ドリル回転数が 60000 rpm ~ 200000 rpm、ドリル押し込み速度が 0.5 m/min ~ 6.0 m/min が一般的に用いられる。

[0050] 仕上げ加工工程： 上述のスルーホール形成用の貫通孔 6 の形成を行った後は、スルーホールの内壁面への銅めっき層形成、スルーホール内への導電性ペーストの充填等でスルーホールの層間導通を確保する必要がある。その他、ドリル加工によるスルーホール形成用の貫通孔 6 の内壁面に生じるスミアを除去するデスミア処理（過マンガン酸塩水溶液を用いるウェットエッチング、プラズマエッチング等）、その他めっき処理等を任意に施し、外層回路の形成を行い、キャパシタ回路内蔵多層プリント配線板（図示を省略）を得ることができる。

[0051] 以下、実施例と比較例とを示して、本件出願に係る発明の内容を、より具

体的に説明する。

実施例 1

- [0052] 実施例 1 では、以下の工程を経て、スルーホールを形成した 26 層のキャパシタ回路内蔵多層プリント配線板を製造し、スルーホール近傍のキャパシタ誘電体層 2 におけるクラック発生の有無を確認した。
- [0053] 内蔵キャパシタ層形成用銅張積層板の製造： 厚さ $70\ \mu\text{m}$ の電解銅箔の粗化面側に厚さ $5\ \mu\text{m}$ の半硬化樹脂層を備えた樹脂付銅箔と、厚さ方向の複合弾性率 E_r が $5.87\ \text{GPa}$ のポリイミド樹脂フィルム（厚さ $12.5\ \mu\text{m}$ ）とを用いて、内蔵キャパシタ層形成用銅張積層板を製造した。当該樹脂付銅箔を 2 枚用い、当該ポリイミド樹脂フィルムを間に挟み、当該樹脂付銅箔の樹脂面同士を対向配置して、プレス圧が $1.5\ \text{MPa}$ 、プレス温度 $190^\circ\text{C} \times 1$ 時間の条件で積層し、図 1（B）に示す「銅層 3 / キャパシタ誘電体層 2（厚さ $22.5\ \mu\text{m}$ ） / 銅層 3」の層構成の内蔵キャパシタ層形成用銅張積層板 1 を得た。
- [0054] 多層積層体の製造工程： この工程では、最初に、当該内蔵キャパシタ層形成用銅張積層板 1 の両面に、ドライフィルムを張り、キャパシタ回路のエッチングパターンを露光し、現像した後、銅エッチングを行い、ドライフィルム剥離を行うことで、上部電極 E_U / キャパシタ誘電体層 2 / 下部電極 E_L の層構成を備えるキャパシタ回路を形成し、図 2（B）に示すようなキャパシタ回路付積層板 10 を得た。
- [0055] 次に、図 3（A）に示すイメージで、2 枚の当該キャパシタ回路付積層板 10 の間に、絶縁層構成材 5（PP0）を挟み込み、それぞれの当該キャパシタ回路付積層板 10 の外側に絶縁層構成材 5（PP1～PP5）と、2 層の多層プリント配線板 PWB1～PWB5（絶縁層厚さ： $0.1\ \text{mm}$ ，回路厚さ： $18\ \mu\text{m}$ ）とを交互に配置し、最外層に絶縁層構成材 5（PP $n+1$ ）と、最外層の銅層 3 を形成するための厚さ $18\ \mu\text{m}$ の銅箔 7 を配置し、これを一括積層して、図 4（B）に示すイメージの 26 層の多層積層体 20（トータル厚さが $3.2\ \text{mm}$ ）を得た。なお、この絶縁層構成材 5（PP0，

PP1～PP5, PPn+1)は、厚さ0.05mmのプリプレグ(パナソニック株式会社製 MEGTRON6)を、各層2枚ずつ用いた。

[0056] 孔明け加工工程： この工程では、上述で得られた多層積層体20に対して、ドリル加工により、図5(C)に示すように必要な箇所にスルーホール形成用の貫通孔6を形成した。このときのドリル加工条件は、ドリル回転数が200000rpm、ドリル押し込み速度が4.0m/minであった。

[0057] [クラック発生評価]

上述の孔明け加工後の多層積層体20に、スルーホール形成用の貫通孔6の内壁面に銅めっき層を形成し、スルーホール近傍のキャパシタ誘電体層2におけるクラック発生の有無を確認した。このクラックの確認は、金属顕微鏡を用いて、スルーホール近傍のキャパシタ誘電体層2を100倍に拡大して観察することにより行った。評価結果を表1に示す。

[0058] [寸法安定性評価]

IPC-TM-650 2.2.4に規定する寸法安定性評価の試験方法に準拠して、上述の内蔵キャパシタ層形成用銅張積層板の銅箔エッチング後及び加熱後(150℃×30分)の縦及び横の寸法変化率を測定した。

実施例 2

[0059] 実施例2では、実施例1で用いたポリイミド樹脂フィルムに代えて、厚さ方向の複合弾性率Erが2.66GPaのポリイミド樹脂フィルム(厚さ14.2μm)を用い、実施例1と同様の方法で、図1(B)に示す「銅層3／キャパシタ誘電体層2(厚さ24.2μm)／銅層3」の層構成の内蔵キャパシタ層形成用銅張積層板1を得て、これを用いてスルーホールを形成した26層のキャパシタ回路内蔵多層プリント配線板を製造した。そして、実施例1と同様にクラック発生評価及び寸法安定性評価を行った。結果を表1に示す。

比較例

[0060] 比較例では、実施例1で用いたポリイミド樹脂フィルムに代えて、厚さ方向の複合弾性率Erが6.80GPaの芳香族ポリアミド樹脂フィルム(厚

さ 12.1 μm) を用い、実施例 1 と同様の方法で、図 1 (B) に示す「銅層 3 / キャパシタ誘電体層 2 (厚さ 24.2 μm) / 銅層 3」の層構成の内蔵キャパシタ層形成用銅張積層板 1 を得て、これを用いてスルーホールを形成した 26 層のキャパシタ回路内蔵多層プリント配線板を製造した。そして、実施例 1 と同様にクラック発生評価及び寸法安定性評価を行った。結果を表 1 に示す。

[0061]

[表1]

	キャパシタ誘電体層		寸法安定性評価		
	樹脂フィルム の複合弾性率 (GPa)	クラック 発生評価	測定方向	銅箔エッチング直後 (%)	加熱後 (150℃×30分)
実施例 1	5.87	なし	縦	-0.05	-0.07
			横	-0.04	-0.06
実施例 2	2.66		縦	-0.13	-0.23
			横	-0.21	-0.32
比較例	6.80	あり	縦	-0.03	-0.05
			横	-0.04	-0.06

[0062] <実施例と比較例との対比>

表1から分かるように、多層積層体20のキャパシタ誘電体層2におけるクラック発生の有無を確認すると、実施例1及び実施例2で得られた孔明け

加工後の多層積層体 20 のキャパシタ誘電体層 2 にクラック発生は認められなかった。これに対し、キャパシタ誘電体層を構成する樹脂フィルムの厚さ方向の複合弾性率 E_r が 6.1 GPa を超えている比較例の場合には、クラック発生が認められた。

[0063] 寸法安定性評価においては、以下のことが理解できる。この寸法変化率は、数値（絶対値）の小さいほど寸法安定性が良いといえる。この観点から見ると、実施例 1 と比較例とが同等であり、実施例 2 の寸法安定性が低いと判断できる。このことから、クラック発生を防止するという観点では、キャパシタ誘電体層を構成する樹脂フィルムの厚さ方向の複合弾性率が低い方が良いといえるが、実施例 2 のように複合弾性率が 3.0 GPa 以下になると寸法安定性が低下する傾向がある。よって、キャパシタ誘電体層のクラック発生を効果的に防止し、且つ、寸法安定性に優れたキャパシタ回路内蔵多層プリント配線板を得ようとする、キャパシタ誘電体層を構成する樹脂フィルムの厚さ方向の複合弾性率が 3.0 GPa ～ 6.1 GPa 未満であることが好ましい。

産業上の利用可能性

[0064] 本件出願に係る内蔵キャパシタ層形成用銅張積層板は、キャパシタ誘電体層を構成する樹脂フィルムの厚さ方向の複合弾性率 E_r 等を適正な範囲とすることで、プリント配線板製造プロセスにおけるスルーホール形成用の貫通孔を形成する際のドリル加工時に、キャパシタ誘電体層にクラックが発生することを効果的に防止できる。従って、設計通りのキャパシタ特性を備えるキャパシタ回路内蔵多層プリント配線板の提供が可能となる。また、キャパシタ回路内蔵多層プリント配線板の製造方法は、従来の生産方法に何ら変更を加えることなく使用できるため、余分な設備投資を必要とせず好ましい。

符号の説明

- [0065] 1 内蔵キャパシタ層形成用銅張積層板
2 キャパシタ誘電体層
3 銅層

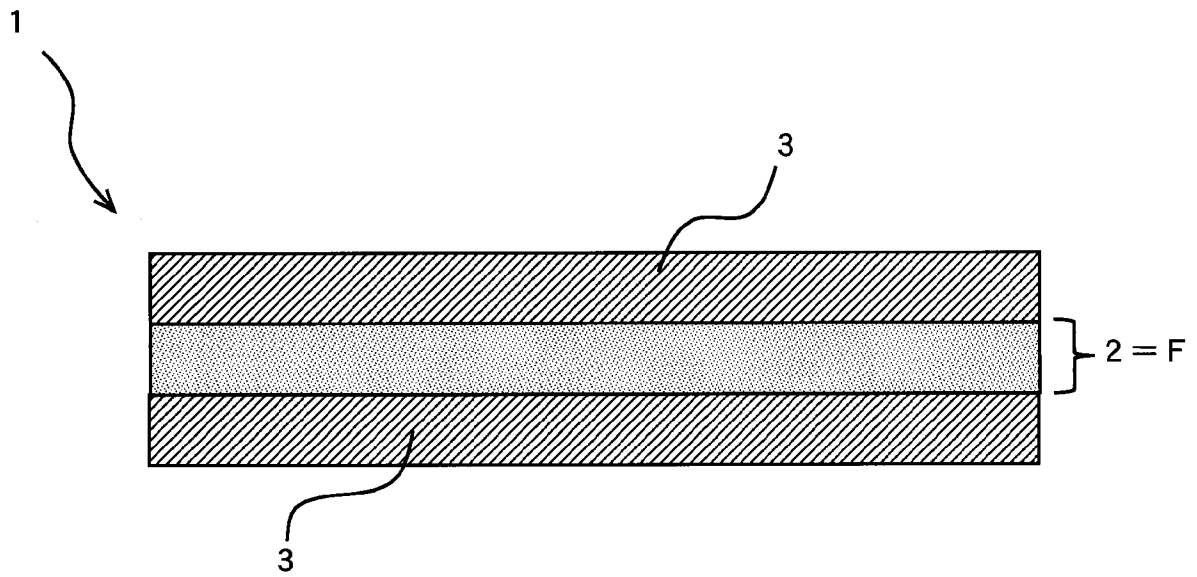
- 4 樹脂層
- 5 絶縁層構成材
- 6 スルーホール形成用の貫通孔
- 7 銅箔
- 10 キャパシタ回路付積層板
- 20 多層積層体
- F 樹脂フィルム
- E_U 上部電極
- E_L 下部電極
- PWB 1 ~ PWB n 2層以上の多層プリント配線板

請求の範囲

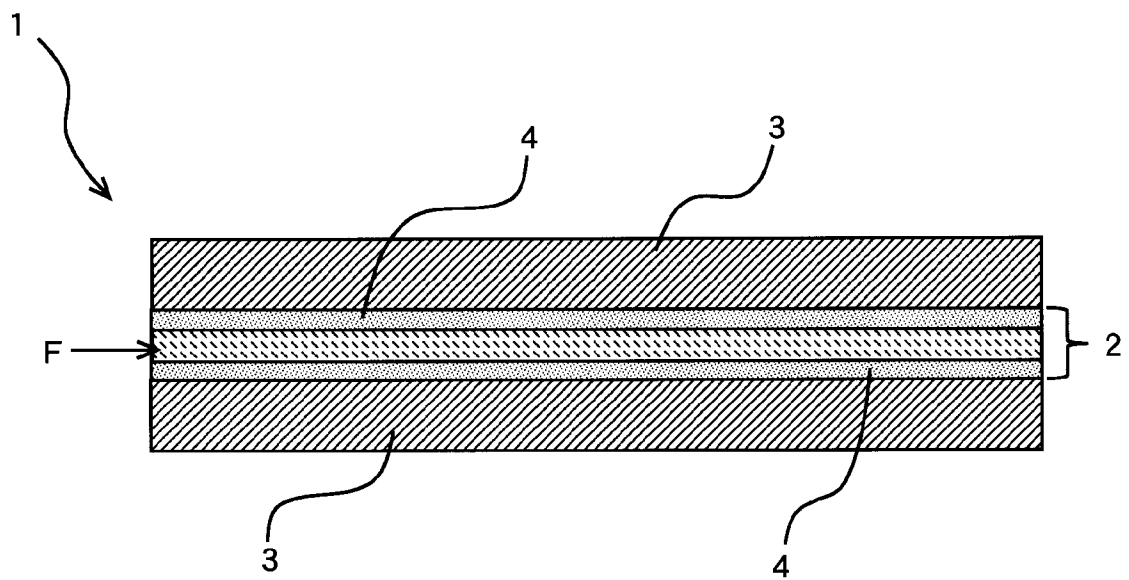
- [請求項1] 多層プリント配線板の層内に銅層／キャパシタ誘電体層／銅層の層構成の内蔵キャパシタ回路を含む内蔵キャパシタ層を形成するための銅張積層板であって、
- 当該キャパシタ誘電体層は少なくとも樹脂フィルムを構成材料として含むものであり、当該樹脂フィルムの厚さ方向の複合弾性率 E_r が 6.1 GPa 未満であることを特徴とする内蔵キャパシタ層形成用銅張積層板。
- [請求項2] 前記銅層は、厚さ $18 \mu\text{m} \sim 105 \mu\text{m}$ である請求項1に記載の内蔵キャパシタ層形成用銅張積層板。
- [請求項3] 前記キャパシタ誘電体層は、厚さ $30 \mu\text{m}$ 以下である請求項1又は請求項2に記載の内蔵キャパシタ層形成用銅張積層板。
- [請求項4] 前記キャパシタ誘電体層は、樹脂層／樹脂フィルム層／樹脂層の層構成を備えるものである請求項1～請求項3のいずれか一項に記載の内蔵キャパシタ層形成用銅張積層板。
- [請求項5] ドリル加工により形成したスルーホールと、内蔵キャパシタ回路を含む内蔵キャパシタ層とを備える多層プリント配線板であって、
- 当該内蔵キャパシタ回路を構成するキャパシタ誘電体層を構成する樹脂フィルムの厚さ方向の複合弾性率 E_r が 6.1 GPa 未満であることを特徴とするキャパシタ回路内蔵多層プリント配線板。
- [請求項6] 前記キャパシタ誘電体層の両面に配置する電極回路は、厚さ $18 \mu\text{m} \sim 105 \mu\text{m}$ の銅層である請求項5に記載のキャパシタ回路内蔵多層プリント配線板。
- [請求項7] 前記キャパシタ誘電体層は、厚さ $30 \mu\text{m}$ 以下である請求項5又は請求項6に記載のキャパシタ回路内蔵多層プリント配線板。
- [請求項8] 前記内蔵キャパシタ層を構成するキャパシタ誘電体層は、樹脂層／樹脂フィルム層／樹脂層の層構成を含む請求項5～請求項7のいずれか一項に記載のキャパシタ回路内蔵多層プリント配線板。

- [請求項9] 前記キャパシタ回路内蔵多層プリント配線板は、トータル厚さが1.8 mm以上で、且つ、8層以上である請求項5～請求項8のいずれか一項に記載のキャパシタ回路内蔵多層プリント配線板。
- [請求項10] 内蔵キャパシタ層形成用銅張積層板を用いたキャパシタ回路内蔵多層プリント配線板の製造方法であって、
以下の工程を含むことを特徴とするキャパシタ回路内蔵多層プリント配線板の製造方法。
多層積層体の製造工程： 複合弾性率 E_r が6.1 GPa未満の樹脂フィルムを構成材料として含むキャパシタ誘電体層の表面にキャパシタ回路を備えるキャパシタ回路付積層板を準備し、この両面に絶縁層構成材を介して、2層以上のプリント配線板を必要枚数積層して所望の層数の多層積層体を得る。
孔明け加工工程： 当該多層積層体に対して、ドリル加工により、必要な箇所にスルーホール形成用の貫通孔の形成を行う。
仕上げ加工工程： 当該スルーホール形成用の貫通孔の形成を行った後、デスミア処理によるスミア除去、層間導通形成、めっき処理等の必要な加工を施し、外層回路の形成を行いキャパシタ回路内蔵多層プリント配線板を得る。
- [請求項11] 前記多層積層体の製造工程において、前記キャパシタ回路付積層板の両面に、絶縁層構成材を介して、2層以上のプリント配線板を必要枚数積層して得る多層積層体の層数が8層以上である請求項10に記載のキャパシタ回路内蔵多層プリント配線板の製造方法。

[図1]

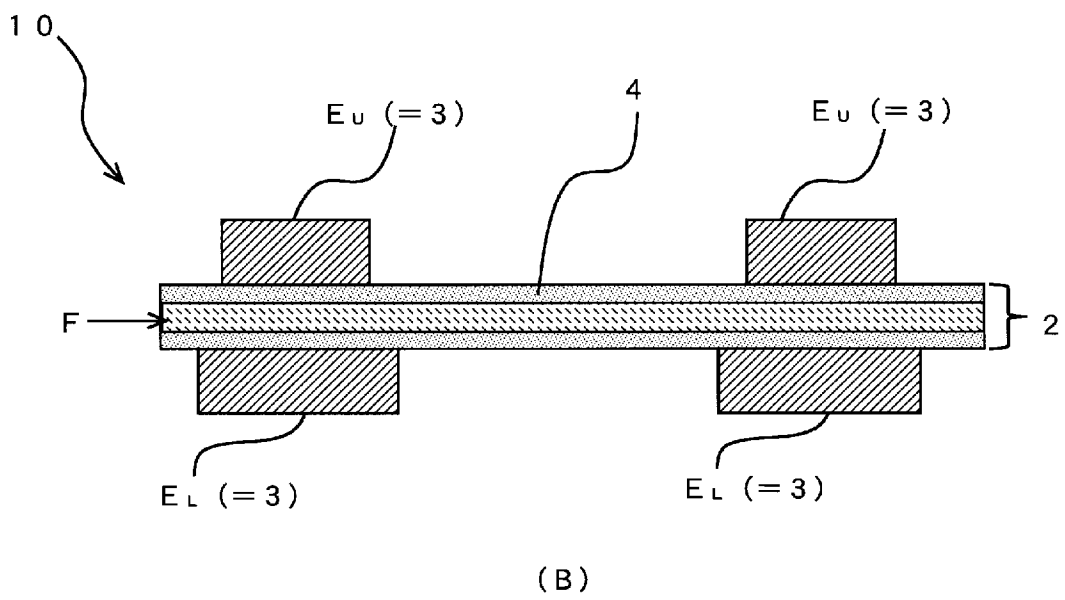
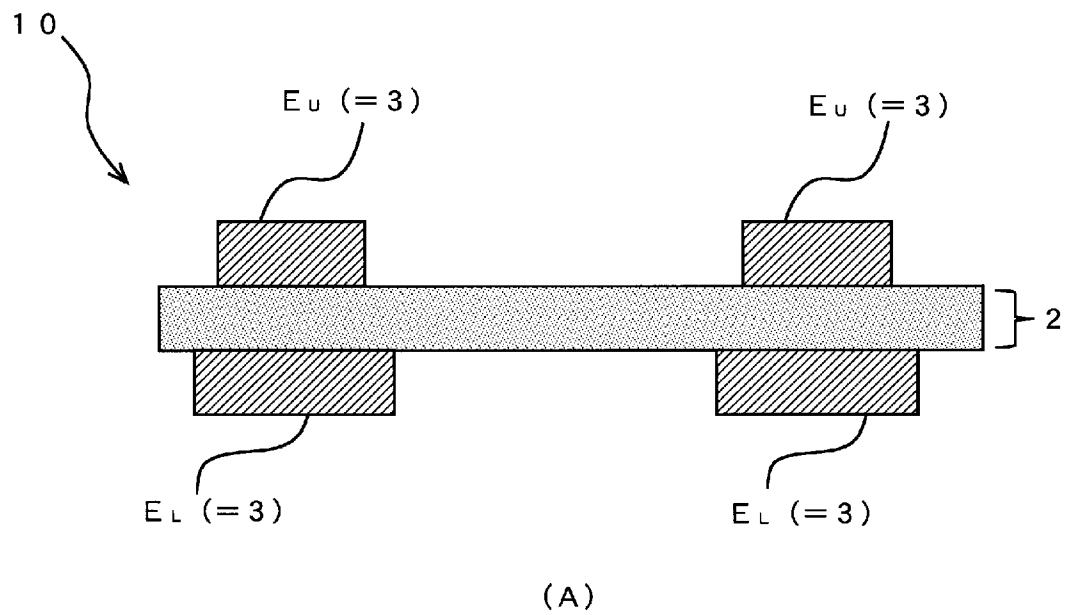


(A)

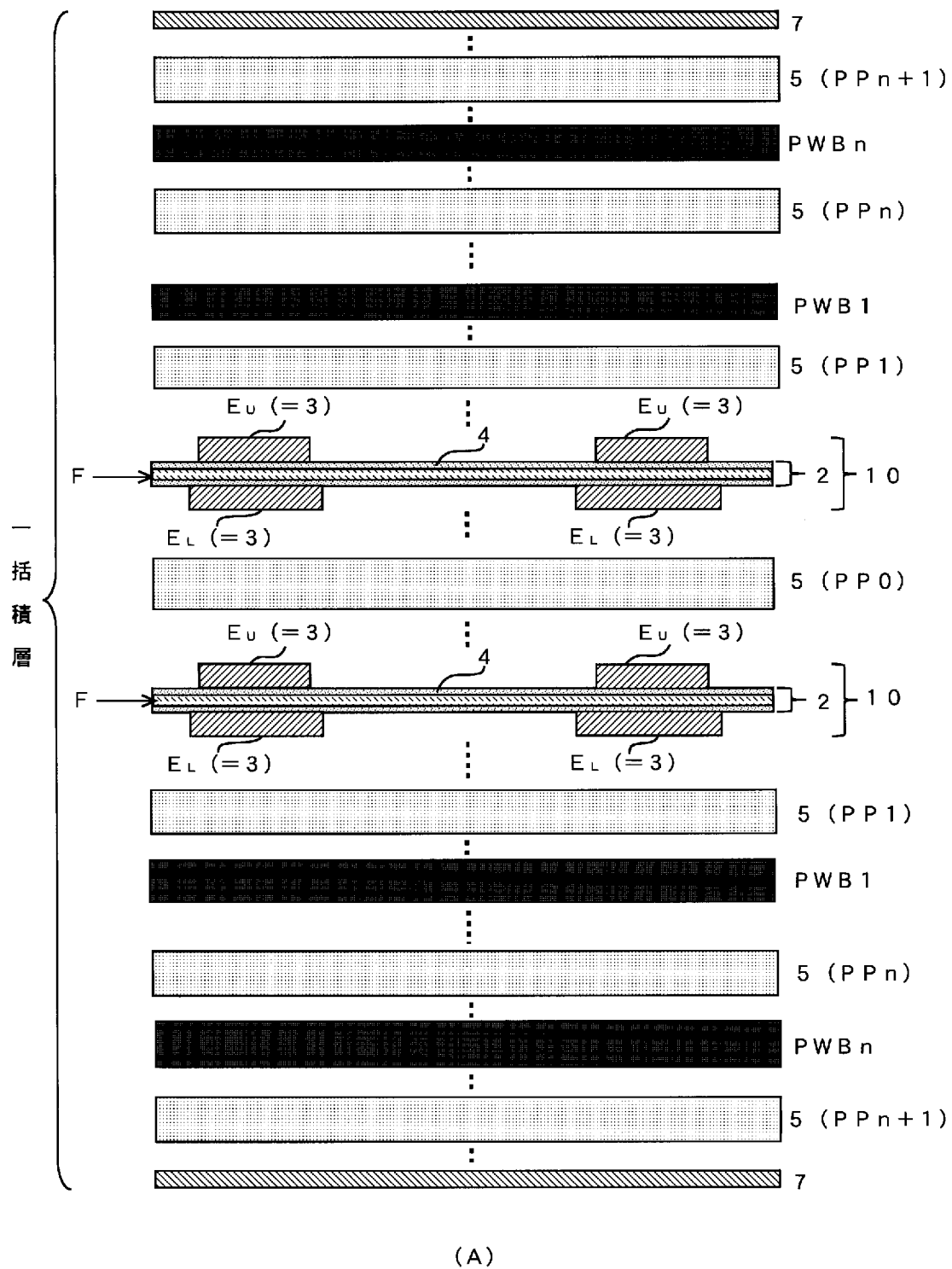


(B)

[図2]

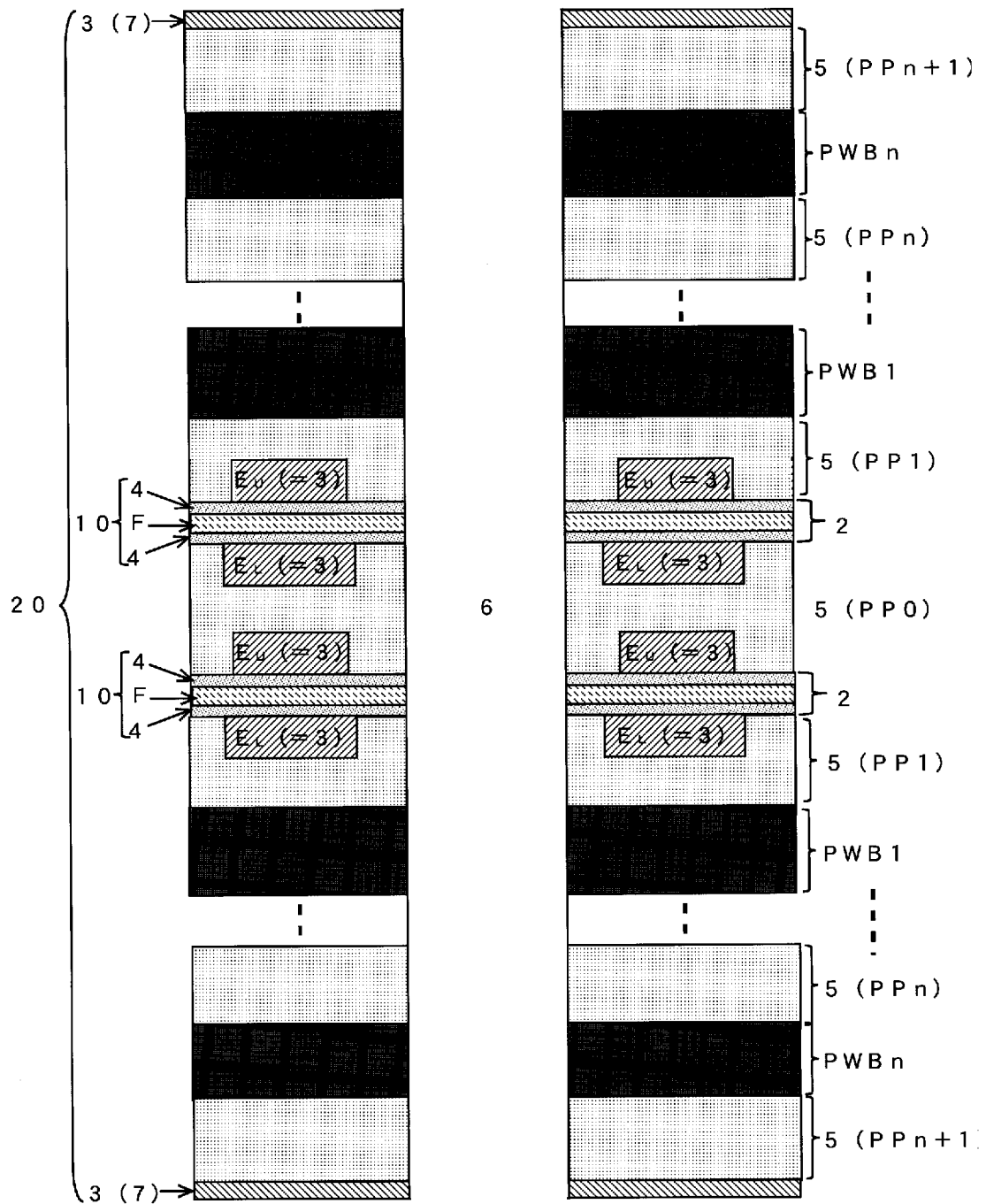


[図3]



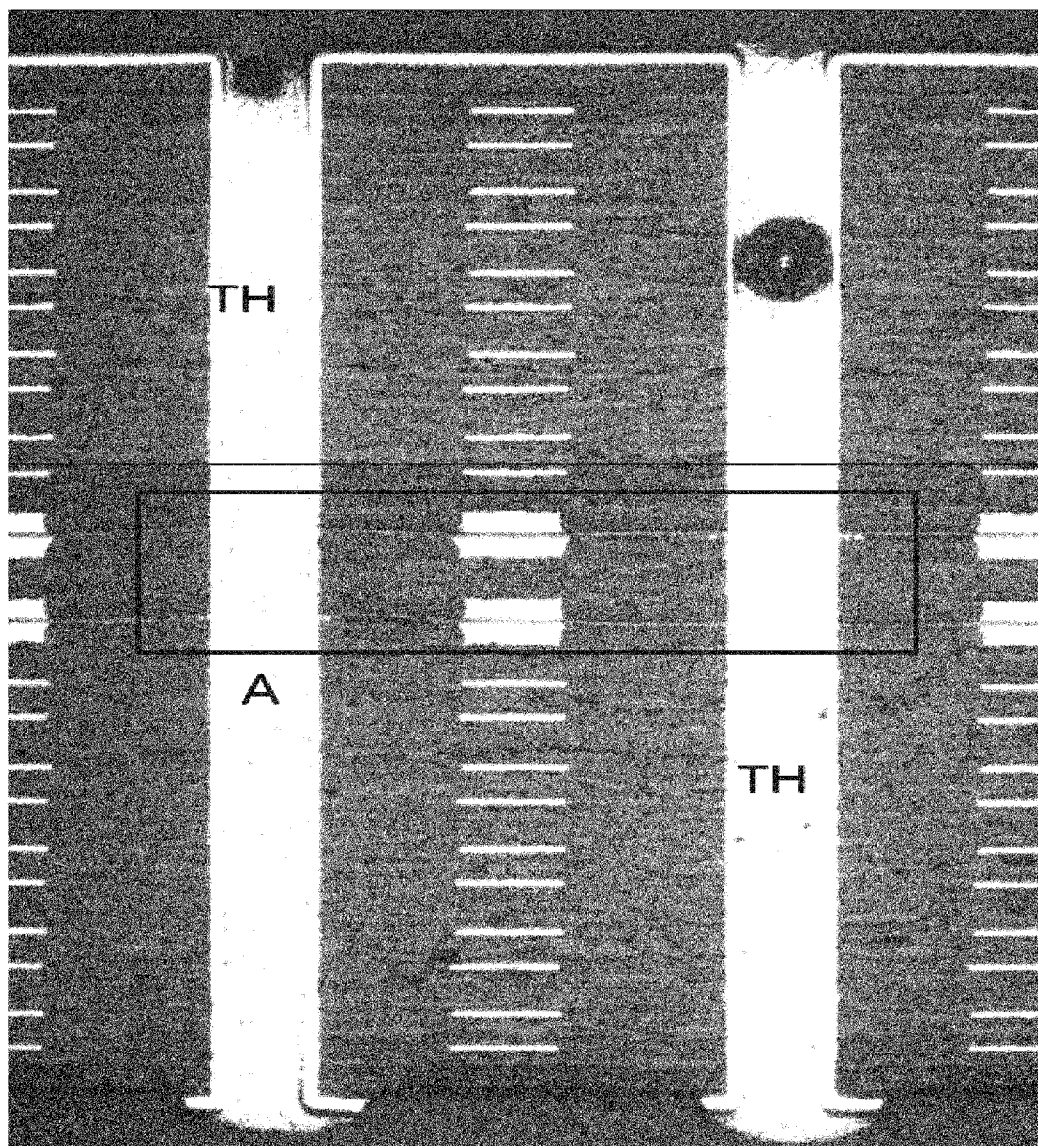
(B)

[図5]

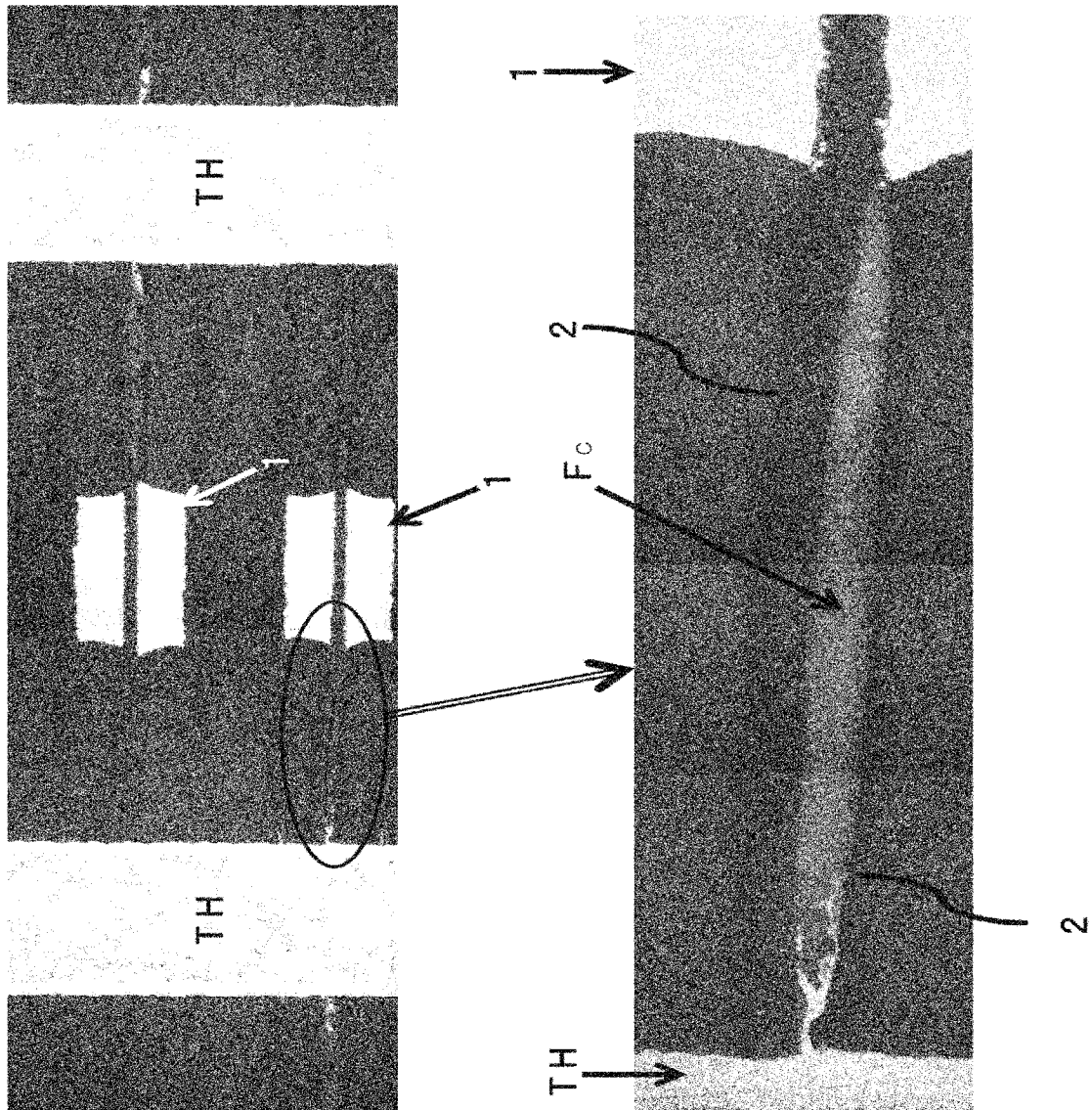


(C)

[図6]



[図7]



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2015/054832

A. CLASSIFICATION OF SUBJECT MATTER

H05K3/46(2006.01) i, B32B15/08(2006.01) i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

H05K3/46, B32B15/08

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho	1922-1996	Jitsuyo Shinan Toroku Koho	1996-2015
Kokai Jitsuyo Shinan Koho	1971-2015	Toroku Jitsuyo Shinan Koho	1994-2015

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	JP 2008-235545 A (NEC Corp.), 02 October 2008 (02.10.2008), paragraph [0039] (Family: none)	1-11
A	JP 2004-71589 A (NEC Corp.), 04 March 2004 (04.03.2004), paragraphs [0023] to [0037] (Family: none)	1-11
A	WO 2005/107350 A1 (Ibiden Co., Ltd.), 10 November 2005 (10.11.2005), page 4, line 17 to page 5, line 11 & JP 4504975 B2 & US 2006/0231290 A1 & US 2007/0295532 A1 & US 2009/0090547 A1 & US 2011/0100700 A1 & EP 1705972 A1 & KR 10-2006-0105774 A & CN 1914966 A	1-11



Further documents are listed in the continuation of Box C.



See patent family annex.

* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier application or patent but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&" document member of the same patent family

Date of the actual completion of the international search
28 April 2015 (28.04.15)

Date of mailing of the international search report
19 May 2015 (19.05.15)

Name and mailing address of the ISA/
Japan Patent Office
3-4-3, Kasumigaseki, Chiyoda-ku,
Tokyo 100-8915, Japan

Authorized officer

Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2015/054832

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	JP 2007-273530 A (Kyocera Corp.), 18 October 2007 (18.10.2007), paragraphs [0041] to [0042] (Family: none)	1-11

A. 発明の属する分野の分類（国際特許分類（I P C）） Int.Cl. H05K3/46(2006.01)i, B32B15/08(2006.01)i			
B. 調査を行った分野 調査を行った最小限資料（国際特許分類（I P C）） Int.Cl. H05K3/46, B32B15/08			
最小限資料以外の資料で調査を行った分野に含まれるもの 日本国実用新案公報 1 9 2 2 - 1 9 9 6 年 日本国公開実用新案公報 1 9 7 1 - 2 0 1 5 年 日本国実用新案登録公報 1 9 9 6 - 2 0 1 5 年 日本国登録実用新案公報 1 9 9 4 - 2 0 1 5 年			
国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）			
C. 関連すると認められる文献			
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号	
A	JP 2008-235545 A（日本電気株式会社）2008.10.02, 段落 [0 0 3 9]（ファミリーなし）	1 - 1 1	
A	JP 2004-71589 A（日本電気株式会社）2004.03.04, 段落 [0 0 2 3] - [0 0 3 7]（ファミリーなし）	1 - 1 1	
☒ C 欄の続きにも文献が列挙されている。 ☐ パテントファミリーに関する別紙を参照。			
* 引用文献のカテゴリー 「A」特に関連のある文献ではなく、一般的技術水準を示すもの 「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの 「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す） 「O」口頭による開示、使用、展示等に言及する文献 「P」国際出願日前で、かつ優先権の主張の基礎となる出願日の後に公表された文献 「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの 「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの 「Y」特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの 「&」同一パテントファミリー文献			
国際調査を完了した日 2 8 . 0 4 . 2 0 1 5		国際調査報告の発送日 1 9 . 0 5 . 2 0 1 5	
国際調査機関の名称及びあて先 日本国特許庁（I S A / J P） 郵便番号 1 0 0 - 8 9 1 5 東京都千代田区霞が関三丁目4番3号		特許庁審査官（権限のある職員） 吉澤 秀明 電話番号 0 3 - 3 5 8 1 - 1 1 0 1 内線 3 3 9 1	3 S 9 4 3 7

C (続き) . 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
A	WO 2005/107350 A1 (イビデン株式会社) 2005.11.10, 4 ページ 1 7 行目 - 5 ページ 1 1 行目 & JP 4504975 B2 & US 2006/0231290 A1 & US 2007/0295532 A1 & US 2009/0090547 A1 & US 2011/0100700 A1 & EP 1705972 A1 & KR 10-2006-0105774 A & CN 1914966 A	1 - 1 1
A	JP 2007-273530 A (京セラ株式会社) 2007.10.18, 段落 [0041] - [0042] (ファミリーなし)	1 - 1 1