

(19) 대한민국특허청(KR)
(12) 특허공보(B1)

(51) Int. Cl.³
H01L 29/74

(45) 공고일자 1983년 10월 21일
(11) 공고번호 특 1983-0002293

(21) 출원번호	특 1979-0004540	(65) 공개번호	특 1983-0001743
(22) 출원일자	1979년 12월 20일	(43) 공개일자	1983년 05월 18일
(30) 우선권주장	972022 1978년 12월 20일 미국(US) 972056 1978년 12월 20일 미국(US) 972021 1978년 12월 20일 미국(US)		
(71) 출원인	웨스턴 이렉트릭 컴패니, 인코퍼레이티드 알. 씨. 윈터 미합중국 뉴욕 10038 브로드웨이 222		
(72) 발명자	조셉 어네스트 베르톨드 미합중국, 뉴저지 07980, 스틸링, 루파인웨이 85 아드리안 헬프 하트만 미합중국, 뉴저지 07974, 머레이힐, 브룩홀로우레인 5 알프 레드 우르크하트 맥래 미합중국, 뉴저지 07922, 버클리하이츠, 셀브룩 드라이브 72 테렌스 제임스 릴리 미합중국, 뉴저지 07060, 와렌 프린트록 드라이브 11 피터 윌리엄 색클 미합중국, 뉴저지 08807, 브릿지워터, 크로이든 로드 1395		
(74) 대리인	이병호		

심사관 : 강용복 (책자공보 제872호)

(54) 고압용 게이트 다이오드 스위치

요약

내용 없음.

대표도

도 1

명세서

[발명의 명칭]

고압용 게이트 다이오드 스위치

[도면의 간단한 설명]

제 1 도는 본 발명의 한 실시예에 따른 구조물을 도시한것.

제 2 도는 제 1 도의 구조물의 회로 성분을 도시한것.

제 3 도는 본 발명의 다른 실시예에 따른 쌍방향 스위치 회로를 도시한것.

제 4 도는 본 발명의 다른 실시예에 따른 구조물을 도시한것.

제 5 도는 본 발명의 또 다른 실시예에 따른 구조물을 도시한 것.

제 6 도는 본 발명의 또 다른 실시예에 따른 구조물을 도시한것.

제 7 도는 본 발명의 또 다른 실시예에 따른 구조물을 도시한것.

제 8 도는 제 6 도 구조물의 평면도.

[발명의 상세한 설명]

본 발명은 반도체 구조물 특히 전하 스위칭 시스템 및 여러 다른 응용에 유용한 고전압 반도체 구조물에 관한 것이다.

호스턴 등의 논문(D.E. Houston, IEEE Transctions on Electron Devices, 권 23판 8호 8월, 1976년)에는

차단 상태가 될 수 있도록 죄여지고(pinched off), 도통상태가 될 수 있도록 2중 반송자 주입(전자 및 정공의 주입)으로 높은 도전성을 나타내는 영역을 포함하는 고전압 반도체 스위치가 나타나 있다. 이러한 스위치가 가지는 한 문제점은 하나의 기판에 다수의 스위치를 제조할 수 있는 집적화를 쉽게 꾀할 수 없다는 점이다. 또 다른 문제점은 그리드와 캐소드간의 간격은 제어 그리드 전압의 크기를 제한 할 수 있을 정도로 좁아야 한다는 점이다. 그러나 이것은 기르드와 캐소드 간의 브레이크다운 전압을 감소시키기 때문에 유용한 전압범위를 제한하게 된다. 이러한 제한은 쌍방향으로 접속되는 두 개의 소자(한소자의 에노드에 다른 소자의 캐소드가 접속되는 것)을 이용하므로써 비교적 낮은 전압으로 효과적으로 제한하다. 그러나 2중 소자 구조물은 고전압 사방향 반도체 스위치로서 쓸모가 있게 된다. 부가적인 문제점은 베이스 영역이 에노드로부터 그리드로의 관통현상(punch-through)이 일어나는 것을 막을 수 있도록 불순물로써 질게 도프되어져야 한다는 점이다. 그러나 베이스 영역을 질게 도프할 경우에 에노드와 캐소드간의 저전압 브레이크다운을 유도하게 된다. 베이스 영역을 넓게 형성시킬 경우에 관통 효과를 막을 수 있지만 도통상태에서 소자의 저항이 증가하게 된다.

두개 이상의 스위치 소자가 하나의 기판에 동시에 제조되어 각 스위치가 비교적 고압을 차단시킬 수 있는 집적된 반도체 스위치를 만드는 것이 바람직하다.

본 발명은 요약하면, 본 발명의 한 실시예의 구조물은 제 1의 도전형을 갖는 반도체 몸체를 포함하며, 이 반도체 몸체에는 제 1의 도전형을 가지는 에노드 영역과 제 2의 도전형을 가지는 게이트 및 캐소드 영역이 형성된다. 에노드 및 게이트 그리고 캐소드 영역은 서로간에 간격을 두고 형성되며, 반도체 몸체 부분에 비하여 비교적 낮은 저항으로 각 영역에는 전극이 접속된다. 구조물은 작동시에 2중 반송자 주입이 이루어지며, 세 영역의 각각은 반도체 몸체의 주표 면상에 포함된 면을 갖는 것이 특징이다. 바람직한 실시예에서, 반도체 몸체는 절연층에 의해서 반도체 지지부재에 형성되며, 적어도 한 절연층에 의해서 서로간에 절연된다.

적합하게 설계된 본발명의 구조물은 도통상태일때 에노드와 캐소드간의 전류 통로의 저항이 낮으며, 차단 상태에서 에노드와 캐소드간의 통로 저항이 규칙 높아지는 특성을 가지는 스위치로서 동작 될 수 있다. 게이트 영역에 인가되는 전위는 스위치의 상태를 결정한다. 도통상태시에, 2중 반송자 주입의 생기며, 이로 인하여 에노드와 캐소드간의 저항이 낮아지는 결과로 된다.

게이트 다이오드 스위치(GDS)로서 명명되는 이러한 구조물은 구성에 무관하게 에노드와 캐소드 영역간의 비교적 높은 전압을 차단할 수 있으며, 도통상태시에 에노드와 캐소드간의 비교적 낮은 전압 강하로서 비교적 높은 전류를 흘려줄 수 있다.

이러한 다수의 게이트 다이오드 스위치 소자는 다른 고압 회로소자와 함께 하나의 집적회로로 제조 될 수 있다. 구조물의 쌍방향 차단 특성은 한소자의 캐소드가 다른 소자의 에노드에 접속되고 두소자의 게이트는 함께 접속되는 본 발명의 두구조물로서 형성되는 쌍방향 스위치로의 사용을 용이하게 한다.

여러가 지신 극부분의 특징 및 본 발명의 장점은 도면을 참조하여 좀 더 상세히 설명하므로써 더 잘 이해 될 것이다.

제 1 도에는 표면(11)을 가지는 n^- 도전형의 지지부재(12) 및 절연층(14)으로서 지지부재와는 절연되는 P^+ 도전형의 단결정 반도체 부분(16)을 포함하는 구조물(10)이 도시되어 있다.

P^+ 도전형인 에노드 영역(18)은 부분(16)에 포함되며, 이 영역(18)은 표면(11)까지 확장한다. n^+ 도전형인 게이트 영역(24)은 또한 부분(16)에 포함되며, 표면(11)까지 확장된다. n^+ 도전형인 캐소드 영역(24)도 한 상기 영역과 마찬가지로 부분(16)에 형성되며, 표면(11)까지 확장된다. 일부가 표면(11)까지 확장되고 P^+ 도전형인 영역(22)은 영역(24)을 둘러싸고 공핍층으로서 관통(punch through) 효과를 억제하는 작용을 한다. 또한 영역(22)은 영역(20)과 영역(24)사이의 표면(11)가까이의 부분(16)의 일부가 역전되는 것을 방지하도록 하는 작용을 한다. 게이트 영역(20)은 에노드 영역(18)과 영역(22)의 사이에 존재하며 부분에 의해서 두 영역(18,22)과는 분리되어 있다. 영역(18,20,24)의 비저항에 비하여 낮으며, 영역(22)의 비저항은 캐소드 영역(24) 및 부분(16)의 비저항 값의 중간 정도이다.

전극(16)(28,30,32)은 각각 영역(18,20,24)의 표면에 접속된다. 절연층(26)은 전기적으로 접촉되는 영역을 제외한 모든 영역으로부터 전극(28,30,32)을 절연시킬 수 있도록 표면(11)에 덮혀진다. 전극(36)은 지지부재(12)와 같은 도전형인 질게 로프된 영역(34)을 경유하여 지지부재(12)에 낮은 저항으로 접속된다.

유리하게, 지지부재(12) 및 부분(16)은 각각이 실리콘으로 구성되며, 지지부재(12)는 n 또는 u 의 어느 도전형이라도 무방하다. 전극(28,30,32)의 각각은 유리하게 낮은 저항으로 접속이 되는 반도체 영역에 겹쳐진다. 전극(32)은 또한 영역(22)에 겹쳐진다. 필드 플레이팅(field plating)으로서 알려진 이러한 겹치기는 브레이크 다운이 일어나는 전압을 높여주기 때문에 고 전압 작동을 가능하게한다. 절연층(14)은 산화 규소로서 이루어지며, 전극(28,30,32,36)은 알루미늄으로 구성된다.

다수의 부분(16)은 다수의 스위치를 제공하도록 하나의 지지부재(12)에 형성될 수 있다. 중요하게, 플레터너 처리 기술은 하나의 공통 표면상에 집적회로로서 많은 소자를 제조할 수 있도록 이용될 수 있다.

구조물(10)은 도통상태일때 에노드 영역(18)과 캐소드 영역(24) 사이의 저 임피던스 통로 및 차단상태일때 고 임피던스 통로를 제공하는 것을 특징으로 하는 스위치로서 작동한다. 게이트 영역(20)에 인가하는 전위는 스위치의 상태를 결정한다. 말일 게이트 영역(20)의 전위가 에노드 영역(18) 및 캐소드 영역(24)의 전위보다 낮다면 에노드 영역(18)과 캐소드 영역(24)의 사이는 도통상태로 된다. 도통상태 중에, 정공은 에노드 영역(18)으로부터 부분(16)에 주입되며, 전자는 캐소드 영역(24)으로부터 부분(16)으로 주입된다. 이 정공 및 전자의 수는 부분(16)이 도전형 이 변화되는 플라즈마 상태 (양전하 및 음전하의 량이 동일한 상태)를 갖도록 하는데 충분한 것이다. 구조물(10)이 도통상태로 작동할때 에노드 영역(18)과

캐소드 영역(24) 사이의 저항이 낮아지는 것과 같이 이것으로 부분(16)의 저항이 감소된다. 작동상의 이러한 형태는 2중 반송자 주입으로서 명스되어지며, 여기에 언급된 구조물의 형태는 게이트 다이오드 스위치(GDS)로서 명명된다.

영역(22)은 게이트 영역(20)과 캐소드 영역(24) 사이의 작동스에 형서오딘 공핍층의 관통효과를 억제하도록 하며, 이 두 영역(20,24) 사이의 표면 역전층의 형성을 금지한다. 이러한 것으로서 도통 상태시에, 에노드 영역(18) 및 캐소드 영역(22) 사이가 비교적 낮은 저항이 되도록 하며, 게이트 과캐(20)과 캐소드 영역(24)의 간격이 비교적 가깝게 되더라도 무방하게 한다. 지지부재(12)는 전형적으로 양전위로 유지된다. 에노드영역(19) 및 캐소드 영역(22) 사이의 전도는 만일 게이트 영역(20)의 전위가 에노드 영역(18) 및 캐소드 영역(24)의 전위보다 더 충분히 양전위로 된다면 차단된다. 전도를 차단시키는데 필요한 초과량 전위의 양은 구조물(10)의 기하학적인 구조 및 불순물 밀도(도핑한)의 레벨에 대한 함수이다. 이의의 게이트 전위는 부분(16)의 전위가 에노드 영역(16) 및 캐소드 영역(24)의 전위보다 더 양전위가 되도록 하여 게이트영역(20)과 절연층(14) 사이의 부분(16)에는 전류 반송자가 존재치 않는 영역이 되도록 한다. 이러한 양전위장벽은 에노드(18) 영역으로 부터 캐소드 영역(24)으로 전공이 이동되는 것을 막는다. 양의 캐이드영역(20)과 절연층(14)사이의 부분(16)을 사실상 조르는(pinch off)작용을 하며, 캐소드 영역(24)에서 부터 방출된 전가가 에노드 영역(18)에 도달되기 전에 게이트 영역(18)으로 끌려지도록 한다.

구조물(10)의 도통상태시에, 부분(16) 및 영역(20)을 포함하는 접합 다이오드는 순방향으로 바이어스 된다. 전류 제한 장치(도시되지 않음)는 순방향으로 바이어스된 다이오드를 통하여 전도를 제한 하도록 바람직하게 포함된다.

이러한 형태의 스위치에 적합한 전기적인 심볼은 제 2 도에 도시되어 있다. GDS의 에노드, 게이트, 캐소드의 전극은 단자(28,30및 32)로서 각각 표시 된다.

구조물(10)의 한 실시예는 다음과 같은 구성으로서 제조된다. 지지부재(12)는 두께가 0.457 내지 0.559 밀리미터이고 불순물 농도는 2×10^{13} 개/ cm^2 이며 비저항이 100오옴-센티미터 보다 큰 n형 실리콘 기판이다. 절연층(14)은 두께가 2내지 4미크론인 산화규소의 층이다. 부분(16)은 두께가 전형적으로 30내지 50미크론이고 길이가 430미크론 이며 넓이가 300미크론 이며 불순물 농도가 5내지 9×10^{13} 개/ cm^2 인 P도전형 실리콘이다. 에노드 영역(18)은 두께가 2내지 4미크론, 넓이가 44미크론, 길이가 52미크론 불순물 농도가 10^{10} /개/ cm^2 이며 P도전형을 갖는다. 전극(28)은 두께가 1.5미크론, 넓이가 84미크론, 길이가 105미크론인 알루미늄으로 구성된다. 영역(20)은 두께가 2내지 4미크론, 넓이가 15미크론 길이가 300미크론, 그리고 불순물농도가 10^{19} /개/ cm^2 이며 n⁺ 도전형을 갖는다. 전극(30)은 두께가 1.5미크론, 넓이가 50미크론, 길이가 210미크론인 알루미늄으로 구성된다. 전극(28)과 전극(30)의 인접단 사이의 간격 및, 전극(30)과 전극(32)의 인접단 사이의 간격은 두 경우에 있어서 모두 40미크론 정도이다. 영역(22)은 두께가 3내지 6미크론, 넓이가 64미크론, 길이가 60미크론, 그리고 불순물 농도가 약 10^{17} 내지 10^{18} 개/ cm^2 이며 P도전형을 갖는다. 캐소드 영역(24)은 두께가 그 미크론, 넓이가 48미크론, 미크론, 길이가 44미크론, 그리고 불순물 농도가 약 10^{19} 개/ cm^2 이며 n⁺ 도전형을 갖는다. 전극(32)은 두께가 1.5미크론, 넓이가 104미크론, 길이가 104미크론인 알루미늄으로 구성된다. 영역(18,22)의 끝단과 영역(16)의 각 끝단 사이의 간격은 전형적으로 55미크론 정도이다. 영역(34)은 두께가 그 미크론, 넓이가 26미크론, 길이가 26미크론, 그리고 불순물 농도가 10^{19} 개/ cm^2 이며 n⁺ 도전형을 갖는다. 전극(36)은 두께가 1.5미크론, 넓이가 26미크론, 길이가 26미크론인 알루미늄이다.

상기에 표시된 파라미터로 구성되는 구조물(10)은 에노드와 캐소드 사이에 500볼트 전압이 인가될수 있는 게이트 다이오드 스위치(GDS)로서 작동한다. 질화 규소층(도시되지 않음)은 나트륨에 대한 저지벽으로 작용하도록 산화 규소층(26)위에 CVD법(chemical Vapor deposition)으로 형성된다. 전극(28,30,32,36)은 그때 형성되며, 질화규소(도시되지 않음) RF는플라즈마법으로 전기적으로 접촉되는 부분을 제외한 구조물의 전표면에 피복한다. 화규소층은 인접한 전극 사이 공기를 통한 고압 브레이크다운을 막을 수 있도록 제공되는 것이다.

전형적으로 에노드에는 +250볼트 전압이 인가되고 캐소드에는 -250볼트 전압이 인가되면 지지부재(12)에는 +280볼트의 전압이 인가된다. -250볼트 전압은 또한 에노드에 인가될수 있으며 +250볼트 전압이 캐소드에 인가될수 있다. 그와 같이, 구조물(10)은 에노드와 캐소드간을 전압을 양쪽 방향으로 차단한다. 게이트 도체(30)에 인가되는 +280볼트의 전위는 에노드 영역(18)과 캐소드 영역(24) 사이의 350밀리 암페어의 전류흐름을 차단한다. 에노드와 캐소드간에 100밀리 암페어 전류가 흐를 경우 게이트 다이오드 스위치의 도통 상태의 저항은 약 15오옴 정도이며, 에노드와 캐소드간의 전압 강하는 2.2.볼트 정도이다.

제 3 도에는 전극(32a GDSa의 캐소드 전극)에 전기적으로 접속되는 전극(28, GDS의 에노드 전극)과, 전극(28a, GDSa의 에노드 전극(에 전기적으로 접속되는 전극(32, GDS의 캐소드 전극) 형태의 본 발명에 따른 두 개의GDS (GDS 및 GDSa)를 포함한 쌍방향 스위치 조합이 도시되어 있다.

이러한 스위치의 조합으로 전극(28,32a)에서 부터 전극(28a,32)으로 또는 역으로 신호가 흐를수 있게된다. 구조물(10)의 쌍방향 차단특성은 이러한 쌍방향 스위치 조합을 조정한다. 두부분으로 분리되는 부분(16)은 하나의 공통지지 부재(12)에 형성될 수 있으며, 적당한 전기 접속으로 상술한 쌍방향 스위치를 형성할 수 있다. 다수로 분리되는 부분(16)은 일련의 스위치군을 형성하도록 하나의 지지부재(12)에 형성될수 있다.

구조물(10)과 매우 흡사한 구조물(410)이 제 4 도에 도시되어 있으며, 구조물(10)의 성분에 사실상 동일하거나 비슷한 구조물(410)의 모든 성분은 참고번호의 첫머리에 '4'를 첨가하여 같은 참고 번호로 표시하였다. 구조물(410) 및 구조물. (10)의 근본적인 차이는 제 1 도의 반도체 영역(22)이 구조물*410)에서는 형성되지 않는다. 영역(420)으로 부터 영역(424)의 간격을 크게 할 경우에 영역(424)에 대한 관통효

과를 충분히 억제할수 있으며, 고압 스위치로서 구조물(410)이 작용할 수가 있다.

구조물(10)에 매우 비슷한 구조물(510)이 제 5 도에 도시되어 있으며, 두 구조물(10,510)의 비슷한 구성은 같은 참조번호를 쓰는 대신 구조물(510)의 구성부분 참조 번호 앞에 '5'를 덧붙여 놓았다. 구조물(510)과 구조물(10)간의 주된 차이점은 캐소드 영역(524)의 둘레에 반도체 가드링 영역(540, guard ring)을 형성시킨 점이다. 가드링(540)의 점선부분은 캐소드 영역(524)에 접촉될수 있도록 확장될 수 있다. 영역(522)및 가드링(540)의 조합은 게이트 영역(520)과 캐소드 영역(524) 간의 특히 표면에 또는 가까이에서 영역(516)의 일부분의 역전을 제지하도록 제공되며, 캐소드 영역(524)에서 공핍층이 넓어지는 관통효과를 억제하도록 제공되는 것이다. 가드링(540)은 영역(522)과 같은정도의 전기 전도도를 가지나 비저항은 다소 낮다 캐소드 영역(524)을 둘러싸는 2중 보호 구조의 이러한 형태는 바람직한 것이다.

여기에 언급된 실시예는 본 발명의 일반적인 원리를 설명한 것이다. 다소의 수정은 본 발명의 범주를 넘어남이 없이 가해질 수 있다. 예를들어, 언급된 형상에 대하여, 지지부재(12,412,512)는 도전형 실리콘, GaAs, 사파이어, 도체 또는 전기적으로 불활성인 물질로 대체될 수 있다. 말일 영역(12,412,512)이 전기적으로 불활성 물질이라면, 절연층(14,414,514)은 제거될수 있다. 아직까지 부분(16,416,514)은 공기 절연형 구조물로서 제조될수 있다. 이러한 것으로 지지부재(12,412,512) 및 절연층(14,41,514)이 제거될 수 있다. 전극은 도핑된 다결정 실리콘, 금, 티타늄 또는 다른 도체로서 대체될 수 있다. 또한 불순물 농도 레벨, 영역간의 간격, 그리고 영역의 치수는 상술한 것과는 다른 동작전압 및 전류를 허용할수 있도록 조절될수 있다. 질화규소와 같은 절연물질의 다른 형태로서 산화규소가 대체될수 있다. 절연층 내의 모든 영역의 도전형은 공지의 방법으로 적당하게 변화될 수 있는 전압 극성을 줄수 있도록 바꾸어질 수 있다.

본 발명의 구조물은 교류 또는 직류 전류 작동을 할수 있다는 것이 명백하다.

제 6 도는 제 1 도에 대응되는 600번대의 참고번호로서 다른 실시예가 도시되어 있다. 반도체 부분(616)과는 다른 도전형을 갖는 반도체층(638)으로서 절연층(614)으로 부터반도체 부분(616)은 고립되어 있다. 전극(628,630,632)는 각각 영역(618,620,624)의 표면 부분에 저저항으로 접속되는 도체이다. 절연층(626)은 전기적으로 접속되는 영역을 제외한 다른 모든 영역으로 부터 전극(628,630,632)을 고립시킬 수 있도록 표면(611)에 덮혀진다. 전극(630)은 부분(616)의 후면 또는 정면(도시되어 있지 않음)에서 표면(611)에 영역(638)이 전기적으로 접속될수 있도록 생성된다.

층(638)은 영역(638a)로서 도시된 것과 같이부분(16)의 저부에만 단지 형성되어 지도록 수정 될수 있다. 그러한 수정으로서, 적당히 확산되거나 이온이 주입된 영역(도시되지 않음)은 표면(611)과 수정된층(638a)사이에서 형성되어 진다. 전극(630)은 표면(611)에서 이영역에 전기적으로 접속될수 있도록 확장되어도좋다.

층(638)은 절연층(614)의 성질상 부분(66)을 고립시키도록 제공되며, 절연층(14)의 형성에서 허용 오차가 다소 크더라도 문제가 되지 않는다. 이러한 것으로서 제조 산출량이 향상되어 코스트로 절감된다. 그 이외에도, 층(628)은 에노드(618)와 캐소드(624) 영역간의 도전상태를 차단하는데 필요한 게이트 전위의 크기를 줄일수 있도록 낮은 게이트 영역으로서 제공된다. 층(638) 중에서도 단지 부분(638a)만 형성될 경우에 영역(620) 아래에 있는 부분(16)의 일부분에서 영역(614)으로 부터 부분(616)을 고립시킬 수가 있다. 부분(616)의 이러한 특정한 일부분은 구조물(610)이 차단상태로 동작할때 부분(616)이 사실상 이 특정한 일부분에서 죄여(pinched off) 지므로 가장 중요한 부분이라 할수 있다.

층(638a)는 절연층(614)으로 부터 완전하게 고립되지 않으며, 사실상, 조물의 브레이크 다운 전압에는 영향을 주지 않으나 차단상태로 되게 하는데 필요한 게이트 전위를 감소시킨다. 만일 층(638)이 이용된다면, 그때 일반적으로 부분(616)은 미리 선택된 레벨에서 브레이크 다운 전압을 유지할 수 있는 두께로 증가되어 진다.

층(638)은 전극(630)에 직접 접속되지 않아야 한다. 양 전하가 층(626)에 존재하기 때문에 표면 연전층은 층(638)과 게이트 영역(620) 사이의 부분(616)의 표면 가까이에서 형성되며, 두부분은 전기적으로 접속될 수 있다. 상기의 양전하가 존재하지 않을 경우에도, 관통효과 때문에, 전극(630) 및 층(638)이 전기적으로 접속되는 것이 바람직하다.

제 7 도에 대응되는 700번대의 참고번호를 갖는 다른 실시예가 도시되어 있다. 게이트 영역(720)은 에노드 영역(718)과 캐소드 영역(724) 사이에 위치되어 있지 않다. 도통상태에 있을때 두 영역(718,724)에노드 영역(718) 및 캐소드 영역(724)이 비교적 가깝게 위치된다.

부수적인 도체(738)은 전극(728)과 전극(732)간의 층(726)의 윗부분에 위치된다. 도체(738)은 전극(730)에 전기적으로 접속되며, 구조물(710)의 작동시 필요한 게이트 전압의 크기를 줄일수 있도록 도움을 줄수 있지만 작동에 대한 필수적인 것은 아니다.

구조물(710)은 다음과 같은 구성으로 제조된다. 지지부재(712)는 두께가 457나지 559미트론, 불순물 농도가 5×10^{13} 개/cm, 그리고 비저항이 100오옴 센티미터인 n형 실리콘 기판이다. 절연층(714)은 두께가 2나지 40미크론인 산화규소로 구성된다. 부분(716)은 두께가 30나지 40미크론, 길이가 430미크론, 넓이가 170미크론, 그리고 불순물 농도가 5나지 9×10^{13} 개/cm²이며 p⁻도전형형을 갖는다. 에노드 영역(718)은 두께가 2나지 4미크론, 넓이가 28미크론, 길이가 55미크론, 그리고 불순물 농도가 10^{19} 개/cm²이며 p⁺도전형을 갖는다. 전극(728)은 두께가 15미크론, 넓이가 55미크론, 길이가 95미크론인 알루미늄이다. 게이트 영역(720)은 두께가 2나지 4미크론 넓이가 38미크론, 길이가 55미크론, 그리고 불순물 농도가 10^{19} 개/cm²이며 n⁺도전형을 갖는다. 전극(730)은 두께가 1.5미크론, 넓이가 76미크론, 길이가 95미크론인 알루미늄이다. 전극(728)과 전극(732)의 인접단 사이의 간격은 전형적으로 40미크론(도체(738)를 포함하지 않고서)이며, 전극(728) 및 전극(730)의 인접단 사이의 간격도 또한 40미크론이다. 영역(722)은 두께가 3.5미크

론, 넓이가 44미크론, 길이가 44미크론, 그리고 표면 불순물 농도가 각 10^{18} /개 cm^2 이며 P도전형을 갖는다. 캐소드 영역(724)은 두께가 2미크론, 넓이가 30미크론, 길이가 30미크론, 그리고 불순물 농도가 10^{19} /개 cm^2 이며 n도전형을 갖는다. 전극(32)의 두께가 1.5미크론, 넓이가 82미크론, 그리고 길이가 82미크론인 알루미늄이다. 전극(728) 및 전극(732)의 끝단간의 간격과 P⁻형 부분(716)의 각각의 끝단의 간격은 50미크론이다. 알루미늄으로 도체영역(738)은 두 넓이가 10미크론, 두께가 1.5미크론, 길이가 75미크론이며 전극(728, 732)으로부터 떨어져서 30미크론으로 간격되어 있다. 도체영역(738)은 영역(716)의 앞 또는 뒷부분에서 전극(730)에 접속된다. 이러한 형상으로서에 노드에 대한 캐소드의 간격은 충분히 좁혀질수 있다는 것이 명백하다. 상술한 파라미터로 구성되는 구조물(710)은 에노드와 캐소드간에 400볼트가 인가될 수 있는 게이트 다이오드 스위치로서 작동될 수 있다. 에노드에는 +200볼트의 전압이 인가되며, 캐소드에는 -200볼트의 전압이 인가된다 또한 쌍방향 전압 차단이 될수 있도록 -200볼트 전압이 에노드에, +200볼트의 전압이 캐소드에 인가될수 있다. 도체영역(738)이 존재할 경우에, +210볼트의 전압이 에노드와 캐소드 간의 1mA 전류를 차단하기에는 충분한 것이다. 만일 도체(738)가 존재치 않는다면 20볼트 이상의 전압이 필요하다. 에노드와 캐소드간을 흐르는 100mA 전류로서 게이트 다이오드 스위치의 도통상태의 저항은 대략 10내지 12옴 이며, 에노드와 캐소드간의 전압 강하는 대략 2.2볼트 정도이다. 질화 규소층(도시되지 않음)은 나트륨 저지벽으로 작용하도록 산화규소층 상단에 법으로 부착된다. 전극(728, 730, 732, 736)은 그때 형성되어지며, 질화규소(도시되지 않음)는 RF플라즈마 법으로 구조물(710)의 전표면에 피복되어 지므로써 인접한 전극간에공기로 인한 고전압 브레이크 다운을 방지하도록 한다. 만일 에노드와 캐소드간의 간격이 충분히 떨어져 있다면 제 5 도에서와 같이 캐소드 영역(724)을 둘러싸거나 접촉하고 있는 가드링이 이용되어 질수 있거나 또는 제 4 도와 같이 영역(722)은 형성되지 않아도 좋다. 게이트 영역(20)은 제 7 도의 점선으로 표시된것과 같이 캐소드 영역(724)의 오른쪽에 위치되어 질수있고, 또는 제 2 도의 점선으로 표시되는 것과같이 반도체부분(716)의 정면 또는 후면에 위치될수 있다. 게이트 영역(720)은 제 7 도의 점선으로 표시된것과 같이 절연층(714)으로부터 분리될수 있고, 또는 절연층(714)에 접속될수 있도록 확장될수 있다. 전술한 바와 같이 다른 수정이 가능할수 있다.

(57) 청구의 범위

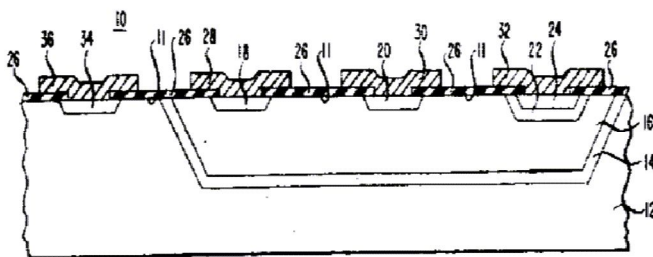
청구항 1

(P⁻)도전형인 반도체 부분(16)으로 형성시키면서, 그의 제 1 도전형으로 이루어진 벌크부분을 제 1 도전형의 제 1 영역(18), 제 1 도전형과 반도체는 제 2 도전형의 제 2 영역(24)과, 제2 도전형의 게이트 영역(20)으로 형성시키는데, 제1, 제2 및 게이트 영역이 벌크부의 일부로써 서로 분리되게하는 동시에 제1, 제 2 및 게이트 영역의 저항이 벌크부의 저항보다 비교적 낮은 저항을 가지게 형성하여 제 1 의 전압을 게이트 영역에 인가하므로 공핍영역이 제 1 및 제 2 영역 사이에 실질적인 전류흐름을 없게 한 반도체 부분으로 형성되게 하고 제 2 전압을 게이트 영역에 인가하면서 적당한 전압을 제 1 및 제 2 영역에 인가하므로 비교적 낮은 저항을 가진 전류통로가 2중 반송자 주입으로 제 1 및 제 2 영역 사이에 형성되게 한 고압용 게이트 다이오드 스위치에 있어서.

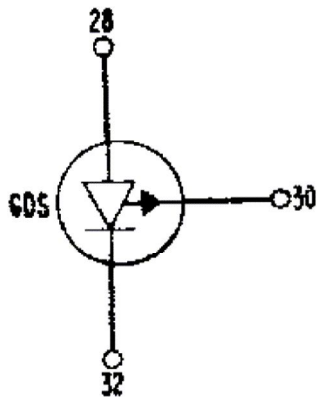
제 1 및 제 2 및 게이트 영역이 모두 반도체 부분(16)의 동일면인 제 1 주표면상에 배치된 것을 특징으로 하는 고압용 게이트 다이오드.

도면

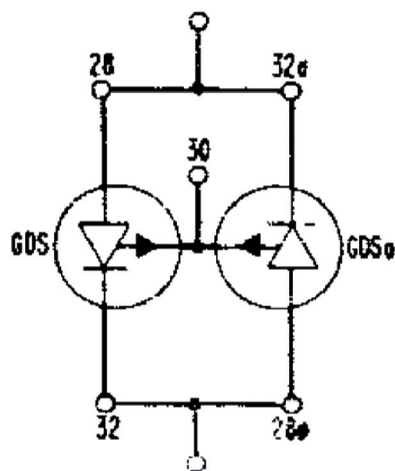
도면1



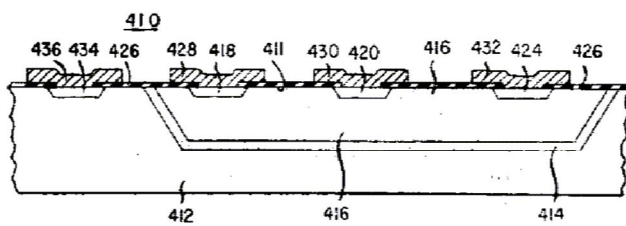
도면2



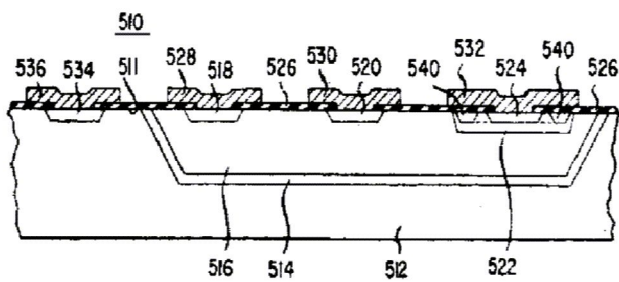
도면3



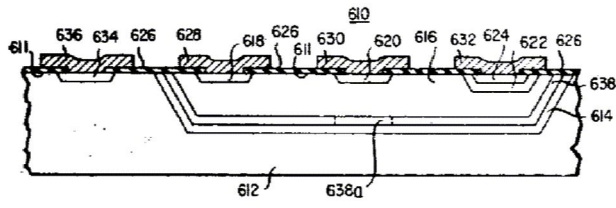
도면4



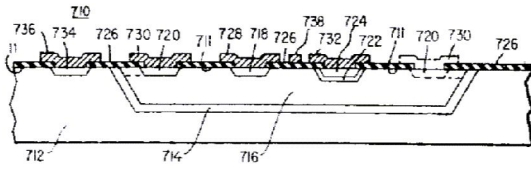
도면5



도면6



도면7



도면8

