



(19)中華民國智慧財產局

(12)發明說明書公告本

(11)證書號數：TW I596714 B

(45)公告日：中華民國 106 (2017) 年 08 月 21 日

(21)申請案號：103107287

(22)申請日：中華民國 103 (2014) 年 03 月 04 日

(51)Int. Cl. : H01L23/12 (2006.01)

H01L23/544 (2006.01)

(30)優先權：2013/03/22 日本

2013-061087

(71)申請人：瑞薩電子股份有限公司(日本) RENESAS ELECTRONICS CORPORATION (JP)

日本國東京都江東區豐洲3丁目2番24號

(72)發明人：木下順弘 KINOSHITA, NOBUHIRO (JP)

(74)代理人：陳長文

(56)參考文獻：

US 2005/0139882A1

US 2011/0193086A1

審查人員：于若天

申請專利範圍項數：12 項 圖式數：51 共 116 頁

(54)名稱

半導體裝置之製造方法

METHOD OF MANUFACTURING SEMICONDUCTOR DEVICE

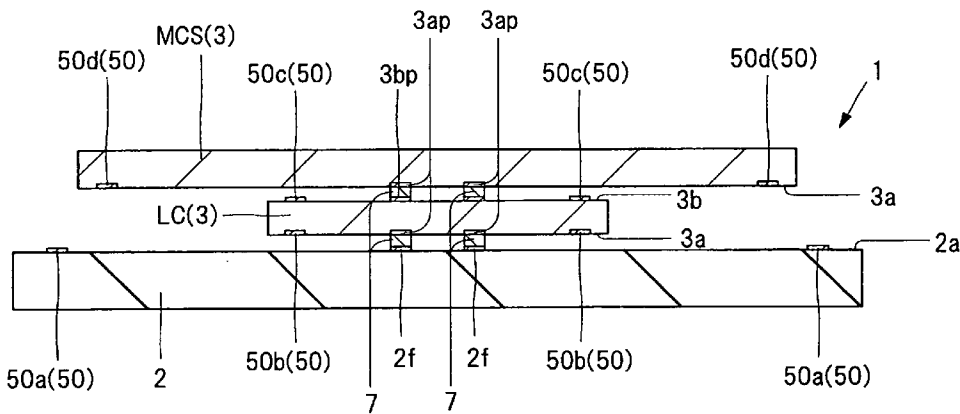
(57)摘要

本發明使半導體裝置之可靠性提高。

將邏輯晶片(第1半導體晶片)LC、積層體(第2半導體晶片)MCS依序積層於配線基板2上。藉由形成於配線基板2之對準標記50a及形成於邏輯晶片LC之正面3a之對準標記50b而進行位置對準之後，將邏輯晶片LC搭載於配線基板2上。另一方面，藉由形成於邏輯晶片LC之背面3b之對準標記50c及形成於積層體MCS之正面3a之對準標記50d而進行位置對準之後，將積層體MCS搭載於邏輯晶片LC之背面3b上。

Provided is a semiconductor device with improved reliability. A logic chip (first semiconductor chip) and a laminated body (second semiconductor chip) are stacked in that order over a wiring substrate. An alignment mark formed over the wiring substrate is aligned with an alignment mark formed on a front surface of the logic chip, whereby the logic chip is mounted over the wiring substrate. An alignment mark formed on a back surface of the logic chip is aligned with an alignment mark formed on a front surface of the laminated body, whereby the laminated body is mounted over the back surface of the logic chip LG.

指定代表圖：



2 配線基板
3a 正面
3b 背面
50a、50b、50c、50d 對準標記
LC 邏輯晶片(半導體晶片)
MCS 積層體(記憶體晶片積層體)

圖11

符號簡單說明：

- 1 . . . 半導體裝置
- 2 . . . 配線基板
- 2a . . . 上表面(面、晶片搭載面)
- 2f . . . 接合引線(端子、晶片搭載面側端子、電極)
- 3 . . . 半導體晶片
- 3a . . . 正面(主面、上表面)
- 3ap . . . 正面電極(電極、焊墊、主面側焊墊)
- 3b . . . 背面(主面、下表面)
- 3bp . . . 背面電極(電極、焊墊、背面側焊墊)
- 7 . . . 外部端子(導電性構件、凸塊電極、突起電極)
- 50、50a、50b、50c、50d . . . 對準標記
- LC . . . 邏輯晶片(半導體晶片)
- MCS . . . 積層體(記憶體晶片積層體、半導體晶片積層體)

106年3月3日修正本

公告本

106年03月03日 修正替換頁

發明摘要

※ 申請案號：103107287

※ 申請日：103年3月4日

※IPC 分類：H01L 23/12 (2006.01)

H01L 23/544 (2006.01)

【發明名稱】

半導體裝置之製造方法

METHOD OF MANUFACTURING SEMICONDUCTOR DEVICE

【中文】

本發明使半導體裝置之可靠性提高。

將邏輯晶片(第1半導體晶片)LC、積層體(第2半導體晶片)MCS依序積層於配線基板2上。藉由形成於配線基板2之對準標記50a及形成於邏輯晶片LC之正面3a之對準標記50b而進行位置對準之後，將邏輯晶片LC搭載於配線基板2上。另一方面，藉由形成於邏輯晶片LC之背面3b之對準標記50c及形成於積層體MCS之正面3a之對準標記50d而進行位置對準之後，將積層體MCS搭載於邏輯晶片LC之背面3b上。

【英文】

Provided is a semiconductor device with improved reliability. A logic chip (first semiconductor chip) and a laminated body (second semiconductor chip) are stacked in that order over a wiring substrate. An alignment mark formed over the wiring substrate is aligned with an alignment mark formed on a front surface of the logic chip, whereby the logic chip is mounted over the wiring substrate. An alignment mark formed on a back surface of the logic chip is aligned with an alignment mark formed on a front surface of the laminated body, whereby the laminated body is mounted over the back surface of the logic chip LG.

【代表圖】

【本案指定代表圖】：第(11)圖。

【本代表圖之符號簡單說明】：

- | | |
|--------------------|------------------------|
| 1 | 半導體裝置 |
| 2 | 配線基板 |
| 2a | 上表面(面、晶片搭載面) |
| 2f | 接合引線(端子、晶片搭載面側端子、電極) |
| 3 | 半導體晶片 |
| 3a | 正面(主面、上表面) |
| 3ap | 正面電極(電極、焊墊、主面側焊墊) |
| 3b | 背面(主面、下表面) |
| 3bp | 背面電極(電極、焊墊、背面側焊墊) |
| 7 | 外部端子(導電性構件、凸塊電極、突起電極) |
| 50、50a、50b、50c、50d | 對準標記 |
| LC | 邏輯晶片(半導體晶片) |
| MCS | 積層體(記憶體晶片積層體、半導體晶片積層體) |

【本案若有化學式時，請揭示最能顯示發明特徵的化學式】：

無

發明專利說明書

(本說明書格式、順序，請勿任意更動)

【發明名稱】

半導體裝置之製造方法

METHOD OF MANUFACTURING SEMICONDUCTOR DEVICE

【技術領域】

本發明係關於一種半導體裝置之製造技術，例如係關於對於在半導體晶片上搭載其他半導體晶片之半導體裝置適用之有效技術。

【先前技術】

於日本專利特開2001-217387號公報(專利文獻1)中揭示有如下半導體晶片之積層方法：於主晶片(固體裝置)之表面與子晶片(半導體晶片)之表面分別形成對準用標記，根據對準用標記之檢測結果，以使各對準用標記相對向之方式積層主晶片與子晶片。

又，於日本專利特開2011-187574號公報(專利文獻2)中揭示有如下半導體裝置，該半導體裝置係於複數個記憶體晶片之積層體與配線基板之間，配置有包括貫通電極之半導體晶片。

[先前技術文獻]

[專利文獻]

[專利文獻1]

日本專利特開2001-217387號公報

[專利文獻2]

日本專利特開2011-187574號公報

【發明內容】

[發明所欲解決之問題]

本申請案發明者研究了如下技術，該技術使在配線基板上積層有複數個半導體晶片之半導體裝置之性能提高。作為該技術之一環，已研究了所謂之SiP(System In Package，系統級封裝)型之半導體裝置，其藉由將複數個半導體晶片(例如記憶體晶片、與控制該記憶體晶片之控制晶片)搭載於一個半導體裝置內，利用該一個半導體裝置而構築系統。

作為複數個半導體晶片之積層方法，存在如下方法：將積層之一(上段側)半導體晶片之電極與另一(下端側)半導體晶片之電極相對向地配置，經由焊錫材料等導電性構件而將各電極彼此電性連接。該方法不經由導線(wire)而將積層之複數個半導體晶片之間予以連接，因此，可減小半導體晶片之間的傳輸距離。

然而，為了使各電極彼此電性連接，根據提高半導體裝置之可靠性之觀點，需要使上段側之半導體晶片相對於下段側之半導體晶片之位置對準精度提高。

其他問題與新穎特徵可根據本說明書之記述及隨附圖式而變得明確。

[解決問題之技術手段]

一實施形態之半導體裝置之製造方法具有(a)步驟，其以使第1半導體晶片之第1主面與上述配線基板相對向之方式，將上述第1半導體晶片搭載於配線基板上。又，半導體裝置之製造方法具有(b)步驟，其以使第2半導體晶片之第2主面與上述第1半導體晶片之第1背面相對向之方式，將上述第2半導體晶片搭載於上述第1半導體晶片上。又，於上述(a)步驟中，檢測形成於上述配線基板之第1對準標記、與形成於上述第1半導體晶片之上述第1主面側之第2對準標記而進行位置對準，其後搭載上述第1半導體晶片。又，於上述(b)步驟中，檢測形成於上述第1半導體晶片之上述第1背面側之第3對準標記、與形成於上

述第2半導體晶片之上述第2主面側之第4對準標記而進行位置對準，其後搭載上述第2半導體晶片。又，於上述第1背面形成複數個第1背面側焊墊，於上述第2主面形成複數個第2主面側焊墊，於上述(b)步驟中，經由分別形成於第2主面側焊墊之複數個外部端子，使上述複數個第1背面側焊墊與上述複數個第2主面側焊墊電性連接。

[發明之效果]

根據上述一實施形態，可提高半導體裝置之可靠性。

【圖式簡單說明】

圖1係作為一實施形態之半導體裝置之立體圖。

圖2係圖1所示之半導體裝置之底視圖。

圖3係以已卸下圖1所示之密封體之狀態而表示配線基板上之半導體裝置的內部構造之透視平面圖。

圖4係沿著圖1之A-A線之剖面圖。

圖5係模式性地表示圖1～圖4所示之半導體裝置之電路構成例之說明圖。

圖6係圖4所示之A部分之放大剖面圖。

圖7係表示圖4所示之記憶體晶片之正面側之平面圖。

圖8係表示圖7所示之記憶體晶片之背面側之一例的平面圖。

圖9係表示圖4所示之邏輯晶片之正面側之平面圖。

圖10係表示圖9所示之邏輯晶片之背面側之一例的平面圖。

圖11係模式性地表示組裝圖4所示之半導體裝置時所使用之位置對準機構(對準標記)的說明圖。

圖12係表示對應於圖11之研究例之說明圖。

圖13係表示使用圖1～圖11說明之半導體裝置之製造步驟之概要的說明圖。

圖14係表示圖13所示之基板準備步驟中所準備之配線基板之整

體構造的平面圖。

圖15係一個圖14所示之器件區域之放大平面圖。

圖16係沿著圖15之A-A線之放大剖面圖。

圖17係表示圖15之相反側之面之放大平面圖。

圖18係沿著圖15之B-B線之放大剖面圖。

圖19係表示將接著材料配置於圖15所示之晶片搭載區域之狀態的放大平面圖。

圖20係沿著圖19之A-A線之放大剖面圖。

圖21係模式性地表示包括圖6所示之貫通電極之半導體晶片之製造步驟之概要的說明圖。

圖22係模式性地表示接續圖21之半導體晶片之製造步驟之概要的說明圖。

圖23係表示於圖19所示之配線基板之晶片搭載區域上搭載有邏輯晶片LC之狀態的放大平面圖。

圖24係沿著圖23之A-A線之放大剖面圖。

圖25係模式性地表示圖13所示之第1晶片搬送步驟之主要部分之說明圖。

圖26係模式性地表示圖13所示之第1標記檢測步驟之主要部分之說明圖。

圖27係表示圖26所示之邏輯晶片之對準標記之剖面構造的主要部分之主要部分放大剖面圖。

圖28係模式性地表示圖13所示之第1位置對準步驟之主要部分之說明圖。

圖29係模式性地表示於圖28所示之第1位置對準步驟之後，使邏輯晶片向配線基板移動之狀態的說明圖。

圖30係表示已卸下圖29所示之保持治具，且將加熱治具推抵至

半導體晶片之背面側之狀態的說明圖。

圖31係表示將接著材料配置於圖20所示之半導體晶片之背面及其周圍之狀態的放大平面圖。

圖32係沿著圖31之A-A線之放大剖面圖。

圖33係模式性地表示圖4所示之記憶體晶片之積層體之組裝步驟之概要的說明圖。

圖34係模式性地表示接續圖33之記憶體晶片之積層體之組裝步驟之概要的說明圖。

圖35係表示於圖31所示之邏輯晶片之背面上搭載有積層體之狀態的放大平面圖。

圖36係沿著圖35之A-A線之放大剖面圖。

圖37係模式性地表示圖13所示之第2晶片搬送步驟之主要部分之說明圖。

圖38係模式性地表示圖13所示之第2標記檢測步驟之主要部分之說明圖。

圖39係模式性地表示圖13所示之第2位置對準步驟之主要部分之說明圖。

圖40係模式性地表示於圖39所示之第2位置對準步驟之後，使邏輯晶片向配線基板移動之狀態的說明圖。

圖41係表示已卸下圖40所示之保持治具，且將加熱治具推抵至半導體晶片之背面側之狀態的說明圖。

圖42係表示於圖36所示之配線基板上形成密封體，對已積層之複數個半導體晶片進行了密封之狀態的放大剖面圖。

圖43係表示圖42所示之密封體之整體構造之平面圖。

圖44係表示將焊錫球接合於圖37所示之配線基板之複數個焊盤上之狀態的放大剖面圖。

圖45係表示使圖44所示之多腔(multi-cavity)配線基板單片化後之狀態之剖面圖。

圖46係放大地表示圖3、圖7、圖9及圖10所示之對準標記之放大平面圖。

圖47係表示相對於圖46之第1變化例之放大平面圖。

圖48係表示相對於圖46之第2變化例之放大平面圖。

圖49係表示相對於圖46之第3變化例之放大平面圖。

圖50係表示相對於圖8之變化例之平面圖。

圖51係表示相對於圖3之變化例之透視平面圖。

【實施方式】

(本申請案中之記載形式·基本用語·用法之說明) 於本申請案中，關於實施態樣之記載，根據需要且方便起見，分為複數個部分等而進行記載，但除了特別明示了並非如此之意思之情形，該等部分並非相互獨立之單獨之部分，無論記載之前後，該等部分為單一例之各部分，一方為另一方之一部分詳情或一部分或全部之變化例等。又，原則上省略相同部分之重複說明。又，實施態樣中之各構成要素於特別明示了並非如此之意思之情形時，除了理論上限定於該數之情形及根據文意顯然並非如此之情形之外，並非為必需之構成要素。

同樣地，於實施態樣等之記載中，關於材料、組成等，即使稱為「包含A之X」等，除了特別明示了並非如此之意思之情形及根據文意顯然並非如此之情形之外，並不排除包含A以外之要素。例如，就成分而言，上述「包含A之X」等為「包含A作為主要成分之X」等之意思。例如，即使稱為「矽構件」等，亦並不限定於純粹之矽，當然亦包含如下構件，該構件包含SiGe(矽·鍺)合金或其他以矽為主要成分之多元合金、其他添加物等。又，即使稱為鍍金、Cu層、鍍鎳等，除了特別明示了並非如此之意思之情形之外，不僅包含純粹之構

件，亦包含分別以金、Cu、鎳等為主要成分之構件。

進而，即使當提及特定之數值、數量時，除了特別明示了並非如此之意思之情形、理論上限定於該數之情形及根據文意顯然並非如此之情形之外，可為超過上述特定數值之數值，亦可為不足上述特定數值之數值。

又，於實施形態之各圖中，利用同一或類似之記號或參照序號表示同一或同樣之部分，且原則上不進行重複說明。

又，對於隨附圖式而言，反而存在如下情形：於複雜之情形時或與空隙之區別明確之情形時，即使為剖面，亦省略影線等。與此相關聯，存在如下情形：例如於根據說明等而顯而易見之情形時，即使為平面上封閉之孔，亦省略背景之輪廓線。進而，為了明示既非剖面亦非空隙，或為了明示區域之邊界，有時會附加影線或點圖案。

於以下所說明之實施形態中，作為SiP型之半導體裝置之例子，列舉於一個封裝內搭載有半導體晶片(記憶體晶片)與半導體晶片(控制晶片)之半導體封裝進行說明，上述半導體晶片(記憶體晶片)形成有記憶體電路，上述半導體晶片(控制晶片)形成有對記憶體電路之動作進行控制之控制電路。

(實施形態) 於本實施形態中，作為積層有複數個半導體晶片之半導體裝置之例子，列舉如下實施態樣進行說明，該實施態樣係將形成有記憶體電路之複數個半導體晶片，積層於形成有運算處理電路之半導體晶片上之態樣。圖1係本實施形態之半導體裝置之立體圖，圖2係圖1所示之半導體裝置之底視圖。又，圖3係以已去除圖1所示之密封體之狀態，表示配線基板上之半導體裝置的內部構造之透視平面圖。又，圖4係沿著圖1之A-A線之剖面圖。再者，於圖1～圖4中，為了易於觀察，減少端子數而進行表示，但端子(接合引線(bonding lead)2f、焊盤2g、焊錫球5)之數量並不限定於圖1～圖4所示之態樣。

又，於圖3中，為了易於觀察邏輯晶片LC與記憶體晶片MC4之俯視時之位置關係或平面尺寸之差異，藉由虛線表示邏輯晶片LC之輪廓。

＜半導體裝置＞ 如圖4所示，配線基板2具有搭載有複數個半導體晶片3之上表面(面、晶片搭載面)2a、上表面2a相反側之下表面(面、安裝面)2b、及配置於上表面2a與下表面2b之間的側面2c，且如圖2及圖3所示，於俯視時呈四邊形之外形形狀。於圖2及圖3所示之例子中，配線基板2之平面尺寸(俯視時之尺寸、上表面2a及下表面2b之尺寸、外形尺寸)例如呈一條邊之長度為14 mm左右之正方形。又，配線基板2之厚度(高度)，即圖4所示之自上表面2a至下表面2b為止之距離例如為0.3 mm～0.5 mm左右。

配線基板2係用以使搭載於上表面2a側之半導體晶片3與未圖示之安裝基板電性連接之插入式基板(interposer)，其具有使上表面2a側與下表面2b側電性連接之複數個配線層(於圖4所示之例子中為4層)。於各配線層形成有使複數條配線2d及複數條配線2d之間、及相鄰之配線層之間絕緣之絕緣層2e。此處，本實施形態之配線基板2具有3個絕緣層2e，正中央之絕緣層2e為核心層(芯材)，但亦可使用不具有成為核心之絕緣層2e的所謂之無芯基板。又，配線2d中包含形成於絕緣層2e之上表面或下表面之配線2d1、及以於厚度方向上貫通絕緣層2e之方式而形成之層間導電路徑即穿孔配線2d2。

又，於配線基板2之上表面2a，形成有與半導體晶片3電性連接之端子即複數個接合引線(端子、晶片搭載面側端子、電極)2f。另一方面，於配線基板2之下表面2b形成有複數個焊盤2g，上述複數個焊盤2g接合有用以與未圖示之安裝基板電性連接之端子，即作為半導體裝置1之外部連接端子之複數個焊錫球5。複數條接合引線2f與複數個焊盤2g經由複數條配線2d而分別電性連接。再者，由於連接於接合引線2f或焊盤2g之配線2d與接合引線2f或焊盤2g形成為一體，故而於圖4

中，將接合引線2f及焊盤2g表示為配線2d之一部分。

又，配線基板2之上表面2a及下表面2b由絕緣膜(阻焊膜)2h、2k覆蓋。形成於配線基板2之上表面2a之配線2d由絕緣膜2h覆蓋。於絕緣膜2h中形成有開口部，於該開口部中，複數條接合引線2f之至少一部分(與半導體晶片3接合之接合部、接合區域)自絕緣膜2h露出。又，形成於配線基板2之下表面2b之配線2d由絕緣膜2k覆蓋。於絕緣膜2k中形成有開口部，於該開口部中，複數個焊盤2g之至少一部分(與焊錫球5接合之接合部)自絕緣膜2k露出。

又，如圖4所示，接合於配線基板2之下表面2b之複數個焊盤2g的複數個焊錫球(外部端子、電極、外部電極)5如圖2所示，配置為行列狀(陣列狀、矩陣狀)。又，雖於圖2中省略了圖示，但接合有複數個焊錫球5之複數個焊盤2g(參照圖4)亦配置為行列狀(矩陣狀)。如此，將於配線基板2之安裝面側呈行列狀地配置有複數個外部端子(焊錫球5、焊盤2g)之半導體裝置稱為區域陣列型之半導體裝置。區域陣列型之半導體裝置可將配線基板2之安裝面(下表面2b)側有效地活用作外部端子之配置空間，因此，即使外部端子數增大，亦可抑制半導體裝置之安裝面積之增大，故而較佳。即，可節省空間地安裝外部端子數隨著高功能化、高積體化而增大之半導體裝置。

又，半導體裝置1包括搭載於配線基板2上之複數個半導體晶片3。複數個半導體晶片3積層於配線基板2之上表面2a上。又，複數個半導體晶片3各自具有正面(主面、上表面)3a、正面3a相反側之背面(主面、下表面)3b、及位於正面3a與背面3b之間的側面3c，且如圖3所示，於俯視時呈四邊形之外形形狀。如此，藉由對複數個半導體晶片進行積層，即使於使半導體裝置1實現高功能化之情形時，亦可減少安裝面積。

於圖3及圖4所示之例子中，搭載於最下段(最靠近配線基板2之位

置)之半導體晶片3係形成有運算處理電路PU(參照圖5)之邏輯晶片(半導體晶片)LC。另一方面，搭載於邏輯晶片LC之上段之半導體晶片3係形成有主記憶電路(記憶電路)MM(參照圖5)之記憶體晶片(半導體晶片)MC1、MC2、MC3、MC4，該主記憶電路(記憶電路)MM記憶與邏輯晶片LC之間進行通信之資料。再者，邏輯晶片LC中除了形成有上述運算處理電路之外，亦形成有對記憶體晶片MC1、MC2、MC3、MC4之主記憶電路之動作進行控制之控制電路。半導體裝置1之電路構成例於後文中敘述。

又，如圖4所示，於複數個半導體晶片3之間配置有接著材料NCL(絕緣性接著材料)。接著材料NCL係配置為堵塞上段側之半導體晶片3之正面3a與下段側之半導體晶片3之背面3b(或配線基板2之上表面2a)之間的空間。詳細而言，該接著材料NCL包含：接著材料(絕緣性接著材料)NCL1，其將邏輯晶片LC接著固定於配線基板2上；以及接著材料(絕緣性接著材料)NCL2，其將記憶體晶片MC1、MC2、MC3、MC4之積層體MCS接著固定於邏輯晶片上。又，接著材料NCL1、NCL2分別包含絕緣性(非導電性)之材料(例如樹脂材料)，將接著材料NCL配置於邏輯晶片LC與配線基板2之接合部、及邏輯晶片LC與積層體MCS之接合部，藉此，可使設置於各接合部之複數個電極之間電性絕緣。

又，於圖4所示之例子中，在複數個記憶體晶片MC1、MC2、MC3、MC4之間，配置有與密封體4不同之密封體(晶片積層體用密封體、晶片積層體用樹脂體)6，記憶體晶片MC1、MC2、MC3、MC4之積層體MCS由密封體6密封。密封體6係以密接於複數個記憶體晶片MC1、MC2、MC3、MC4之正面3a及背面3b之方式被埋入，記憶體晶片MC1、MC2、MC3、MC4之積層體MCS藉由各半導體晶片3之間的接合部及密封體6而一體化。又，密封體6包含絕緣性(非導電性)之材

料(例如樹脂材料)，將密封體6配置於記憶體晶片MC1、MC2、MC3、MC4之各接合部，藉此，可使設置於各接合部之複數個電極之間電性絕緣。然而，如圖4所示，記憶體晶片MC1、MC2、MC3、MC4之積層體MCS中，搭載於最下段(最靠近邏輯晶片LC之位置)之記憶體晶片MC1之正面3a自密封體6露出。又，如圖3及圖4所示，記憶體晶片MC1、MC2、MC3、MC4之積層體MCS中，配置於最上段之記憶體晶片MC4之背面3b自密封體6露出。

又，半導體裝置1包括對複數個半導體晶片3進行密封之密封體4。密封體4具有上表面(面、正面)4a、位於上表面4a相反側之下表面(面、背面、安裝面)4b(參照圖4)、及位於上表面4a與下表面4b之間的側面4c，且於俯視時呈四邊形之外形形狀。於圖1所示之例子中，密封體4之平面尺寸(自上表面4a側俯視時之尺寸、上表面4a之外形尺寸)與配線基板2之平面尺寸相同，密封體4之側面4c與配線基板2之側面2c相連。又，於圖1所示之例子中，密封體4之平面尺寸(俯視時之尺寸)例如呈一條邊之長度為14 mm左右之正方形。

密封體4係保護複數個半導體晶片3之樹脂體，密接於複數個半導體晶片3之間、及半導體晶片3與配線基板2而形成密封體4，藉此，可抑制較薄之半導體晶片3之損傷。又，根據提高作為保護構件之功能之觀點，密封體4例如包含如下所述之材料。由於要求密封體4易於密接於複數個半導體晶片3之間以及半導體晶片3及配線基板2，且於密封之後具有某程度之硬度，因此，較佳為於該密封體4中含有例如環氧系樹脂等熱硬化性樹脂。又，為了提高硬化後之密封體4之功能，例如較佳為於樹脂材料中混合有二氧化矽(silica； SiO_2)粒子等填料粒子。例如，根據抑制由形成密封體4之後的熱變形引起之半導體晶片3之損傷的觀點，較佳為調整填料粒子之混合比例，使半導體晶片3與密封體4之熱膨脹係數接近。

<半導體裝置之電路構成> 其次，說明半導體裝置1之電路構成例。如圖5所示，於邏輯晶片LC上，除了形成有上述運算處理電路PU之外，亦形成有對記憶體晶片MC1、MC2、MC3、MC4之主記憶電路MM之動作進行控制的控制電路CU。又，於邏輯晶片LC上，例如形成有暫時記憶資料之快取記憶體等記憶容量小於上述主記憶電路MM之輔助記憶電路(記憶電路)SM。於圖5中，作為一例，將運算處理電路PU、控制電路CU、及輔助記憶電路SM統一地表示為核心電路(主電路)CR1。然而，核心電路CR1中所含之電路亦可包含上述電路以外之電路。

又，於邏輯晶片LC上，形成有與未圖示之外部設備之間進行信號之輸入輸出之外部介面電路(外部輸入輸出電路)GIF。於邏輯晶片LC與未圖示之外部設備之間傳輸信號之信號線SG連接於外部介面電路GIF。又，外部介面電路GIF亦與核心電路CR1電性連接，核心電路CR1可經由外部介面電路GIF而與外部設備傳輸信號。

又，於邏輯晶片LC上，形成有與內部設備(例如記憶體晶片MC1、MC2、MC3、MC4)之間進行信號之輸入輸出之內部介面電路(內部輸入輸出電路)NIF。傳輸資料信號之資料線(信號線)DS、傳輸位址信號之位址線(信號線)AS、及傳輸其他信號之信號線OS連接於內部介面電路NIF。該等資料線DS、位址線AS、及信號線OS分別連接於記憶體晶片MC1、MC2、MC3、MC4之內部介面電路NIF。於圖5中，將外部介面電路GIF或內部介面電路NIF等與邏輯晶片LC以外之電子零件之間進行信號之輸入輸出之電路表示為輸入輸出電路NS1。

又，於邏輯晶片LC上包括電源電路DR，該電源電路DR供給用以驅動核心電路CR1或輸入輸出電路NS1之電位。於電源電路DR中包含：電源電路(輸入輸出用電源電路)DR1，其供給驅動邏輯晶片LC之輸入輸出電路NS1之電壓；以及電源電路(核心用電源電路)DR2，其

供給驅動邏輯晶片LC之核心電路CR1之電壓。例如不同之複數個電位(第1電源電位與第2電源電位)供給至電源電路DR，藉由上述複數個電位之電位差而規定對核心電路CR1或輸入輸出電路NS1施加之電壓。

將如邏輯晶片LC般，於一個半導體晶片3上集中地形成有某裝置或系統之動作所需之電路的晶片稱為SoC(System on a Chip，單晶片系統)。且說，若於邏輯晶片LC上形成圖5所示之主記憶電路MM，則可利用一塊邏輯晶片LC構成系統。然而，根據進行動作之裝置或系統，所需之主記憶電路MM(參照圖5)之容量不同。因此，藉由於與邏輯晶片LC不同之半導體晶片3形成主記憶電路MM，可提高邏輯晶片LC之通用性。

又，根據所要求之主記憶電路MM之記憶容量而連接複數塊記憶體晶片MC1、MC2、MC3、MC4，藉此，系統所具備之記憶電路之容量的設計上之自由度提高。於圖5所示之例子中，在記憶體晶片MC1、MC2、MC3、MC4上分別形成有主記憶電路MM。於圖5中，將主記憶電路MM表示為記憶體晶片MC1、MC2、MC3、MC4之核心電路(主電路)CR2。然而，核心電路CR2中所含之電路亦可包含主記憶電路MM以外之電路。

又，於記憶體晶片MC1、MC2、MC3、MC4上，分別形成有與內部設備(例如邏輯晶片LC)之間進行信號之輸入輸出之內部介面電路(內部輸入輸出電路)NIF。於圖5中，將與各記憶體晶片MC1、MC2、MC3、MC4以外之電子零件之間進行信號之輸入輸出的內部介面電路NIF表示為輸入輸出電路NS2。

又，於記憶體晶片MC1、MC2、MC3、MC4上包括供給用以驅動核心電路CR2或輸入輸出電路NS2之電位之電源電路(驅動電路)DR。於電源電路DR中包含：電源電路(輸入輸出用電源電路)DR3，其供給驅動記憶體晶片MC1、MC2、MC3、MC4之輸入輸出電路NS2之電

壓；以及電源電路(核心用電源電路)DR4，其供給驅動記憶體晶片MC1、MC2、MC3、MC4之核心電路CR2之電壓。例如不同之複數個電位(例如第1電源電位與第2電源電位)供給至電源電路DR，藉由上述複數個電位之電位差而規定對核心電路CR2或輸入輸出電路NS2施加之電壓。

再者，於圖5所示之例子中，兼用了邏輯晶片LC之電源電路DR1、與記憶體晶片MC1、MC2、MC3、MC4之電源電路DR3。換言之，邏輯晶片LC之輸入輸出電路NS1與記憶體晶片MC1、MC2、MC3、MC4之輸入輸出電路NS2被施加自電源線V2供給之相同之電壓而驅動。如此，藉由兼用電源電路DR之一部分或全部，可減少將電位(驅動電壓)供給至電源電路之電源線V1、V2、V3之數量。又，若減少電源線V1、V2、V3之數量，則可減少形成於邏輯晶片LC之電極數。

將如半導體裝置1般，於一個半導體裝置1上集中地形成有某裝置或系統之動作所需之電路的裝置稱為SiP(System in Package)。再者，於圖4中表示了如下例子：於一個邏輯晶片LC上積層有四個記憶體晶片MC1、MC2、MC3、MC4，但如上所述，半導體晶片3之積層數存在各種變化例。雖省略了圖示，但例如可適用於如下變化例：作為最小限度之構成，於一個邏輯晶片LC上搭載一個記憶體晶片MC1。

又，根據使邏輯晶片LC及記憶體晶片MC1、MC2、MC3、MC4之通用性提高之觀點，較佳為於能夠實現各半導體晶片3之功能之範圍內，使邏輯晶片LC及記憶體晶片MC1、MC2、MC3、MC4之平面尺寸(俯視時之尺寸、正面3a及背面3b之尺寸、外形尺寸)最小化。對於邏輯晶片LC而言，可藉由提高電路元件之積體度而減少平面尺寸。另一方面，對於記憶體晶片MC1、MC2、MC3、MC4而言，主記

憶電路MM之容量或傳輸速度(例如由資料匯流排之寬度產生資料傳輸量)會根據平面尺寸而發生變化，因此，於平面尺寸之小型化方面存在極限。

因此，於圖4所示之例子中，記憶體晶片MC4之平面尺寸大於邏輯晶片LC之平面尺寸。例如，記憶體晶片MC4之平面尺寸係一條邊之長度為8 mm～10 mm左右之四邊形，相對於此，邏輯晶片LC之平面尺寸係一條邊之長度為5 mm～6 mm左右之四邊形。又，雖省略了圖示，但圖4所示之記憶體晶片MC1、MC2、MC3之平面尺寸與記憶體晶片MC4之平面尺寸相同。

又，如上所述，於邏輯晶片LC上，形成有與未圖示之外部設備之間進行信號之輸入輸出之外部介面電路GIF，因此，根據縮短與外部設備之間的傳輸距離之觀點，複數個半導體晶片3之積層順序較佳為將邏輯晶片LC搭載於最下段，即最靠近配線基板2之位置。即，如半導體裝置1般，將平面尺寸較大之半導體晶片3(記憶體晶片MC1、MC2、MC3、MC4)積層於平面尺寸較小之半導體晶片3(邏輯晶片LC)上的構成較佳。

＜半導體晶片之構造例＞ 其次，說明圖4所示之邏輯晶片LC及記憶體晶片MC1、MC2、MC3、MC4之詳情及各半導體晶片3之電性連接方法。圖6係圖4所示之A部分之放大剖面圖。又，圖7係表示圖4所示之記憶體晶片之正面側之平面圖，圖8係表示圖7所示之記憶體晶片之背面側之一例的平面圖。又，圖9係表示圖4所示之邏輯晶片之正面側之平面圖，圖10係表示圖9所示之邏輯晶片之背面側之一例的平面圖。再者，於圖6～圖10中，為了易於觀察，減少電極數而進行表示，但電極(正面電極3ap、背面電極3bp、貫通電極3tsv)之數量並不限定於圖6～圖10所示之態樣。又，於圖8中表示了記憶體晶片MC1、MC2、MC3之背面圖，未形成有背面電極3bp之記憶體晶片MC4(參照

圖4)之背面之構造已表示於圖3中，因此省略圖示。

本申請案發明者研究了使SiP型之半導體裝置之性能提高之技術，作為該技術之一環，研究了如下技術，該技術使搭載於SiP之複數個半導體晶片之間的信號傳輸速度提高至例如12 Gbps(每秒120億位元)以上。作為使搭載於SiP之複數個半導體晶片之間的傳輸速度提高之方法，存在如下方法：增大內部介面之資料匯流排之寬度，使一次所傳輸之資料量增加(以下記載為匯流排寬度放大化)。又，作為其他方法，存在使單位時間內之傳輸次數增加之方法(以下記載為高時脈化)。又，存在組合地應用上述匯流排寬度放大法與時脈數增加法之方法。使用圖1～圖5所說明之半導體裝置1係如下半導體裝置，其組合地應用匯流排寬度放大化與高時脈化，藉此，使內部介面之傳輸速度提高至12 Gbps以上。

例如圖4所示之記憶體晶片MC1、MC2、MC3、MC4分別係具有512 bit之資料匯流排之寬度之所謂的加寬I/O記憶體。詳細而言，記憶體晶片MC1、MC2、MC3、MC4各自包括4個資料匯流排之寬度為128 bit之通道，對該4個通道之匯流排寬度進行合計之後，該匯流排寬度成為512 bit。又，各通道之單位時間內之傳輸次數實現了高時脈化，例如分別成為3 Gbps以上。

如此，於組合地應用高時脈化與匯流排寬度放大化之情形時，需要使多條資料線高速地進行動作，因此，根據減少雜訊之影響之觀點，需要縮短資料之傳輸距離。因此，如圖4所示，邏輯晶片LC與記憶體晶片MC1經由配置於邏輯晶片LC與記憶體晶片MC1之間的導電性構件而電性連接。又，複數個記憶體晶片MC1、MC2、MC3、MC4分別經由配置於複數個記憶體晶片MC1、MC2、MC3、MC4之間的導電性構件而電性連接。換言之，於半導體裝置1中，在邏輯晶片LC與記憶體晶片MC1之間的傳輸路徑中不包含配線基板2或未圖示之導線

(接合引線)。又，於半導體裝置1中，在複數個記憶體晶片MC1、MC2、MC3、MC4之間的傳輸路徑中不包含配線基板2或未圖示之導線(接合引線)。

於本實施形態中，作為使複數個半導體晶片3彼此直接連接之方法，應用了如下技術：形成沿著厚度方向貫通半導體晶片3之貫通電極，使經由該貫通電極而積層之半導體晶片3彼此連接。詳細而言，如圖6所示，邏輯晶片LC具有形成於正面3a之複數個正面電極(電極、焊墊、正面側焊墊)3ap、及形成於背面3b之複數個背面電極(電極、焊墊、背面側焊墊)3bp。又，邏輯晶片LC具有複數個貫通電極3tsv，上述複數個貫通電極3tsv係以自正面3a及背面3b中的一方向另一方貫通之方式形成，且使複數個正面電極3ap與複數個背面電極3bp電性連接。

半導體晶片3所具備之各種電路(半導體元件及連接於該半導體元件之配線)形成於半導體晶片3之正面3a側。詳細而言，半導體晶片3包括例如包含矽(Si)之半導體基板(圖示省略)，於半導體基板之主面(元件形成面)，形成有例如電晶體等複數個半導體元件(圖示省略)。包括複數條配線與使複數條配線之間絕緣之絕緣膜的配線層(圖示省略)積層於半導體基板之主面上(正面3a側)。配線層之複數條配線與複數個半導體元件分別電性連接而構成電路。形成於半導體晶片3之正面3a(參照圖4)之複數個正面電極3ap經由設置於半導體基板與正面3a之間的配線層，與半導體元件電性連接，從而構成電路之一部分。

因此，如圖6所示，形成沿著厚度方向貫通半導體晶片3之貫通電極3tsv，且經由貫通電極3tsv而使正面電極3ap與背面電極3bp電性連接，藉此，可使背面電極3bp與正面3a側所形成之半導體晶片3之電路電性連接。即，如圖6所示，若經由外部端子(突起電極、導電性構件、凸塊電極)7等導電性構件，使記憶體晶片MC1之正面電極3ap與

邏輯晶片LC之背面電極3bp電性連接，則記憶體晶片MC1之電路與邏輯晶片LC之電路會經由貫通電極3tsv而電性連接。

又，於本實施形態中，搭載於記憶體晶片MC1與配線基板2之間的邏輯晶片LC具有複數個貫通電極3tsv。因此，經由貫通電極3tsv而使記憶體晶片MC1與邏輯晶片LC電性連接，藉此，可自邏輯晶片LC與記憶體晶片MC1之間的傳輸路徑排除配線基板2或未圖示之導線(接合引線)。其結果，可減少邏輯晶片LC與記憶體晶片MC1之間的傳輸路徑中之阻抗成分，從而可減少由高時脈化引起之雜訊之影響。換言之，即使於使邏輯晶片LC與記憶體晶片MC1之間的信號傳輸速度提高之情形時，亦可提高傳輸可靠性。

又，於圖6所示之例子中，複數個記憶體晶片MC1、MC2、MC3、MC4積層於邏輯晶片LC上，因此，較佳為亦使上述複數個記憶體晶片MC1、MC2、MC3、MC4之間的信號傳輸速度提高。因此，複數個記憶體晶片MC1、MC2、MC3、MC4中，上下分別配置有半導體晶片3之記憶體晶片MC1、MC2、MC3與邏輯晶片LC同樣地具有複數個貫通電極3tsv。詳細而言，記憶體晶片MC1、MC2、MC3各自具有形成於正面3a之複數個正面電極(電極、焊墊)3ap、及形成於背面3b之複數個背面電極(電極、焊墊)3bp。又，記憶體晶片MC1、MC2、MC3各自具有複數個貫通電極3tsv，上述複數個貫通電極3tsv係以自正面3a及背面3b中的一方向另一方貫通之方式形成，且使複數個正面電極3ap與複數個背面電極3bp電性連接。

因此，與上述邏輯晶片LC之情形同樣地，若經由外部端子7等導電性構件，使記憶體晶片MC1、MC2、MC3、MC4中的上段側之半導體晶片3之正面電極3ap與下段側之半導體晶片3之背面電極3bp電性連接，則積層之複數個半導體晶片3之電路會經由貫通電極3tsv而電性連接。

因此，經由外部端子7(焊錫材料7a)而使各半導體晶片3之間連接，藉此，可自記憶體晶片MC1、MC2、MC3、MC4之間的傳輸路徑排除配線基板2或未圖示之導線(接合引線)。其結果，可減少積層之複數個記憶體晶片MC1、MC2、MC3、MC4之間的傳輸路徑中之阻抗成分，從而可減少由高時脈化引起之雜訊之影響。換言之，即使於使複數個記憶體晶片MC1、MC2、MC3、MC4之間的信號傳輸速度提高之情形時，亦可提高傳輸可靠性。

再者，於圖6所示之例子中，搭載於最上段之記憶體晶片MC4只要與記憶體晶片MC3連接即可，因此，雖形成有複數個正面電極3ap，但未形成複數個背面電極3bp及複數個貫通電極3tsv。如此，搭載於最上段之記憶體晶片MC4採用不包括複數個背面電極3bp及複數個貫通電極3tsv之構造，藉此，可簡化記憶體晶片MC4之製造步驟。然而，雖省略了圖示，但作為變化例，記憶體晶片MC4亦可與記憶體晶片MC1、MC2、MC3同樣地，採用具備複數個背面電極3bp及複數個貫通電極3tsv之構造。於該情形時，藉由使積層之複數個記憶體晶片MC1、MC2、MC3、MC4為同一構造，而可提高製造效率。

又，於圖6所示之例子中，配置於積層之半導體晶片3之間，且使上段側之半導體晶片3之正面電極3ap與下段側之半導體晶片3之3bp電性連接之外部端子7，係例如使用以下之材料。即，使邏輯晶片LC與配線基板2電性連接之外部端子7係形成為柱狀(例如圓柱形)之以銅(Cu)為主成分之構件(突起電極7b)之前端，積層有鎳(Ni)膜、焊錫(例如SnAg)膜(焊錫材料7a)之金屬構件；且其藉由使前端之焊錫膜接合於背面電極3bp來電性連接。

又，表示了如下例子：除了邏輯晶片LC與配線基板2之接合部以外，不經由突起電極7b，而是經由焊錫材料7a進行接合。於該情形時，可將焊錫材料7a接合於正面電極3ap之露出面，且將焊錫材料7a

用作外部端子(所謂被稱為微凸塊之凸塊電極)。

然而，關於構成外部端子7之材料，於滿足電氣特性上之要求、或接合強度上之要求之範圍內可適用各種變化例。例如，可於記憶體晶片MC1、MC2、MC3、MC4之各個正面電極3ap形成突起電極7b，經由突起電極7b及焊錫材料7a來進行電性連接。或者，可將焊錫材料7a直接接合於邏輯晶片LC之正面電極3ap之露出面，經由該焊錫材料7a與配線基板2電性連接。

又，如圖6所示之邏輯晶片LC及記憶體晶片MC1、MC2、MC3般包括貫通電極3tsv之半導體晶片3，較佳為使厚度即正面3a與背面3b之相隔距離變薄(減小)：只要使半導體晶片3之厚度變薄，因為貫通電極3tsv之傳輸距離縮短，而可減少阻抗成分，故較佳。又，於沿著半導體基板之厚度方向形成開口部(包含貫通孔及未貫通之孔)之情形時，孔之深度越深，加工精度越低。換言之，若使半導體晶片3之厚度變薄，則可使用於形成貫通電極3tsv之開口部之加工精度提高。因此，可使複數個貫通電極3tsv之直徑(與半導體晶片3之厚度方向正交之方向之長度、寬度)一致，故使得控制複數個傳輸路徑之阻抗成分變得容易。

於圖6所示之例子中，邏輯晶片LC之厚度較邏輯晶片LC上所配置之複數個記憶體晶片MC1、MC2、MC3、MC4之積層體MCS(參照圖4)之厚度薄。又，邏輯晶片LC之厚度較複數個記憶體晶片MC1、MC2、MC3、MC4中搭載於最上段且未形成有貫通電極3tsv之記憶體晶片MC4之厚度薄。例如，邏輯晶片LC之厚度為50 μm 。相對於此，記憶體晶片MC4之厚度為80 μm ~100 μm 左右。又，複數個記憶體晶片MC1、MC2、MC3、MC4之積層體MCS(參照圖4)之厚度為260 μm 左右。

如上所述，於使半導體晶片3薄型化之情形時，在使半導體晶片

3露出之狀態下，有可能會損傷半導體晶片3。根據本實施形態，如圖4所示，使密封體4密接於複數個半導體晶片3而進行密封。因此，密封體4作為半導體晶片3之保護構件而發揮功能，其可抑制半導體晶片3之損傷。即，根據本實施形態，利用樹脂對複數個半導體晶片3進行密封，藉此，可提高半導體裝置1之可靠性(耐久性)。

又，於積層有包括貫通電極3tsv之半導體晶片3之半導體裝置1之情形時，根據縮短傳輸距離之觀點，較佳為亦使半導體晶片3與配線基板2之間隔變窄。例如，於圖6所示之例子中，邏輯晶片LC之正面3a與配線基板2之上表面2a之間隔例如為10 μm ~20 μm 左右。又，記憶體晶片MC1之正面3a與配線基板2之上表面2a之間隔例如為70 μm ~100 μm 左右。如此，對於積層有包括貫通電極3tsv之半導體晶片3之半導體裝置1而言，較佳為藉由減小半導體晶片3之厚度及相隔距離而縮短傳輸距離。

又，於本實施形態中應用了如下構成，該構成在正面電極3ap及背面電極3bp之俯視佈局中，可縮短記憶體晶片MC1、MC2、MC3、MC4與邏輯晶片LC之間的傳輸距離。

如圖7所示，記憶體晶片MC1、MC2、MC3、MC4所具備之複數個正面電極3ap集中地配置於正面3a之中央部。如圖8所示，記憶體晶片MC1、MC2、MC3所具備之複數個背面電極3bp集中地配置於背面3b之中央部。如圖6所示，記憶體晶片MC1、MC2、MC3、MC4之複數個正面電極3ap與記憶體晶片MC1、MC2、MC3之複數個背面電極3bp各自配置於在厚度方向上重疊之位置。

又，如圖9所示，邏輯晶片LC所具備之複數個正面電極3ap中之一部分(複數個正面電極3ap1)集中地配置於正面3a之中央部。又，邏輯晶片LC所具備之複數個正面電極3ap中之一部分(複數個正面電極3ap2)沿著正面3a之邊(側面3c)而配置於正面3a之周緣部。圖9所示之

複數個正面電極3ap中，配置於正面3a之中央部之複數個正面電極3ap1經由圖6所示之貫通電極3tsv而與背面電極3bp電性連接。即，複數個正面電極3ap1為內部介面用之電極。另一方面，圖9所示之複數個正面電極3ap中，配置於正面3a之周緣部之複數個正面電極3ap2經由圖4所示之配線基板2而與未圖示之外部設備電性連接。詳細而言，正面電極3ap2經由外部端子7而與接合引線2f(參照圖4)電性接合。即，複數個正面電極3ap2為外部介面用之電極。

根據縮短複數個半導體晶片3之間的傳輸距離之觀點，如下方式尤佳，該方式如圖6所示，將內部介面用之正面電極3ap與背面電極3bp配置於在厚度方向上重疊之位置，經由外部端子7而使內部介面用之正面電極3ap與背面電極3bp連接。

又，如上所述，邏輯晶片LC之平面尺寸小於記憶體晶片MC1、MC2、MC3、MC4之平面尺寸。又，如圖3所示，於半導體裝置1中，在俯視時，邏輯晶片LC之背面3b之中央部(中央區域)以與記憶體晶片MC4之中心部(中央區域)重疊之方式配置。即，在俯視時，記憶體晶片MC4之四個側面3c配置於較邏輯晶片LC之四個側面3c更靠外側處。換言之，複數個半導體晶片3係以使記憶體晶片MC4之四個側面3c位於邏輯晶片LC之四個側面3c與配線基板2之四個側面2c之間的方式，積層搭載於配線基板2上。又，在俯視時，圖4所示之記憶體晶片MC1、MC2、MC3配置於與記憶體晶片MC4重疊之位置(相同之位置)。

因此，在俯視時，記憶體晶片MC1、MC2、MC3、MC4之周緣部(正面3a及背面3b之周緣部)配置於與邏輯晶片LC外側之周邊區域重疊之位置。換言之，於記憶體晶片MC1、MC2、MC3、MC4之周緣部與配線基板2之間不存在邏輯晶片LC(例如參照圖4)。

因此，為了將圖6所示之各半導體晶片3的內部介面用之正面電

極3ap與背面電極3bp配置於在厚度方向上重疊之位置，較佳為將至少內部介面用之正面電極3ap與背面電極3bp配置於在厚度方向上與邏輯晶片LC重疊之位置。又，如圖9所示，外部介面用之複數個正面電極3ap2配置於邏輯晶片LC之周緣部。因此，較佳為於邏輯晶片LC之正面3a上，內部介面用之複數個正面電極3ap1集中地配置於正面3a之中央部。

又，如圖7所示，於記憶體晶片MC1、MC2、MC3、MC4之正面3a側(詳細而言為半導體基板之主面上)，形成有複數個記憶體區域(記憶電路元件排列區域)MR。於圖7所示之例子中，形成有與上述4個通道相對應之四個記憶體區域MR。於各記憶體區域MR中，呈陣列狀地配置有複數個記憶體元件(記憶電路元件)。此處，如圖7所示，若將複數個正面電極3ap集中地配置於正面3a之中央部，則可以包圍配置有正面電極群之區域之方式，配置4個通道份之記憶體區域MR。其結果，可使自各記憶體區域MR至正面電極3ap為止之距離均等化。即，可使複數個通道各自之傳輸距離等長化，因此，可減少每個通道之傳輸速度之誤差，故較佳。

且說，於將集中於圖9所示之邏輯晶片LC之正面3a之中央部的正面電極3ap1用作內部介面專用之電極之情形時，正面電極3ap1即使不與圖6所示之配線基板2電性連接，亦可發揮功能。然而，如圖6所示，於使正面電極3ap1之一部分與配線基板2之接合引線2f電性連接之情形時，可將正面電極3ap1之一部分用作外部介面用之電極，故而較佳。

例如，於記憶體晶片MC1、MC2、MC3、MC4上，形成有用以使圖5所示之主記憶電路MM驅動之電源電路DR，可考慮利用圖9所示之正面電極3ap1之一部分，作為將電源電位(第1基準電位)或基準電位(與第1基準電位不同之第2基準電位例如接地電位)供給至該電源電路

DR之端子。換言之，於圖9所示之例子中，配置於邏輯晶片LC之正面3a之中央部的複數個正面電極3ap1中，包含供給有第1基準電位(例如電源電位)之第1基準電位電極、及供給有與第1基準電位不同之第2基準電位(例如接地電位)之第2基準電位電極。進而換言之，於圖9所示之例子中，配置於邏輯晶片LC之正面3a之中央部的複數個正面電極3ap1中，包含供給如下電壓之電源線V2、V3(參照圖5)，該電壓係使形成於記憶體晶片MC1之電路驅動之電壓。

於提高信號傳輸速度之情形時，根據抑制由瞬間之電壓下降等引起之動作的不穩定化之觀點，較佳為縮短電源供給源與消耗電源之電路之間的傳輸距離。因此，若使邏輯晶片LC之正面電極3ap1之一部分與配線基板2電性連接，且供給第1基準電位(例如電源電位)或第2基準電位(例如接地電位)，則可縮短直至形成有消耗電源之電路之記憶體晶片MC1、MC2、MC3、MC4的驅動電路為止之距離，故而較佳。又，供給有第1基準電位(例如電源電位)之第1基準電位電極、及供給有與第1基準電位不同之第2基準電位(例如接地電位)之第2基準電位電極較佳為如圖6所示，其正面電極3ap與背面電極3bp以在厚度方向上重疊之方式配置，且經由貫通電極3tsv而電性連接。

<半導體晶片之位置對準精度> 根據本申請案發明者之研究，已知於使下段側之半導體晶片3之背面電極3bp、與上段側之半導體晶片3之正面電極3ap相對向地配置，且經由外部端子7而電性連接之情形時，當積層半導體晶片3時，需要較高之位置對準精度。

如圖6所示，為了使下段側之半導體晶片3之背面電極3bp與上段側之半導體晶片3之正面電極3ap電性連接，需要以使背面電極3bp之位置與正面電極3ap之位置在厚度方向上重疊之方式配置。又，於背面電極3bp之位置與正面電極3ap之位置的重疊面積較小之情形時，焊錫材料7a與背面電極3bp(或正面電極3ap)之接合面積減小，產生電氣

特性下降之可能性。因此，需要使下段側之半導體晶片3之背面電極3bp與上段側之半導體晶片3之正面電極3ap之位置對準精度提高。

尤其如圖10所示，若邏輯晶片LC之背面電極3bp之數量增加，則需要位置對準精度之對象物會增加，因此，需要以尤其高之精度進行位置對準。又，若邏輯晶片LC之背面電極3bp之電極之間的間距(相鄰之電極之相隔距離)減小，則因位移而與相鄰之電極發生接觸之可能性增大，因此，需要以尤其高之精度進行位置對準。

因此，本申請案發明者研究了如下技術：於將複數個半導體晶片3積層於配線基板2上時，提高位置對準精度。圖11係模式性地表示組裝圖4所示之半導體裝置時所使用之位置對準機構(對準標記)之說明圖。又，圖12係表示對應於圖11之研究例之說明圖。

首先，本申請案發明者研究了如下方法：如圖12所示，於配線基板2與複數個半導體晶片3之正面3a分別形成對準標記50。於圖12所示之位置對準方法中，首先，對形成於配線基板2之對準標記50a、與形成於邏輯晶片LC之正面3a之對準標記50b進行檢測(識別)，且進行位置對準之後，將邏輯晶片LC搭載於配線基板2上。其次，對形成於配線基板2之對準標記50a、與形成於積層體MCS之正面3a之對準標記50d進行檢測(識別)，且進行位置對準之後，將積層體MCS搭載於邏輯晶片LC上。

於圖12所示之方法之情形時，邏輯晶片LC相對於配線基板2之位置對準精度主要係由檢測對準標記50a、50b之位置之檢測精度、與搭載邏輯晶片LC時之搬送精度規定。例如，於電極之間的間距(相鄰之電極之相隔距離)為60 μm 之情形時，只要使邏輯晶片LC相對於配線基板2之位置對準精度處於 $\pm 5 \mu\text{m} \sim 10 \mu\text{m}$ 左右之誤差範圍內，便可充分地確保邏輯晶片LC與配線基板2之電性連接可靠性。

另一方面，積層體MCS相對於配線基板2之位置對準精度主要係

由檢測對準標記50a、50d之位置之檢測精度、與搭載積層體MCS時之搬送精度規定。因此，只要使用與搭載上述邏輯晶片LC之步驟相同之檢測裝置、相同之搭載裝置，便可使積層體MCS相對於配線基板2之位置對準精度處於 $\pm 5\ \mu\text{m} \sim 10\ \mu\text{m}$ 左右之誤差範圍內。

然而，於圖12所示之方法之情形時，需要考慮積層體MCS與邏輯晶片LC各自之位移，因此，導致積層體MCS相對於邏輯晶片LC之位置對準精度成為 $\pm 10\ \mu\text{m} \sim 20\ \mu\text{m}$ 。又，關於邏輯晶片LC之背面電極3bp與積層體MCS之正面電極3ap之位置對準精度，亦需要考慮各電極之形成位置精度。如此，於圖12所示之方法之情形時，每當增加所積層之半導體晶片3之數量時，會導致位置對準精度下降。又，即使於如圖12所示，積層2塊半導體晶片3之情形時，因電極之間的間距而導致電氣可靠性下降之可能性亦顯著。

因此，本申請案發明者進一步進行研究，發現了圖11所示之構成。即，除了圖12所示之構成之外，於邏輯晶片LC之背面3b形成有對準標記50c。於圖11所示之位置對準方法中，首先，對形成於配線基板2之對準標記50a、與形成於邏輯晶片LC之正面3a之對準標記50b進行檢測(識別)，且進行位置對準之後，將邏輯晶片LC搭載於配線基板2上。該方面與圖12所示之位置對準方法相同。

其次，對形成於邏輯晶片LC之對準標記50c、與形成於積層體MCS之正面3a之對準標記50d進行檢測(識別)，且進行位置對準之後，將積層體MCS搭載於邏輯晶片LC上。即，圖11所示之位置對準方法在相對於形成於邏輯晶片LC之對準標記50c進行位置對準之方面，與圖12所示之位置對準方法不同。

於圖11所示之位置對準方法之情形時，將形成於邏輯晶片LC之背面3b之對準標記50c用作位置對準之基準，因此，積層體MCS相對於邏輯晶片LC之位置對準精度無需考慮邏輯晶片LC之位移。例如只

要使用與上述例子相同之檢測裝置、相同之搭載裝置，便可使上述位置對準精度處於 $\pm 5\ \mu\text{m} \sim 10\ \mu\text{m}$ 左右之誤差範圍內。又，於圖11所示之位置對準方法之情形時，即使當增加所積層之半導體晶片3之數量時，亦可防止位置對準精度下降。

即，上段側之半導體晶片3相對於下段側之半導體晶片3之位置對準精度不會受到半導體晶片3之積層數影響。又，即使於電極之間的間距狹窄之情形時，亦可確保與檢測裝置或搭載裝置所具備之實力相對應之位置對準精度，因此，可抑制半導體晶片3之間的電氣連接可靠性下降。

於圖3及圖7～圖10中，記載有本實施形態1之半導體裝置1所具有之對準標記50之佈局例，於對半導體裝置1之製造方法進行說明時，詳細地說明對準標記之詳細構造及較佳實施態樣。

<半導體裝置之製造方法> 其次，對使用圖1～圖11所說明之半導體裝置1之製造步驟進行說明。依照圖13所示之流程製造半導體裝置1。圖13係表示使用圖1～圖11所說明之半導體裝置之製造步驟之概要的說明圖。以下，使用圖14～圖45，對各步驟之詳情進行說明。

<基板準備步驟> 首先，於圖13所示之基板準備步驟中，準備圖14～圖18所示之配線基板20。圖14係表示圖13所示之基板準備步驟中所準備之配線基板之整體構造的平面圖。又，圖15係一個圖14所示之器件區域之放大平面圖。又，圖16係沿著圖15之A-A線之放大剖面圖。又，圖17係表示圖15之相反側之面之放大平面圖。又，圖18係沿著圖15之B-B線之放大剖面圖。再者，於圖14～圖17中，為了易於觀察，減少端子數而進行表示，但端子(接合引線2f、焊盤2g)之數量並不限定於圖14～圖17所示之態樣。

如圖14所示，本步驟中所準備之配線基板20於框部(外框)20b之內側包括複數個器件區域20a。詳細而言，複數個(圖14中為27個)器

件區域20a配置為行列狀。複數個器件區域20a各自相當於圖1～圖4所示之配線基板2。配線基板20係於複數個器件區域20a與各器件區域20a之間具有切割線(切割區域)20c之所謂之多腔基板。如此，藉由使用包括複數個器件區域20a之多腔基板，可提高製造效率。

又，如圖15及圖16所示，於各器件區域20a中，分別形成有使用圖4所說明之配線基板2之構成構件。配線基板20具有：上表面2a、上表面2a相反側之下表面2b、及使上表面2a側與下表面2b側電性連接之複數個配線層(圖4所示之例子中為4層)。於各配線層，形成有使複數條配線2d及複數條配線2d之間、及相鄰之配線層之間絕緣之絕緣層(核心層)2e。又，配線2d中包含形成於絕緣層2e之上表面或下表面之配線2d1、及以沿著厚度方向貫通絕緣層2e之方式而形成之層間導電路徑即穿孔配線2d2。

又，如圖15所示，配線基板20之上表面2a包含晶片搭載區域(晶片搭載部)2p1，該晶片搭載區域(晶片搭載部)2p1係於圖13所示之第1晶片搭載步驟中，搭載圖9所示之邏輯晶片LC之預定區域。晶片搭載區域2p1於上表面2a上，存在於器件區域20a之中央部。再者，於圖15中，為了表示晶片搭載區域2p1、器件區域20a、及切割線20c之位置，利用二點鏈線表示晶片搭載區域2p1、器件區域20a、及切割線20c之輪廓。然而，如上所述，晶片搭載區域2p1為搭載邏輯晶片LC之預定區域，因此，無需存在實際上能夠被看到之邊界線。又，關於器件區域20a及切割線20c，亦無需存在實際上能夠被看到之邊界線。

又，配線基板20之上表面2a形成有複數條接合引線(端子、晶片搭載面側端子、電極)2f。接合引線2f為如下端子，其於圖13所示之第1晶片搭載步驟中，與形成於圖9所示之邏輯晶片LC之正面3a之複數個正面電極3ap電性連接。於本實施形態中，利用使邏輯晶片LC之正面3a側與配線基板20之上表面2a相對向之所謂之面朝下安裝方式來搭

載邏輯晶片LC，因此，複數條接合引線2f之接合部形成於晶片搭載區域2p1之內側。

又，配線基板20之上表面2a由絕緣膜(阻焊膜)2h覆蓋。於絕緣膜2h中形成開口部2hw，於該開口部2hw中，複數條接合引線2f之至少一部分(與半導體晶片接合之接合部、接合區域)自絕緣膜2h露出。又，雖未圖示，但於本實施形態中，切割線(切割區域)20c之上表面亦自絕緣膜2h露出。藉此，當於其後之單片化步驟(參照圖13)中使用切割刀(旋轉刀)時，可防止絕緣膜2h纏繞於該切割刀。即，可抑制切斷性之下降。然而，若不考慮切斷性，則切割線20c之上表面亦可由絕緣膜2h覆蓋。

另一方面，如圖17所示，於配線基板20之下表面2b形成有複數個焊盤2g。配線基板20之下表面2b由絕緣膜(阻焊膜)2k覆蓋。於絕緣膜2k中形成開口部2kw，於該開口部2kw中，複數個焊盤2g之至少一部分(與焊錫球5接合之接合部)自絕緣膜2k露出。又，雖未圖示，但於本實施形態中，切割線(切割區域)20c之下表面亦自絕緣膜2k露出。藉此，當於其後之單片化步驟(參照圖13)中使用切割刀(旋轉刀)時，可抑制絕緣膜2k纏繞於該切割刀。即，可抑制切斷性之下降。然而，若不考慮切斷性，切割線20c之上表面亦可由絕緣膜2k覆蓋。

又，如圖16所示，複數條接合引線2f與複數個焊盤2g經由複數條配線2d而分別電性連接。上述複數條配線2d、複數條接合引線2f及複數個焊盤2g等導電圖案例如係由以銅(Cu)為主成分之金屬材料形成。又，複數條配線2d、複數條接合引線2f及複數個焊盤2g例如可藉由電解鍍敷法而形成。又，如圖16所示，具有4層以上(圖16中為4層)之配線層之配線基板20例如可藉由增層工法而形成。

又，如圖15及圖18所示，於配線基板20之上表面2a形成有對準標記50a。對準標記50a係於圖13所示之第1標記檢測步驟中成為檢測對

象之圖案，且例如由與圖16所示之配線2d或接合引線2f相同之金屬材料形成。又，於圖18所示之例子中，於絕緣膜2h中形成開口部2hs，對準標記50a於開口部2hs中自絕緣膜2h露出。

詳情後述，於圖13所示之第1標記檢測步驟中，使用相機等影像感測器而檢測對準標記50a之位置。因此，藉由將自絕緣膜2h露出之金屬圖案設為對準標記50a，光之反射效率提高，因此，可提高位置檢測精度，故而較佳。然而，只要可識別對準標記50a之輪廓形狀即可。因此，例如若絕緣膜2h為具有可見光透過性之材料，則對準標記50a亦可由絕緣膜2h覆蓋。

對準標記50a例如可於形成複數條接合引線2f及複數條配線2d時而總括地形成。

又，如圖15所示，對準標記50a較佳為形成於器件區域20a內。作為變化例，亦可考慮如下實施態樣，即，將對準標記50a形成於器件區域20a之外，即切割線(切割區域)20c內或圖14所示之框部20b。然而，如上所述，對準標記50a係於進行圖11所示之配線基板2與邏輯晶片LC之位置對準時候使用。因此，考慮到形成對準標記50a時之位置精度提高，較佳為於靠近晶片搭載區域2p1之器件區域20a內形成該對準標記50a。又，作為變化例，於將對準標記50a配置於切割線(切割區域)20c內之情形時，在後述之第1接著材料配置步驟中，對準標記50a難以由接著材料覆蓋。因此，根據確實地使對準標記50a露出之觀點，較佳為將對準標記50a配置於切割線20c內。

又，如圖15所示，對準標記50a較佳為形成於器件區域20a之複數個部位。即使於對準標記50a為一個之情形時，亦可於沿著上表面2a之座標面，確定對準標記50a之X座標之位置與Y座標之位置。然而，藉由形成至少兩處以上之對準標記50a，可確定器件區域20a之 θ 方向之位置，因此，可提高位置檢測精度。

又，根據使確定 θ 方向之位置之精度提高的觀點，較佳為增大2個對準標記50a之相隔距離。因此，尤佳為如圖15所示，將一個對準標記50a配置於器件區域20a之一個角部，將其他對準標記50a配置於位於器件區域20a之上述一個角部的對角之角部。換言之，兩個對準標記50a較佳為配置於器件區域20a之一條對角線上。

<第1接著材料配置步驟>

其次，於圖13所示之第1接著材料配置步驟中，如圖19及圖20所示，將接著材料NCL1配置於配線基板20之上表面2a之晶片搭載區域2p1上。圖19係表示將接著材料配置於圖15所示之晶片搭載區域之狀態的放大平面圖，圖20係沿著圖19之A-A線之放大剖面圖。再者，於圖19中，為了表示晶片搭載區域2p1、2p2、器件區域20a、及切割線20c之位置，利用二點鏈線分別表示晶片搭載區域2p1、2p2、器件區域20a、及切割線20c之輪廓。然而，晶片搭載區域2p1、2p2分別為搭載邏輯晶片LC及積層體MCS之預定區域，因此，無需存在實際上能夠被看到之邊界線。又，關於器件區域20a及切割線20c，亦無需存在實際上能夠被看到之邊界線。再者，以下，於在平面圖中圖示晶片搭載區域2p1、2p2、器件區域20a及切割線20c之情形時，同樣無需存在實際上能夠被看到之邊界線。

一般而言，於以面朝下安裝方式(倒裝晶片連接方式)將半導體晶片搭載於配線基板上之情形時，採用如下方式(後注入方式)，即，於使半導體晶片與配線基板電性連接之後，利用樹脂對連接部分進行密封。於該情形時，自配置於半導體晶片與配線基板之間隙附近之噴嘴供給樹脂，利用毛細管現象將樹脂埋入間隙。

另一方面，於本實施形態中所說明之例子中，利用如下方式(先塗佈方式)搭載邏輯晶片LC，該方式(先塗佈方式)係於在後述之第1晶片搭載步驟中，將邏輯晶片LC(參照圖9)搭載於配線基板20上之前，

將接著材料NCL1配置於晶片搭載區域2p1，自接著材料NCL1上方推壓邏輯晶片LC而使其與配線基板20電性連接。

於上述後注入方式之情形時，利用毛細管現象將樹脂埋入間隙，因此，對於一個器件區域20a之處理時間(將樹脂予以注入之時間)延長。另一方面，於上述先塗佈方式之情形時，在邏輯晶片LC之前端(例如，圖6所示之突起電極7b之前端所形成之焊錫材料7a)與接合引線2f之接合部發生接觸之時點，已於配線基板20與邏輯晶片LC之間埋入有接著材料NCL1。因此，與上述後注入方式相比較，可縮短對於一個器件區域20a之處理時間，且可提高製造效率，故而較佳。

然而，作為相對於本實施形態之變化例，可使圖13所示之第1晶片搭載步驟與第1接著材料配置步驟之順序顛倒而應用後注入方式。例如，於總括地形成之製品形成區域較少之情形時，處理時間之差減小，因此，即使於使用有後注入方式之情形時，亦可抑制製造效率之下降。

又，如上所述，先塗佈方式中所使用之接著材料NCL1包含絕緣性(非導電性)之材料(例如樹脂材料)。

又，接著材料NCL1包含硬度(hardness)因添加能量而變硬(升高)之樹脂材料，於本實施形態中，例如包含熱硬化性樹脂。又，硬化前之接著材料NCL1較圖6所示之外部端子7更柔軟，可藉由推壓邏輯晶片LC而使該接著材料NCL1發生變形。

又，硬化前之接著材料NCL1根據處理方法之差異而大致分為以下之兩類。一類包含被稱為NCP(Non-Conductive Paste，非導電性漿料)之漿料狀之樹脂(絕緣材漿料)，存在自未圖示之噴嘴塗佈至晶片搭載區域2p1之方式。另一類包含被稱為NCF(Non-Conductive Film，非導電性薄膜)之預先成形為薄膜狀之樹脂(絕緣材薄膜)，存在以薄膜狀態搬送至晶片搭載區域2p1而進行貼附之方法。於使用絕緣材漿料

(NCP)之情形時，無需如絕緣材薄膜(NCF)般進行貼附之步驟，因此，與使用絕緣材薄膜之情形相比較，可減小施加至半導體晶片等之應力。另一方面，於使用絕緣材薄膜(NCF)之情形時，該絕緣材薄膜(NCF)之保形性高於絕緣材漿料(NCP)之保形性，因此，易於對配置接著材料NCL1之範圍或厚度進行控制。

於圖19及圖20所示之例子中表示了如下例子：將絕緣材薄膜(NCF)即接著材料NCL1配置於晶片搭載區域2p1上，以與配線基板20之上表面2a密接之方式進行貼附。然而，雖省略了圖示，但作為變化例，亦可使用絕緣材漿料(NCP)。

又，於本步驟中，如圖19所示，根據使對準標記50a之光反射效率提高之觀點，較佳為以不由接著材料NCL1覆蓋對準標記50a之方式進行配置。若接著材料NCL1為具有可見光透過性之材料，則對準標記50a亦可由接著材料NCL1覆蓋，但於該情形時，接著材料NCL1之材料選擇之自由度下降。因此，尤佳為使對準標記50a自接著材料NCL1露出。

又，為了使對準標記50a自接著材料NCL1露出，對準標記50a之形成位置較佳為形成於器件區域20a之周緣部。

<第1晶片準備步驟>

又，於圖13所示之第1晶片準備步驟中，準備圖9及圖10所示之邏輯晶片LC。圖21係模式性地表示包括圖6所示之貫通電極之半導體晶片之製造步驟之概要的說明圖。又，圖22係模式性地表示接續圖21之半導體晶片之製造步驟之概要的說明圖。再者，於圖21及圖22中，主要說明貫通電極3tsv及與貫通電極3tsv電性連接之背面電極3bp之製造方法，關於貫通電極3tsv以外之各種電路之形成步驟，省略圖示及說明。又，圖21及圖22所示之半導體晶片之製造方法除了可應用為圖4所示之邏輯晶片LC之製造方法之外，亦可應用為記憶體晶片MC1、

MC2、MC3之製造方法。

首先，作為晶圓準備步驟，準備圖21所示之晶圓(半導體基板)WH。晶圓WH例如係包含矽(Si)之半導體基板，且俯視時呈圓形。晶圓WH具有作為半導體元件形成面之正面(主面、上表面)WHs及正面WHs相反側之背面(主面、下表面)WHb。又，晶圓WH之厚度較圖4所示之邏輯晶片LC或記憶體晶片MC1、MC2、MC3之厚度厚，例如為數百 μm 左右。

其次，作為孔形成步驟，形成孔(孔、開口部)3tsh，該孔(孔、開口部)3tsh用以形成圖6所示之貫通電極3tsv。於圖21所示之例子中，將掩模25配置於晶圓WH之正面WHs上，藉由實施蝕刻處理而形成孔3tsh。再者，圖4所示之邏輯晶片LC或記憶體晶片MC1、MC2、MC3之半導體元件例如可於本步驟之後且於下一個配線層形成步驟之前形成。

其次，將例如銅(Cu)等金屬材料埋入孔3tsh內而形成貫通電極3tsv。其次，作為配線層形成步驟，於晶圓WH之正面WHs上形成配線層(晶片配線層)3d。於本步驟中，形成圖7或圖9所示之複數個正面電極3ap，使複數個貫通電極3tsv與複數個正面電極3ap分別電性連接。再者，正面電極3ap或與正面電極3ap一體地形成之最上層之配線層3d例如係由包含鋁(Al)之金屬膜形成。

又，於本步驟中，經由配線層3d而使圖4所示之邏輯晶片LC或記憶體晶片MC1、MC2、MC3之半導體元件與圖7及圖9所示之複數個正面電極3ap電性連接。藉此，邏輯晶片LC或記憶體晶片MC1、MC2、MC3之半導體元件經由配線層3d而電性連接。

又，於本步驟中，形成圖9所示之對準標記50b或圖7所示之對準標記50d。對準標記50b、50d可由與正面電極3ap或最上層之配線層3d相同之材料(例如鋁)形成，因此，可於形成正面電極3ap時總括地形

成。關於圖9所示之對準標記50b及圖7所示之對準標記50d之詳情，於後文中進行敘述。

其次，作為外部端子形成步驟，於正面電極3ap(參照圖7、圖9)上形成外部端子7。於本步驟中，如圖6所示，於邏輯晶片LC之正面電極3ap上形成突起電極7b。於突起電極7b之前端形成焊錫材料7a。或者，於記憶體晶片MC1之正面電極3ap上形成焊錫材料7a。該焊錫材料7a作為將圖6所示之半導體晶片3搭載於配線基板2或下層之半導體晶片3上時之接合材料而發揮功能。

其次，作為圖22所示之背面研磨步驟，對晶圓WH之背面WHb(參照圖21)側進行研磨，使晶圓WH之厚度變薄。藉此，圖5所示之半導體晶片3之背面3b露出。換言之，貫通電極3tsv沿著厚度方向貫通晶圓WH。又，複數個貫通電極3tsv於晶圓WH之背面3b自晶圓WH露出。對於圖22所示之例子而言，於背面研磨步驟中，在藉由玻璃板等支持基材26及保護正面WHs側且保護外部端子7之保護層27而支持晶圓WH之狀態下，使用研磨治具28進行研磨。

其次，於背面電極形成步驟中，在背面3b形成複數個背面電極3bp，與複數個貫通電極3tsv電性連接。

又，於本步驟中，形成圖10所示之對準標記50c。對準標記50c可由與背面電極3bp相同之材料(例如銅)形成，因此，可於形成背面電極3bp時總括地形成。關於圖10所示之對準標記50c之詳情，於後文中進行敘述。

其次，作為單片化步驟，沿著切割線分割晶圓WH，獲取複數個半導體晶片3。其後，根據需要而進行檢查，獲得圖4所示之半導體晶片3(邏輯晶片LC或記憶體晶片MC1、MC2、MC3)。

<第1晶片搭載步驟>

其次，於圖13所示之第1晶片搭載步驟中，如圖23或圖24所示，

將邏輯晶片LC搭載於配線基板20上。再者，圖13所記載之第1晶片搬送步驟、第1標記檢測步驟、及第1位置對準步驟可被認作將邏輯晶片LC搭載於配線基板20上之步驟中所含的子步驟。因此，於本實施形態中，將第1晶片搬送步驟、第1標記檢測步驟、及第1位置對準步驟作為第1晶片搭載步驟中所含之子步驟而進行說明。

圖23係表示於圖19所示之配線基板之晶片搭載區域上搭載有邏輯晶片LC之狀態的放大平面圖。又，圖24係沿著圖23之A-A線之放大剖面圖。又，圖25係模式性地表示圖13所示之第1晶片搬送步驟之主要部分之說明圖。圖26係模式性地表示圖13所示之第1標記檢測步驟之主要部分之說明圖。又，圖27係表示圖26所示之邏輯晶片之對準標記之剖面構造的主要部分之主要部分放大剖面圖。又，圖28係模式性地表示圖13所示之第1位置對準步驟之主要部分之說明圖。又，圖29係模式性地表示於圖28所示之第1位置對準步驟之後，使邏輯晶片向配線基板移動之狀態的說明圖。又，圖30係表示已卸下圖29所示之保持治具，且將加熱治具推抵至半導體晶片之背面側之狀態的說明圖。

於本步驟中，如圖24所示，以使邏輯晶片LC之正面3a與配線基板20之上表面2a相對向之方式，藉由所謂之面朝下安裝方式(倒裝晶片連接方式)而搭載邏輯晶片LC。又，藉由本步驟，邏輯晶片LC與配線基板20電性連接。詳細而言，形成於邏輯晶片LC之正面3a之複數個正面電極3ap與形成於配線基板20之上表面2a之複數條接合引線2f經由外部端子7(圖6所示之突起電極7b及焊錫材料7a)而電性連接。以下，使用圖25～圖30說明本步驟之詳細流程。

於第1晶片搭載步驟中，首先包含第1晶片搬送步驟，該第1晶片搬送步驟如圖25所示，將邏輯晶片LC(半導體晶片3)配置於配線基板20之晶片搭載區域2p1上。邏輯晶片LC係以背面3b側保持於保持治具(夾盤)30之狀態而被搬送至晶片搭載區域2p1上，且以使位於元件形

成面側之正面3a與配線基板20之上表面2a相對向之方式而配置於晶片搭載區域2p1上(或接著材料NCL1上)。保持治具30具有對邏輯晶片LC之背面3b進行吸附保持之保持面30a，且以由保持面30a保持邏輯晶片LC之狀態而搬送該邏輯晶片LC。

又，於邏輯晶片LC之正面3a側形成有突起電極7b，於突起電極7b之前端形成有焊錫材料7a。另一方面，在形成於配線基板20之上表面2a之接合引線2f的接合部，預先形成有焊錫材料7a，該焊錫材料7a係用以與突起電極7b電性連接之接合材料。

於本實施形態中，在圖13所示之第1位置對準步驟中，進行邏輯晶片LC與配線基板20之精密之位置對準，因此，於第1晶片搬送步驟之階段，搬送位置之精度亦可較低。然而，根據使第1位置對準步驟中之位置對準精度提高之觀點，較佳為減小第1位置對準步驟中之移動距離。因此，例如較佳為於第1晶片搬送步驟中，以將邏輯晶片LC配置於晶片搭載區域2p1上之程度之精度，將邏輯晶片LC配置於配線基板20之上表面2a上。

其次，於第1晶片搭載步驟中包含第1標記檢測步驟，該第1標記檢測步驟如圖26所示，對配線基板20之對準標記50a與邏輯晶片LC之對準標記50b進行檢測(識別)。如圖26所示，於第1標記檢測步驟中，在將邏輯晶片LC配置於配線基板20上之狀態下，將相機(標記位置檢測裝置、影像感測器、攝影裝置)60配置於配線基板20與邏輯晶片LC之間，對配線基板20之對準標記50a與邏輯晶片LC之對準標記50b進行檢測(識別)。

相機60例如包括：受光部60a，其接受可見光；光電轉換電路部60b，其將受光部60a所接受之光轉換為電信號；以及輸出電路部60c，其將由光電轉換部轉換後之電信號輸出至外部。又，相機60與控制部61電性連接，自輸出電路部60c輸出之電信號傳輸至控制部61

所具備之圖像處理電路(圖示省略)，實施圖像處理之後，輸出對準標記50(對準標記50a、50b)之位置資料(座標資料)。又，將規定對準標記50a與接合引線2f之接合部之位置關係的位置資料、或規定對準標記50b與正面電極3ap之位置關係的位置資料輸入至控制部61，藉此，可於控制部61中算出接合引線2f之接合部或正面電極3ap之位置。

又，於圖26所示之例子中包括可見光反射部(面鏡)60d，其向受光部60a反射自外部射入之可見光。又，相機60連接於未圖示之驅動裝置，且以於配線基板20上自如移動之狀態而受到固定。因此，藉由變更可見光反射部60d之反射角度且使相機60之位置移動，可利用相同之相機60檢測(識別)對準標記50a、50b之位置。

又，於圖26所示之例子中，在配線基板20上形成有複數個對準標記50a，在邏輯晶片LC之正面3a側形成有複數個對準標記50b。如此，於配線基板20與邏輯晶片LC之正面3a分別形成複數個對準標記50，分別檢測上述複數個對準標記50之位置，藉此，例如除了可獲取圖19所示之XY平面之座標資料之外，亦可獲取表示座標軸之斜度之 θ 方向之資料。又，只要獲取對準標記50之座標資料與 θ 方向之資料，便可正確地算出複數條接合引線2f(參照圖15)之位置、或複數個正面電極3ap(參照圖9)之位置。

又，如圖19所示，複數個對準標記50a係以配置於俯視時呈四邊形之器件區域20a之一個對角線上之方式，配置於相對向之角部。又，如圖9所示，複數個對準標記50b係以配置於俯視時呈四邊形之正面3a之一個對角線上之方式，配置於相對向之角部。如此，將對準標記50配置於彼此位於對角之角部，藉此，可使上述 θ 方向之資料之精度提高。其結果，可使算出複數條接合引線2f(參照圖15)之位置、或複數個正面電極3ap(參照圖9)之位置之精度提高。

又，如圖27所示，較佳為使形成於邏輯晶片LC之正面3a之對準

標記50b自形成於邏輯晶片LC之最表面之絕緣膜(保護膜、鈍化膜)3p露出。於圖27所示之例子中，在形成於邏輯晶片LC之最表面之絕緣膜(保護膜、鈍化膜)3p中形成開口部3ps，對準標記50b於開口部3ps中自絕緣膜3p露出。再者，於圖27中，在對準標記50b之下層，嚴密地配置有使半導體基板之半導體元件形成面(主面)、正面電極3ap(參照圖9)電性連接之配線層。於圖27中，省略了該配線層之圖示而僅表示了作為半導體基板之晶圓WH。

與使用圖18所說明之對準標記50a同樣地，將自絕緣膜3p露出之金屬圖案設為對準標記50b，藉此，光之反射效率提高，因此，可提高位置檢測精度，故而較佳。然而，只要可識別對準標記50b之輪廓形狀即可。因此，例如若絕緣膜3p為具有可見光透過性之材料，則對準標記50b亦可由絕緣膜3p覆蓋。

再者，對準標記50a如使用圖18進行之說明所述，因此省略重複說明。

其次，於第1晶片搭載步驟中包含第1位置對準步驟，該第1位置對準步驟如圖28所示，進行配線基板20與邏輯晶片LC之位置對準。如圖28所示，於第1位置對準步驟中，沿著配線基板20之上表面2a，使邏輯晶片LC與配線基板20之相對位置移動，複數條接合引線2f之接合部、與形成於邏輯晶片LC之正面3a之複數個外部端子7對向地配置。

如上所述，根據本實施形態，可高精度地分別算出複數條接合引線2f之位置、及複數個正面電極3ap之位置。因此，只要根據上述算出資料，使邏輯晶片LC與配線基板20之相對位置移動，便可高精度地進行位置對準。

於圖28所示之例子中，作為使邏輯晶片LC與配線基板20之相對位置移動之方法，如圖28中之箭頭所示，使保持邏輯晶片LC之保持

治具30沿著配線基板20之上表面2a移動。然而，只要可使邏輯晶片LC與配線基板20之相對位置關係移動即可，因此可使邏輯晶片LC、配線基板20中之任一方或兩方移動。

其次，如圖29所示，使邏輯晶片LC向配線基板20移動。此時，接著材料NCL1以加熱硬化前之柔軟狀態配置於配線基板20上。因此，邏輯晶片LC之正面3a側埋入接著材料NCL1。又，於圖29所示之例子中，形成邏輯晶片LC之正面3a側之對準標記50b被接著材料NCL1覆蓋。然而，由於檢測對準標記50b之位置之步驟(第1標記檢測步驟)已完成，故不會產生特別之問題。

又，藉由上述第1位置對準步驟，高精度地對邏輯晶片LC與配線基板20之相對位置進行位置對準。因此，只要使邏輯晶片LC呈直線地向配線基板20移動，便可維持複數條接合引線2f之接合部、與形成於邏輯晶片LC之正面3a之複數個外部端子7對向地配置之狀態。

其次，如圖30所示，將加熱治具31推抵至邏輯晶片LC之背面3b側，向配線基板20推壓邏輯晶片LC。如上所述，接著材料NCL1處於硬化前之柔軟狀態，因此，若藉由加熱治具31而推入邏輯晶片LC，則邏輯晶片LC會靠近配線基板20。若邏輯晶片LC靠近配線基板20，則形成於邏輯晶片LC之正面3a之複數個外部端子7之前端(詳細而言為焊錫材料7a)，會接觸到接合引線2f之接合區域(詳細而言為焊錫材料7a)。

又，接著材料NCL1之厚度至少較外部端子7之高度(突出高度)、及接合引線2f之厚度之合計值厚。因此，若被加熱治具31推入，則邏輯晶片LC之正面3a側之一部分會埋入接著材料NCL1。換言之，邏輯晶片LC之側面中，至少正面3a側之一部分埋入接著材料NCL1。

此處，於邏輯晶片LC上形成有對準標記50c及背面電極3bp，因此需要防止接著材料NCL1繞至背面3b側而覆蓋對準標記50c或背面電

極3bp。因此，較佳為如圖30所示，使較加熱治具31及邏輯晶片LC柔軟之構件(低彈性構件)，例如樹脂薄膜(薄膜)32介於加熱治具31與邏輯晶片LC之間，利用樹脂薄膜32覆蓋邏輯晶片LC之背面3b。若經由樹脂薄膜32而推壓邏輯晶片LC，則樹脂薄膜32會密接於邏輯晶片LC之背面3b，因此，即使增加接著材料NCL1之厚度，亦可抑制接著材料NCL1繞至邏輯晶片LC之背面3b。再者，本實施形態之樹脂薄膜32例如由氟樹脂所構成。

其次，如圖30所示，在將邏輯晶片LC推壓至加熱治具31之狀態下，藉由加熱治具(熱源)31對邏輯晶片LC及接著材料NCL1進行加熱。於邏輯晶片LC與配線基板20之接合部，接合引線2f側之焊錫材料7a與外部端子側之焊錫材料7a分別熔融而一體化，藉此，成為使外部端子7與接合引線2f電性連接之接合材料。即，藉由加熱治具(熱源)31對邏輯晶片LC進行加熱，藉此，突起電極7b與接合引線2f經由焊錫材料7a而電性連接。

又，藉由對接著材料NCL1進行加熱，接著材料NCL1硬化。藉此，可獲得在埋入有邏輯晶片LC之一部分之狀態下硬化之接著材料NCL1。又，邏輯晶片LC之對準標記50c及背面電極3bp由樹脂薄膜32覆蓋，因此，自硬化後之接著材料NCL1露出。再者，無需藉由來自加熱治具(熱源)31之熱而使接著材料NCL1完全硬化，可採用如下實施態樣：使接著材料NCL1中所含之熱硬化性樹脂之一部分硬化(臨時硬化)至可對邏輯晶片LC進行固定之程度之後，將配線基板20轉移至未圖示之加熱爐，使剩餘之熱硬化性樹脂硬化(完全硬化)。於使接著材料NCL1中所含之熱硬化性樹脂成分整體硬化之完全硬化處理完成之前需要時間，但藉由利用加熱爐進行完全硬化處理，可提高製造效率。

<第2接著材料配置步驟>

其次，於圖13所示之第2接著材料配置步驟中，如圖31所示，將接著材料NCL2配置於邏輯晶片LC(半導體晶片3)之背面3b上。圖31係表示將接著材料配置於圖20所示之半導體晶片之背面及其周圍之狀態的放大平面圖，圖32係沿著圖31之A-A線之放大剖面圖。

如圖6所示，對於本實施形態之半導體裝置1而言，於積層之複數個半導體晶片3內，搭載於最下段(例如第1段)之邏輯晶片LC、及自下段計數搭載於第2段之記憶體晶片MC1均係以面朝下安裝方式(倒裝晶片連接方式)搭載。因此，如上述第1接著材料配置步驟中之說明所述，考慮到可縮短對於一個器件區域20a(參照圖31、圖32)之處理時間且提高製造效率，較佳為應用上述先塗佈方式。

又，如上所述，先塗佈方式中所使用之接著材料NCL2包含絕緣性(非導電性)之材料(例如樹脂材料)。又，接著材料NCL2包含硬度(hardness)因添加能量而變硬(升高)之樹脂材料，於本實施形態中，例如包含熱硬化性樹脂。又，硬化前之接著材料NCL2較圖6所示之突起電極7b更柔軟，可藉由推壓邏輯晶片LC而使該接著材料NCL2發生變形。

又，硬化前之接著材料NCL2根據處理方法之差異而大致分為被稱為NCP之漿料狀之樹脂(絕緣材漿料)、與被稱為NCF之預先成形為薄膜狀之樹脂(絕緣材薄膜)。可將NCP及NCF中之任一者用作本步驟中所使用之接著材料NCL2。於圖31及圖32所示之例子中，自噴嘴33(參照圖32)噴出NCP，將接著材料NCL2配置於邏輯晶片LC之背面3b上。

再者，關於自噴嘴33噴出漿料狀之接著材料NCL2之方面，與上述第1接著材料配置步驟中所說明之後注入方式通用。然而，於本實施形態中，在搭載圖4所示之記憶體晶片MC1之前，預先搭載接著材料NCL2。因此，與利用毛細管現象將樹脂予以注入之後注入方式相

比較，可大幅度地提高接著材料NCL2之塗佈速度。

又，如圖31所示，形成於邏輯晶片LC之背面之複數個對準標記50c為圖13所示之第2標記檢測步驟中之檢測對象物，因此，較佳為以使對準標記50c露出之方式配置接著材料NCL2。若利用相對於可見光呈透明或半透明之材料形成接著材料NCL2，則即使於對準標記50c由接著材料NCL2覆蓋之情形時，亦可檢測出對準標記50c之位置。然而，根據使材料選擇之自由度提高之觀點，較佳為如圖31所示，以使對準標記50c露出之方式配置接著材料NCL2。又，絕緣材漿料(NCP)與絕緣材薄膜(NCF)相比較，可減小接著材料之配置區域，因此，易於使對準標記50c露出。

接著材料NCL2具有固定材料功能，即，於圖13所示之第2晶片搭載步驟中，使記憶體晶片MC1(參照圖4)與邏輯晶片LC(參照圖4)接著固定。又，接著材料NCL2具有密封材料功能，即，對記憶體晶片MC1與邏輯晶片LC之接合部進行密封，藉此保護該接合部。再者，上述密封功能中包含應力緩和功能，即，使傳遞至記憶體晶片MC1與邏輯晶片LC之接合部之應力分散而緩和該應力，藉此保護接合部。

根據滿足上述密封材料功能之觀點，只要以將記憶體晶片MC1與邏輯晶片LC之接合部之周圍予以包圍之方式配置接著材料NCL2即可，因此，當至少搭載有記憶體晶片MC1時，只要將圖6所示之複數個外部端子7密封於接著材料NCL2即可。

<第2晶片準備步驟>

又，於圖13所示之第2晶片準備步驟中，準備圖4所示之記憶體晶片MC1、MC2、MC3、MC4之積層體MCS。作為相對於本實施形態之變化例，可將記憶體晶片MC1、MC2、MC3、MC4依序積層於邏輯晶片LC上。然而，於本實施形態中，對如下實施態樣進行說明，即，預先積層記憶體晶片MC1、MC2、MC3、MC4，形成圖34所示之

積層體(記憶體晶片積層體、半導體晶片積層體)MCS。如以下之說明所述，於形成記憶體晶片MC1、MC2、MC3、MC4之積層體MCS之情形時，例如可在與圖13所示之第2晶片準備步驟以外之步驟不同之部位，與其他步驟獨立地形成該積層體MCS。例如，就積層體MCS而言，亦可作為購入零件而加以準備。因此，在可簡化圖13所示之組裝步驟且可整體上使製造效率提高之方面有利。

圖33係模式性地表示圖4所示之記憶體晶片之積層體之組裝步驟之概要的說明圖。又，圖34係模式性地表示接續圖33之記憶體晶片之積層體之組裝步驟之概要的說明圖。再者，關於圖33及圖34所示之複數個記憶體晶片MC1、MC2、MC3、MC4各自之製造方法，可應用使用圖21及圖22所說明之半導體晶片之製造方法而進行製造，因此省略說明。

首先，作為組裝基材準備步驟，準備用以組裝圖34所示之積層體MCS之基材(組裝基材)34。基材34具有組裝面34a，該組裝面34a積層複數個記憶體晶片MC1、MC2、MC3、MC4，於組裝面34a設置有接著層35。

其次，作為晶片積層步驟，將記憶體晶片MC1、MC2、MC3、MC4積層於基材34之組裝面34a上。於圖33所示之例子中，以使積層之各半導體晶片之背面3b與基材34之組裝面34a相對向之方式，依照記憶體晶片MC4、MC3、MC2、MC1之順序而依序積層。上段側之半導體晶片3之背面電極3bp與下段側之半導體晶片3之正面電極3ap例如藉由外部端子7(焊錫材料7a)而接合。又，如圖7所示，在配置於最上段之記憶體晶片MC1之正面電極3ap形成有複數個對準標記50d。

其次，於圖34所示之積層體密封步驟中，將樹脂(底膠填充樹脂)供給至已積層之複數個半導體晶片3之間，形成密封體(晶片積層體用密封體、晶片積層體用樹脂體)6。該密封體6係藉由上述第1接著材料

配置步驟中所說明之後注入方式而形成。即，預先積層複數個半導體晶片3之後，自噴嘴36供給底膠填充樹脂6a，將該底膠填充樹脂6a埋入已積層之複數個半導體晶片3之間。底膠填充樹脂6a之黏度低於圖13所示之密封步驟中所使用之密封用之樹脂的黏度，可利用毛細管現象，將該底膠填充樹脂6a埋入複數個半導體晶片3之間。其後，使埋入半導體晶片3之間的底膠填充樹脂6a硬化而獲得密封體6。

上述利用後注入方式而形成密封體6之方法與所謂之轉移模製方式相比較，間隙之埋入特性優異，因此，可有效地適用於已積層之半導體晶片3之間的間隙狹窄之情形。又，如圖34所示，於呈複數段地形成有埋入底膠填充樹脂6a之間隙之情形時，可總括地將底膠填充樹脂6a埋入複數個間隙。因此，整體上可縮短處理時間。

其次，於組裝基材去除步驟中，使基材34及接著層35自記憶體晶片MC4之背面3b剝離而去除該基材34及接著層35。作為去除基材34與接著層35之方法，例如可應用使接著層35中所含之樹脂成分(例如紫外線硬化樹脂)硬化之方法。藉由以上之步驟，獲得如下積層體MCS，該積層體MCS積層有複數個記憶體晶片MC1、MC2、MC3、MC4，且各記憶體晶片MC1、MC2、MC3、MC4之連接部由密封體6密封。該積層體MCS可被視為一個記憶體晶片，該一個記憶體晶片具有形成有複數個正面電極3ap之正面3a(記憶體晶片MC1之正面3a)及位於正面3a相反側之背面3b(記憶體晶片MC4之背面3b)。

<第2晶片搭載步驟>

其次，於圖13所示之第2晶片搭載步驟中，如圖35及圖36所示，將積層體MCS搭載於邏輯晶片LC之背面3b上。再者，圖13所記載之第2晶片搬送步驟、第2標記檢測步驟、及第2位置對準步驟可被認為是將積層體MCS搭載於邏輯晶片LC上之步驟中所含之子步驟。因此，於本實施形態中，將第2晶片搬送步驟、第2標記檢測步驟、及第

2位置對準步驟作為第2晶片搭載步驟中所含之子步驟而進行說明。

圖35係表示於圖31所示之邏輯晶片之背面上搭載有積層體之狀態的放大平面圖。又，圖36係沿著圖35之A-A線之放大剖面圖。又，圖37係模式性地表示圖13所示之第2晶片搬送步驟之主要部分之說明圖。圖38係模式性地表示圖13所示之第2標記檢測步驟之主要部分之說明圖。又，圖39係模式性地表示圖13所示之第2位置對準步驟之主要部分之說明圖。又，圖40係模式性地表示於圖39所示之第2位置對準步驟之後，使邏輯晶片向配線基板移動之狀態的說明圖。又，圖41係表示已卸下圖40所示之保持治具，且將加熱治具推抵至半導體晶片之背面側之狀態的說明圖。

於本步驟中，如圖36所示，以使積層體MCS之正面3a(記憶體晶片MC1之正面3a)與邏輯晶片LC之背面3b相對向之方式，藉由所謂之面朝下安裝方式(倒裝晶片連接方式)而搭載積層體MCS。又，藉由本步驟，複數個記憶體晶片MC1、MC2、MC3、MC4與邏輯晶片LC電性連接。詳細而言，如圖6所示，形成於積層體MCS(記憶體晶片MC1)之正面3a之複數個正面電極3ap與形成於邏輯晶片LC之背面3b之複數個背面電極3bp經由外部端子7(圖6所示之焊錫材料7a)而電性連接。以下，使用圖37～圖41說明本步驟之詳細流程。

於第2晶片搭載步驟中，首先包含第2晶片搬送步驟，該第2晶片搬送步驟如圖37所示，將積層體MCS(半導體晶片3)配置於配線基板20之晶片搭載區域2p2上。積層體MCS係以背面3b側保持於保持治具(夾盤)30之狀態而被搬送至晶片搭載區域2p2上，且以使位於元件形成面側之正面3a與配線基板20之上表面2a相對向之方式而配置於晶片搭載區域2p2上(或接合材料NCL2上)。保持治具30具有對積層體MCS之背面3b進行吸附保持之保持面30a，且以由保持面30a保持積層體MCS之狀態而搬送該積層體MCS。晶片搭載區域2p2係於本步驟中搭

載積層體MCS之預定區域，其與第1晶片搭載步驟中所說明之晶片搭載區域2p1同樣地，無需存在實際上能夠被看到之邊界線。

又，於積層體MCS之正面3a側形成有外部端子7。於圖37所示之例子中，作為外部端子7，表示了接合有焊錫材料7a之例子。然而，與圖25所示之邏輯晶片LC同樣地，亦可應用如下變化例：形成突起電極7b，且於該突起電極7b之前端形成焊錫材料7a。

又，於圖37所示之例子中，在邏輯晶片LC之背面3b所形成之背面電極3bp之上表面未形成焊錫材料等接合材料。然而，作為相對於圖37之變化例，亦可應用如下實施態樣：於背面電極3bp亦預先形成未圖示之焊錫材料。然而，於在上述第1晶片搭載步驟之前，預先形成覆蓋背面電極3bp之焊錫材料之情形時，當利用圖30所示之加熱治具31進行加熱時，熔融之焊錫有可能會附著於樹脂薄膜32。因此，於在邏輯晶片LC之背面電極3bp形成焊錫材料之情形時，如下之方法較佳，即，於上述第1晶片搭載步驟之後且於上述第1接著材料配置步驟之前，塗佈焊錫材料。

又，於本實施形態中，在圖13所示之第2位置對準步驟中，進行積層體MCS與配線基板20之精密之位置對準，因此，於第2晶片搬送步驟之階段，搬送位置之精度亦可較低。然而，根據使第2位置對準步驟中之位置對準精度提高之觀點，較佳為減小第2位置對準步驟中之移動距離。因此，例如較佳為於第2晶片搬送步驟中，以將積層體MCS配置於晶片搭載區域2p2上之程度之精度，將積層體MCS配置於配線基板20之上表面2a上。

其次，於第2晶片搭載步驟中包含第2標記檢測步驟，該第2標記檢測步驟如圖38所示，對邏輯晶片LC之背面3b之對準標記50c與積層體MCS之對準標記50b進行檢測(識別)。

如圖38所示，於第2標記檢測步驟中，在將積層體MCS配置於配

線基板20上之狀態下，將相機60配置於配線基板20與積層體MCS之間，對邏輯晶片LC之對準標記50c與積層體MCS之對準標記50d進行檢測(識別)。於上述第1標記檢測步驟中，對相機60及連接於相機60之控制部61或未圖示之驅動裝置等進行了說明，因此，省略重複說明。於本步驟中，藉由相機60，分別對至少一個以上之對準標記50c與一個以上之對準標記50d進行檢測。

此處，如圖35所示，只要將對準標記50a配置於器件區域20a之周緣部，便可看到對準標記50a。因此，可考慮如下方法：不於邏輯晶片LC之背面3b形成對準標記50c，利用配線基板20之對準標記50a進行位置對準。

然而，於上述第1晶片搭載步驟中，即使進行了高精度之位置對準，複數個背面電極3bp之位置(圖23所示之XY平面之座標位置)或角度(圖23所示之 θ 方向之角度)亦會產生偏差。例如，於第1位置對準步驟之後，在使邏輯晶片LC向配線基板20移動之步驟，或自圖29所示之保持治具30切換至圖30所示之加熱治具31時等，存在產生偏差之情形。

因此，若於本步驟中，利用配線基板20之對準標記50a進行積層體MCS之位置對準，則積層體MCS之外部端子7與邏輯晶片LC之背面電極3bp之位移量成為配線基板20與邏輯晶片LC之位移量、及配線基板20與積層體MCS之位移量之和。即，存在如下情形：積層體MCS之外部端子7與邏輯晶片LC之背面電極3bp之位移量大於半導體晶片3各自之位移量。

因此，於本實施形態中，如上所述，於邏輯晶片LC之背面3b形成對準標記50c，利用對準標記50c進行積層體MCS與邏輯晶片LC之位置對準。藉此，積層體MCS之外部端子7與邏輯晶片LC之背面電極3bp之位移量處於積層體MCS與邏輯晶片LC之間的位移量之範圍內。

又，如於上述第1標記檢測步驟中進行之說明所述，將規定對準標記50c與邏輯晶片LC之背面電極3bp之位置關係的位置資料、或規定對準標記50d與積層體MCS之正面電極3ap之位置關係的位置資料輸入至控制部61。藉此，可於控制部61中算出邏輯晶片LC之複數個背面電極3bp或積層體MCS之複數個正面電極3ap之位置。

又，於圖38所示之例子中，在邏輯晶片LC上形成有複數個對準標記50c，在積層體MCS之正面3a側形成有複數個對準標記50d。如此，於邏輯晶片LC之背面3b與積層體MCS之正面3a分別形成複數個對準標記50，且分別檢測上述複數個對準標記50之位置，藉此，例如除了可獲取圖23所示之XY平面之座標資料之外，亦可獲取表示座標軸之斜度之 θ 方向之資料。又，只要獲取對準標記50之座標資料與 θ 方向之資料，便可正確地算出邏輯晶片LC之複數個背面電極3bp(參照圖10)之位置、或積層體MCS之複數個正面電極3ap(參照圖7)之位置。

又，如圖10所示，複數個對準標記50c係以配置於俯視時呈四邊形之背面3b之一個對角線上之方式，配置於相對向之角部。又，如圖7所示，複數個對準標記50d係以配置於俯視時呈四邊形之正面3a之一個對角線上之方式，配置於相對向之角部。如此，將對準標記50配置於彼此位於對角之角部，藉此，可使上述 θ 方向之資料之精度提高。其結果，可使算出複數個背面電極3bp(參照圖10)之位置、或複數個正面電極3ap(參照圖7)之位置之精度提高。

且說，於本實施形態中，如上述圖7所示，將記憶體晶片MC1、MC2、MC3、MC4之正面電極3ap集中地配置於正面3a之中央部。因此，根據確保正面電極3ap之配置空間之觀點，如圖7所示，對準標記50d較佳為配置於較複數個正面電極3ap更靠外側(周緣部側)處。

又，如圖6所示，邏輯晶片LC之複數個背面電極3bp配置於與記憶體晶片MC1之複數個正面電極3ap相對向之位置。因此，如圖10所

示，邏輯晶片LC之背面電極3bp集中地配置於邏輯晶片LC之背面3b之中央部。因此，根據確保邏輯晶片LC之背面電極3bp之配置空間之觀點，對準標記50c較佳為配置於較複數個背面電極3bp更靠外側(周緣部側)處。

又，如上述圖7所示，對於記憶體晶片MC1、MC2、MC3、MC4各自而言，於正面3a上，以包圍配置有正面電極群之區域(中央部)之方式，配置有4個通道份之記憶體區域MR。藉此，實現自各記憶體區域MR至正面電極3ap為止之距離之均等化。如此，根據實現自各記憶體區域MR至正面電極3ap為止之距離之均等化的觀點，較佳為不於記憶體區域MR與複數個正面電極3ap之間配置對準標記50d。因此，如圖7所示，複數個對準標記50d各自較佳為於記憶體晶片MC1之正面3a上，配置於較複數個記憶體區域MR更靠外側(周緣部側)處。

記憶體晶片MC1、MC2、MC3、MC4之記憶容量與記憶體區域MR之面積成比例地增大，因此，如上所述，若將複數個對準標記50d配置於較複數個記憶體區域MR更靠外側(周緣部側)處，則對準標記50d配置於正面3a之周緣部。其結果，可增大複數個對準標記50d之間的距離，因此，如上所述，可使 θ 方向之位置對準精度提高。

然而，根據使 θ 方向之位置對準精度提高之觀點，尤佳為如上所述，將對準標記50d配置於彼此位於對角之角部。

又，如圖27所示，較佳為使形成於積層體MCS之正面3a之對準標記50d自形成於積層體MCS之最表面之絕緣膜(保護膜、鈍化膜)3p露出。於圖27所示之例子中，在形成於積層體MCS之最表面之絕緣膜(保護膜、鈍化膜)3p中形成開口部3ps，對準標記50d於開口部3ps中自絕緣膜3p露出。

再者，例如，如圖38所示，對準標記50c形成於邏輯晶片LC之背面3b上，未形成覆蓋背面3b之絕緣膜或保護膜。因此，於上述第2接

著材料配置步驟中，只要以避開對準標記50c之方式配置接著材料NCL2，便可容易地使對準標記50c露出。

其次，於第2晶片搭載步驟中包含第2位置對準步驟，該第2位置對準步驟如圖39所示，進行邏輯晶片LC與積層體MCS之位置對準。如圖39所示，於第2位置對準步驟中，沿著配線基板20之上表面2a，使積層體MCS與邏輯晶片LC(換言之為配線基板20)之相對位置移動，邏輯晶片LC之複數個背面電極3bp、與形成於積層體MCS之正面3a之複數個外部端子7對向地配置。

如上所述，根據本實施形態，可高精度地分別算出邏輯晶片LC之複數個背面電極3bp之位置、及積層體MCS之複數個正面電極3ap之位置。因此，只要根據上述算出資料，使積層體MCS與邏輯晶片LC之相對位置移動，便可高精度地進行位置對準。

於圖39所示之例子中，作為使積層體MCS與邏輯晶片LC之相對位置移動之方法，如圖39中之箭頭所示，使保持積層體MCS之保持治具30沿著配線基板20之上表面2a移動。然而，只要可使積層體MCS與邏輯晶片LC之相對位置關係移動即可，因此，可使積層體MCS、邏輯晶片LC中之任一方或兩方移動。

其次，如圖40所示，使積層體MCS向邏輯晶片LC移動。藉由上述第2位置對準步驟，高精度地對積層體MCS與邏輯晶片LC之相對位置進行位置對準。因此，只要使積層體MCS呈直線地向邏輯晶片LC移動，便可維持如下狀態，即，邏輯晶片LC之複數個背面電極3bp、與形成於積層體MCS之正面3a之複數個外部端子7對向地配置。

其次，如圖41所示，將加熱治具31推抵至積層體MCS之背面3b側，向邏輯晶片LC推壓積層體MCS。此時，接著材料NCL2處於硬化之前之柔軟狀態，因此，若藉由加熱治具31而推入積層體MCS，則積層體MCS會靠近邏輯晶片LC。若積層體MCS靠近邏輯晶片LC，則形

成於積層體MCS之正面3a之複數個外部端子7之前端(詳細而言為焊錫材料7a)會與背面電極3bp之接合區域(詳細而言為焊錫材料7a)發生接觸。

又，積層體MCS與邏輯晶片LC之間所塗佈之接著材料NCL2沿著邏輯晶片LC之背面3b擴大。於圖41所示之例子中，接著材料NCL2之周緣部並未到達邏輯晶片LC之背面3b之周緣部。然而，作為變化例，亦可使接著材料NCL2擴大至邏輯晶片LC之周緣部為止，且覆蓋邏輯晶片LC之側面或接著材料NCL1之側面。於該情形時，邏輯晶片LC之背面3b之對準標記50c由接著材料NCL2覆蓋。然而，由於已檢測出對準標記50c之位置，故而不會產生特別之問題。又，藉由使接著材料NCL2與半導體晶片3之密接面積擴大，可使接著材料NCL2與半導體晶片3(積層體MCS及邏輯晶片LC)之接著強度提高。

再者，於本實施形態中，在積層體MCS之背面3b上未形成對準標記50或背面電極3bp。因此，可省略圖41所示之樹脂薄膜32。然而，若配置樹脂薄膜32，則可使利用加熱治具31進行推壓時由積層體MCS承受之力分散。又，若配置樹脂薄膜32，則可利用與上述第1晶片搭載步驟相同之機構進行第2晶片搭載步驟，因此，可使製造步驟簡單化。因此，較佳為於第2晶片搭載步驟中，亦使樹脂薄膜32介於積層體MCS與加熱治具31之間。

其次，如圖41所示，在將積層體MCS推壓至加熱治具31之狀態下，藉由加熱治具(熱源)31對積層體MCS及接著材料NCL2進行加熱。於積層體MCS與邏輯晶片LC之接合部，外部端子側之焊錫材料7a分別熔融，與邏輯晶片LC之背面電極3bp接合。即，藉由加熱治具(熱源)31對積層體MCS進行加熱，藉此，積層體MCS之複數個正面電極3ap與邏輯晶片LC之複數個背面電極3bp經由複數個焊錫材料7a而分別電性連接。

又，藉由對接著材料NCL2進行加熱，接著材料NCL2硬化。如上述第1晶片搭載步驟中進行之說明所述，無需藉由來自加熱治具(熱源)31之熱而使接著材料NCL1完全硬化，可採用如下實施態樣：使接著材料NCL1中所含之熱硬化性樹脂之一部分硬化(臨時硬化)至可對積層體MCS進行固定之程度之後，將邏輯晶片LC轉移至未圖示之加熱爐，使剩餘之熱硬化性樹脂硬化(完全硬化)。於使接著材料NCL1中所含之熱硬化性樹脂成分整體硬化之完全硬化處理完成之前需要時間，但藉由利用加熱爐進行完全硬化處理，可提高製造效率。

<密封步驟>

其次，於圖13所示之密封步驟中，如圖42所示，利用樹脂對配線基板20之上表面2a、邏輯晶片LC、及複數個記憶體晶片MC1、MC2、MC3、MC4之積層體MCS進行密封，從而形成密封體4。圖42係表示於圖36所示之配線基板上形成密封體，對已積層之複數個半導體晶片進行了密封之狀態的放大剖面圖。又，圖43係表示圖42所示之密封體之整體構造之平面圖。

於本實施形態中，如圖43所示，形成總括地對複數個器件區域20a進行密封之密封體4。此種密封體4之形成方法被稱為總括密封(Block Molding)方式，將藉由該總括密封方式而製造之半導體封裝稱為MAP(Multi Array Package，多陣列封裝)型之半導體裝置。總括密封方式可減小各器件區域20a之間隔，因此，一塊配線基板20之有效面積增大。即，可自一塊配線基板20獲取之製品個數增加。如此，藉由增大一塊配線基板20之有效面積，可使提高製造步驟之效率。

又，於本實施形態中，藉由所謂之轉移模製方式而形成上述密封體4，該所謂之轉移模製方式係指將加熱軟化之樹脂壓入至未圖示之成形模具內而成形之後，使樹脂熱硬化之方式。轉移模製方式所形成之密封體4例如與圖42所示之對積層體MCS進行密封之密封體6般，

使液狀樹脂硬化而成之密封體相比較，耐久性較高，因此，適合於作為保護構件。又，例如將二氧化矽(silica； SiO_2)粒子等填料粒子混合至熱硬化性樹脂，藉此，可使密封體4之功能(例如對於翹曲變形之耐受性)提高。

再者，於本實施形態中，積層之複數個半導體晶片3之接合部(電性連接部)由接著材料NCL1、NCL2、及密封體6密封。因此，作為變化例，可適用於未形成有密封體4之實施態樣。於該情形時，可省略本密封體步驟。

< 焊錫球安裝步驟 >

其次，於圖13所示之焊錫球安裝步驟中，如圖44所示，將成為外部端子之複數個焊錫球5接合於配線基板20之下表面2b上所形成之複數個焊盤2g。圖44係表示將焊錫球接合於圖37所示之配線基板之複數個焊盤上之狀態的放大剖面圖。

於本步驟中，如圖44所示，使配線基板20之上下反轉之後，將焊錫球5配置於在配線基板20之下表面2b露出之複數個焊盤2g之各個上，其後進行加熱，藉此，將複數個焊錫球5與焊盤2g予以接合。藉由本步驟，複數個焊錫球5經由配線基板20而與複數個半導體晶片3(邏輯晶片LC及記憶體晶片MC1、MC2、MC3、MC4)電性連接。然而，本實施形態中所說明之技術並不限於適用於呈陣列狀地接合有焊錫球5之所謂之BGA(Ball Grid Array，球柵陣列)型之半導體裝置。例如，作為相對於本實施形態之變化例，亦可適用於所謂之LGA(Land Grid Array，地柵陣列)型之半導體裝置，該所謂之LGA(Land Grid Array)型之半導體裝置係在未形成焊錫球5而使焊盤2g露出之狀態下、或將較焊錫球5薄之焊錫漿料塗佈於焊盤2g之狀態下出貨。於LGA型之半導體裝置之情形時，可省略焊錫球安裝步驟。

< 單片化步驟 > 其次，於圖13所示之單片化步驟中，如圖45所

示，以器件區域20a為單位分割配線基板20。圖45係表示使圖44所示之多腔配線基板單片化後之狀態之剖面圖。

於本步驟中，如圖45所示，沿著切割線(切割區域)20c將配線基板20及密封體4切斷，獲取單片化後之複數個半導體裝置1(參照圖4)。切斷方法並無特別限定，於圖45所示之例子中表示了如下實施態樣：使用切割刀(旋轉刀)40，自配線基板20之下表面2b側對接著固定於帶材(切割帶)41之配線基板20及密封體4進行切削加工，從而將該配線基板20及密封體4切斷。然而，本實施形態中所說明之技術並不限於適用於使用包括複數個器件區域20a之多腔基板即配線基板20之情形。例如，可適用於如下半導體裝置，該半導體裝置在相當於一個半導體裝置之配線基板2(參照圖4)上積層有複數個半導體晶片3。於該情形時，可省略單片化步驟。

藉由以上之各步驟而獲得使用圖1～圖11所說明之半導體裝置1。其後，進行外觀檢查或電性測試等必需之檢查、測試，出貨或安裝於未圖示之安裝基板。

<對準標記之形狀>

其次，關於對準標記之俯視形狀，說明較佳之實施態樣。圖46係放大地表示圖3、圖7、圖9及圖10所示之對準標記之放大平面圖。又，圖47～圖49分別係表示相對於圖46之變化例之放大平面圖。

圖46所示之對準標記50俯視時呈多邊形(圖46中為L字形狀)。又，相對於多邊形之外切圓51之中心呈非對稱之形狀。如此，藉由將對準標記50之平面形狀設為非對稱形狀，除了可檢測出對準標記50之位置，亦可檢測出對準標記50俯視時之斜度。

因此，例如即使於分別形成有一個上述對準標記50a、50b、50c、50d之情形時，亦可於圖46所示之XY座標面中確定對準標記50之X座標位置、Y座標位置及 θ 方向之位置。

又，於將2個以上之非對稱形狀之對準標記50配置於同一平面上之情形時，可檢測出圖46所示之 θ 方向之位移了180度。例如，若將圖7所示之複數個對準標記50d、及圖9所示之複數個對準標記50b分別設為圖46所示之非對稱形狀，則可於第1晶片搭載步驟及第2晶片搭載步驟中，防止或抑制半導體晶片3之搭載方向偏移了180度之誤搭載。

又，如圖47所示之對準標記52般，俯視時呈圓形之形狀與圖46所示之多邊形相比較，更容易被加工，因此，可提高加工精度。又，不易遺漏圓形之對準標記52之一部分，因此，可提高檢測精度。

因此，例如若將圓形之對準標記52應用於上述對準標記50a、50b、50c、50d中之至少任一個部位以上之部位，則可使配置有對準標記52之部位之位置檢測精度提高。當然，亦可如對準標記52般，將上述對準標記50a、50b、50c、50d均設為圓形。

然而，於本實施形態中，如圖6所示，只要使邏輯晶片LC之複數個背面電極3bp與記憶體晶片MC1之複數個正面電極3ap確實地對向配置即可，因此，可於能夠確保所要求之位置對準精度之範圍內適用各種變化例。例如，如圖48所示，可應用俯視時呈四邊形之對準標記53。又，例如，如圖49所示，可應用俯視時呈X字形狀之對準標記54。又，可組合地應用上述對準標記50、52、53、54。

(變化例)

以上，根據實施形態，具體地對本發明者之發明進行了說明，但本發明並不限定於上述實施形態，當然可於不脫離其宗旨之範圍內進行各種變更。

<變化例1>

例如於上述實施形態中，說明了於第1晶片搭載步驟及第2晶片搭載步驟中應用如下技術之實施態樣，該技術係利用檢測對準標記50所得之結果而積層半導體晶片3之技術。然而，可應用於組裝積層體

MCS之步驟，即上述第2晶片準備步驟。圖50係表示相對於圖8之變化例之平面圖。

於將利用檢測對準標記50所得之結果而積層半導體晶片3之技術應用於上述第2晶片準備步驟之情形時，如圖7所示，於構成積層體MCS(參照圖4)之複數個記憶體晶片MC1、MC2、MC3、MC4各自之正面3a形成對準標記50d。又，如圖50所示，於複數個記憶體晶片MC1、MC2、MC3各自之背面3b形成對準標記50e。

根據本變化例，積層複數個記憶體晶片MC1、MC2、MC3、MC4時之位置對準精度提高，因此，可使複數個記憶體晶片MC1、MC2、MC3、MC4之電性連接可靠性提高。

<變化例2>

又，於上述實施形態中，說明搭載於上段側之積層體MCS之平面尺寸大於搭載於下段側之邏輯晶片LC之平面尺寸的情形。然而，可適用於如下情形：如圖51所示之半導體裝置1a般，積層體MCS之平面尺寸小於搭載於下段側之邏輯晶片LC之平面尺寸。圖51係表示相對於圖3之變化例之透視平面圖。

<變化例3>

又，於上述實施形態中，作為積層(使用)之複數個半導體晶片3之例子，說明了包含記憶體晶片MC1、MC2、MC3、MC4與邏輯晶片LC之SiP型之半導體裝置1。然而，只要為使積層之複數個半導體晶片3彼此電性連接之構造，則亦可適用於記憶體晶片與邏輯晶片以外之組合。

<變化例4>

又，於上述實施形態中，說明了如下實施態樣：如圖6所示，於邏輯晶片LC之複數個正面電極3ap之相反側配置有複數個背面電極3bp，且上述複數個正面電極3ap與上述複數個背面電極3bp經由複數

個貫通電極3tsv而電性連接。然而，若為如下半導體裝置，即，於下段側之半導體晶片3形成有複數個背面電極3bp，且上述複數個背面電極3bp經由外部端子7而與上段側之半導體晶片3之複數個正面電極3ap電性連接，則亦可適用於未形成有貫通電極3tsv之實施態樣。

<變化例5>

進而，可於不脫離上述實施形態中所說明之技術思想之宗旨的範圍內，將變化例彼此加以組合而應用。

【符號說明】

1、1a	半導體裝置
2	配線基板
2a	上表面(面、晶片搭載面)
2b	下表面(面、安裝面)
2c	側面
2d	配線
2d1	配線
2d2	穿孔配線
2e	絕緣層(核心層)
2f	接合引線(端子、晶片搭載面側端子、電極)
2g	焊盤
2h、2k	絕緣膜(阻焊膜)
2hs	開口部
2hw、2kw	開口部
2p1、2p2	晶片搭載區域(晶片搭載部)
3	半導體晶片
3a	正面(主面、上表面)

3ap、3ap1、3ap2	正面電極(電極、焊墊、主面側焊墊)
3b	背面(主面、下表面)
3bp	背面電極(電極、焊墊、背面側焊墊)
3c	側面
3d	配線層(晶片配線層)
3p	絕緣膜(保護膜、鈍化膜)
3ps	開口部
3tsh	孔(孔、開口部)
3tsv	貫通電極
4	密封體(樹脂體)
4a	上表面(面、正面)
4b	下表面(面、背面)
4c	側面
5	焊錫球(外部端子、電極、外部電極)
6	密封體(晶片積層體用密封體、晶片積層體用樹脂體)
6a	底膠填充樹脂
7	外部端子(導電性構件、凸塊電極、突起電極)
7a	焊錫材料
7b	突起電極
20	配線基板
20a	器件區域
20b	框部(外框)
20c	切割線(切割區域)
25	掩模

26	支持基材
27	保護層
28	研磨治具
30	保持治具(夾盤)
30a	保持面
31	加熱治具
32	樹脂薄膜
33	噴嘴
34	基材
34a	組裝面
35	接著層
36	噴嘴
40	切割刀(旋轉刀)
41	帶材(切割帶)
50、50a、50b、50c、50d、50e、52、53、54	對準標記
51	外切圓
60	相機(標記位置檢測裝置、影像感測器、攝影裝置)
60a	受光部
60b	光電轉換電路部
60c	輸出電路部
60d	可見光反射部
61	控制部
A	部分
A-A、B-B	線
AS	位址線(信號線)

CR1、CR2	核心電路(主電路)
CU	控制電路
DR	電源電路(驅動電路)
DR1	電源電路(輸入輸出用電源電路)
DR2	電源電路(核心用電源電路)
DR3	電源電路(輸入輸出用電源電路)
DR4	電源電路(核心用電源電路)
DS	資料線(信號線)
GIF	外部介面電路(外部輸入輸出電路)
LC	邏輯晶片(半導體晶片)
MC1、MC2、MC3、MC4	記憶體晶片(半導體晶片)
MCS	積層體(記憶體晶片積層體、半導體晶
MM	主記憶電路(記憶電路)
MR	記憶體區域(記憶電路元件排列區域)
NCL、NCL1、NCL2	接著材料(絕緣性接著材料)
NIF	內部介面電路(內部輸入輸出電路)
NS1、NS2	輸入輸出電路
OS	信號線
PU	運算處理電路
RDC	再配線晶片(介面晶片)
RDL	引出配線(再配線)
SG	信號線
SM	輔助記憶電路(記憶電路)
TC	中繼電路
V1、V2、V3	電源線
WH	晶圓(半導體基板)

WHb	背面(主面、下表面)
WHs	正面(主面、上表面)
	片積層體)
θ	方向

申請專利範圍

1. 一種半導體裝置之製造方法，其包含以下之步驟：

(a)準備配線基板，該配線基板包含：第1面、形成於上述第1面之複數條接合引線、形成於上述第1面之第1對準標記、上述第1面相反側之第2面、及形成於上述第2面且與上述複數條接合引線分別電性連接之複數個焊盤；

(b)上述(a)步驟之後，以使第1半導體晶片之第1主面與上述配線基板之上述第1面對向之方式，將上述第1半導體晶片配置於上述配線基板之上述第1面上，且上述第1半導體晶片係包含：上述第1主面、形成於上述第1主面之第1半導體元件、形成於上述第1主面側且與上述第1半導體元件電性連接之複數個第1主面側焊墊、形成於上述第1主面側之第2對準標記、分別形成於上述複數個第1主面側焊墊之複數個第1外部端子、上述第1主面相反側之第1背面、形成於上述第1背面且與上述複數個第1主面側焊墊電性連接之複數個第1背面側焊墊、及形成於上述第1背面之第3對準標記；

(c)於上述(b)步驟之後，在將上述第1半導體晶片配置於上述配線基板上之狀態下，將標記位置檢測裝置配置於上述配線基板與上述第1半導體晶片之間，檢測上述配線基板之上述第1對準標記與上述第1半導體晶片之上述第2對準標記，進行上述配線基板與上述第1半導體晶片之位置對準；

(d)於上述(c)步驟之後，將上述第1半導體晶片搭載於上述配線基板之上述第1面，使上述複數個第1外部端子與上述複數條接合引線分別電性連接；

(e)於上述(d)步驟之後，以使上述第1半導體晶片之上述第3對

準標記露出之方式，將接著材配置於上述第1半導體晶片之上上述第1背面；

(f)於上述(e)步驟之後，將第2半導體晶片配置於上述第1半導體晶片之上上述第1背面上，該第2半導體晶片之平面尺寸係大於上述第1半導體晶片之平面尺寸，且該第2半導體晶片包含：第2主面、形成於上述第2主面之第2半導體元件、形成於上述第2主面側且與上述第2半導體元件電性連接之複數個第2主面側焊墊、形成於上述第2主面側之第4對準標記、分別形成於上述複數個第2主面側焊墊之複數個第2外部端子、及上述第2主面相反側之第2背面；

(g)於上述(f)步驟之後，在將上述第2半導體晶片配置於上述第1半導體晶片上之狀態下，將上述標記位置檢測裝置配置於上述第2半導體晶片與上述第1半導體晶片之間，檢測上述第1半導體晶片之上上述第3對準標記與上述第2半導體晶片之上上述第4對準標記，進行上述第1半導體晶片與上述第2半導體晶片之位置對準；及

(h)於上述(g)步驟之後，將上述第2半導體晶片經由上述接著材搭載於上述第1半導體晶片之上上述第1背面上，使上述複數個第2外部端子與上述複數個第1背面側焊墊分別電性連接。

2. 如請求項1之半導體裝置之製造方法，其中於上述(g)步驟中，檢測形成於上述第1半導體晶片之上上述第1背面之複數個上述第3對準標記、與形成於上述第2半導體晶片之上上述第2主面側之複數個上述第4對準標記。
3. 如請求項2之半導體裝置之製造方法，其中上述第1半導體晶片之上上述第3對準標記，配置於上述第1背面之周緣部，

上述第2半導體晶片之上上述第4對準標記，配置於上述第2主面

側之周緣部。

4. 如請求項3之半導體裝置之製造方法，其中上述第1半導體晶片之上述第3對準標記分別配置於俯視時呈四邊形之上述第1背面之第1角部、與位於上述第1角部之對角之第2角部；且

上述第2半導體晶片之上述第4對準標記，配置於俯視時呈四邊形之上述第2主面之第3角部、與位於上述第3角部之對角之第4角部。

5. 如請求項4之半導體裝置之製造方法，其中於上述第2半導體晶片形成有第1電路；且

於上述第1半導體晶片，形成有控制上述第1電路之驅動之控制電路。

6. 如請求項1之半導體裝置之製造方法，其中於上述第2半導體晶片形成有主記憶電路；且

於上述第1半導體晶片形成有控制上述主記憶電路之驅動之控制電路、及運算處理電路，該運算處理電路對在與上述第2半導體晶片或外部設備之間進行輸入輸出之信號資料，實施運算處理。

7. 如請求項6之半導體裝置之製造方法，其中上述第1半導體晶片之上述第3對準標記於上述第1背面，配置於較上述複數個第1背面側焊墊靠周緣部側處；且

上述第2半導體晶片之上述第4對準標記於上述第2主面側，配置於較上述複數個第2主面側焊墊靠周緣部側處。

8. 如請求項6之半導體裝置之製造方法，其中於上述第2半導體晶片之上述第2主面，設置有形成上述主記憶電路之複數個電路區域；且

上述第2半導體晶片之上述第4對準標記於上述第2主面側，配

置於較上述複數個電路區域靠周緣部側處。

9. 如請求項1之半導體裝置之製造方法，其中上述第1半導體晶片包含複數個貫通電極，上述複數個貫通電極自上述第1主面及上述第1背面中之一個面向另一個面貫通，且使上述複數個第1主面側焊墊與上述複數個第1背面側焊墊電性連接。
10. 如請求項2之半導體裝置之製造方法，其中上述第2對準標記及第4對準標記於俯視時呈多邊形，且相對於上述多邊形之外切圓之中心為非對稱。
11. 如請求項1之半導體裝置之製造方法，其中上述第1對準標記、第2對準標記、第3對準標記、及第4對準標記於俯視時呈多邊形，且相對於上述多邊形之外切圓之中心為非對稱。
12. 如請求項2之半導體裝置之製造方法，其中上述第1對準標記、第2對準標記、第3對準標記、或第4對準標記於俯視時呈圓形。

圖式

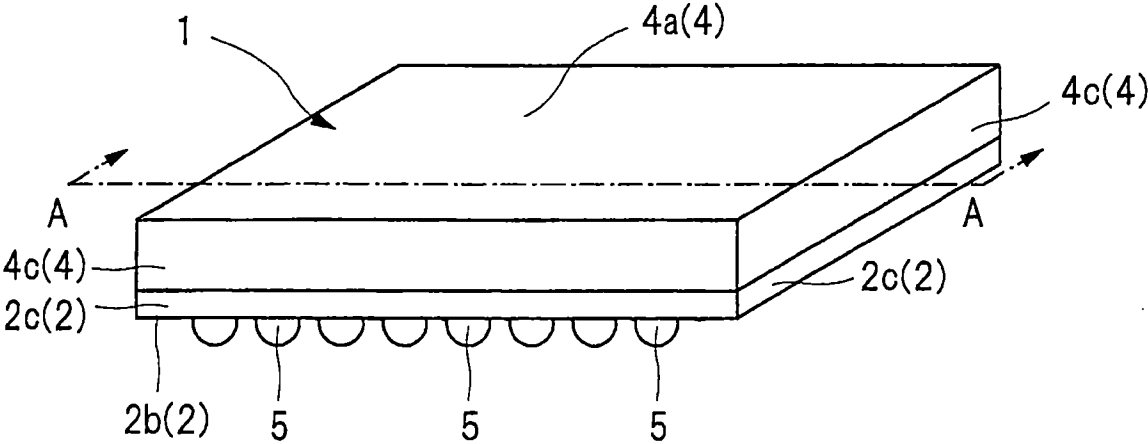


圖1

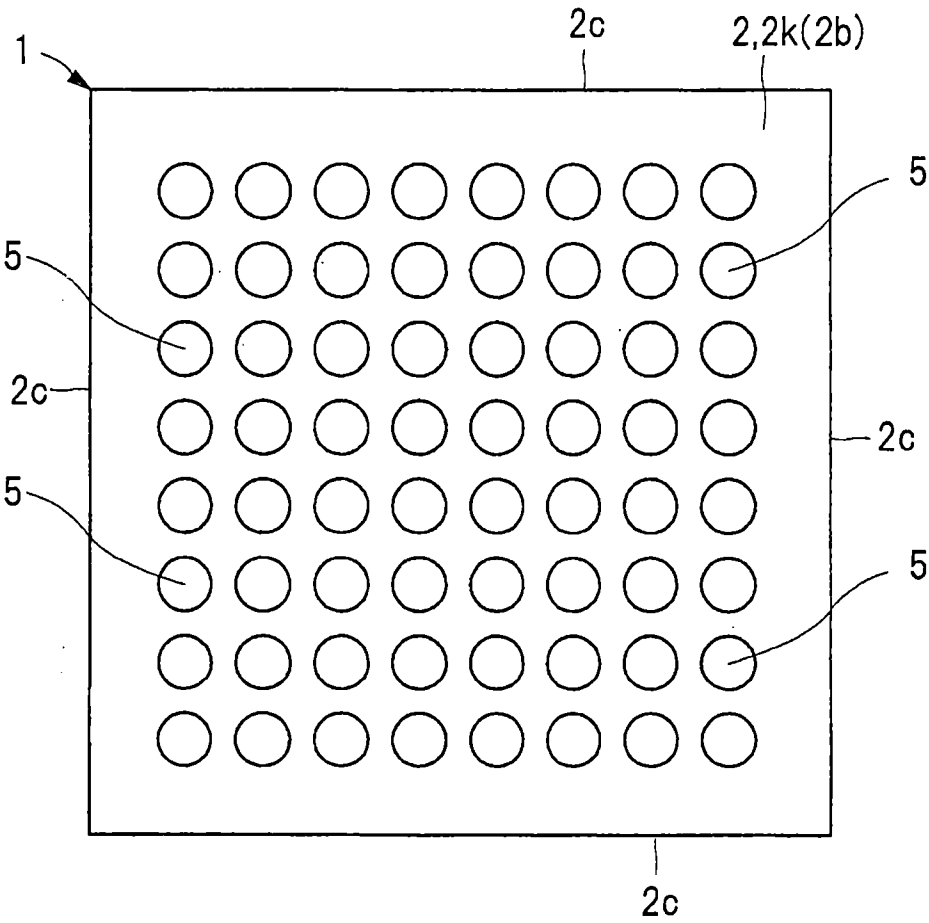


圖2

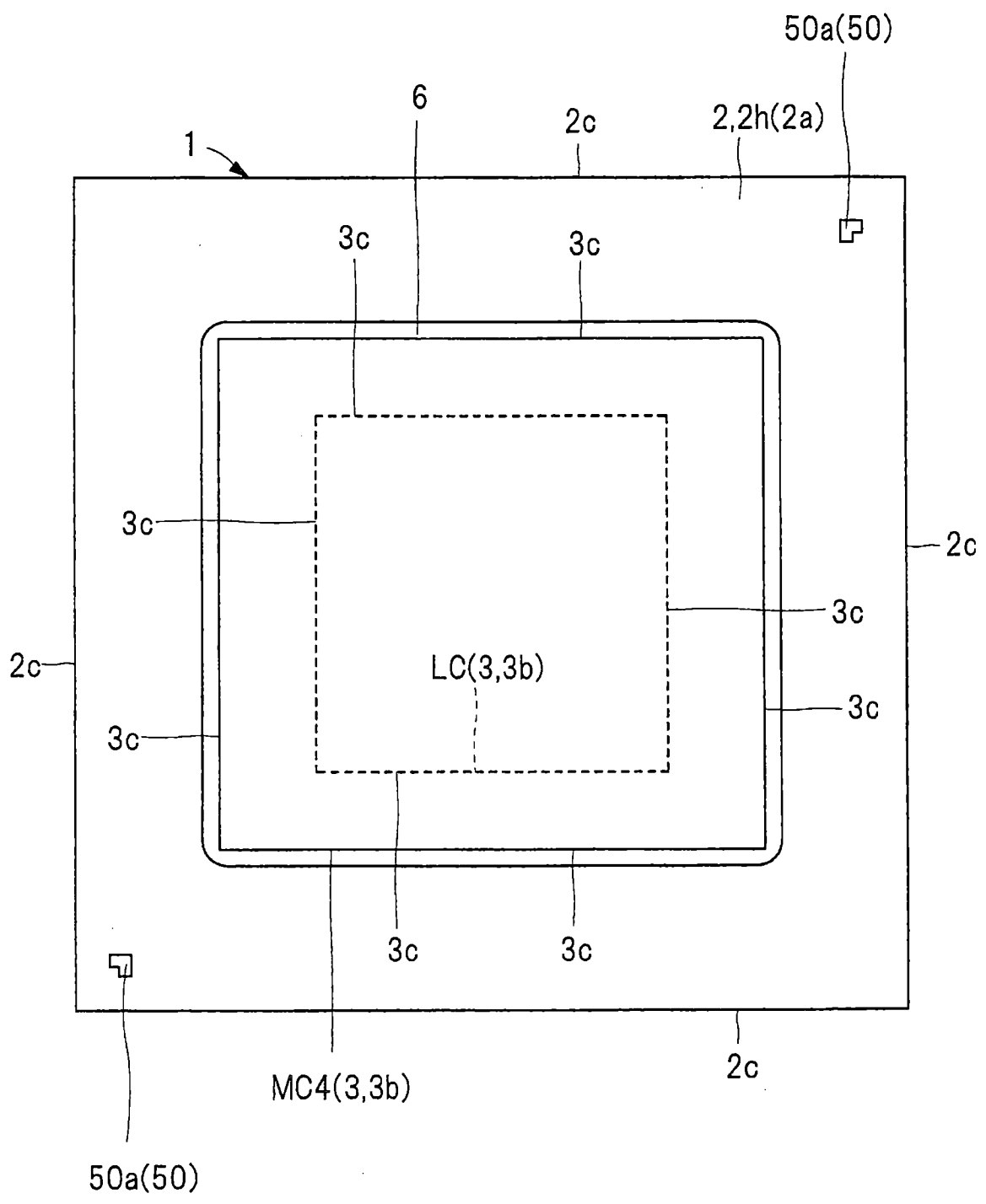


圖3



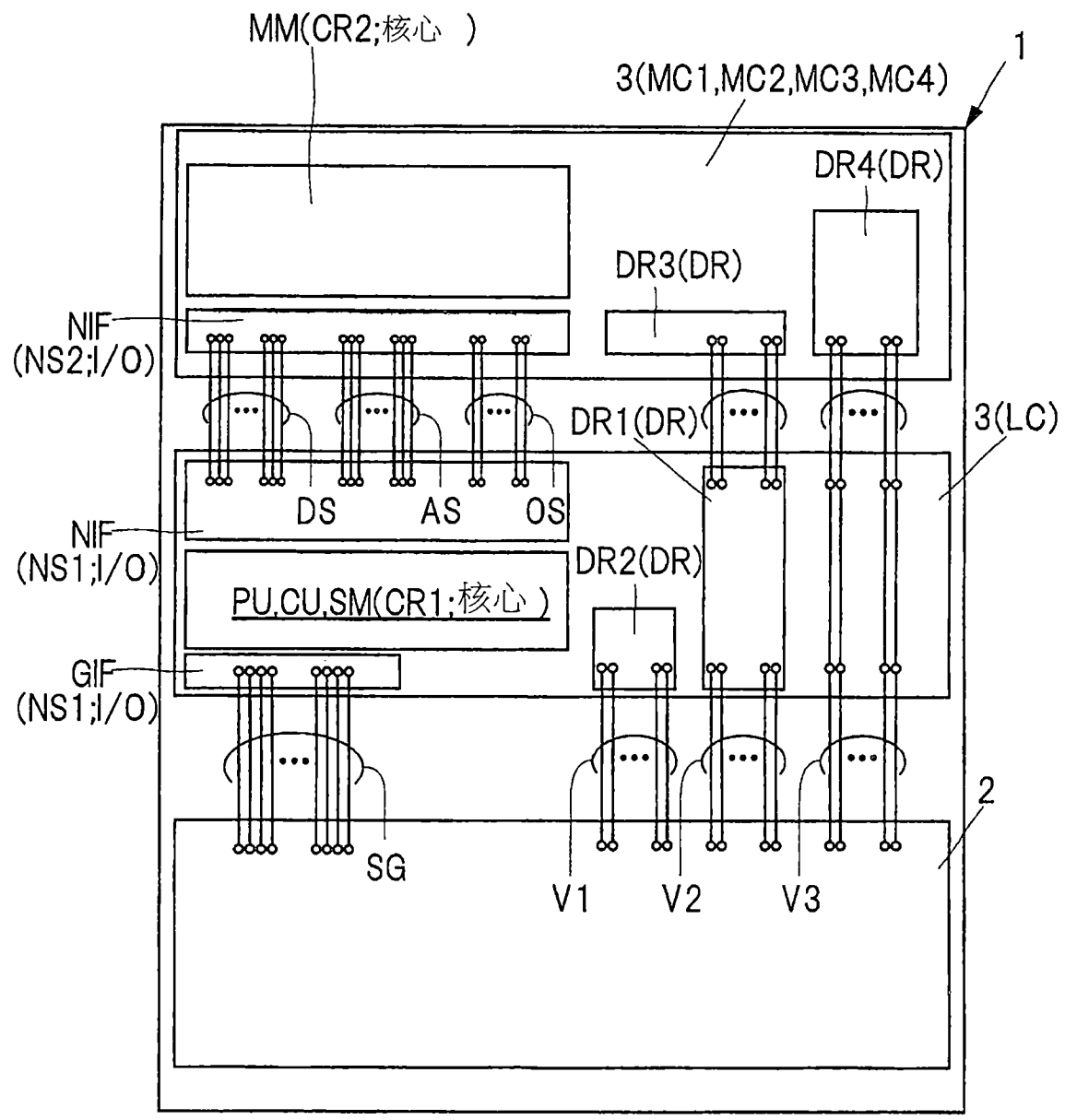


圖5

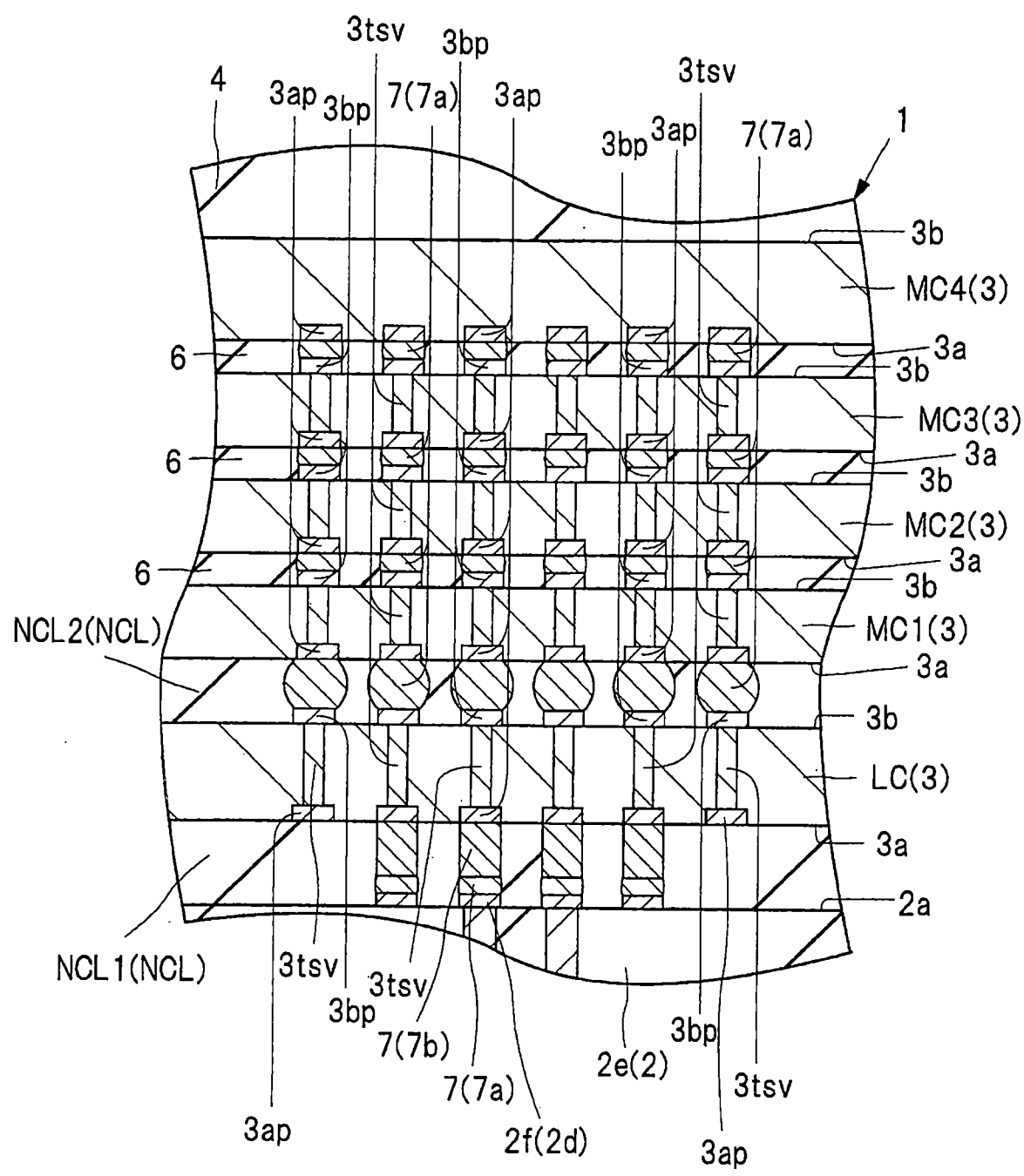


圖6

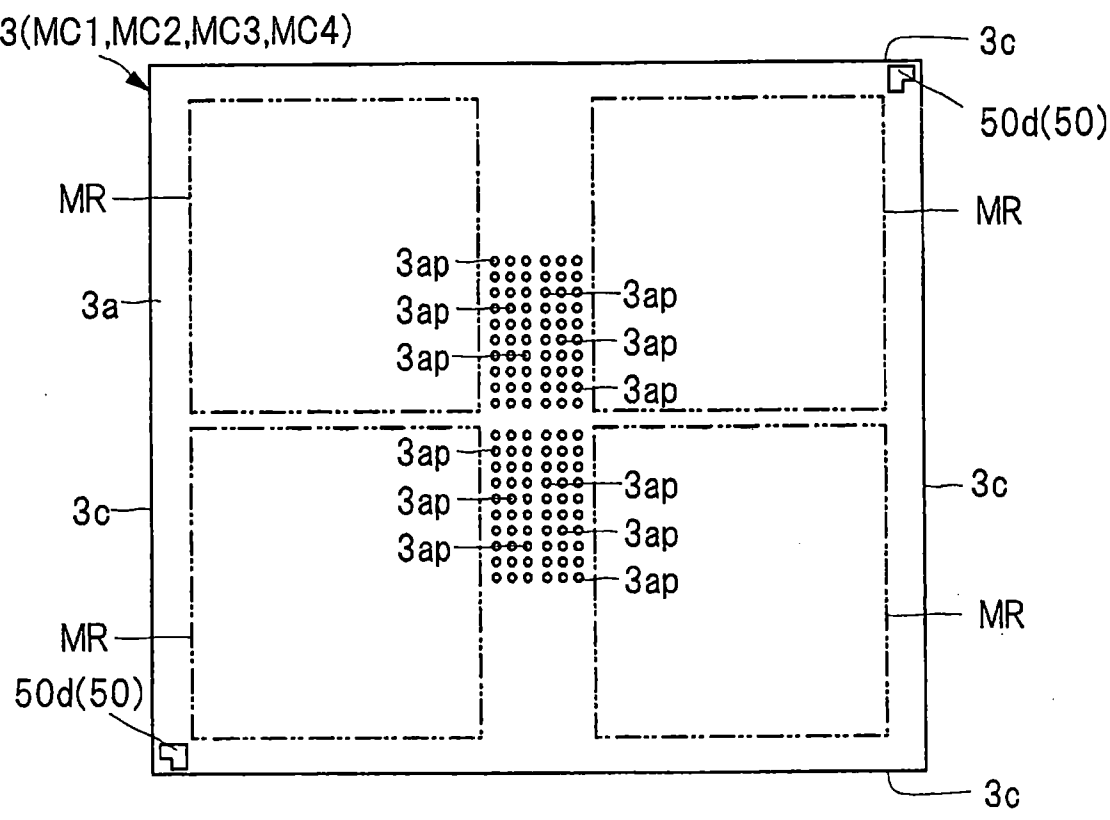


圖7

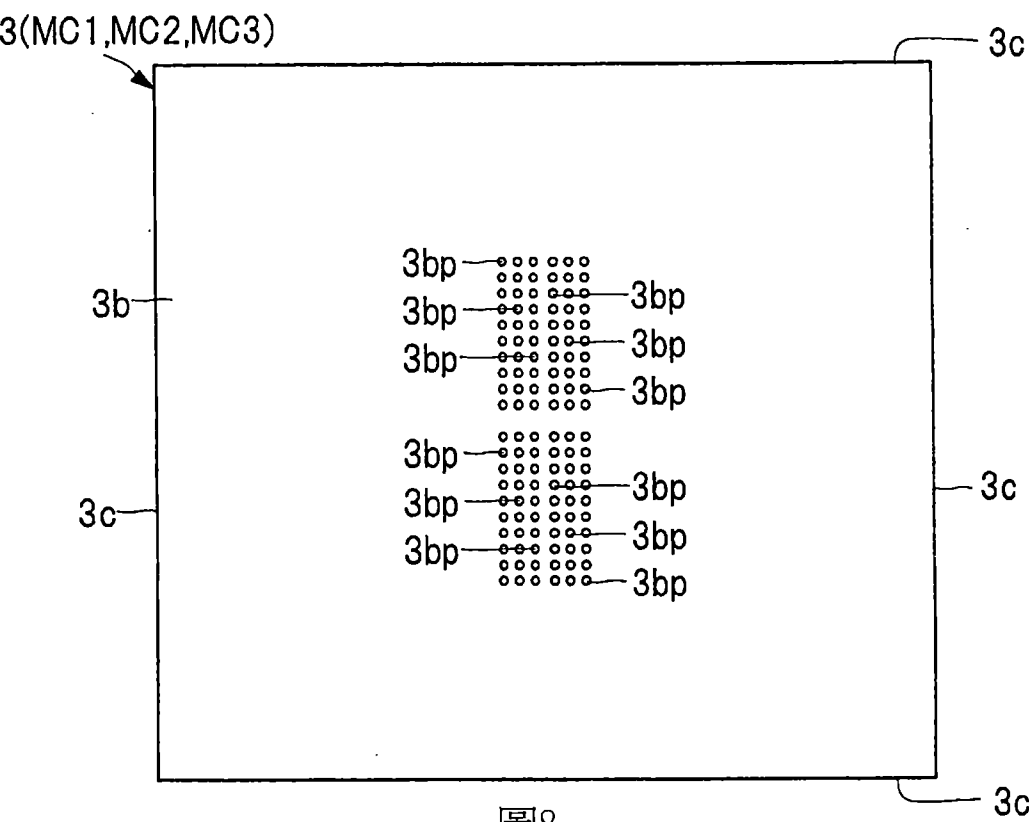


圖8

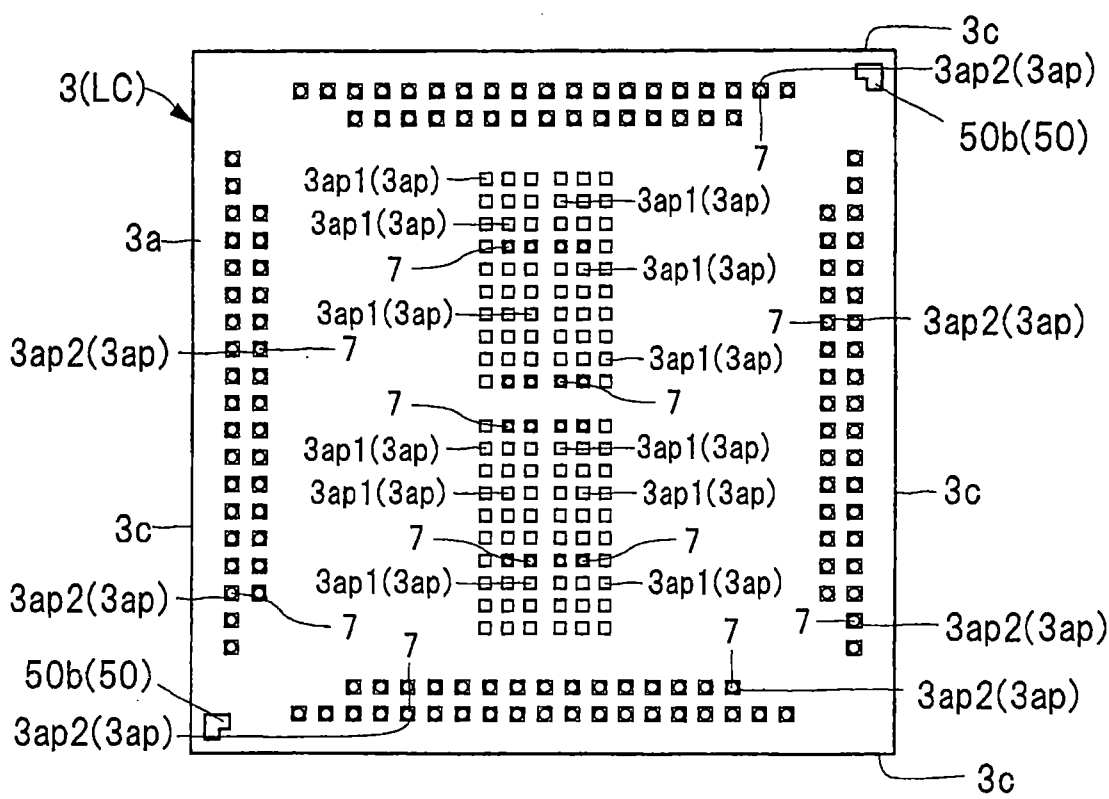


圖9

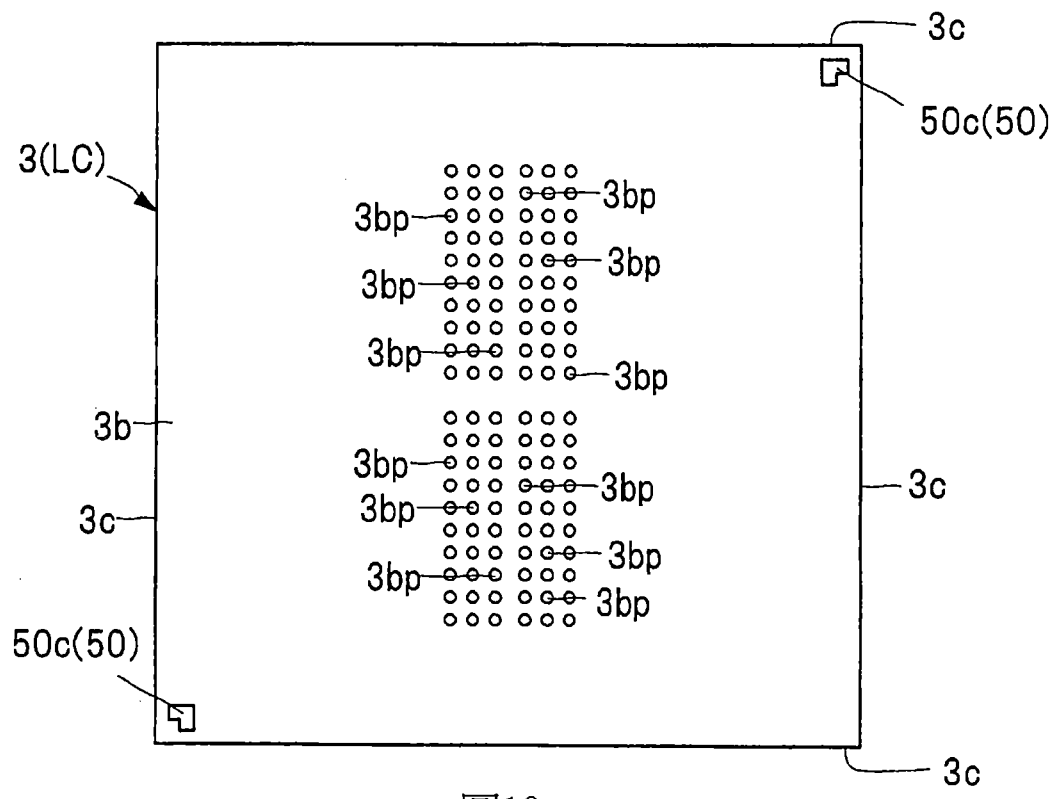
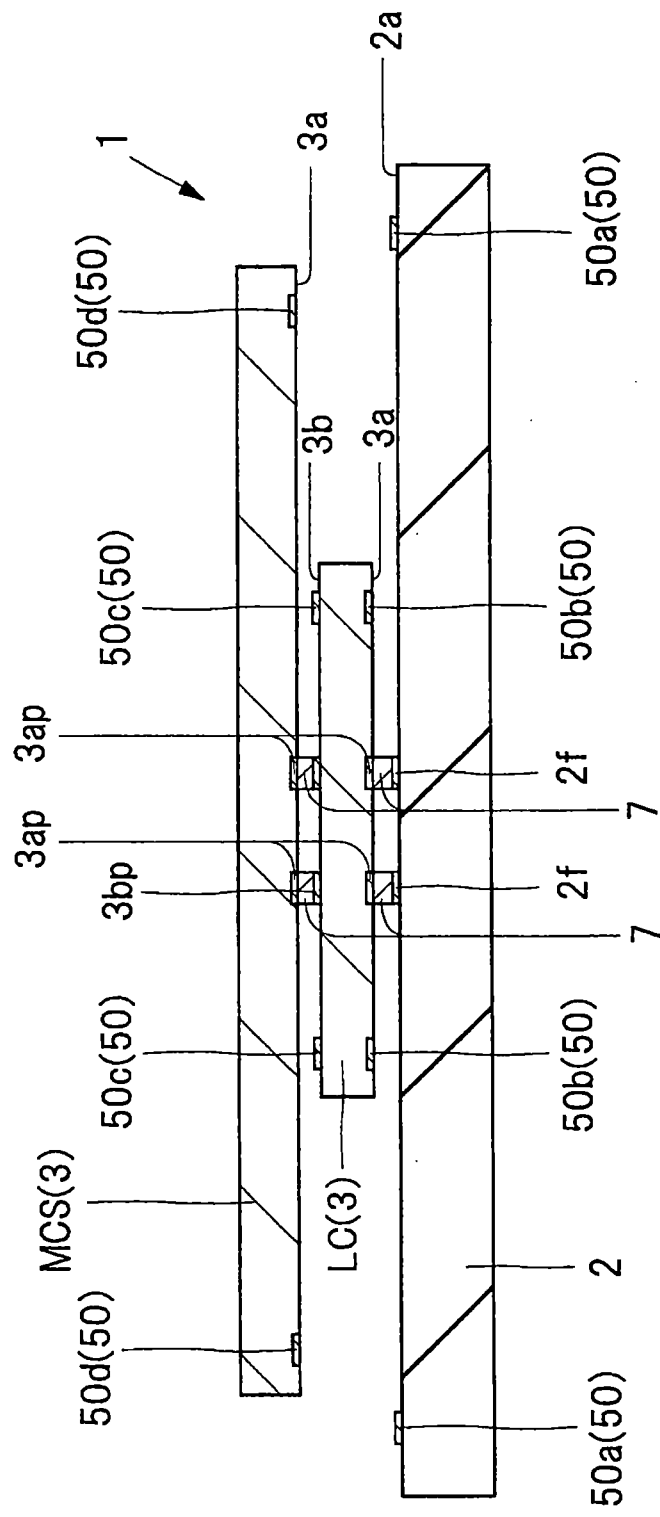


圖10



- 2 配線基板
- 3a 正面
- 3b 背面
- 50a、50b、50c、50d LC 邏輯晶片(半導體晶片)
- MCS 積層體(記憶體晶片積層體)
- 對準標記

圖11

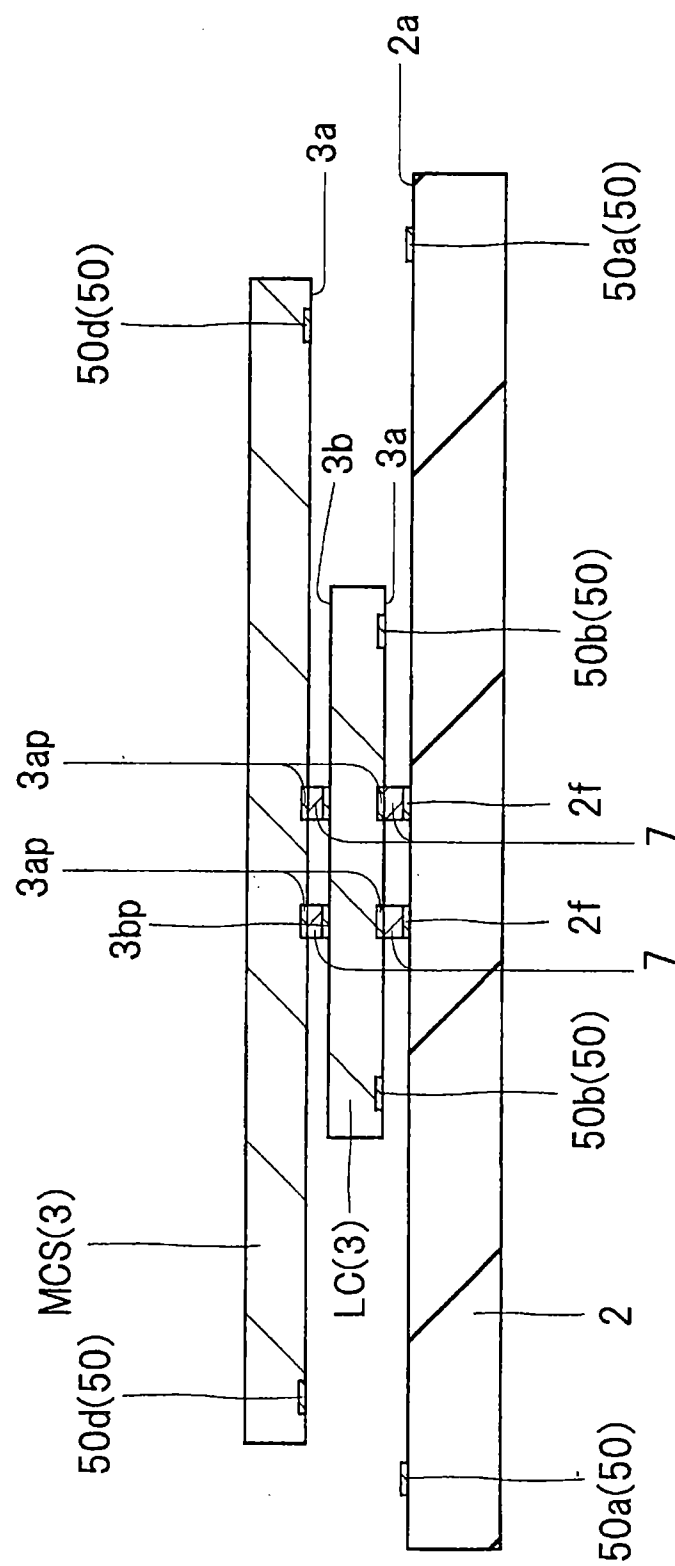


圖 12

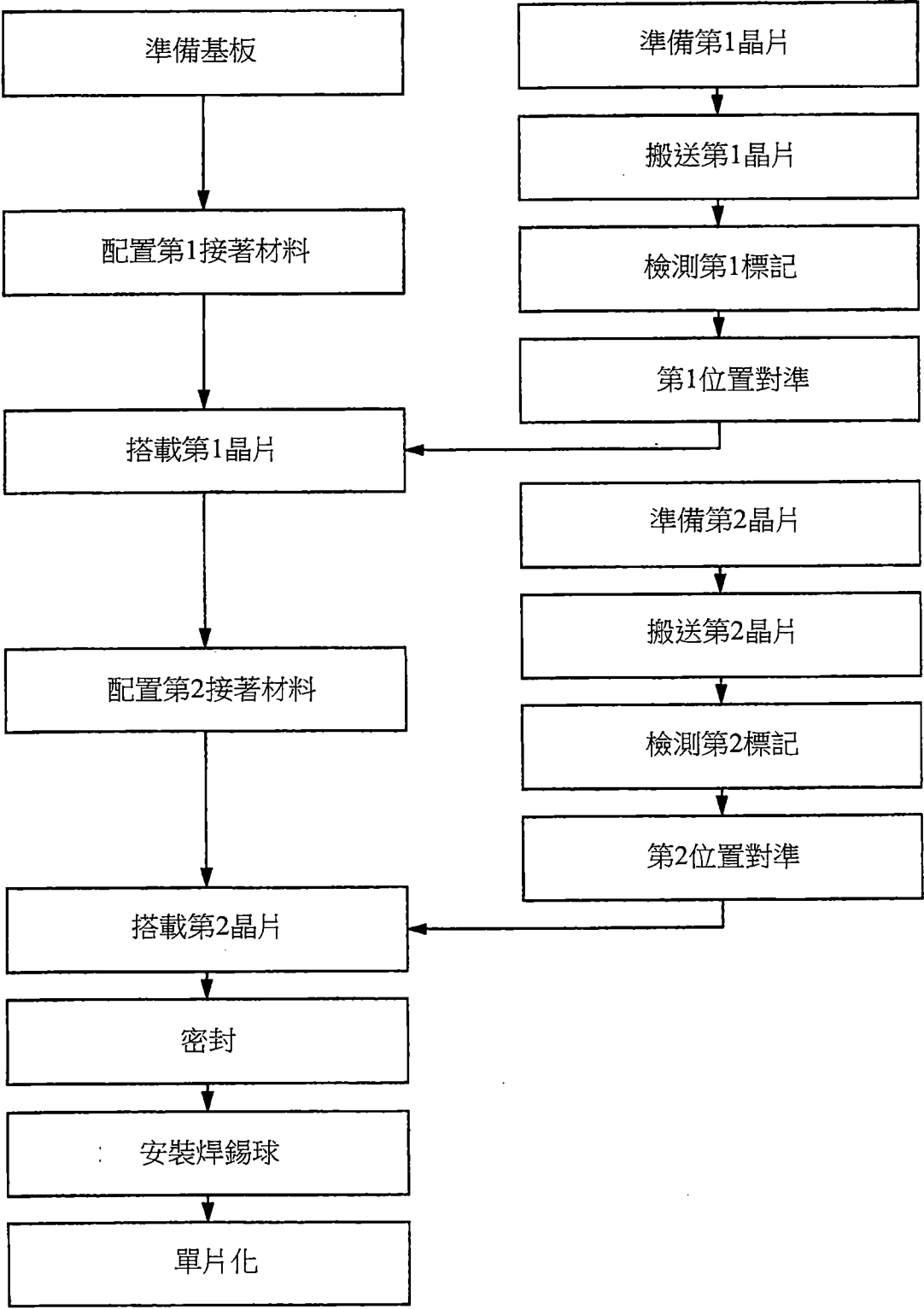


圖13

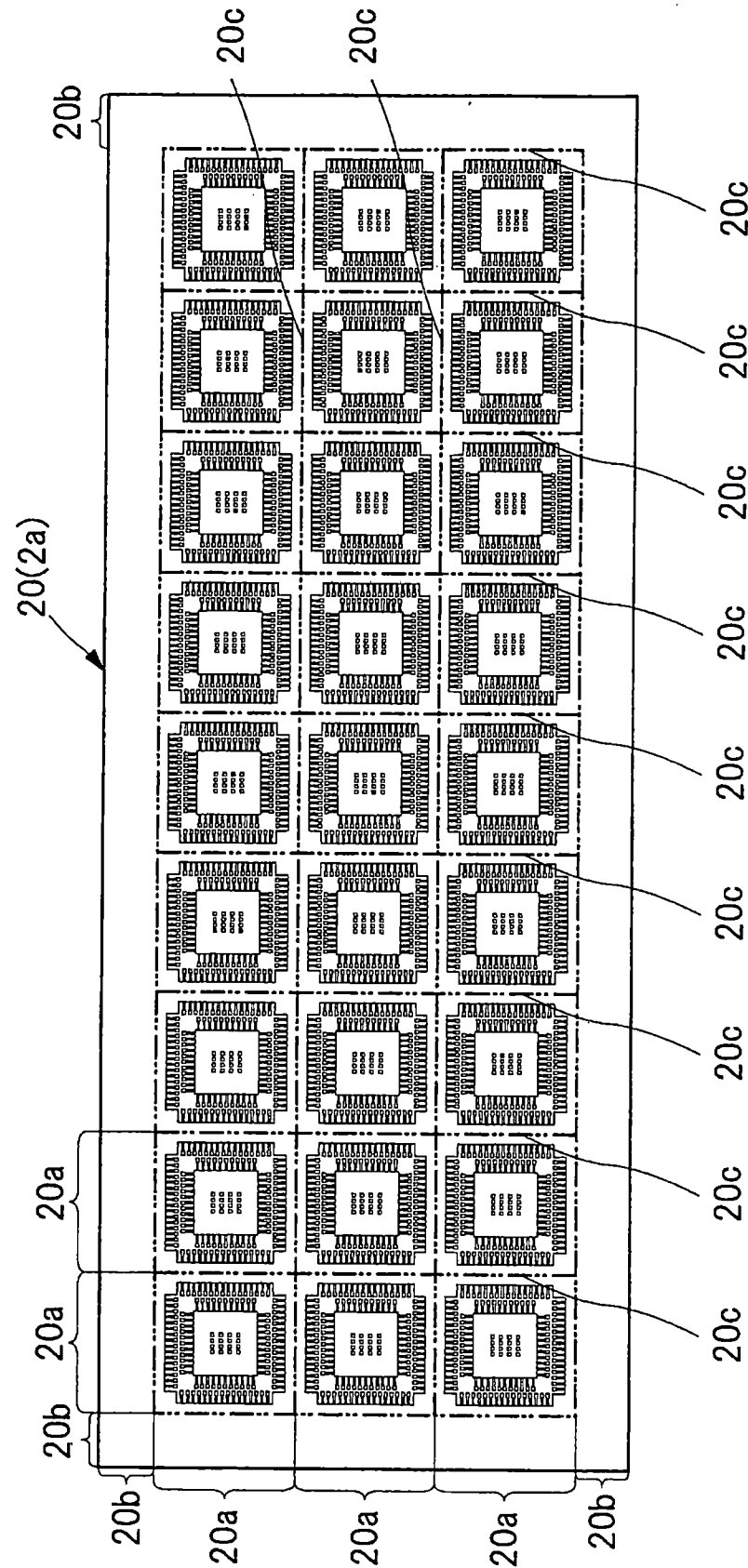


圖14

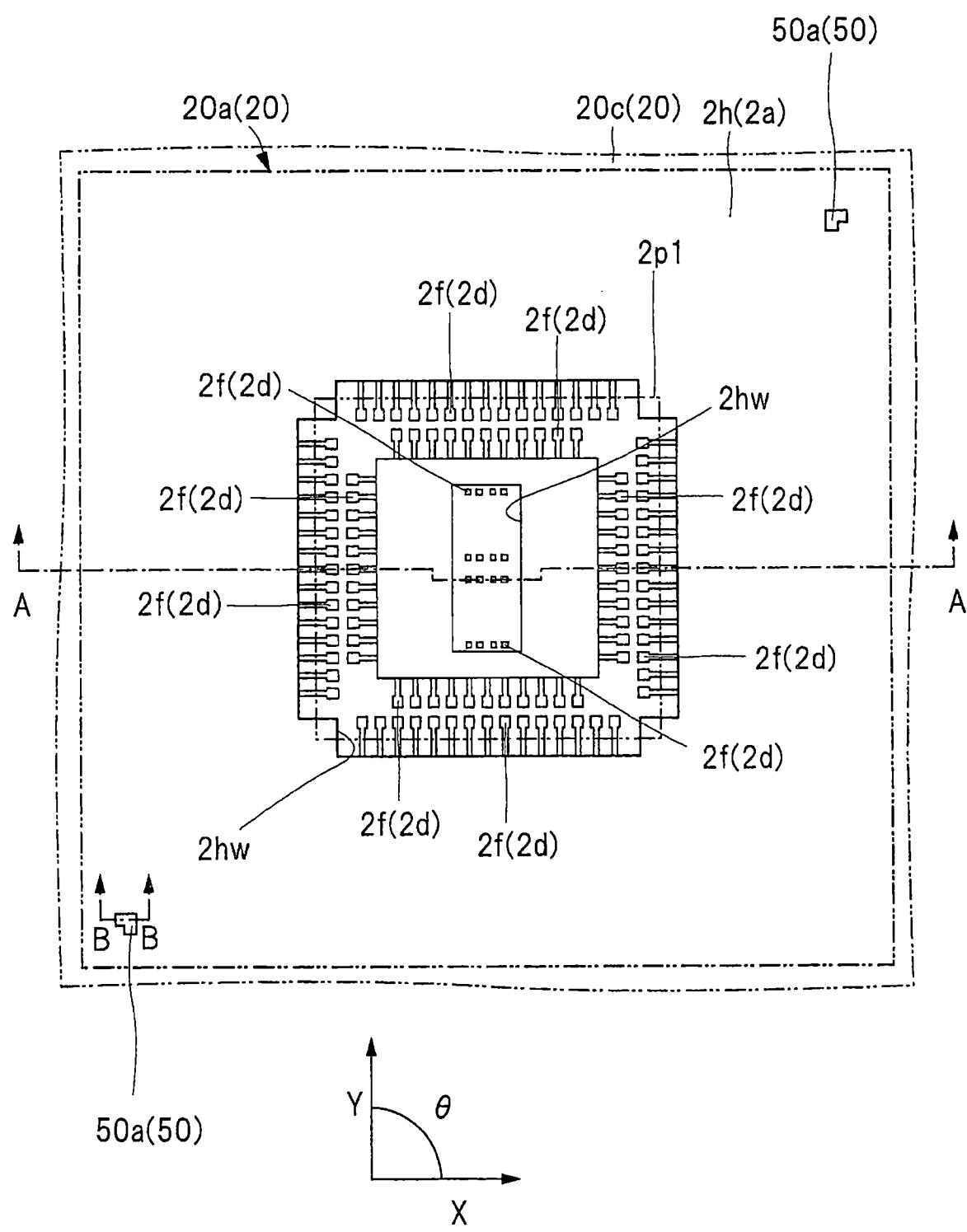


圖15

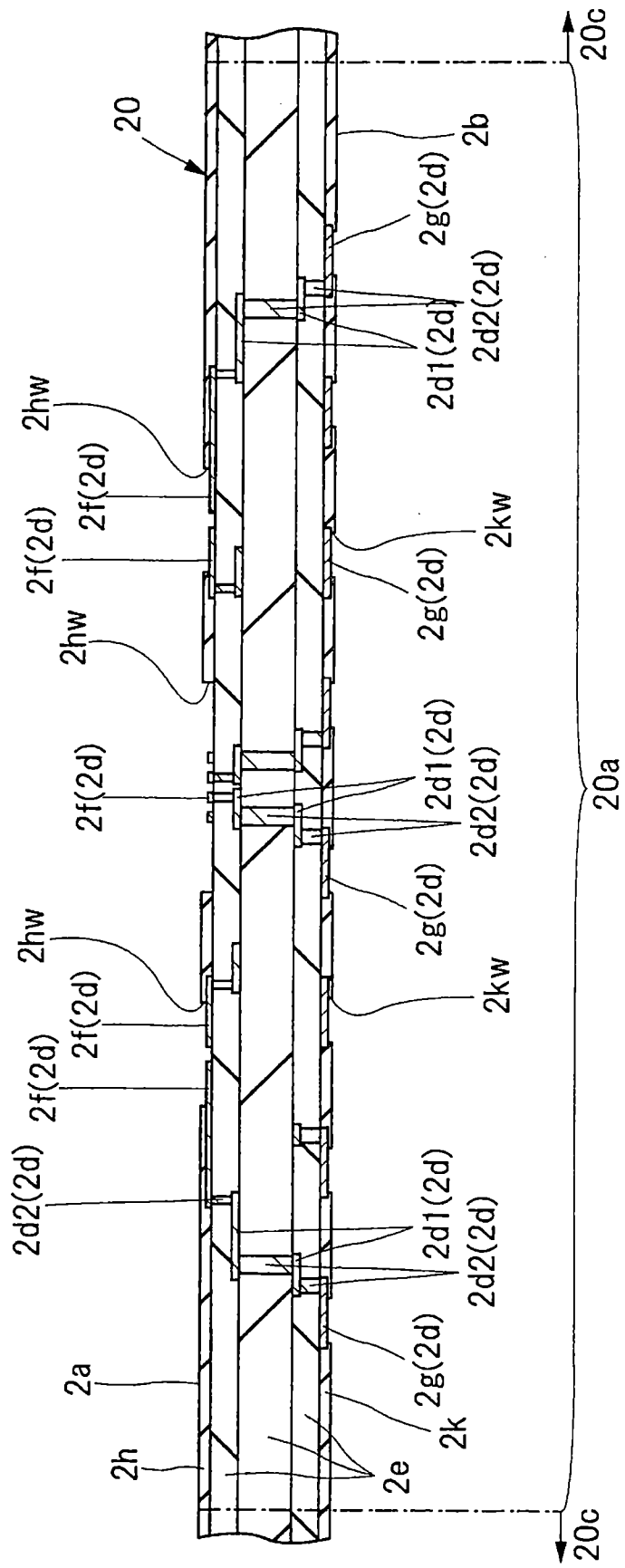


圖16

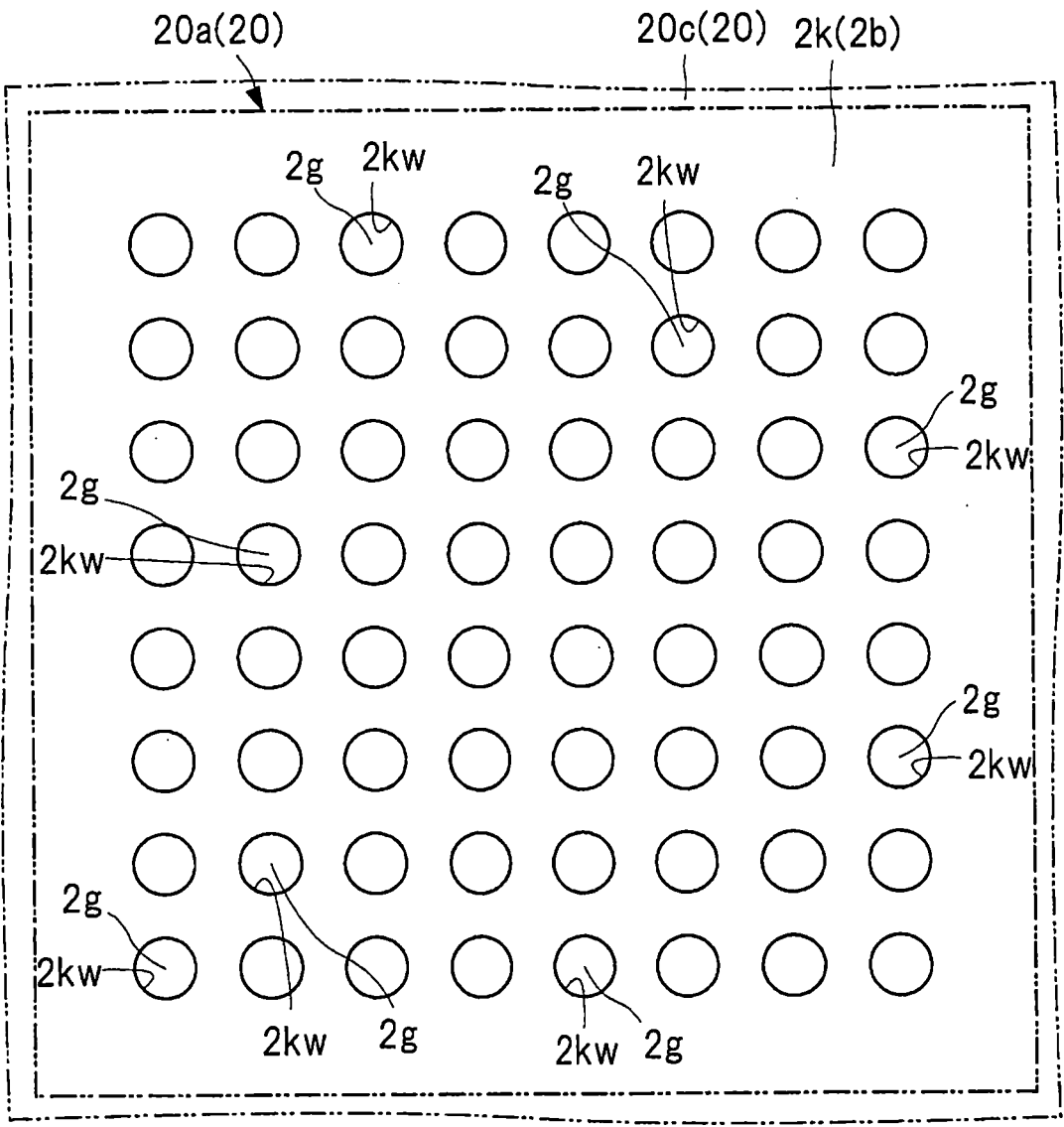


圖17

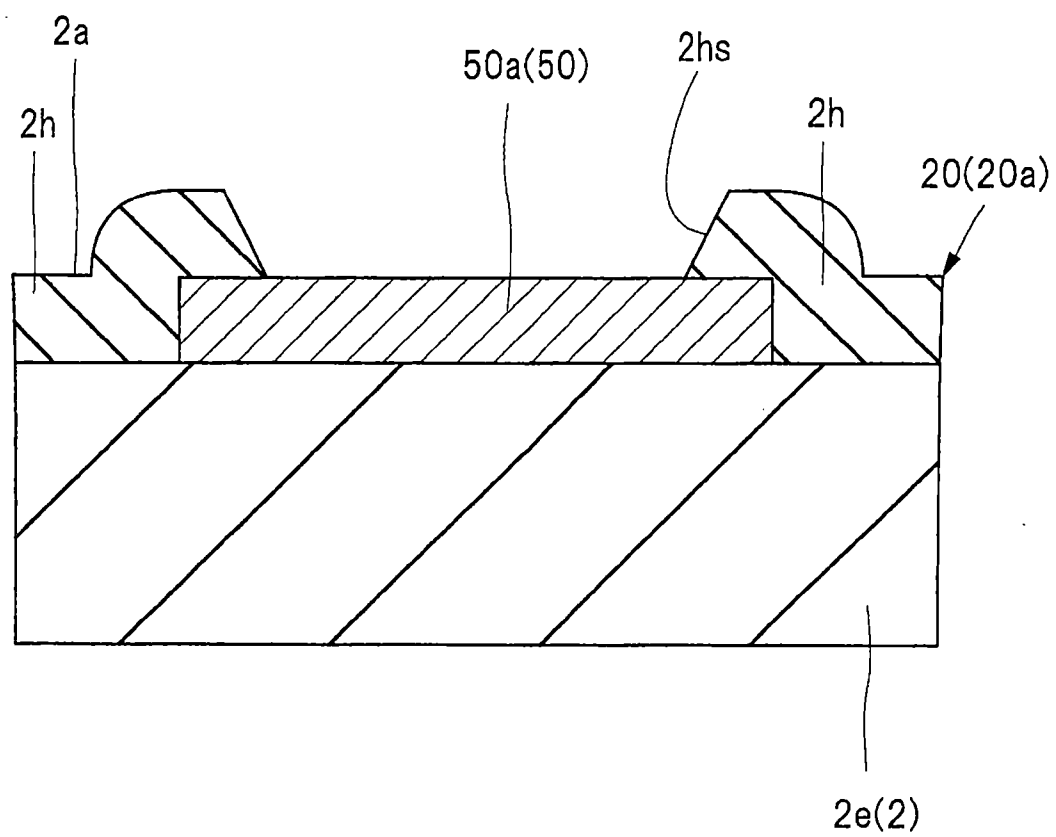


圖18

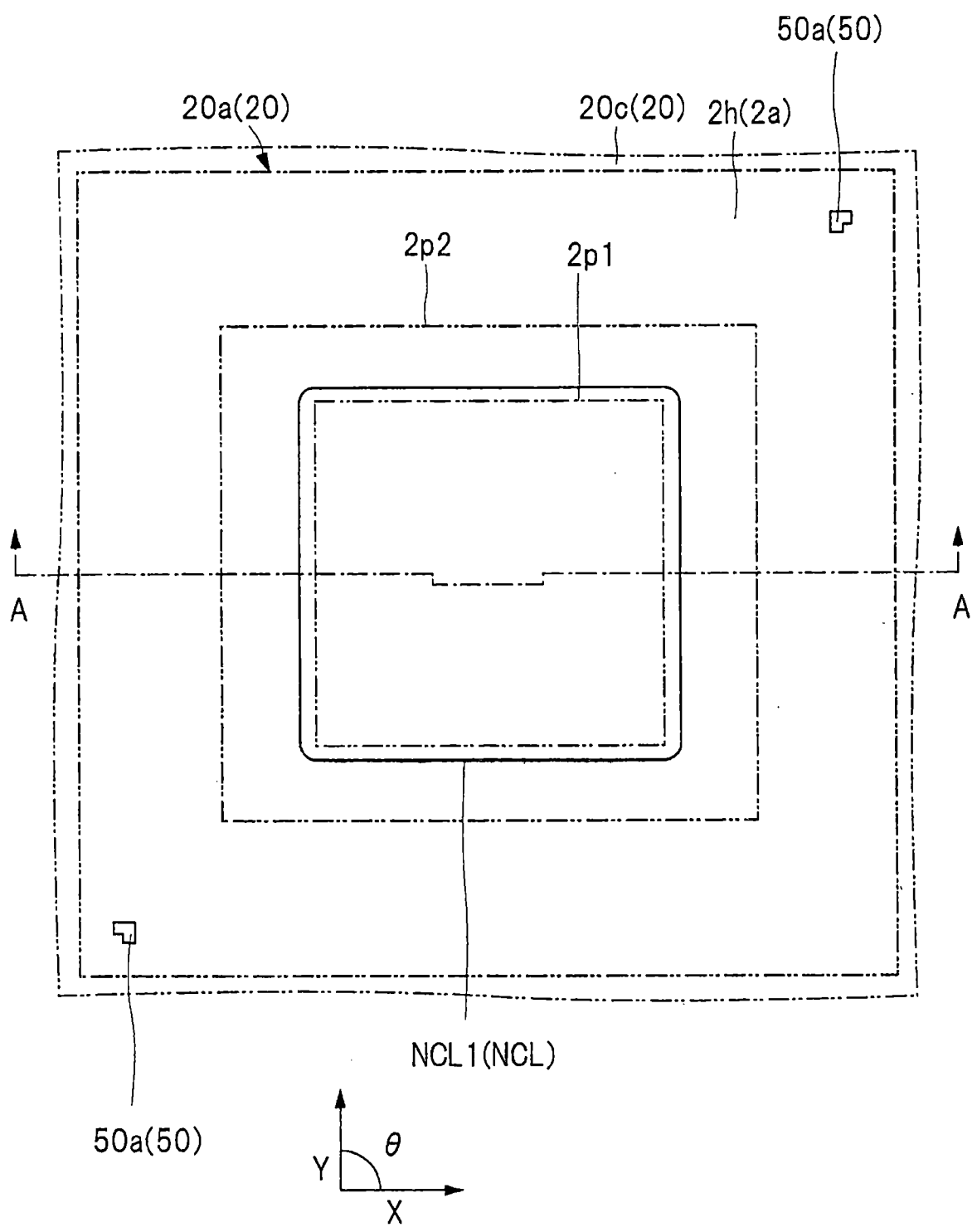


圖19

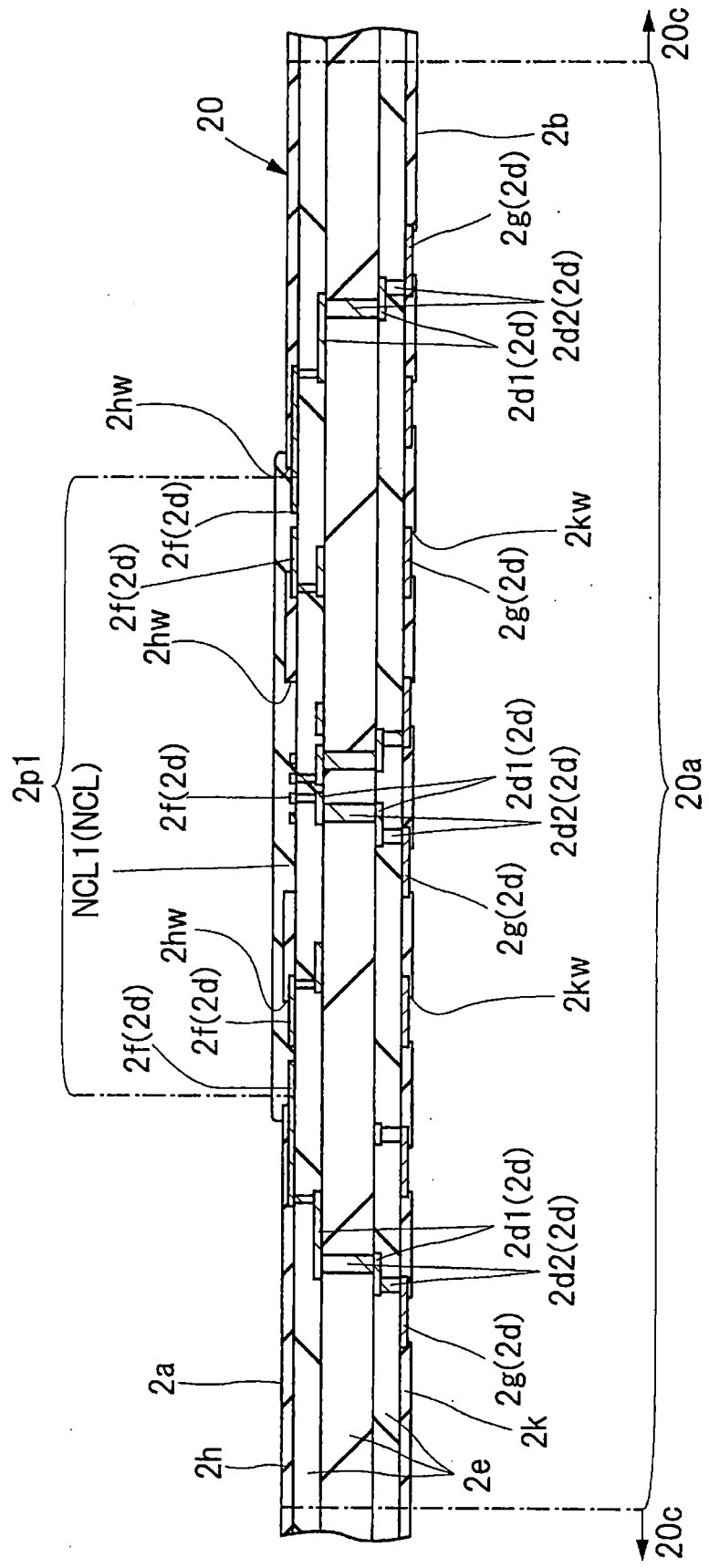


圖20

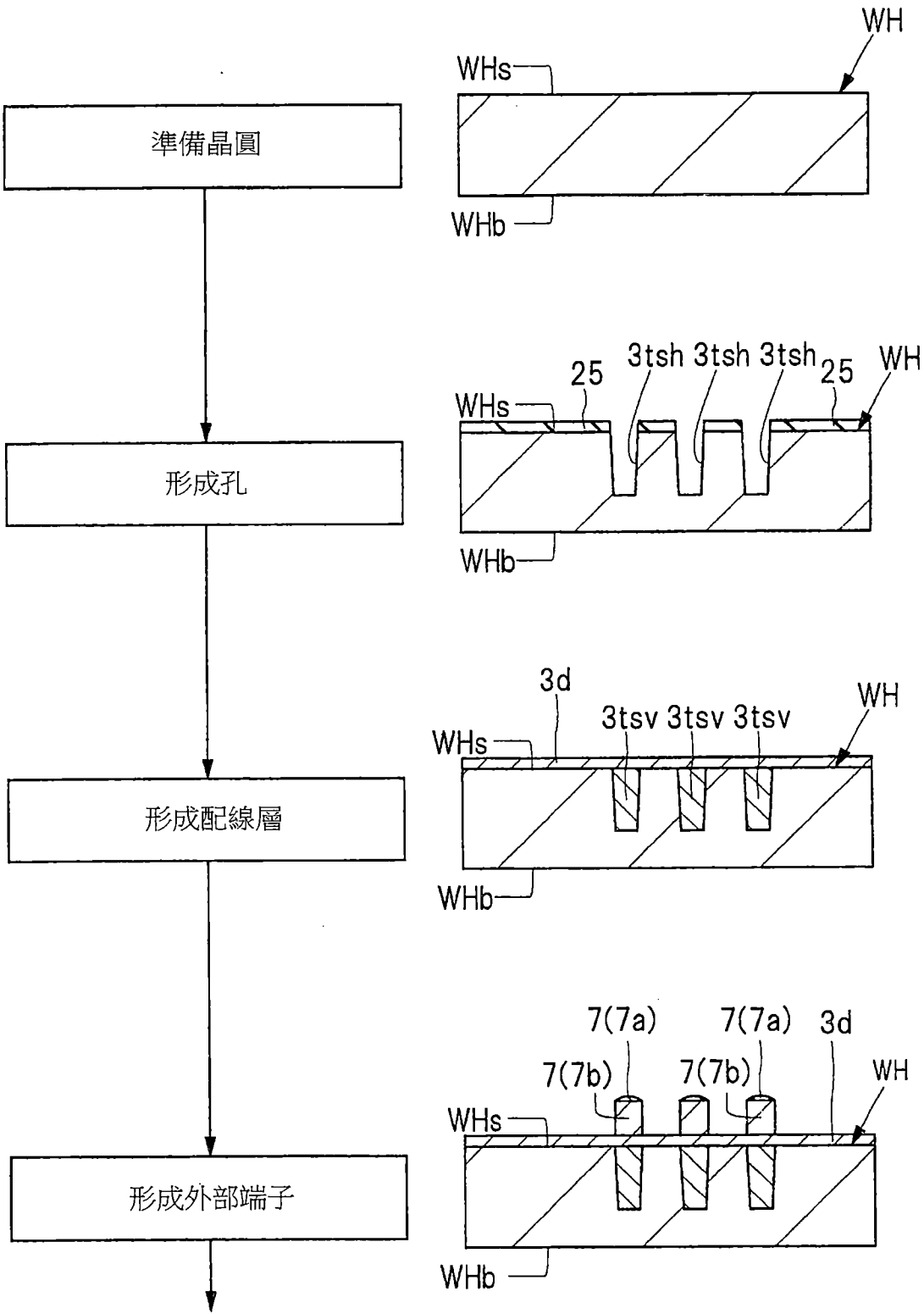


圖21

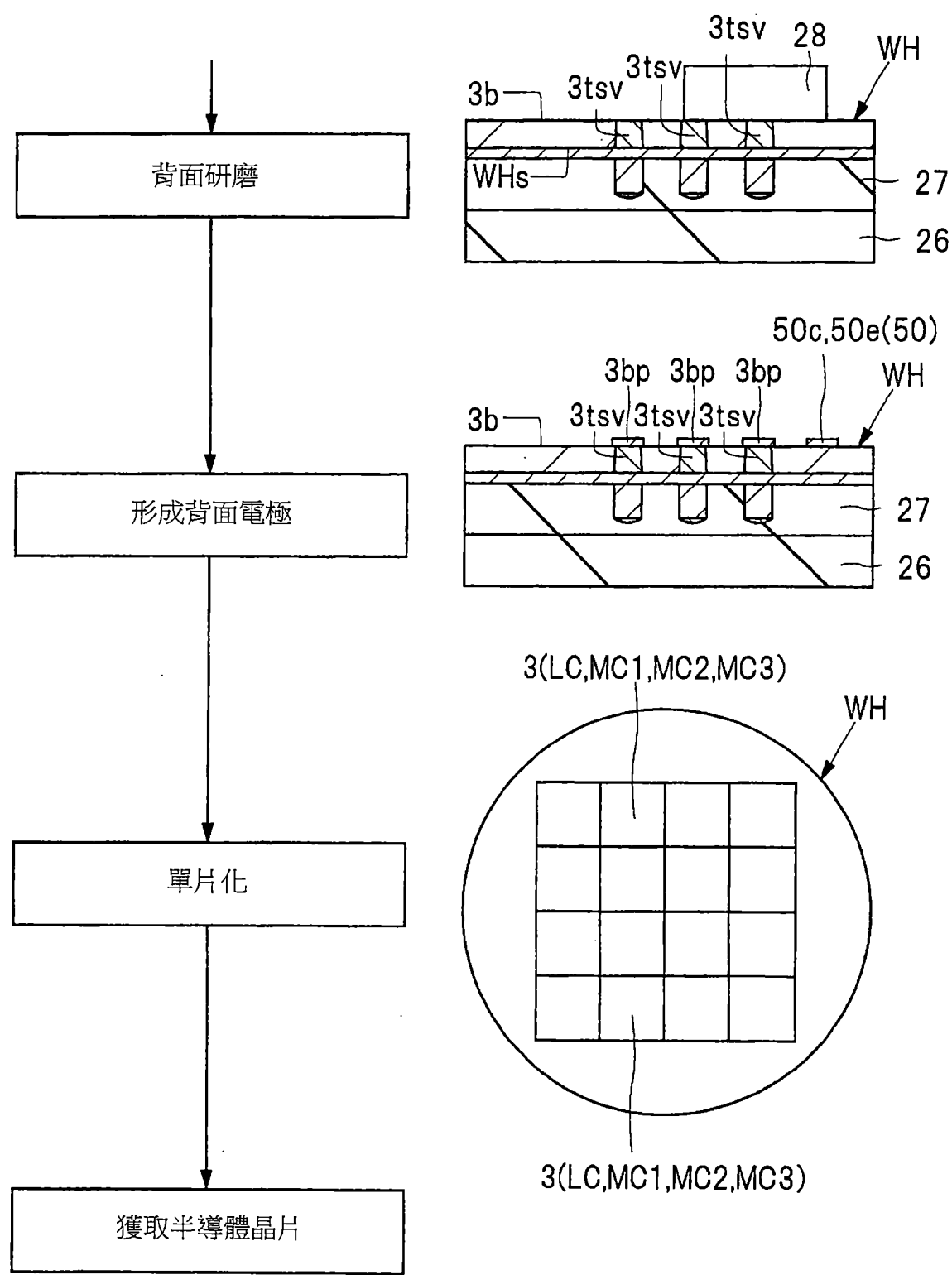


圖22

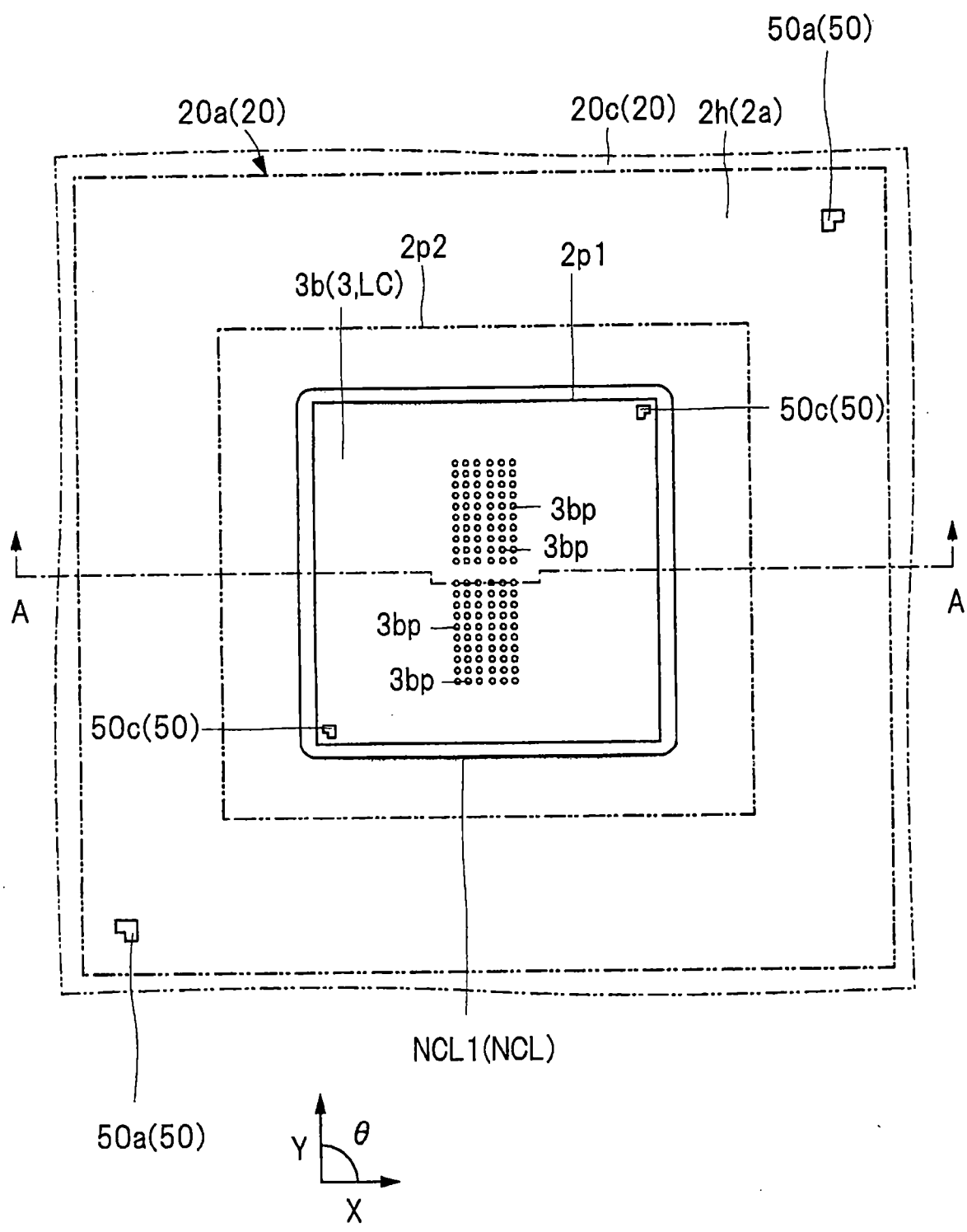


圖23

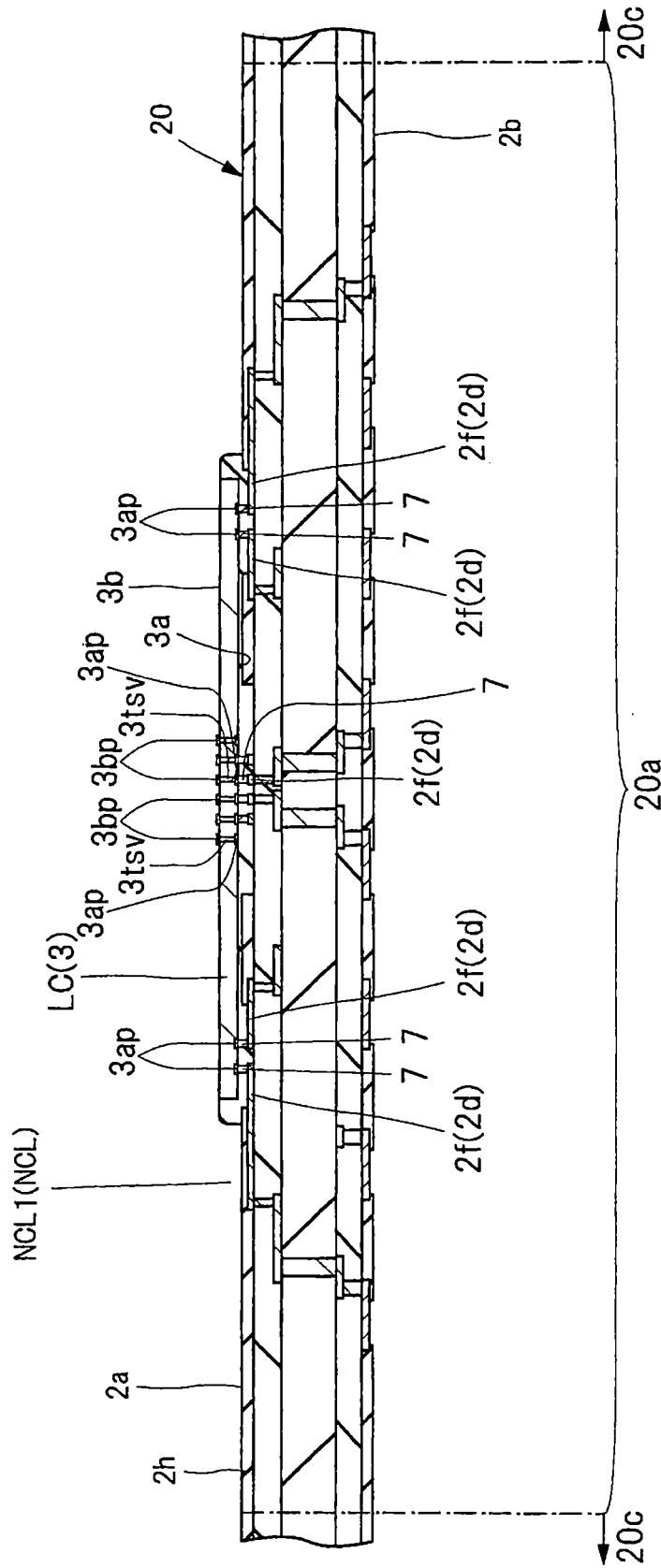
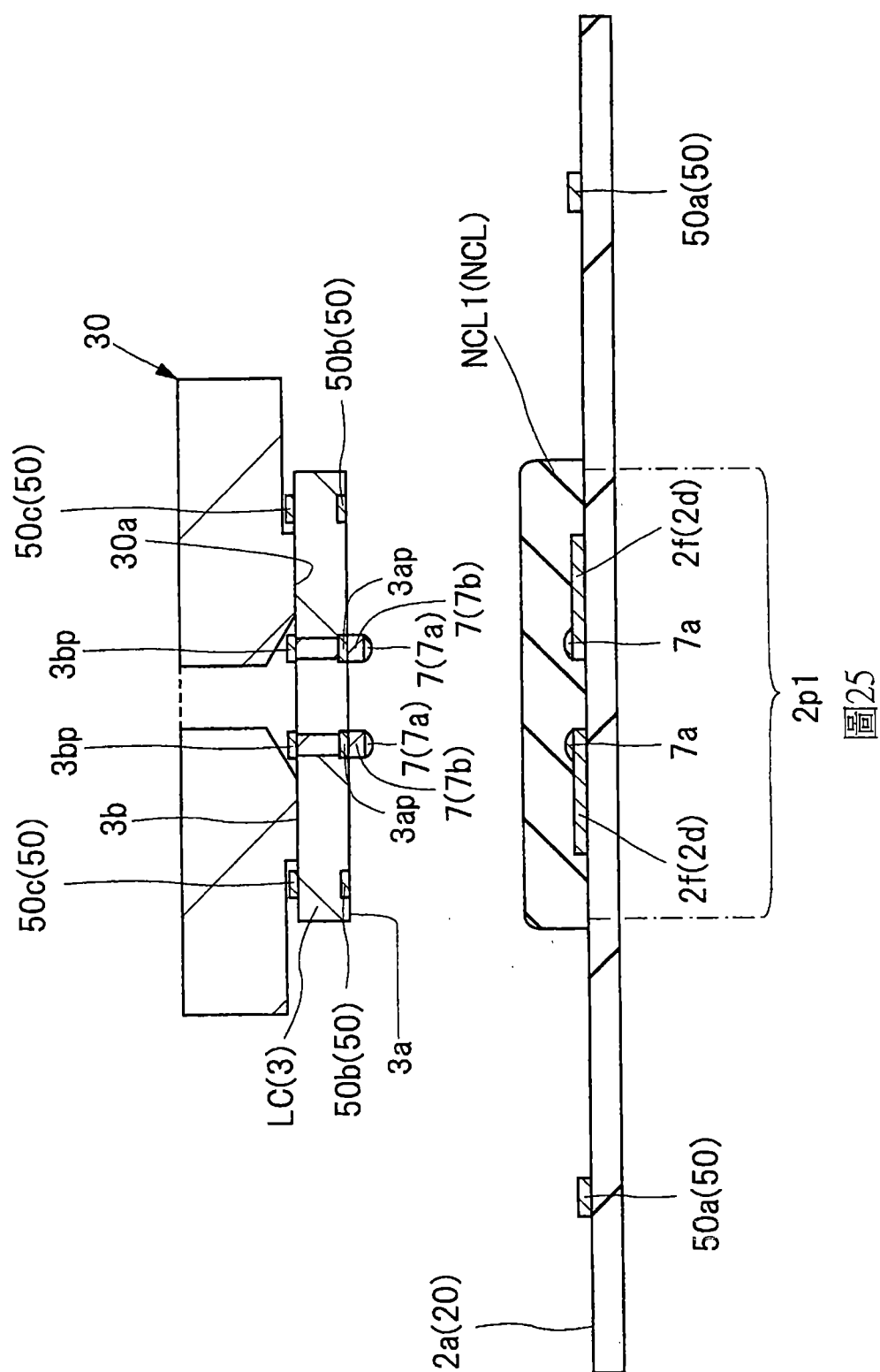
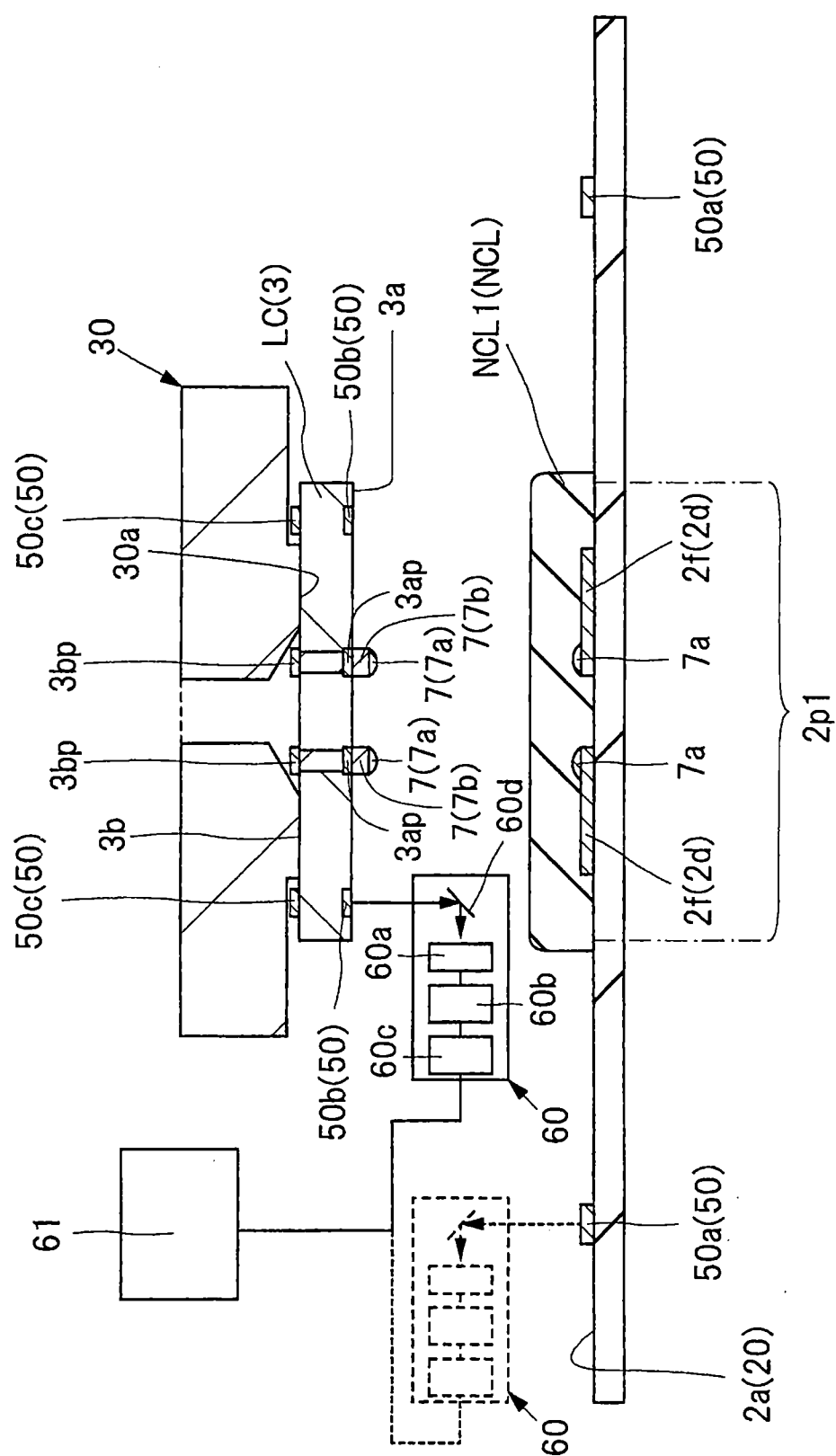


圖24





26

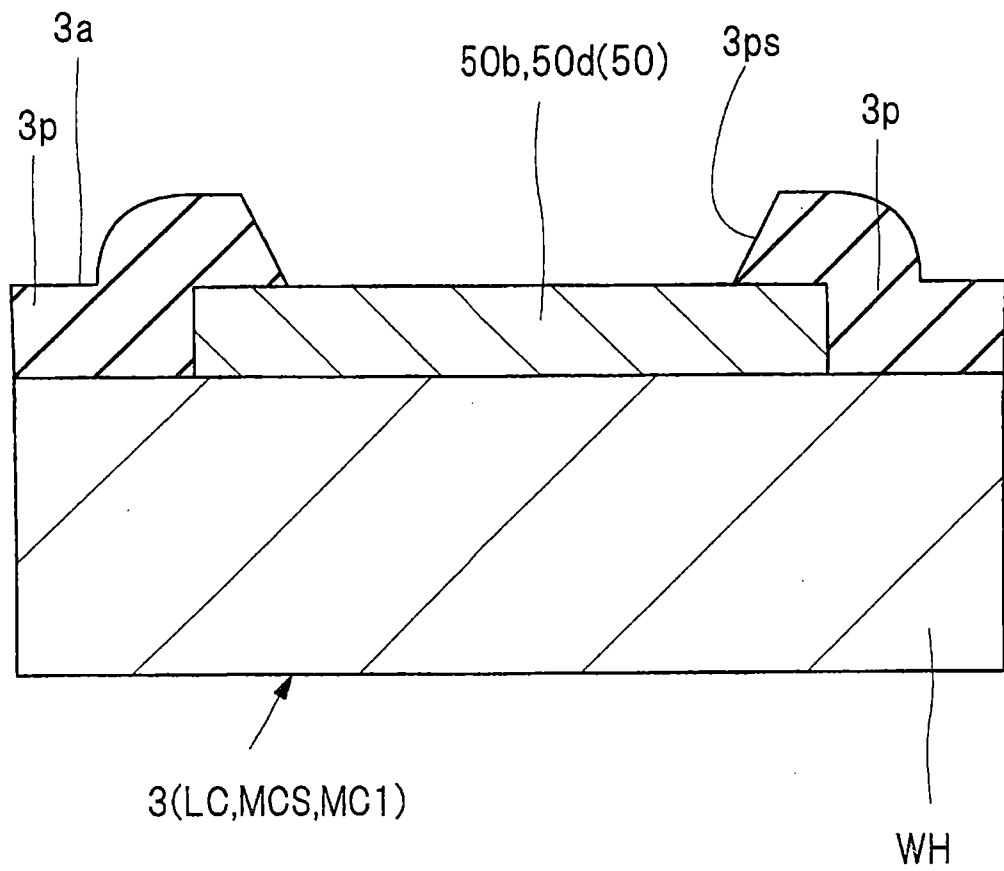
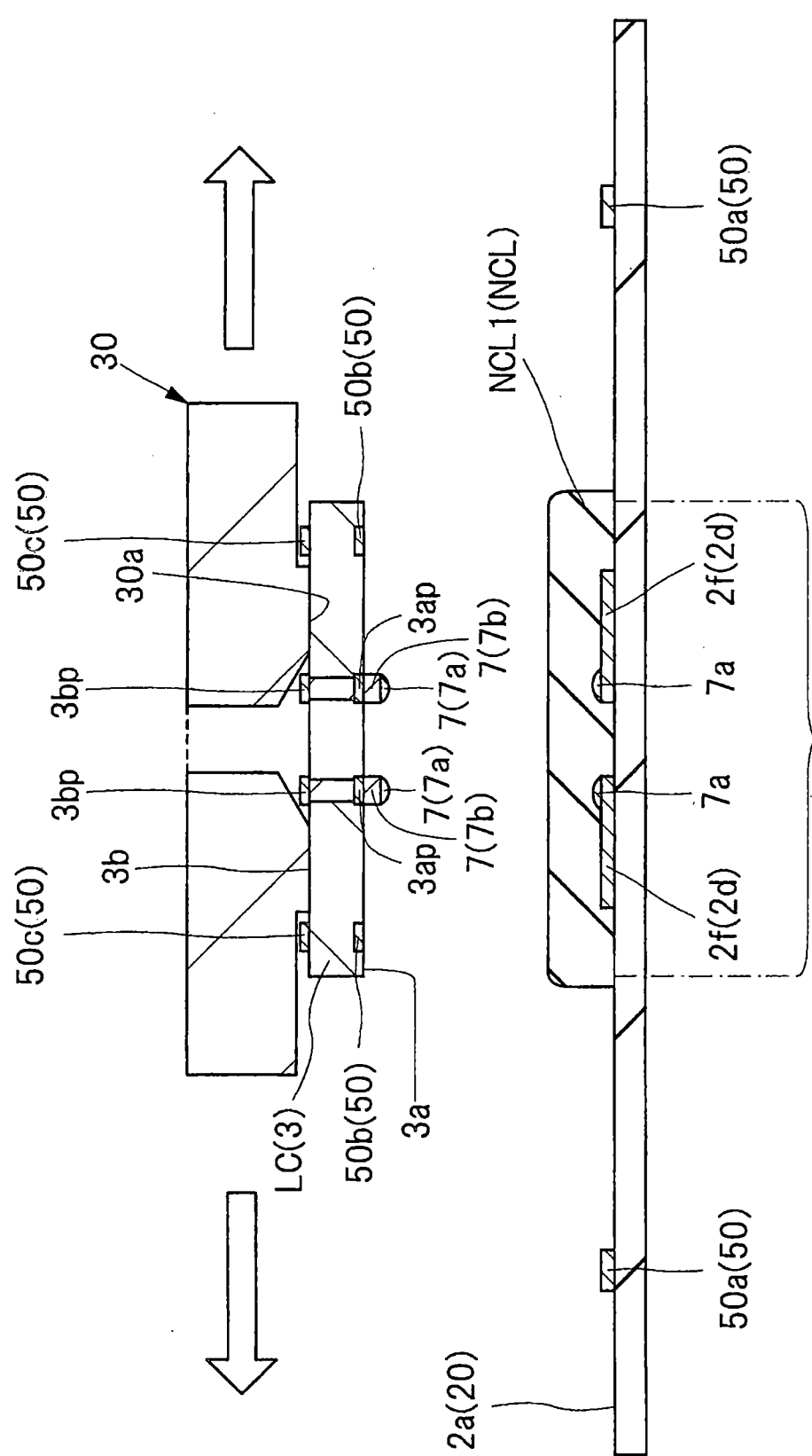
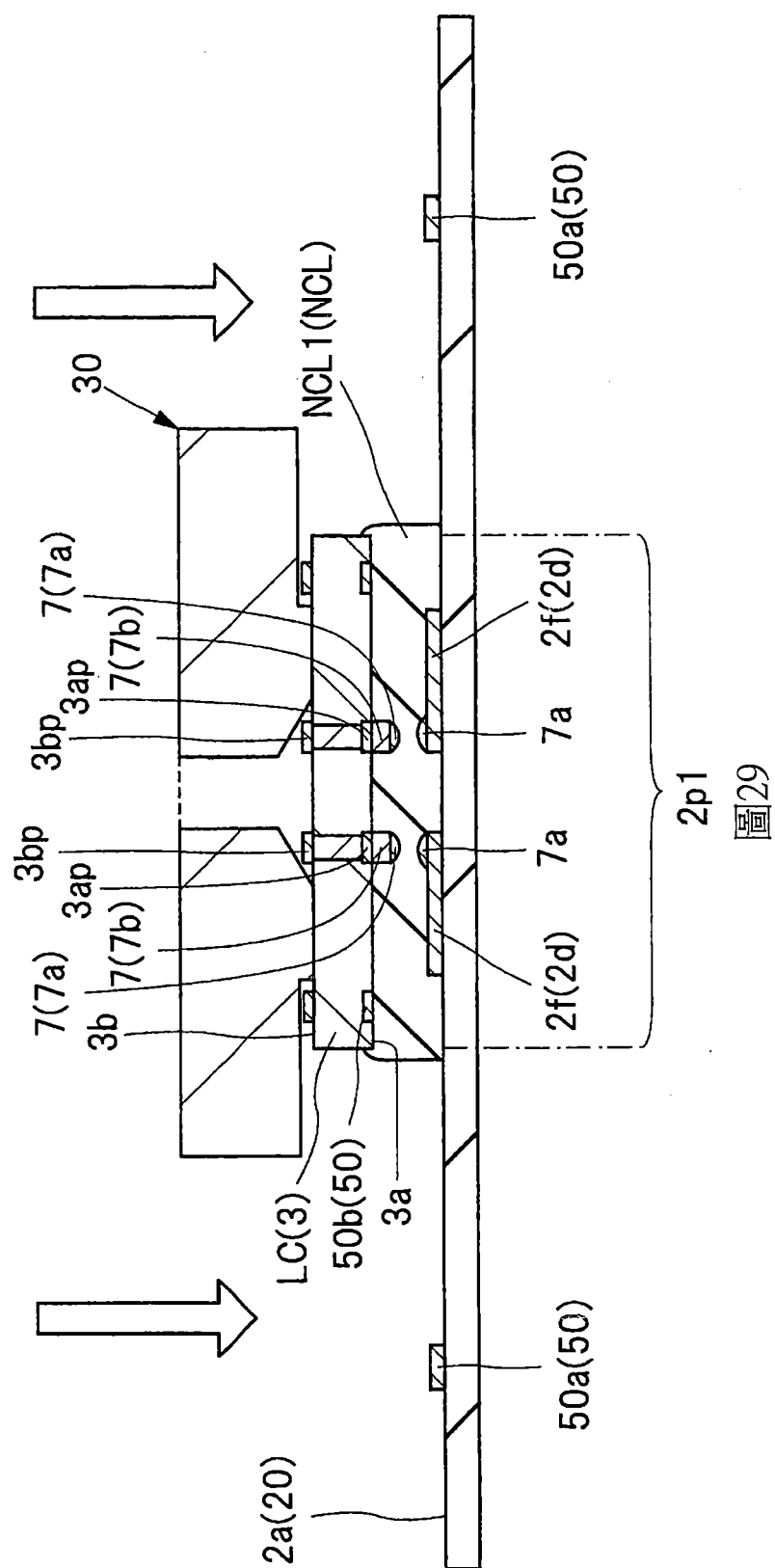
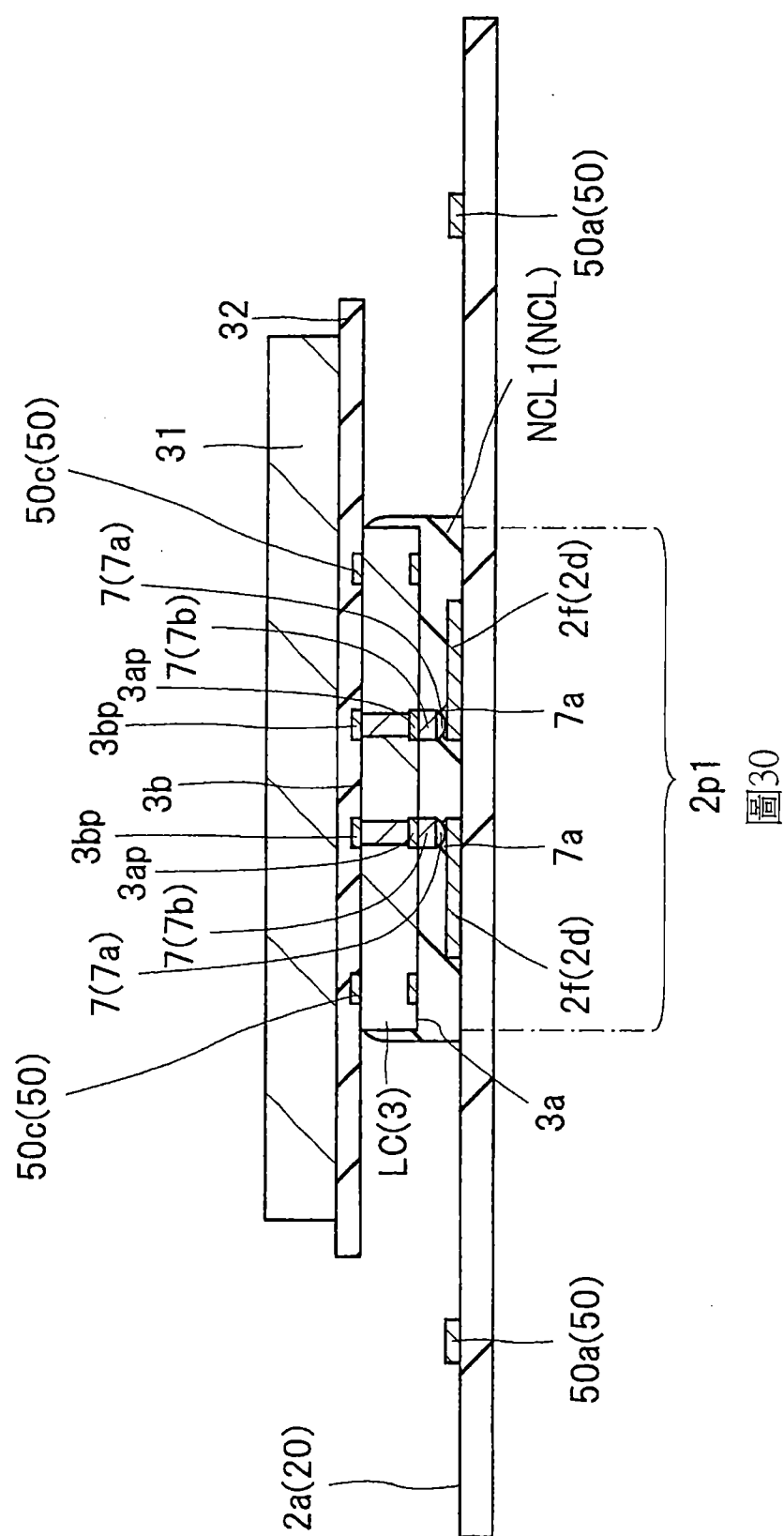


圖27







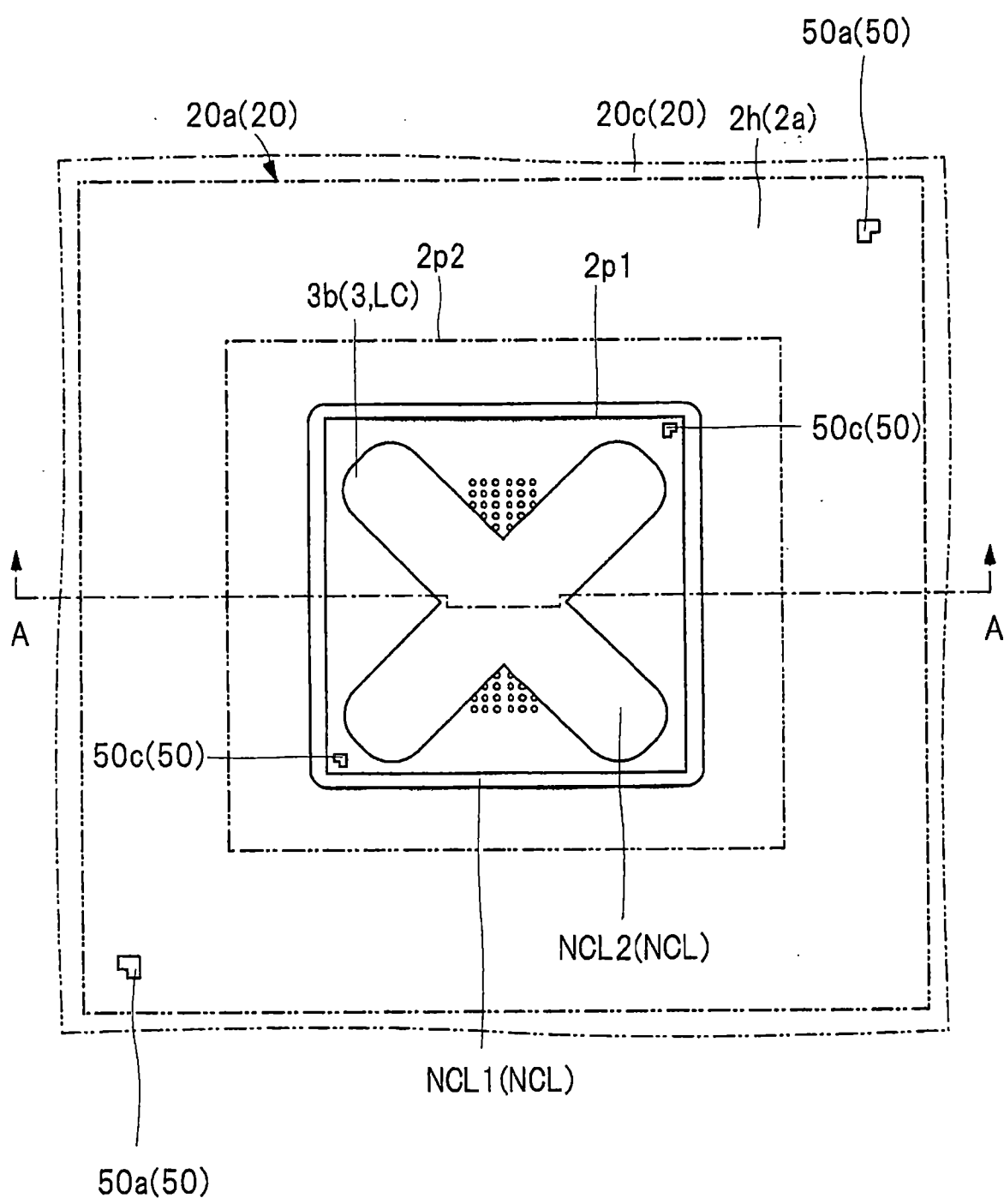
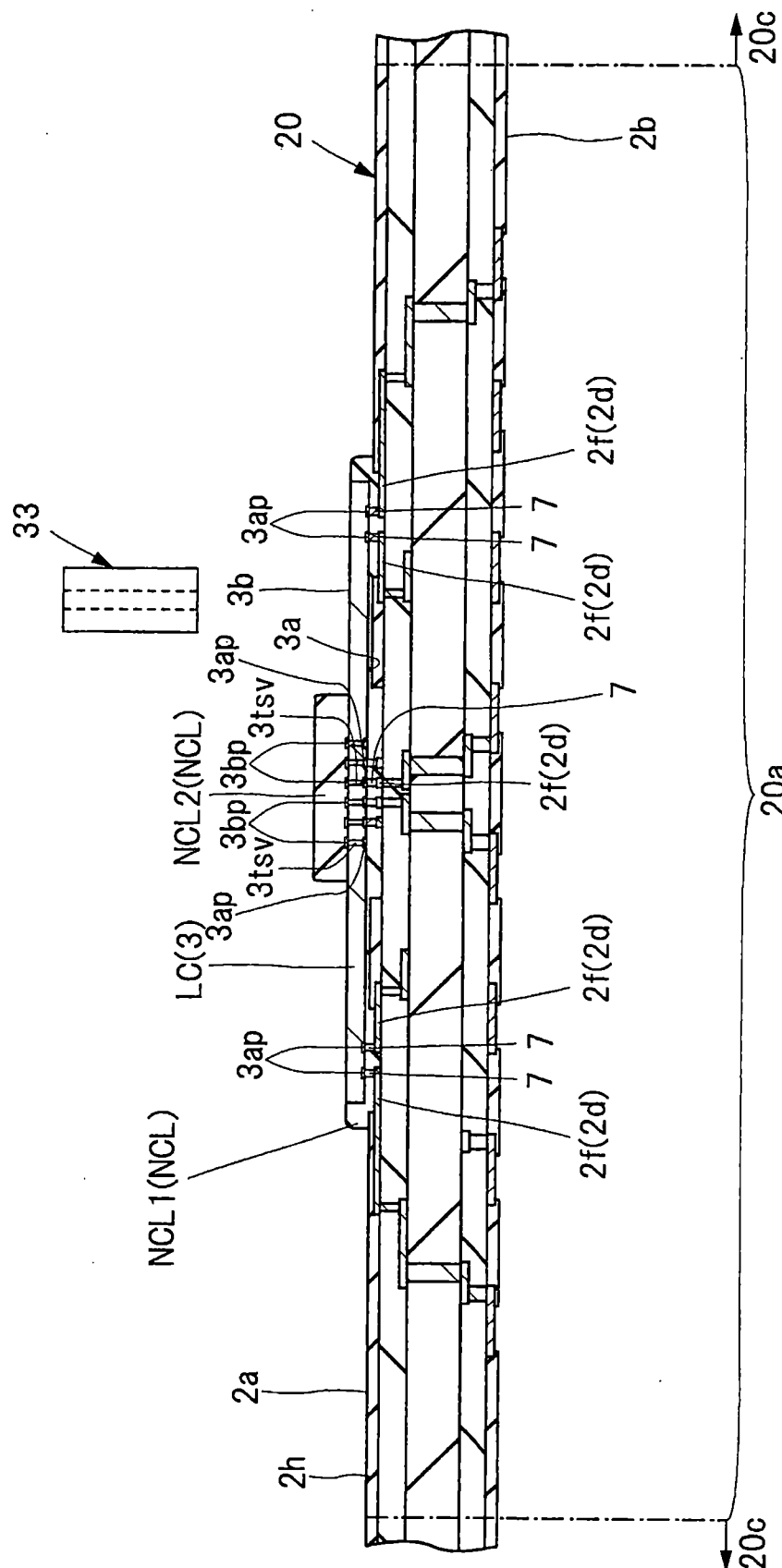


圖31



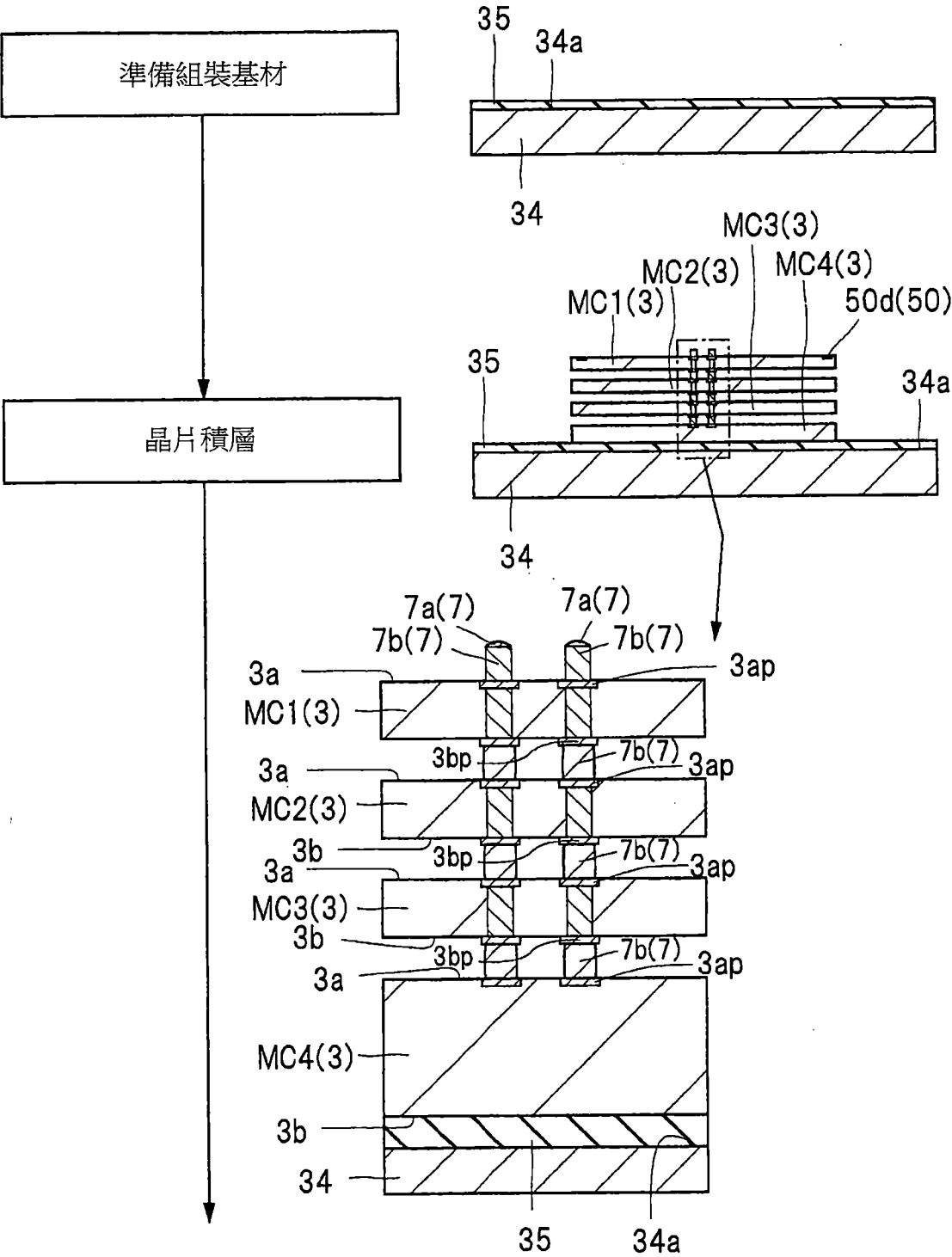


圖33

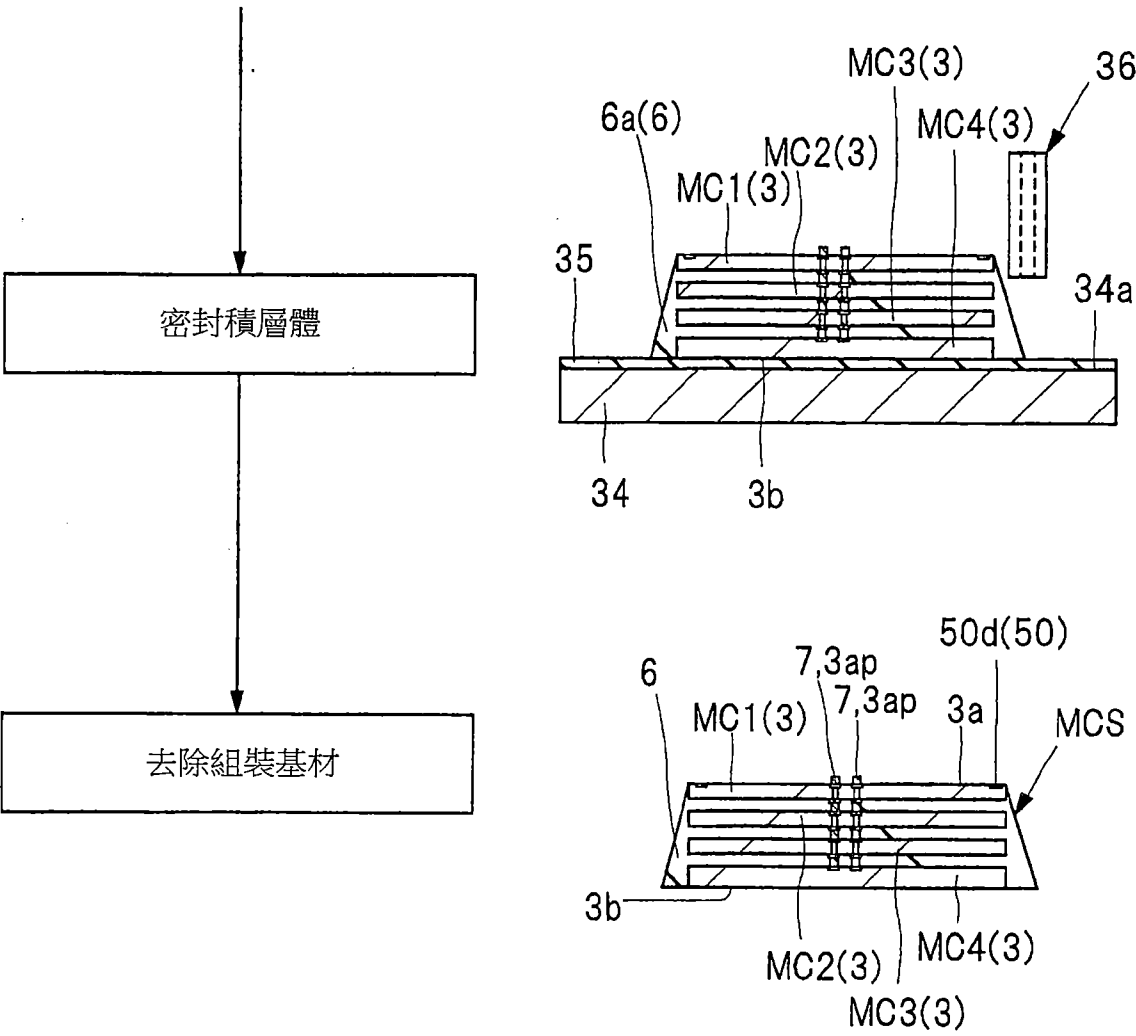


圖34

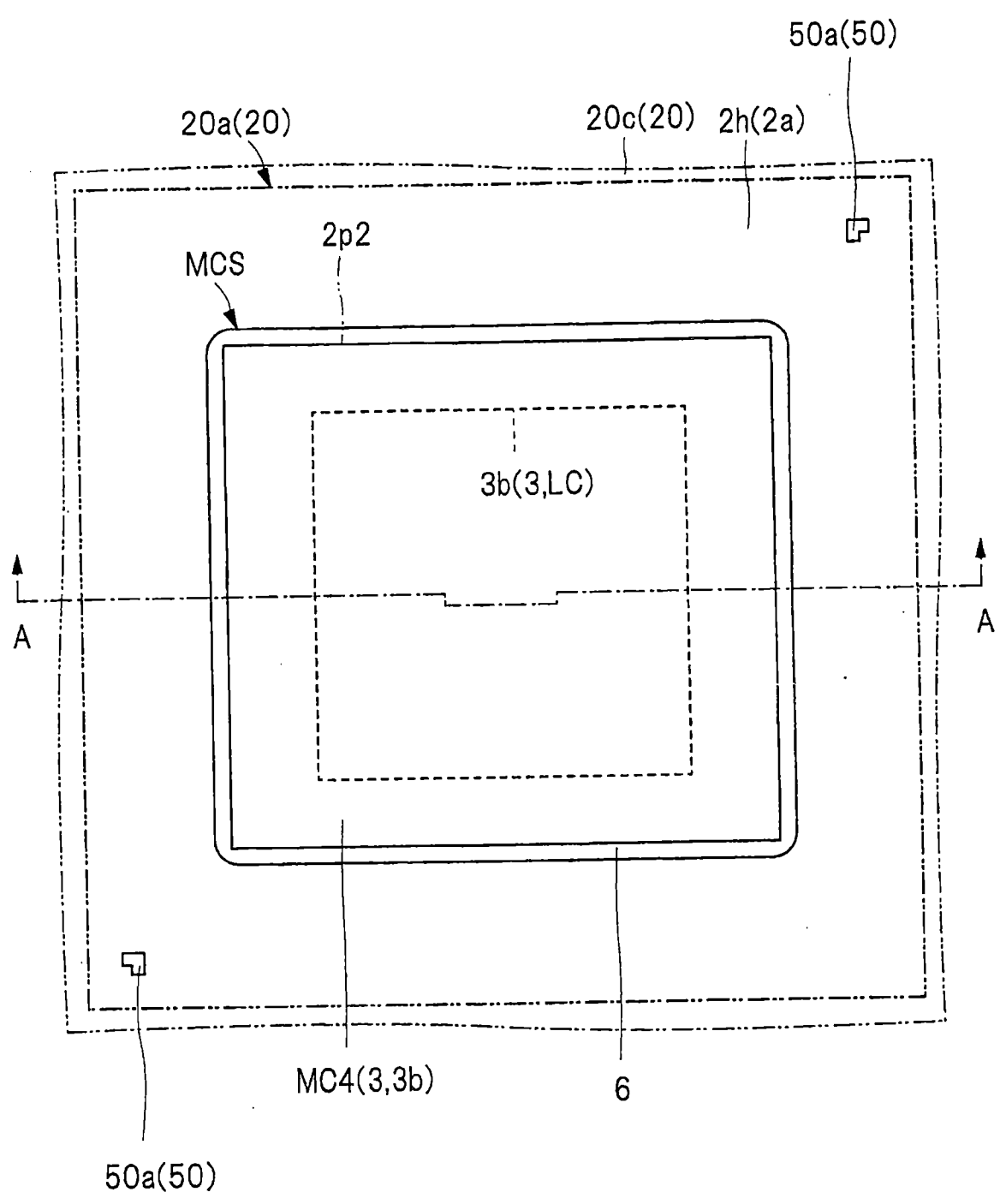
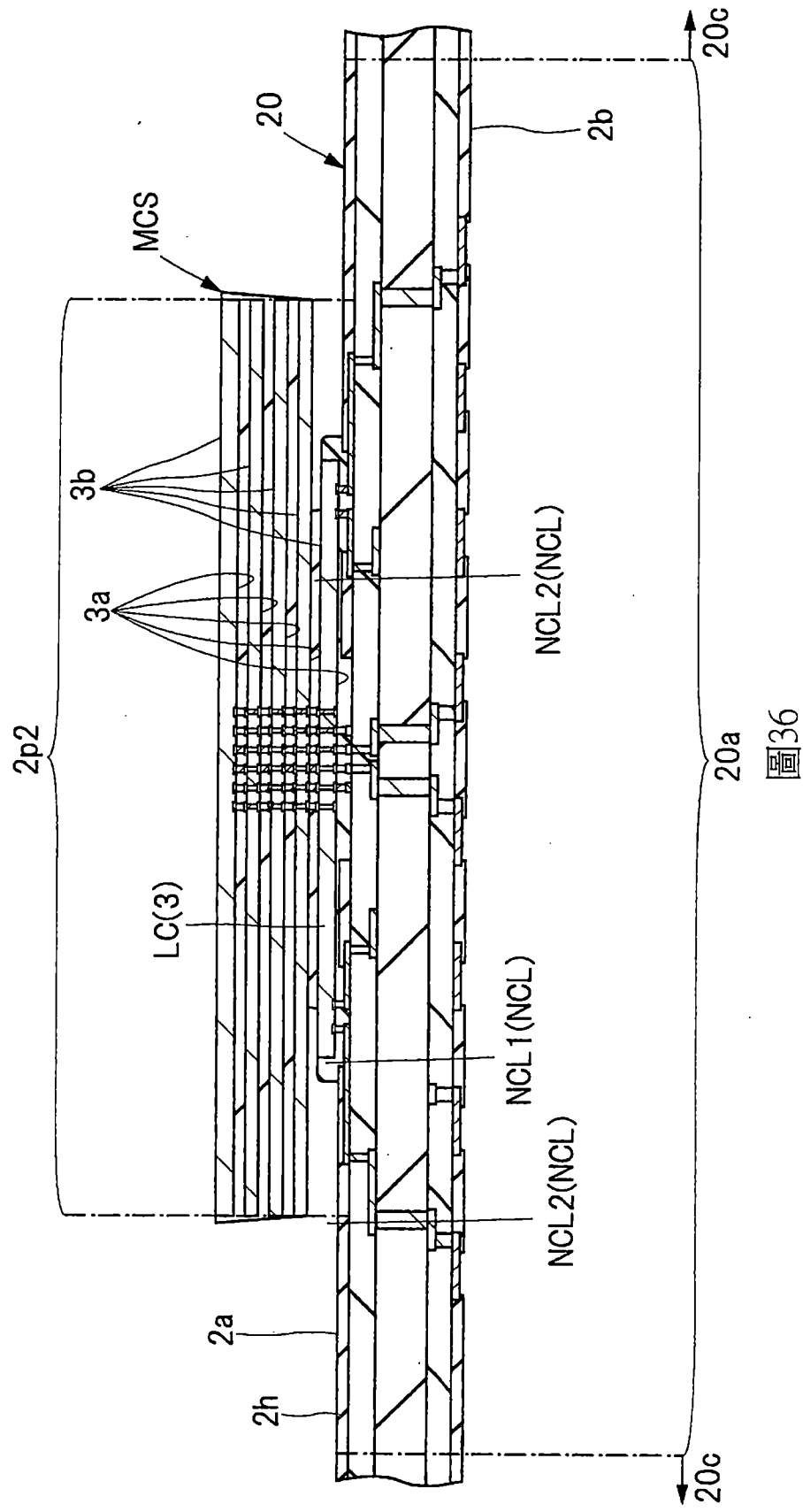
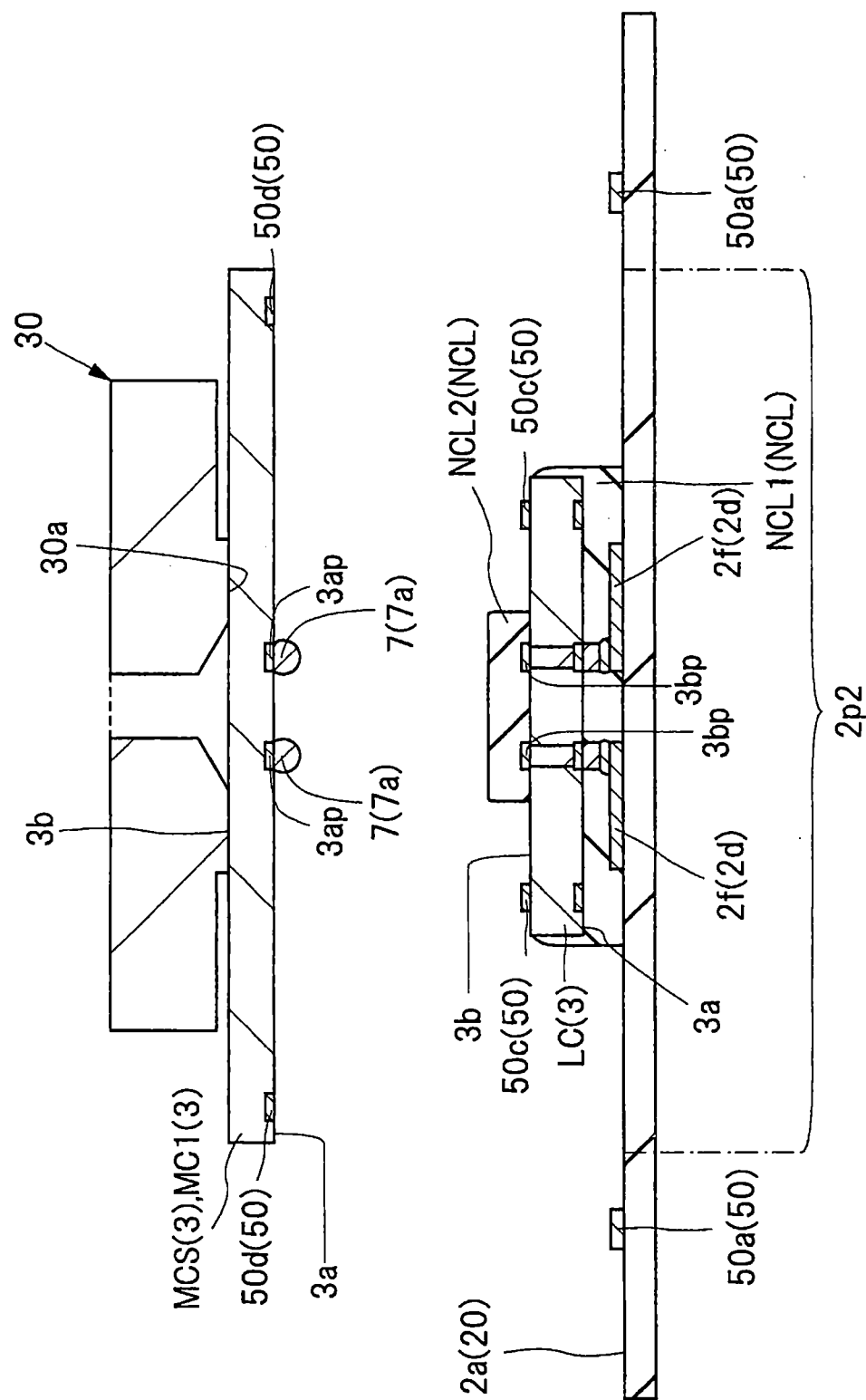
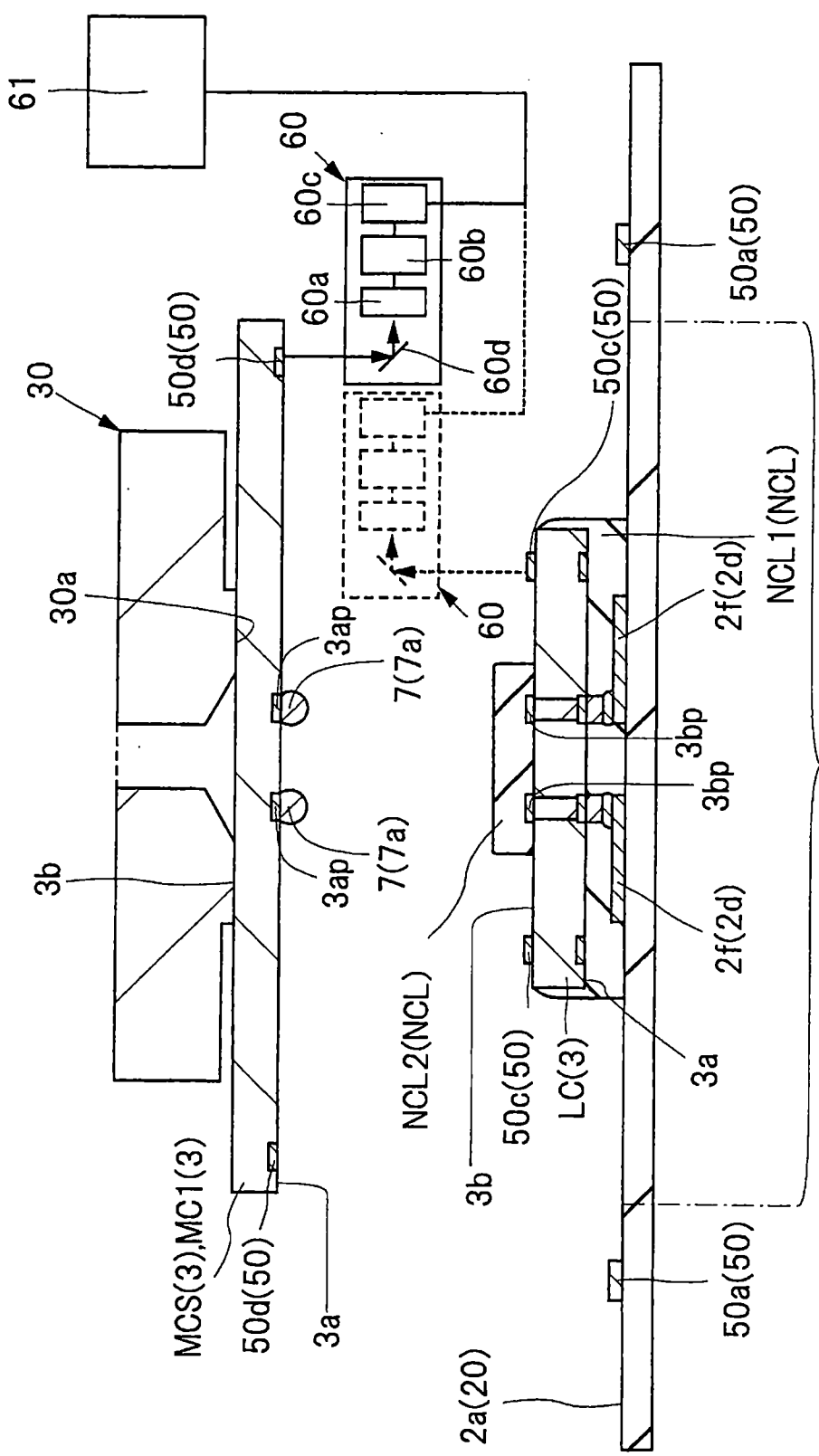


圖35





37



2p2

圖38

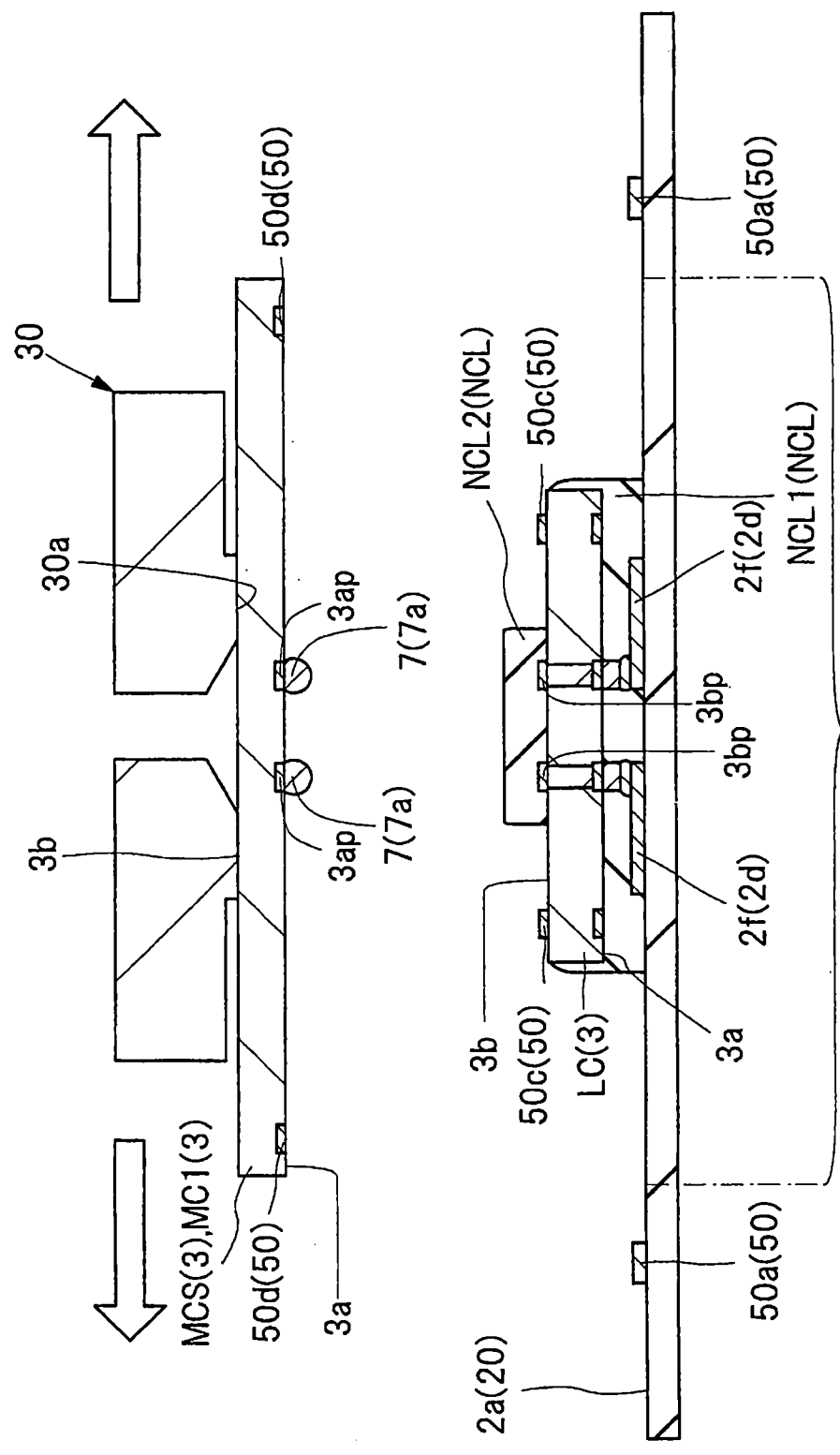
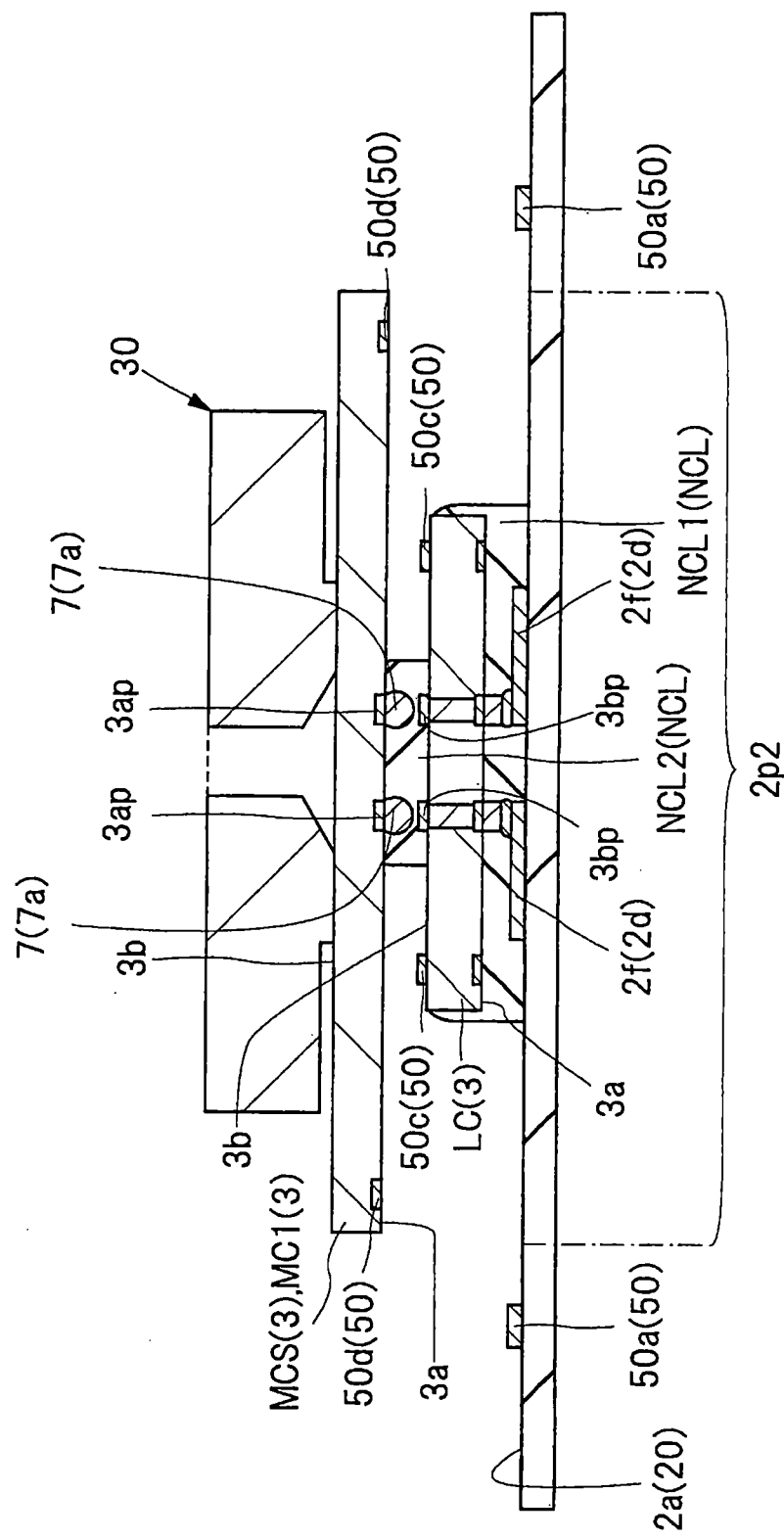


圖39



41

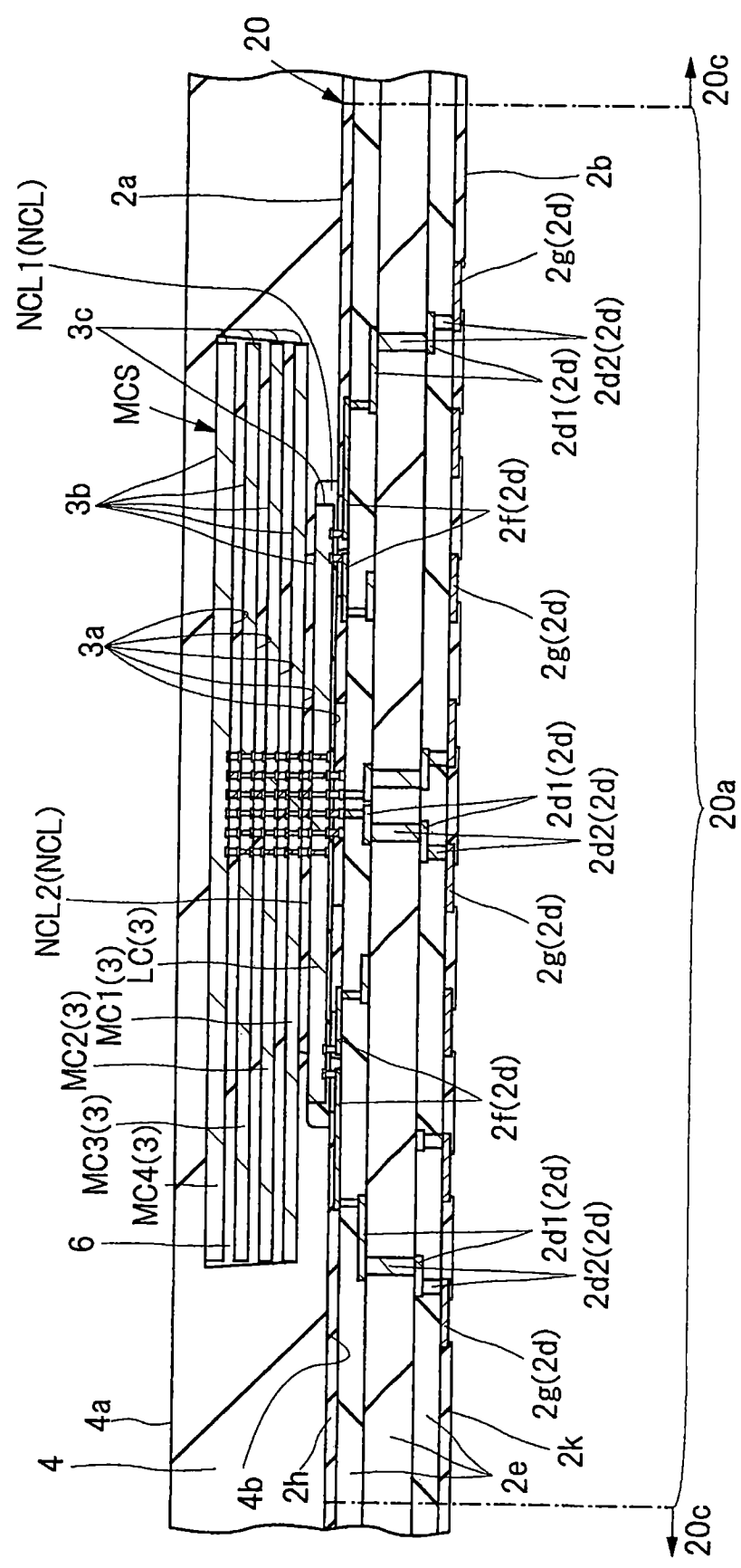


圖42





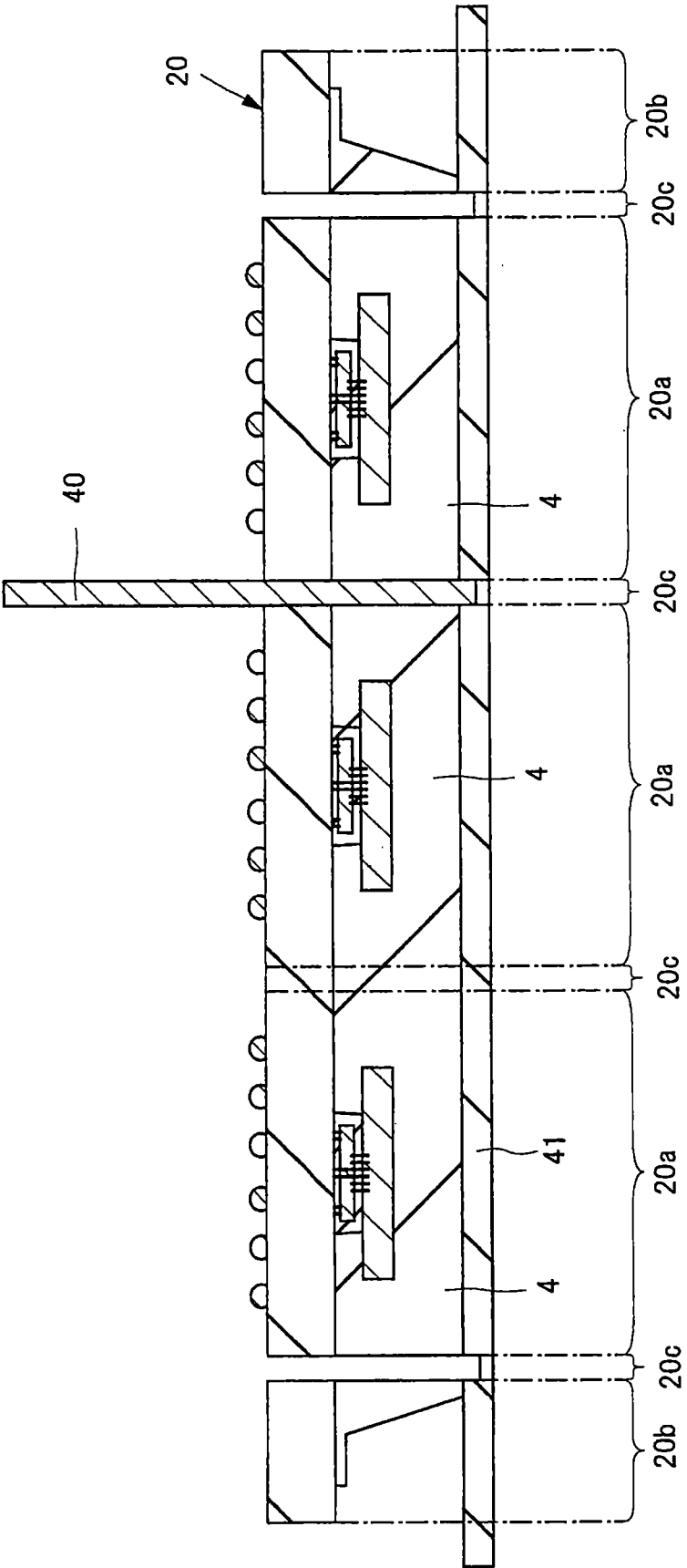


圖45

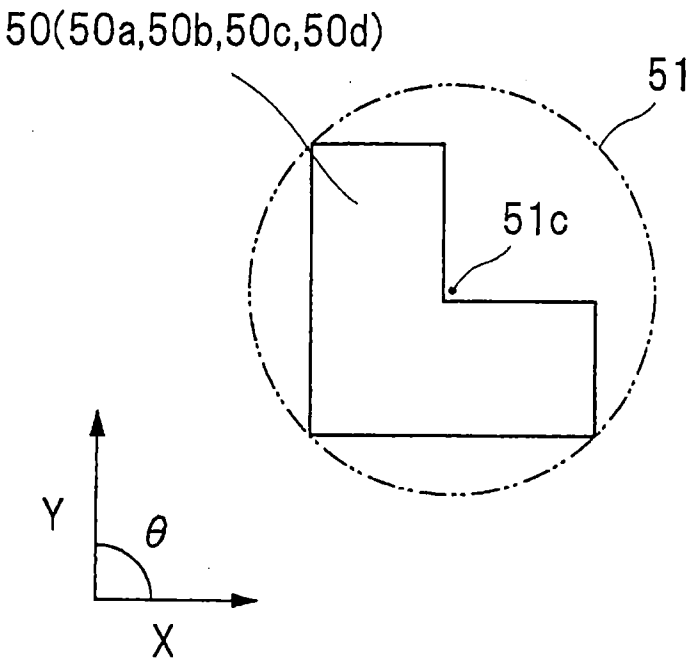


圖46

52(50a,50b,50c,50d)

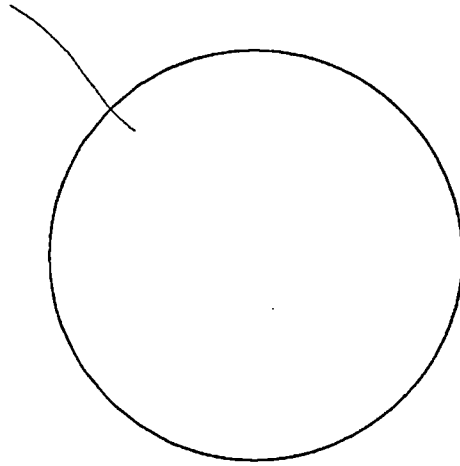


圖47

53(50a,50b,50c,50d)

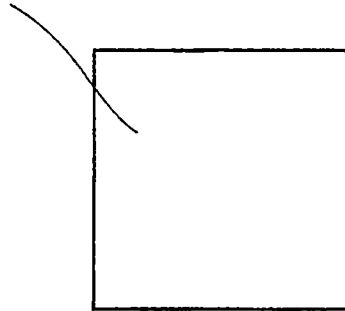


圖48

54(50a,50b,50c,50d)

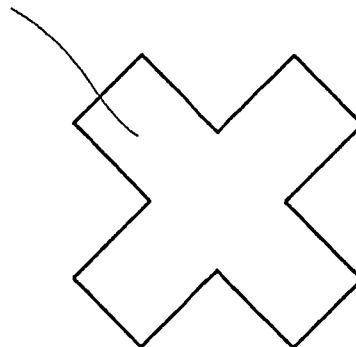


圖49

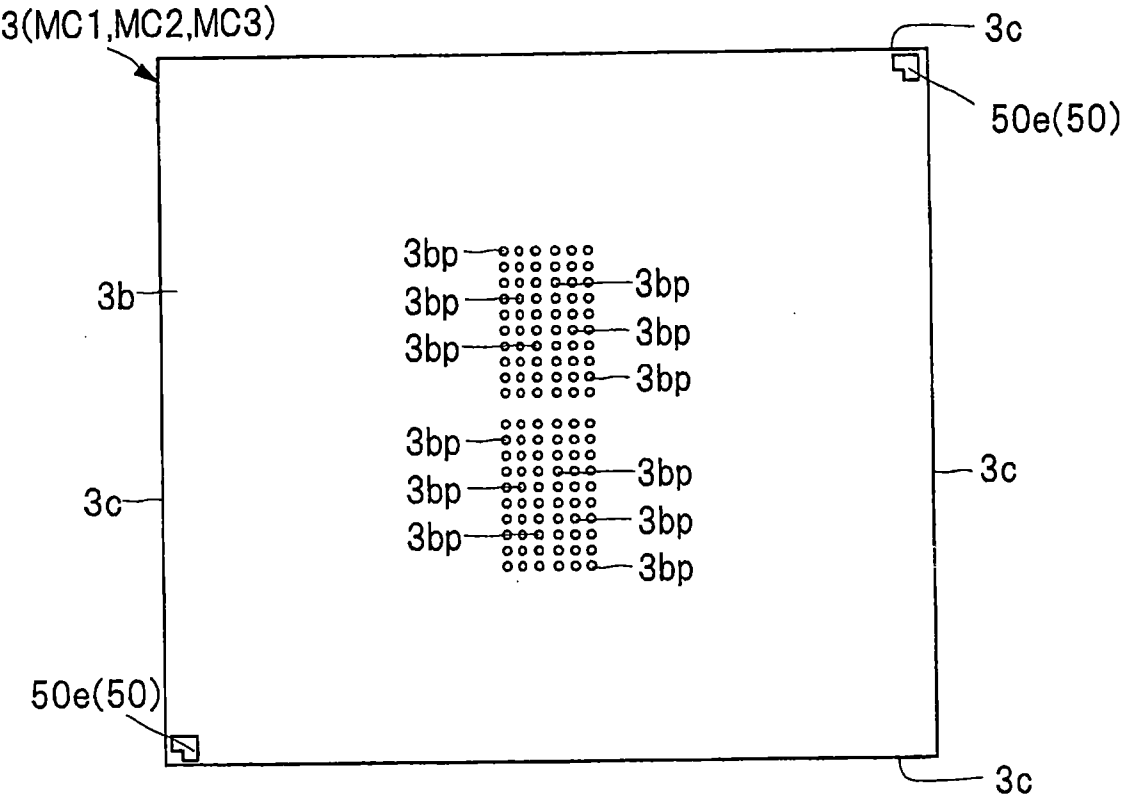


圖50

