

(12) 发明专利

(10) 授权公告号 CN 101939828 B

(45) 授权公告日 2012. 10. 24

(21) 申请号 200780102301. 3

(22) 申请日 2007. 12. 05

(85) PCT申请进入国家阶段日  
2010. 08. 05

(86) PCT申请的申请数据  
PCT/JP2007/073452 2007. 12. 05

(87) PCT申请的公布数据  
W02009/072192 JA 2009. 06. 11

(73) 专利权人 新加坡优尼山帝斯电子私人有限  
公司

地址 新加坡柏龄大厦

(72) 发明人 舛冈富士雄 工藤智彦

(74) 专利代理机构 隆天国际知识产权代理有限  
公司 72003

代理人 郑小军 冯志云

(51) Int. Cl.

H01L 21/336(2006. 01)

H01L 29/78(2006. 01)

(56) 对比文件

CN 1290040 A, 2001. 04. 04,

US 5994735 A, 1999. 11. 30,

审查员 裴亚芳

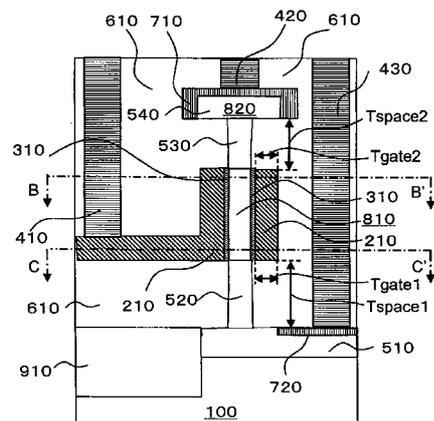
权利要求书 2 页 说明书 31 页 附图 69 页

(54) 发明名称

半导体器件

(57) 摘要

本发明的课题为提供能解决三次元半导体的环绕式栅极半导体 (SGT) 因寄生电容的增加而增大消耗电力并降低动作速度, 可实现 SGT 的高速化及低消耗电力的半导体器件。本发明的半导体器件具备: 第 2 导电型杂质区域 (510), 形成在第 1 导电型半导体衬底 (100) 的一部分; 第 1 硅柱 (810), 为任意横断面形状, 且形成在第 2 导电型杂质区域 (510) 上; 第 1 绝缘体 (310), 包围第 1 硅柱 (810) 表面的一部分; 栅极 (210), 包围该第 1 绝缘体 (310); 及第 2 硅柱 (820), 含有第 2 导电型杂质区域 (540), 且形成在第 1 硅柱 (810) 的上部。栅极以第 2 绝缘体自半导体衬底隔离而配置, 并且, 栅极以第 2 绝缘体自第 2 硅柱隔离而配置。栅极与半导体衬底间的电容比栅极电容还小, 且栅极与第 2 硅柱间的电容比栅极电容还小。



1. 一种半导体器件,其特征在于,具备:

第 2 导电型杂质区域,形成在第 1 导电型半导体衬底的一部分;

第 1 硅柱,为任意的横断面形状,且形成在所述第 2 导电型杂质区域上;

第 1 绝缘体,包围所述第 1 硅柱表面的一部分;

栅极,包围所述第 1 绝缘体;以及

第 2 硅柱,含有第 2 导电型杂质区域,且形成在所述第 1 硅柱上;

所述栅极以第 2 绝缘体自所述半导体衬底隔离而配置,所述栅极以所述第 2 绝缘体自所述第 2 硅柱隔离而配置;

所述栅极的断面积比以所述第 2 绝缘体隔离的所述半导体衬底与所述栅极的距离乘以  $2 \times 10^9$  的值还小,或者,所述栅极的断面积比以所述第 2 绝缘体隔离的所述第 2 硅柱与所述栅极的距离乘以  $2 \times 10^9$  的值还小,其中,所述栅极的断面积的单位为  $\text{nm}^2$ ,所述栅极的距离的单位为  $\text{nm}$ ;

所述栅极与所述半导体衬底间的电容比栅极电容还小,或者,所述栅极与所述第 2 硅柱间的电容比所述栅极电容还小。

2. 根据权利要求 1 所述的半导体器件,其特征在于,所述第 1 硅柱由圆柱形的硅柱所构成,且包围该第 1 硅柱表面的一部分的第 1 绝缘体及包围该第 1 绝缘体的栅极也由圆形状所构成。

3. 根据权利要求 2 所述的半导体器件,其特征在于,所述栅极的一端部的膜厚  $T_{\text{gate1}}$  及以第 2 绝缘体隔离的半导体衬底与栅极的距离  $T_{\text{space1}}$  的关系式为

$$2.0e6 \cdot T_{\text{space1}} > \pi T_{\text{gate1}}^2 + 1.0e2 T_{\text{gate1}},$$

其中,  $T_{\text{gate1}}$  的单位为  $\mu\text{m}$ ,  $T_{\text{space1}}$  的单位为  $\mu\text{m}$ ;

或者,所述栅极的另一端部的膜厚  $T_{\text{gate2}}$  及以第 2 绝缘体隔离的第 2 硅柱与栅极的距离  $T_{\text{space2}}$  的关系式为

$$2.0e6 \cdot T_{\text{space2}} > \pi T_{\text{gate2}}^2 + 1.0e2 T_{\text{gate2}},$$

其中,  $T_{\text{gate2}}$  的单位为  $\mu\text{m}$ ,  $T_{\text{space2}}$  的单位为  $\mu\text{m}$ 。

4. 根据权利要求 1 所述的半导体器件,其特征在于,所述第 1 硅柱由正方形的横断面形状硅柱所构成,包围该第 1 硅柱表面的一部分的第 1 绝缘体及包围该第 1 绝缘体的栅极也由正方形横断面形状所构成。

5. 根据权利要求 4 所述的半导体器件,其特征在于,所述栅极的一端部的膜厚  $T_{\text{gate1}}$ 、及以第 2 绝缘体隔离的半导体衬底与栅极的距离  $T_{\text{space1}}$  的关系式为

$$2.0e6 \cdot T_{\text{space1}} > 4T_{\text{gate1}}^2 + 1.0e2 T_{\text{gate1}},$$

其中,  $T_{\text{gate1}}$  的单位为  $\mu\text{m}$ ,  $T_{\text{space1}}$  的单位为  $\mu\text{m}$ ;

或者,所述栅极的另一端部的膜厚  $T_{\text{gate2}}$ 、及以第 2 绝缘体隔离的第 2 硅柱与栅极的距离  $T_{\text{space2}}$  的关系式为

$$2.0e6 \cdot T_{\text{space2}} > 4T_{\text{gate2}}^2 + 1.0e2 T_{\text{gate2}},$$

其中,  $T_{\text{gate2}}$  的单位为  $\mu\text{m}$ ,  $T_{\text{space2}}$  的单位为  $\mu\text{m}$ 。

6. 根据权利要求 1 所述的半导体器件,其特征在于,所述第 1 硅柱由四角形的横断面形状的硅柱所构成,包围该第 1 硅柱表面的一部分的第 1 绝缘体及包围该第 1 绝缘体的栅极也由四角形的横断面形状所构成。

7. 根据权利要求6所述的半导体器件,其特征在于,所述栅极的一端部的膜厚 $T_{gate1}$ 、及以第2绝缘体隔离的半导体衬底与栅极的距离 $T_{space1}$ 的关系式为

$$3.0e6 \cdot T_{space1} > 4T_{gate1}^2 + 1.5e2T_{gate1},$$

其中, $T_{gate1}$ 的单位为 $\mu m$ , $T_{space1}$ 的单位为 $\mu m$ ;

或者,所述栅极的另一端部的膜厚 $T_{gate2}$ 、及以第2绝缘体隔离的第2硅柱与栅极的距离 $T_{space2}$ 的关系式为

$$3.0e6 \cdot T_{space2} > 4T_{gate2}^2 + 1.5e2T_{gate2},$$

其中, $T_{gate2}$ 的单位为 $\mu m$ , $T_{space2}$ 的单位为 $\mu m$ 。

8. 根据权利要求1至7中任一权利要求所述的半导体器件,其特征在于,所述第2绝缘体由 $SiO_2$ 、 $SiN$ 、或 $SiO_2$ 与 $SiN$ 的层构造所构成。

9. 根据权利要求1至7中任一权利要求所述的半导体器件,其特征在于,所述第1绝缘体由 $SiO_2$ 、 $HfO_2$ 、或 $SiON$ 所构成。

10. 根据权利要求1至7中任一权利要求所述的半导体器件,其特征在于,所述栅极由 $TaN$ 、 $TiN$ 、 $NiSi$ 、 $Ni_3Si$ 、 $Ni_2Si$ 、 $PtSi$ 、 $Pt_3Si$ 、 $W$ 的材料中选择。

11. 根据权利要求1至7中任一权利要求所述的半导体器件,其特征在于,所述第1硅柱包含:第2导电型高浓度杂质区域,形成在靠近所述半导体衬底的一部分,且与第2导电型杂质区域邻接;及第2导电型高浓度杂质区域,邻接于所述第2硅柱。

12. 根据权利要求1至7中任一权利要求所述的半导体器件,其特征在于,所述第2硅柱的第2导电型杂质区域为高浓度杂质区域。

13. 根据权利要求12所述的半导体器件,其特征在于,包含:形成在所述半导体衬底的一部分的第2导电型杂质区域的一部分的硅化物区域;及形成在所述第2硅柱的第2导电型高浓度杂质区域的一部分的硅化物区域。

## 半导体器件

### 技术领域

[0001] 本发明涉及一种半导体器件,更详细而言涉及一种三次元半导体的环绕式栅极半导体 (surrounding gate transistor ;SGT) 的半导体器件及其制造方法。

### 背景技术

[0002] 由于平面 (planar) 型晶体管所达成的微细化,具有低消耗电力又廉价及高数据处理能力的微处理器、ASIC、微电脑以及廉价又大电容的存储器被广泛应用在通讯、计测机器、自动控制器件以及生活机器的领域。然而此种在半导体衬底上以平面形成的平面型晶体管以平面形成、即源极 (source)、栅极 (gate) 及漏极 (drain) 在硅衬底上以水平方式构成,相对于此,SGT 将源极、栅极及漏极相对于硅衬底朝垂直方向配置,为栅极包围凸状半导体层的构造 (例如非专利文献 1,图 113)。以 SGT 与该构造比较,相比于平面型晶体管,SGT 的占有面积得到大幅缩小。但依据公知的 SGT 构造时,随着尺寸缩小 (scaling) 的进展,其栅电极占有的占有面积的比例增大。又由于对硅柱的尺寸缩小使源极及漏极电阻增大以致减小导通电流。

[0003] 为解决所述问题,有如将栅极埋入硅柱中的 SGT 构造的 BG-SGT (例如非专利文献 2,图 114)。依此构造因能同时制造径小的沟道区域及径大的源极及漏极硅柱,因此能同时达成抑制短沟道效应 (short channel effect) 及减低源极、漏极的电阻的效果。即达成减低截止电流及增加导通电流的效果。

[0004] 然而应于 LSI 的高速化及达到低消耗电力,对于器件高度要求寄生电容的减低。公知的 BG-SGT 则无法实现栅极与源极间或栅极与漏极间的小寄生电容。

[0005] 为实现所述器件的高速化而减小栅极与漏极间的寄生电容及栅极与源极间的寄生电容的方法例如有 VRG-MOSFET (例如非专利文献 3、专利文献 1,图 115) 及 (例如专利文献 2,图 116) 等。

[0006] 首先,图 115 表示 VRG-MOSFET (专利文献 1)。如图所示,邻接于硅柱的栅极不只经由栅极氧化物层面接于硅柱,并且经由层间绝缘膜面接于源极部分及漏极部分。因此不只在栅极与硅柱间的栅极电容,在栅极与源极间及栅极与漏极间也发生寄生电容。为了要减小这些寄生电容,本方法提案增大栅极与源极间的层间绝缘膜的膜厚以增大栅极与源极间的距离,以及增大栅极与漏极间的层间绝缘膜的膜厚以增大栅极与漏极间的距离的构造。

[0007] 又,图 116 表示如专利文献 2 以减小栅极与源极间的寄生电容为目的的 SGT 构造。其邻接于硅柱的栅极不只经由栅极绝缘膜面接于硅柱,又介以层间绝缘膜面接于源极部。因此不只于栅极与硅柱间有栅极电容,在栅极与源极间也产生寄生电容。为了要减小该寄生电容,本方法提案增大栅极与源极间的层间绝缘膜的厚度以增大栅极与源极间的距离的构造。

[0008] 非专利文献 1 :H. Takato 等,IEEE transaction on electron devices (IEEE 电子器件汇刊),1991 年 3 月,第 38 卷,第 3 期,第 573 ~ 578 页

[0009] 非专利文献 2 :M. Iwai 等,Extended Abstracts of the 2003 International

Conference on Solid State Devices and Materials, Tokyo, (2003 东京国际半导体材料与器件会议的扩展摘要) 2003, 第 630 ~ 631 页

[0010] 非专利文献 3 : IEDM 1999 John M. Hergenrother

[0011] 专利文献 1 : 美国专利第 6, 027, 975 号 (2 月 22, 2000 John M. Hergenrother)

[0012] 专利文献 2 : 美国专利第 5, 504, 359 号 (4 月 . 2, 1996 Mark S. Rodder)

## 发明内容

[0013] (发明所欲解决的问题)

[0014] 以减小所述寄生电容为目的的 SGT 构造 (如专利文献 2), 虽然提案有形成比公知构造 (如非专利文献 1) 的寄生电容为小的寄生电容的构造, 但实际上构成 LSI 的 SGT 为了要实现其高速化, 则希望其寄生电容比栅极电容小。然而以所述减小寄生电容为目的的 SGT 构造可认为其寄生电容不比栅极电容小, 或者其寄生电容不比栅极电容小很多。例如欲使寄生电容小于公知构造的增大栅极与源极间的层间绝缘膜的专利文献 1 的方法, 却有不减小面接于源极部分的栅极的面积, 则不能获得比栅极电容为小的寄生电容的问题。同样于专利文献 2 的使栅极与源极间的层间膜厚大于栅极氧化膜的状态, 如不减小面接于源极部分的栅极面积, 即有得不到小于栅极电容的寄生电容的问题。

[0015] 本发明有鉴于所述问题, 以提供为解决 SGT 的动作速度减低的问题的减小寄生电容的半导体器件为目的。

[0016] (解决问题的手段)

[0017] 本发明的一形态提供具备一种半导体器件, 其特征在于, 具备:

[0018] 第 2 导电型杂质区域, 形成在第 1 导电型半导体衬底的一部分;

[0019] 第 1 硅柱, 为任意的横断面形状, 且形成在所述第 2 导电型杂质区域上;

[0020] 第 1 绝缘体, 包围所述第 1 硅柱面的一部分;

[0021] 栅极, 包围所述第 1 绝缘体; 以及

[0022] 第 2 硅柱, 包含第 2 导电型杂质区域, 且形成在所述第 1 硅柱上;

[0023] 所述栅极以第 2 绝缘体自所述半导体衬底隔离而配置, 所述栅极以第 2 绝缘体自所述第 2 硅柱隔离而配置;

[0024] 所述栅极的断面积比以所述第 2 绝缘体隔离的所述半导体衬底与所述栅极的距离乘以  $2 \times 10^9$  的值还小, 或者, 所述栅极的断面积比以所述第 2 绝缘体隔离的所述第 2 硅柱与所述栅极的距离乘以  $2 \times 10^9$  的值还小, 其中, 所述栅极的断面积的单位为  $\text{nm}^2$ , 所述栅极的距离的单位为  $\text{nm}$ ;

[0025] 形成所述栅极与所述半导体衬底间的电容比栅极电容还小, 或者, 所述栅极与所述第 2 硅柱间的电容比所述栅极电容还小。

[0026] 依本发明的另一形态, 所述第 1 硅柱由圆柱形的硅柱所构成, 包围该第 1 硅柱表面的一部分的第 1 绝缘体及包围该第 1 绝缘体的栅极也由圆形状所构成。

[0027] 所述栅极的一端部的膜厚  $T_{\text{gate1}}$  与以第 2 绝缘体隔离的半导体衬底与栅极的距离  $T_{\text{space1}}$  的关系式为:

$$[0028] \quad 2.0e6 \cdot T_{\text{space1}} > \pi T_{\text{gate1}}^2 + 1.0e2 T_{\text{gate1}},$$

[0029] 其中,  $T_{\text{gate1}}$  的单位为  $\mu\text{m}$ ,  $T_{\text{space1}}$  的单位为  $\mu\text{m}$ ;

[0030] 或者,所述栅极的另一端部的膜厚  $T_{gate2}$  (单位:  $\mu m$ ) 与以第 2 绝缘体隔离的第 2 硅柱与栅极的距离  $T_{space2}$  (单位:  $\mu m$ ) 的关系为:

$$[0031] \quad 2.0e6 \cdot T_{space2} > \pi T_{gate2}^2 + 1.0e2T_{gate2}$$

[0032] 其中,  $T_{gate2}$  的单位为  $\mu m$ ,  $T_{space2}$  的单位为  $\mu m$ 。

[0033] 所述栅极的一端部可当做栅极在半导体衬底侧的端部,另一端部可当做栅极在第 2 硅柱侧的端部。

[0034] 依本发明的另一形态,所述第 1 硅柱由正方形的横断面形状的硅柱形成,包围该第 1 硅柱表面的一部分的第 1 绝缘体及包围该第 1 绝缘体的栅极也形成正方形的横断面形状。

[0035] 所述栅极的一端部的膜厚  $T_{gate1}$  与以第 2 绝缘体隔离的半导体衬底与栅极的距离  $T_{space1}$  的关系为:

$$[0036] \quad 2.0e6 \cdot T_{space1} > 4T_{gate1}^2 + 1.0e2T_{gate1},$$

[0037] 其中,  $T_{gate1}$  的单位为  $\mu m$ ,  $T_{space1}$  的单位为  $\mu m$ ;

[0038] 或者,所述栅极的另一端部的膜厚  $T_{gate2}$  (单位:  $\mu m$ ) 与以第 2 绝缘体隔离的第 2 硅柱与栅极的距离  $T_{space2}$  (单位:  $\mu m$ ) 的关系为:

$$[0039] \quad 2.0e6 \cdot T_{space2} > 4T_{gate2}^2 + 1.0e2T_{gate2},$$

[0040] 其中,  $T_{gate1}$  的单位为  $\mu m$ ,  $T_{space1}$  的单位为  $\mu m$ 。

[0041] 依本发明的另一形态,所述第 1 硅柱由四角形的横断面形状的硅柱形成,包围该第 1 硅柱表面的一部分的第 1 绝缘体及包围该第 1 绝缘体的栅极也形成四角形的横断面形状。

[0042] 所述栅极的一端部的膜厚  $T_{gate1}$  (单位:  $\mu m$ ) 与以第 2 绝缘膜隔离的半导体衬底与栅极的距离  $T_{space1}$  (单位:  $\mu m$ ) 的关系为:

$$[0043] \quad 3.0e6 \cdot T_{space1} > 4T_{gate1}^2 + 1.5e2T_{gate1},$$

[0044] 或者,所述栅极的另一端部的膜厚  $T_{gate2}$  (单位:  $\mu m$ ) 与以第 2 绝缘体隔离的第 2 硅柱与栅极的距离  $T_{space2}$  (单位:  $\mu m$ ) 的关系为:

$$[0045] \quad 3.0e6 \cdot T_{space2} > 4T_{gate2}^2 + 1.5e2T_{gate2}.$$

[0046] 依本发明的优选形态,所述第 2 绝缘体由  $SiO_2$ 、 $SiN$ 、或  $SiO_2$  与  $SiN$  的层构造形成。

[0047] 所述第 1 绝缘体由  $SiO_2$ 、 $HfO_2$ 、或  $SiON$  形成。

[0048] 所述栅极由  $TaN$ 、 $TiN$ 、 $NiSi$ 、 $Ni_3Si$ 、 $Ni_2Si$ 、 $PtSi$ 、 $Pt_3Si$ 、 $W$  的材料中选择。

[0049] 依本发明的优选形态,所述第 1 硅柱包含第 2 导电型高浓度杂质区域,形成在靠近所述半导体衬底的一部分,且邻接第 2 导电型杂质区域。

[0050] 又所述第 2 硅柱的第 2 导电型杂质区域为高浓度杂质区域。

[0051] 又包含有形成在所述半导体衬底的一部分的第 2 导电型杂质区域的一部分的硅化物 (silicide) 区域,及形成在所述第 2 硅柱的第 2 导电型高浓度杂质区域的一部分的硅化物区域。

[0052] (发明效果)

[0053] 依所述构成的半导体器件能减低半导体器件的寄生电容,因此能提供高速又低耗电力的 ULSI (超大型集成电路) 的半导体器件。

## 附图说明

- [0054] 图 1 为表示本发明半导体器件第 1 实施例的立体图。
- [0055] 图 2 为表示图 1 的半导体器件沿 A-A' 线断面图。
- [0056] 图 3 为表示图 1 的半导体器件俯视图。
- [0057] 图 4 为表示图 2 的半导体器件沿 B-B' 线断面图。
- [0058] 图 5 为表示图 2 的半导体器件沿 C-C' 线断面图。
- [0059] 图 6 为表示图 1 的半导体器件为了要满足  $C_{ov1} < C_g$ , 其栅极横断面积 S1 及栅极与半导体衬底的距离  $T_{space1}$  的关系。
- [0060] 图 7 为表示图 1 的半导体器件为了要满足  $C_{ov2} < C_g$ , 其栅极横断面积 S2 及栅极与第 2 硅柱的距离  $T_{space2}$  的关系。
- [0061] 图 8 为表示本发明半导体器件第 2 实施例的立体图。
- [0062] 图 9 为表示图 8 的半导体器件沿 A-A' 线断面图。
- [0063] 图 10 为表示图 8 的半导体器件俯视图。
- [0064] 图 11 为表示图 9 的半导体器件沿 B-B' 线断面图。
- [0065] 图 12 为表示图 9 的半导体器件沿 C-C' 线断面图。
- [0066] 图 13 为表示图 9 的半导体器件的层间膜为 SiN 时为了要满足  $C_{ov1} < C_g$ , 其栅极横断面积 S1 及栅极与半导体衬底的距离  $T_{space1}$  的关系。
- [0067] 图 14 为表示图 9 的半导体器件的层间膜为 SiN 时为了要满足  $C_{ov2} < C_g$ , 其栅极横断面积 S2 及栅极与第 2 硅柱的距离  $T_{space2}$  的关系。
- [0068] 图 15 为表示本发明半导体器件第 3 实施例的立体图。
- [0069] 图 16 为表示图 15 的半导体器件沿 A-A' 线断面图。
- [0070] 图 17 为表示图 15 的半导体器件俯视图。
- [0071] 图 18 为表示图 16 的半导体器件沿 B-B' 线断面图。
- [0072] 图 19 为表示图 16 的半导体器件沿 C-C' 线断面图。
- [0073] 图 20 为表示图 15 的半导体器件的栅极绝缘膜为  $HfO_2$  时为了要满足  $C_{ov1} < C_g$ , 其栅极横断面积 S1 及栅极与半导体衬底的距离  $T_{space1}$  的关系。
- [0074] 图 21 为表示图 15 的半导体器件的栅极绝缘膜为  $HfO_2$  时为了要满足  $C_{ov2} < C_g$ , 其栅极横断面积 S2 及栅极与第 2 硅柱的距离  $T_{space2}$  的关系。
- [0075] 图 22 为表示本发明半导体器件第 4 实施例的立体图。
- [0076] 图 23 为表示图 22 的半导体器件沿 A-A' 线断面图。
- [0077] 图 24 为表示图 22 的半导体器件的俯视图。
- [0078] 图 25 为表示图 23 的半导体器件沿 B-B' 线断面图。
- [0079] 图 26 为表示图 23 的半导体器件沿 C-C' 线断面图。
- [0080] 图 27 为表示图 22 的半导体器件的栅极绝缘膜为  $HfO_2$  而层间膜为 SiN 时为了要满足  $C_{ov1} < C_g$ , 其栅极横断面积 S1 及栅极与半导体衬底的距离  $T_{space1}$  的关系。
- [0081] 图 28 为表示图 22 的半导体器件的栅极绝缘膜为  $HfO_2$  而层间膜为 SiN 时为了要满足  $C_{ov2} < C_g$ , 其栅极横断面积 S2 及栅极与第 2 硅柱的距离  $T_{space2}$  的关系。
- [0082] 图 29 为表示本发明的半导体器件第 2 实施例的立体图。
- [0083] 图 30 为表示图 29 的半导体器件沿 A-A' 线断面图。

- [0084] 图 31 为表示图 29 的半导体器件的俯视图。
- [0085] 图 32 为表示图 30 的半导体器件沿 B-B' 线断面图。
- [0086] 图 33 为表示图 30 的半导体器件沿 C-C' 线断面图。
- [0087] 图 34 为表示图 29 的半导体器件为了要满足  $C_{ov1} < C_g$ , 其栅极横断面积 S1 及栅极与半导体衬底的距离  $T_{space1}$  的关系。
- [0088] 图 35 为表示图 29 的半导体器件为了要满足  $C_{ov2} < C_g$ , 其栅极横断面积 S2 及栅极与第 2 硅柱的距离  $T_{space2}$  的关系。
- [0089] 图 36 为表示本发明第 6 实施例的半导体器件立体图。
- [0090] 图 37 为表示图 36 的半导体器件沿 A-A' 线断面图。
- [0091] 图 38 为表示图 36 的半导体器件的俯视图。
- [0092] 图 39 为表示图 37 的半导体器件沿 B-B' 线断面图。
- [0093] 图 40 为表示图 37 的半导体器件沿 C-C' 线断面图。
- [0094] 图 41 为表示图 36 的半导体器件的层间膜为 SiN 时为了要满足  $C_{ov1} < C_g$ , 其栅极横断面积 S1 及栅极与半导体衬底的距离  $T_{space1}$  的关系。
- [0095] 图 42 为表示图 36 的半导体器件的层间膜为 SiN 时为了要满足  $C_{ov2} < C_g$ , 其栅极横断面积 S2 及栅极与第 2 硅柱的距离  $T_{space2}$  的关系。
- [0096] 图 43 为表示本发明半导体器件第 7 实施例的立体图。
- [0097] 图 44 为表示图 43 的半导体器件沿 A-A' 线断面图。
- [0098] 图 45 为表示图 43 的半导体器件的俯视图。
- [0099] 图 46 为表示图 44 的半导体器件沿 B-B' 线断面图。
- [0100] 图 47 为表示图 44 的半导体器件沿 C-C' 线断面图。
- [0101] 图 48 为表示图 43 的半导体器件的栅极绝缘膜为  $HfO_2$  时为了要满足  $C_{ov1} < C_g$ , 其栅极横断面积 S 1 及栅极与半导体衬底的距离  $T_{space1}$  的关系。
- [0102] 图 49 为表示图 43 的半导体器件的栅极绝缘膜为  $HfO_2$  时为了要满足  $C_{ov2} < C_g$ , 其栅极横断面积 S2 及栅极与第 2 硅柱的距离  $T_{space2}$  的关系。
- [0103] 图 50 为表示本发明的半导体器件第 7 实施例的立体图。
- [0104] 图 51 为表示图 50 的半导体器件沿 A-A' 线断面图。
- [0105] 图 52 为表示图 50 的半导体器件的俯视图。
- [0106] 图 53 为表示图 51 的半导体器件沿 B-B' 线断面图。
- [0107] 图 54 为表示图 51 的半导体器件沿 C-C' 线断面图。
- [0108] 图 55 为表示图 50 的半导体器件的栅极绝缘膜为  $HfO_2$  而层间膜为 SiN 时, 为了要满足  $C_{ov1} < C_g$ , 其栅极横断面积 S 1 及栅极与半导体衬底的距离  $T_{space1}$  的关系。
- [0109] 图 56 为表示图 50 的半导体器件的栅极绝缘膜为  $HfO_2$  及层间膜为 SiN 时, 为了要满足  $C_{ov2} < C_g$ , 其栅极横断面积 S2 及栅极与第 2 硅柱的距离  $T_{space2}$  的关系。
- [0110] 图 57 为表示本发明的半导体器件第 9 实施例的立体图。
- [0111] 图 58 为表示图 57 的半导体器件沿 A-A' 线断面图。
- [0112] 图 59 为表示图 57 的半导体器件的俯视图。
- [0113] 图 60 为表示图 58 的半导体器件沿 B-B' 线断面图。
- [0114] 图 61 为表示图 58 的半导体器件沿 C-C' 线断面图。

[0115] 图 62 为表示图 57 的半导体器件为了要满足  $C_{ov1} < C_g$ , 其栅极横断面积  $S1$  及栅极与半导体衬底的距离  $T_{space1}$  的关系。

[0116] 图 63 为表示图 57 的半导体器件为了要满足  $C_{ov2} < C_g$ , 其栅极横断面积  $S2$  及栅极与第 2 硅柱的距离  $T_{space2}$  的关系。

[0117] 图 64 为表示本发明半导体器件第 10 实施例的立体图。

[0118] 图 65 为表示图 64 的半导体器件沿 A-A' 线断面图。

[0119] 图 66 为表示图 64 的半导体器件的俯视图。

[0120] 图 67 为表示图 65 的半导体器件沿 B-B' 线断面图。

[0121] 图 68 为表示图 65 的半导体器件沿 C-C' 线断面图。

[0122] 图 69 为表示图 64 的半导体器件的层间膜为 SiN 时, 为了要满足  $C_{ov1} < C_g$ , 其栅极横断面积  $S1$  及栅极与半导体衬底的距离  $T_{space1}$  的关系。

[0123] 图 70 为表示图 64 的半导体器件的层间膜为 SiN 时为了要满足  $C_{ov2} < C_g$ , 其栅极横断面积  $S2$  及栅极与第 2 硅柱的距离  $T_{space2}$  的关系。

[0124] 图 71 为表示本发明的半导体器件第 11 实施例的立体图。

[0125] 图 72 为表示图 71 的半导体器件沿 A-A' 线断面图。

[0126] 图 73 为表示图 71 的半导体器件的俯视图。

[0127] 图 74 为表示图 72 的半导体器件沿 B-B' 线断面图。

[0128] 图 75 为表示图 72 的半导体器件沿 C-C' 线断面图。

[0129] 图 76 为表示图 71 的半导体器件的栅极绝缘膜为  $HfO_2$  时, 为了要满足  $C_{ov1} < C_g$ , 其栅极横断面积  $S1$  及栅极与半导体衬底的距离  $T_{space1}$  的关系。

[0130] 图 77 为表示图 71 的半导体器件的栅极绝缘膜为  $HfO_2$  时, 为了要满足  $C_{ov2} < C_g$ , 其栅极横断面积  $S2$  及栅极与第 2 硅柱的距离  $T_{space2}$  的关系。

[0131] 图 78 为表示本发明的半导体器件第 12 实施例的立体图。

[0132] 图 79 为表示图 78 的半导体器件沿 A-A' 线断面图。

[0133] 图 80 为表示图 78 的半导体器件的俯视图。

[0134] 图 81 为表示图 79 的半导体器件沿 B-B' 线断面图。

[0135] 图 82 为表示图 79 的半导体器件沿 C-C' 线断面图。

[0136] 图 83 为表示图 78 的半导体器件的栅极绝缘膜为  $HfO_2$  而层间膜为 SiN 时, 为了要满足  $C_{ov1} < C_g$ , 其栅极横断面积  $S1$  及栅极与半导体衬底的距离  $T_{space1}$  的关系。

[0137] 图 84 为表示图 78 的半导体器件的栅极绝缘膜为  $HfO_2$  及层间膜为 SiN 时, 为了要满足  $C_{ov2} < C_g$ , 其栅极横断面积  $S2$  及栅极与第 2 硅柱的距离  $T_{space2}$  的关系。

[0138] 图 85 为表示本发明的半导体器件第 13 实施例的立体图。

[0139] 图 86 为表示图 85 的半导体器件沿 A-A' 线断面图。

[0140] 图 87 为表示图 85 的半导体器件的俯视图。

[0141] 图 88 为表示图 86 的半导体器件沿 B-B' 线断面图。

[0142] 图 89 为表示图 86 的半导体器件沿 C-C' 线断面图。

[0143] 图 90 为表示图 85 的半导体器件为了要满足  $C_{ov1} < C_g$ , 其栅极横断面积  $S1$  及栅极与半导体衬底的距离  $T_{space1}$  的关系。

[0144] 图 91 为表示图 85 的半导体器件为了要满足  $C_{ov2} < C_g$ , 其栅极横断面积  $S2$  及栅极

与第 2 硅柱的距离 S2 的关系。

[0145] 图 92 为表示本发明的半导体器件第 14 实施例的立体图。

[0146] 图 93 为表示图 92 的半导体器件沿 A-A' 线断面图。

[0147] 图 94 为表示图 92 的半导体器件的俯视图。

[0148] 图 95 为表示图 93 的半导体器件沿 B-B' 线断面图。

[0149] 图 96 为表示图 93 的半导体器件沿 C-C' 线断面图。

[0150] 图 97 为表示图 92 的半导体器件的层间膜为 SiN 时,为了要满足  $C_{ov1} < C_g$ ,其栅极横断面积 S1 及栅极与半导体衬底的距离  $T_{space1}$  的关系。

[0151] 图 98 为表示图 92 的半导体器件的层间膜为 SiN 时,为了要满足  $C_{ov2} < C_g$ ,其栅极横断面积 S2 及栅极与第 2 硅柱的距离  $T_{space2}$  的关系。

[0152] 图 99 为表示本发明的半导体器件第 15 实施例的立体图。

[0153] 图 100 为表示图 99 的半导体器件沿 A-A' 线断面图。

[0154] 图 101 为表示图 99 的半导体器件的俯视图。

[0155] 图 102 为表示图 100 的半导体器件沿 B-B' 线断面图。

[0156] 图 103 为表示图 100 的半导体器件沿 C-C' 线断面图。

[0157] 图 104 为表示图 99 的半导体器件的栅极绝缘膜为  $HfO_2$  时,为了要满足  $C_{ov1} < C_g$ ,其栅极横断面积 S1 及栅极与半导体衬底的距离  $T_{space1}$  的关系。

[0158] 图 105 为表示图 99 的半导体器件的栅极绝缘膜为  $HfO_2$  时,为了要满足  $C_{ov2} < C_g$ ,其栅极横断面积 S2 及栅极与第 2 硅柱的距离  $T_{space2}$  的关系。

[0159] 图 106 为表示本发明的半导体器件第 16 实施例的立体图。

[0160] 图 107 为表示图 106 的半导体器件沿 A-A' 线断面图。

[0161] 图 108 为表示图 106 的半导体器件的俯视图。

[0162] 图 109 为表示图 107 的半导体器件沿 B-B' 线断面图。

[0163] 图 110 为表示图 107 的半导体器件沿 C-C' 线断面图。

[0164] 图 111 为表示图 106 的半导体器件的栅极绝缘膜为  $HfO_2$  及层间膜为 SiN 时,为了要满足  $C_{ov1} < C_g$ ,其栅极横断面积 S1 及栅极与半导体衬底的距离  $T_{space1}$  的关系。

[0165] 图 112 为表示图 106 的半导体器件的栅极绝缘膜为  $HfO_2$  及层间膜为 SiN 时,为了要满足  $C_{ov2} < C_g$ ,其栅极横断面积 S2 及栅极与第 2 硅柱的距离  $T_{space2}$  的关系。

[0166] 图 113 为表示公知的 SGT 例的断面图。

[0167] 图 114 为表示公知的 SGT 例俯视图及沿其 A-A' 线断面图。

[0168] 图 115 为表示以减低寄生电容为目的的公知 SGT 例断面图。

[0169] 图 116 为表示以减低寄生电容为目的的公知 SGT 例断面图。

[0170] 主要组件符号说明

[0171]	100	半导体衬底	210	栅极
[0172]	310	栅极绝缘膜 $SiO_2$	2320	栅极绝缘膜 $HfO_2/SiO_2$
[0173]	410、420、430	接触窗		
[0174]	510、520、530、540	高浓度杂质扩散层		
[0175]	610	层间绝缘膜 ( $SiO_2$ )	620	层间绝缘膜 (SiN)
[0176]	710、720	硅化物	810、820	硅柱

[0177]	910	元件隔离绝缘膜	1010	高电阻区域
[0178]	1110	侧壁氧化膜	1210	接触孔的蚀刻停止层
[0179]	1310	源极	1410	漏极
[0180]	1510	CMP 停止层	1610	沟道区域
[0181]	$T_{\text{space1}}$	栅极与半导体衬底间的距离		
[0182]	$T_{\text{gate1}}$	栅极一端部的膜厚	$T_{\text{gate2}}$	栅极另一端部的膜厚
[0183]	$T_{\text{space2}}$	栅极与第 2 硅柱间的距离		
[0184]	S1	栅极一端部的横断面积		
[0185]	S2	栅极另一端部的横断面积		

### 具体实施方式

[0186] 以下参照图式详细说明本发明的半导体器件。如表 1 所示, 实施例 1 至 16 中, 第 1 硅柱的断面形状, 第 2 绝缘体 (层间膜) 的材质, 第 1 绝缘体 (栅极氧化物层) 的材质有所不同。

[0187] 表 1

[0188]

实施例	第 1 硅柱 810 断面	第 2 绝缘体层 间膜 610、620	第 1 绝缘体栅极绝 缘膜 310、320	图
1	任意形状	$\text{SiO}_2$	$\text{SiO}_2$	1 至 7
2		$\text{SiN}$	$\text{SiO}_2$	8 至 14
3		$\text{SiO}_2$	$\text{HfO}_2$	15 至 21
4		$\text{SiN}$	$\text{HfO}_2$	22 至 28
5	圆柱	$\text{SiO}_2$	$\text{SiO}_2$	29 至 35
6		$\text{SiN}$	$\text{SiO}_2$	36 至 42
7		$\text{SiO}_2$	$\text{HfO}_2$	43 至 49
8		$\text{SiN}$	$\text{HfO}_2$	50 至 56
9	正方形	$\text{SiO}_2$	$\text{SiO}_2$	57 至 63
10		$\text{SiN}$	$\text{SiO}_2$	64 至 70
11		$\text{SiO}_2$	$\text{HfO}_2$	71 至 77
12		$\text{SiN}$	$\text{HfO}_2$	78 至 84
13	长方形	$\text{SiO}_2$	$\text{SiO}_2$	85 至 91
14		$\text{SiN}$	$\text{SiO}_2$	92 至 98
15		$\text{SiO}_2$	$\text{HfO}_2$	99 至 105
16		$\text{SiN}$	$\text{HfO}_2$	106 至 112

[0189] 第 1 实施例 : 半导体器件

[0190] 第 1 至 4 实施例为第 1 硅柱 810 的断面为任意形状的状态。图 1 表示本发明第 1 实施例半导体器件的晶体管的概略立体图。图 2 表示图 1 沿切线 A-A' 的概略断面图, 图 3 表示图 1 的俯视图, 图 4 表示图 2 沿切线 B-B' 的概略断面图, 图 5 表示图 2 沿切线 C-C' 的概略断面图。第 1 实施例的半导体器件具备形成在第 1 导电型半导体衬底 100 的任意横断面形状的第 1 硅柱 810, 包围该第 1 硅柱 810 表面的一部分的第 1 绝缘体 310, 包围该第 1 绝缘体 310 的栅极 210, 及形成在该第 1 硅柱 810 的上部的第 2 硅柱 820。所述栅极 210 以第 2 绝缘体 610 自半导体器件 100 隔离而配置, 并且所述栅极 210 以第 2 绝缘体 610 自所述第 2 硅柱 820 隔离。

[0191] 半导体器件更具备 : 形成在第 1 硅柱 810 的一部分的第 2 导电型高浓度杂质区域 520 ; 形成在第 1 硅柱 810 的一部分的第 2 导电型高浓度杂质区域 530 ; 形成在半导体衬底 100 的一部分的第 2 导电型高浓度杂质区域 510 ; 以及形成在第 2 硅柱 820 的一部分的第 2 导电型高浓度杂质区域 540。又具备 : 形成在所述第 2 导电型高浓度杂质区域 510 的一部分的硅化物区域 720 ; 形成在所述第 2 导电型高浓度杂质区域 540 的硅化物区域 710 ; 形成在所述硅化物区域 720 上的接触窗 (contact) 430 ; 形成在所述硅化物区域 710 上的接触窗 420 ; 形成在所述栅极 210 上的接触窗 410 ; 以及形成在半导体衬底 100 上的元件隔离部 910。

[0192] 第 1 硅柱 810 包含高浓度杂质区域 520 及高浓度杂质区域 530。第 2 硅柱 820 包含高浓度杂质区域 540 及硅化物区域 710。

[0193] 第 1 绝缘体 310 (栅极氧化物层) 为  $\text{SiO}_2$ , 第 2 绝缘体 610 (层间膜) 也为  $\text{SiO}_2$ 。

[0194] 依本实施例为了要使寄生电容更小, 最好能满足栅极 210 与半导体衬底 100 间的寄生电容  $C_{ov1}$  小于栅极电容  $C_g$  的公式 (1-1)。

$$[0195] \quad C_{ov1} < C_g$$

$$[0196] \quad (1-1)$$

[0197] 具体而言, 例如设定栅极 210 的长度为 20nm, 第 1 硅柱 810 的周围长度为 31.4nm, 栅极绝缘膜 310 的换算膜厚  $T_{ox}$  为 1nm, 层间膜为  $\text{SiO}_2$ 。栅极 210 与半导体衬底 100 间的电容  $C_{ov1}$ 、层间膜 610 的介电常数  $\epsilon_x$ 、栅极 210 的一端部的横断面积 S1、栅极 210 与半导体衬底 100 的距离  $T_{space1}$  的关系成立公式 (1-2), 将其代入公式 (1-1) 则成立公式 (1-3)。

$$[0198] \quad C_{ov1} = \frac{\epsilon_x S1}{T_{space1}}$$

$$(1-2)$$

$$[0199] \quad S1 < \frac{C_g T_{space1}}{\epsilon_x}$$

$$(1-3)$$

[0200] 栅极电容  $C_g$  由栅极绝缘膜 310 的  $\text{SiO}_2$  介电常数  $\epsilon_{ox}$  及栅极 210 的长度 l 及第 1 硅柱 810 的周围长度 W 及栅极绝缘膜 310 的换算膜厚  $T_{ox}$  的公式 (1-4) 表示, 将公式 (1-4) 代入 (1-3) 即得栅极 210 的横断面积 S1 及栅极 210 与半导体衬底 100 的距离  $T_{space1}$  的条件式 (1-5)。于此的栅极电容指以栅极 210 及第 1 硅柱 810 为电极而夹栅极绝缘膜 310 于其

间的电容。

$$C_g \approx \frac{\varepsilon_{ox} lw}{T_{ox}} \quad (1-4)$$

$$S1 < \frac{\varepsilon_{ox} lw}{\varepsilon_x T_{ox}} T_{space1} = 6.3e2T_{space1} \quad (1-5)$$

[0203] 满足该条件式 (1-5) 时即满足公式 (1-1) 而得公式 (1-6)。公式 (1-5) 及 (1-6) 的单位为 nm(图 6)。

$$S1 < 6.3e2T_{space1} \Rightarrow C_{ov1} < C_g \quad (1-6)$$

[0205] 另外,第 1 硅柱 810 的周围长度为 1nm 至 100 μm,栅极绝缘膜 310 由于使用 SiO<sub>2</sub> 或高介电常数膜,其换算膜厚为 0.5nm 至 100nm。栅极 210 的长度为 5nm 至 10 μm,层间膜由于使用 SiO<sub>2</sub> 或 SiN,其介电常数 ε<sub>x</sub> 为 3.8 至 7.6。然后以所述构造求得满足公式 (1-1) 的条件。第 1 硅柱 810 的周围长度为 100 μm,并且栅极绝缘膜 310 的膜厚为 0.5nm。又栅极 210 的长度为 10 μm,并且层间膜的介电常数 ε<sub>x</sub> 为 3.9。因此,栅极电容 C<sub>g</sub> 可由栅极绝缘膜 310 的 SiO<sub>2</sub> 的介电常数 ε<sub>ox</sub> 及栅极 210 的长度 l 及第 1 硅柱 810 的周围长度 W 及栅极绝缘膜 310 的换算膜厚 T<sub>ox</sub> 表示的公式 (1-8) 表示,将公式 (1-8) 代入公式 (1-3) 即可得栅极 210 的横断面积 S<sub>1</sub> 及栅极 210 与半导体衬底 100 的距离 T<sub>space1</sub> 的条件式 (1-9)。

$$C_g \approx \frac{\varepsilon_{ox} lw}{T_{ox}} \quad (1-8)$$

$$S1 < \frac{lw}{T_{ox}} T_{space1} = 2e9T_{space1} \quad (1-9)$$

[0208] 上式中的 2e9 为 2×10<sup>9</sup>。

[0209] 满足公式 (1-9) 时即满足公式 (1-1) 而得公式 (1-10)。(公式 (1-9)、(1-10)、(1-11) 的单位为 nm)

$$S1 < 2e9T_{space1} \Rightarrow C_{ov1} < C_g \quad (1-10)$$

[0211] 由公式 (1-10) 可得公式 (1-11)。

$$S1 \ll 2e9T_{space1} \Rightarrow C_{ov1} \ll C_g \quad (1-11)$$

[0213] 如图 6 所示,随箭头方向的进行,C<sub>ov1</sub> 变得比 C<sub>g</sub> 还小。

[0214] 又依本实施例,为了要减小寄生电容,最好能满足栅极 210 与第 2 硅柱 820 间的寄

生电容  $C_{ov2}$  小于栅极电容  $C_g$  的公式 (1-12)。

$$[0215] \quad C_{ov2} < C_g$$

$$[0216] \quad (1-12)$$

[0217] 具体而言,例如设定栅极 210 的长度为 20nm,第 1 硅柱 810 的周围长度变为 31.4nm,栅极绝缘膜 310 的换算膜厚  $T_{ox}$  为 1nm,层间膜为  $SiO_2$ 。则栅极 210 与第 2 硅柱 820 间的电容  $C_{ov2}$ 、层间膜 610 的介电常数  $\epsilon_x$ 、栅极 210 的另一端部的横断面积  $S2$ 、及栅极 210 与第 2 硅柱 820 的距离  $T_{space2}$  的关系成立公式 (1-13),将其代入公式 (1-12) 可得公式 (1-14)。

$$[0218] \quad C_{ov2} = \frac{\epsilon_x S2}{T_{space2}} \quad (1-13)$$

$$[0219] \quad S2 < \frac{C_g}{\epsilon_x} T_{space2} \quad (1-14)$$

[0220] 栅极电容  $C_g$  可由栅极绝缘膜 310 的  $SiO_2$  介电常数  $\epsilon_{ox}$  及栅极 210 的长度  $l$  及第 1 硅柱 810 的周围长度以及栅极绝缘膜 310 的换算膜厚  $T_{ox}$  代表的公式 (1-15) 表示,如将公式 (1-15) 代入公式 (1-14) 即可得栅极 210 的横断面积  $S2$  及栅极 210 与第 2 硅柱 820 的距离  $T_{space2}$  的条件式 (1-16)。(公式 (1-16) 的单位为 nm)(图 7)。

$$[0221] \quad C_g \approx \frac{\epsilon_{ox} l w}{T_{ox}} \quad (1-15)$$

$$[0222] \quad S2 < \frac{\epsilon_{ox} l w}{\epsilon_x T_{ox}} T_{space2} = 6.3e2 T_{space2} \quad (1-16)$$

[0223] 又第 1 硅柱 810 的周围长度为 1nm 至 100  $\mu m$ ,栅极绝缘膜 310 因使用  $SiO_2$  或高介电常数膜,其换算膜厚为 0.5nm 至 100nm。栅极 210 的长度为 5nm 至 10  $\mu m$ ,层间膜的介电常数  $\epsilon_x$  因使用  $SiO_2$  或  $SiN$  而为 3.8 至 7.6。然后以所述构造求得满足公式 (1-1) 的条件。第 1 硅柱 810 的周围长度为 100  $\mu m$ ,而栅极绝缘膜 310 的膜厚为 0.5nm。又栅极 210 的长度为 10  $\mu m$ ,而层间膜的介电常数  $\epsilon_x$  为 3.9。因此,栅极电容  $C_g$  可由栅极绝缘膜 310 的  $SiO_2$  介电常数  $\epsilon_{ox}$  及栅极 210 绝缘膜 310 的换算膜厚  $T_{ox}$  代表的公式 (1-17) 表示,将公式 (1-17) 代入公式 (1-14) 即可得栅极 210 的横断面积  $S2$  及栅极 210 与第 2 硅柱 820 的距离  $T_{space2}$  的条件式 (1-18)。

$$[0224] \quad C_g \approx \frac{\epsilon_{ox} l w}{T_{ox}} \quad (1-17)$$

$$[0225] \quad S2 < \frac{lw}{T_{ox}} T_{space2} = 2e9T_{space2}$$

(1-18)

[0226] 满足公式 (1-18) 时即满足公式 (1-12) 而得公式 (1-19)。(公式 (1-18)、(1-19)、(1-20) 的单位为 nm)

$$[0227] \quad S2 < 2e9T_{space2} \Rightarrow C_{ov2} < C_g$$

(1-19)

[0228] 由公式 (1-19) 可得公式 (1-20)。

$$[0229] \quad S2 \ll 2e9T_{space2} \Rightarrow C_{ov2} \ll C_g$$

(1-20)

[0230] 如图 7 所示,随箭头方向的进行,  $C_{ov2}$  变得比  $C_g$  还小。

[0231] 第 2 实施例:半导体器件

[0232] 图 8 表示第 1 实施例的层间膜(第 2 绝缘体)非为  $SiO_2$  而为  $SiN$  时的本发明半导体器件的晶体管概略立体图。图 9 表示沿图 8 的切线 A-A' 的概略断面图,图 10 表示图 8 的俯视图,图 11 表示沿图 9 的切线 B-B' 的概略断面图,图 12 表示沿图 9 的切线 C-C' 的概略断面图。本实施例的半导体器件同样为了要减小寄生电容,最好能满足栅极 210 与半导体衬底 100 间的寄生电容  $C_{ov1}$  比栅极电容  $C_g$  为小的公式 (2-1)。

$$[0233] \quad C_{ov1} < C_g$$

[0234] (2-1)

[0235] 具体而言,例如设定栅极 210 的长度为 20nm 而第 1 硅柱 810 的周围长度为 31.4nm,栅极绝缘膜 310 的换算膜厚  $T_{ox}$  为 1nm,层间膜为  $SiN$ 。由第 1 实施例的公式 (1-5) 可得栅极 210 的横断面积  $S1$  及栅极 210 与半导体衬底 100 的距离  $T_{space1}$  的条件式 (2-2)。(公式 (2-2) 的单位为 nm)(图 13)

$$[0236] \quad S1 < \frac{\epsilon_{ox} lw}{\epsilon_x T_{ox}} T_{space1} = 3.1e2T_{space1}$$

(2-2)

[0237] 如图 13 所示,随箭头方向的进行,  $C_{ov1}$  变得比  $C_g$  还小。

[0238] 又第 1 实施例的层间膜非为  $SiO$  而为  $SiN$  时也同样地为了要减小寄生电容,最好能满足栅极 210 与第 2 硅柱 820 间的寄生电容  $C_{ov2}$  小于栅极电容  $C_g$  的公式 (2-3)。

$$[0239] \quad C_{ov2} < C_g$$

[0240] (2-3)

[0241] 由第 1 实施例的公式 (1-16) 可得栅极 210 的横断面积  $S2$  及栅极 210 与第 2 硅柱 820 的距离  $T_{space2}$  的条件式 (2-4)。(公式 (2-4) 的单位为 nm)(图 14)

$$[0242] \quad S2 < \frac{\epsilon_{ox} lw}{\epsilon_x T_{ox}} T_{space2} = 3.1e2T_{space2}$$

(2-4)

[0243] 如图 14 所示,随箭头方向的进行, $C_{ov2}$  变得比  $C_g$  还小。

[0244] 第 3 实施例:半导体器件

[0245] 图 15 表示第 1 实施例的层间膜为  $SiO_2$  而栅极绝缘膜(第 1 绝缘体)为  $HfO_2$  时的本发明半导体器件的晶体管概略立体图。图 16 表示沿图 15 的切线 A-A' 的概略断面图,图 17 表示图 16 的俯视图,图 18 表示沿图 16 的切线 B-B' 的概略断面图,图 19 表示沿图 16 的切线 C-C' 的概略断面图。本发明的半导体器件也同样地为了要减小寄生电容,最好能满足栅极 210 与半导体衬底 100 间的寄生电容  $C_{ov1}$  比栅极电容  $C_g$  还小的公式 (3-1)。

$$[0246] \quad C_{ov1} < C_g$$

$$[0247] \quad (3-1)$$

[0248] 具体而言,例如设定栅极 210 的长度为 20nm,第 1 硅柱 810 的周围长度为 31.4nm,栅极绝缘膜 310 的换算膜厚  $T_{ox}$  为 1nm,层间膜为。由第 1 实施例的公式 (1-5) 可得栅极 210 的横断面积 S1 及栅极 210 与半导体衬底 100 的距离  $T_{space1}$  的条件式 (3-2)。(公式 (3-2) 的单位为 nm)(图 20)

$$[0249] \quad S1 < \frac{\epsilon_{ox} l w}{\epsilon_x T_{ox}} T_{space1} = 6.3e2 T_{space1}$$

$$(3-2)$$

[0250] 如图 20 所示,随箭头方向的进行, $C_{ov1}$  比  $C_g$  变越小。

[0251] 又第 1 实施例的层间膜为  $SiO_2$  而栅极绝缘膜为  $HfO_2$  时,同样为了要减小寄生电容,最好满足栅极 210 第 2 硅柱 820 间的寄生电容  $C_{ov2}$  比栅极电容  $C_g$  为小的公式 (3-3)。

$$[0252] \quad C_{ov2} < C_g$$

$$[0253] \quad (3-3)$$

[0254] 由第 1 实施例的公式 (1-6) 可得栅极 210 的横断面积 S2 及栅极 210 与第 2 硅柱 820 的距离  $T_{space2}$  的条件式 (3-4)。(公式 (3-4) 的单位为 nm)(图 21)

$$[0255] \quad S2 < \frac{\epsilon_{ox} l w}{\epsilon_x T_{ox}} T_{space2} = 6.3e2 T_{space2}$$

$$(3-4)$$

[0256] 如图 21 所示,随箭头方向的进行, $C_{ov2}$  变得比  $C_g$  还小。

[0257] 第 4 实施例:半导体器件

[0258] 图 22 表示第 1 实施例的层间膜非为  $SiO_2$  而为  $SiN$  且栅极绝缘膜为  $HfO_2$  时的本发明半导体器件晶体管的概略立体图。图 23 表示沿图 22 的切线 A-A' 的概略断面图,图 24 表示图 22 的俯视图,图 25 表示沿图 23 的切线 B-B' 的概略断面图,图 26 表示沿图 23 的切线 C-C' 的概略断面图。本实施例的半导体器件也同样地为了要减小寄生电容,最好满足栅极 210 与半导体衬底 100 间的寄生电容  $C_{ov1}$  比栅极电容  $C_g$  为小的公式 (4-1)。

$$[0259] \quad C_{ov1} < C_g$$

$$[0260] \quad (4-1)$$

[0261] 具体而言,设定栅极 210 的长度为 20nm 而第 1 硅柱 810 的周围长度为 31.4nm,栅极绝缘膜 320 的换算膜厚  $T_{ox}$  为 1nm,层间膜为  $SiN$ 。由第 1 实施例的公式 (1-5) 可求得栅极 210 的横断面积 S1 及栅极 210 与半导体衬底 100 的距离  $T_{space1}$  的条件式 (4-2)。(公式

(4-2) 的单位为 nm) (图 27)

$$[0262] \quad S1 < \frac{\epsilon_{ox}lw}{\epsilon_x T_{ox}} T_{space1} = 3.1e2T_{space1}$$

(4-2)

[0263] 如图 27 所示,随箭头方向的进行,  $C_{ov1}$  变得比  $C_g$  还小。

[0264] 又第 1 实施例的层间膜非  $SiO_2$  而为  $SiN$ , 且栅极绝缘膜为  $HfO_2$  时也同样为了要减小寄生电容, 最好能满足栅极 210 与第 2 硅柱 820 间的寄生电容  $C_{ov2}$  比栅极电容  $C_g$  为小的公式 (4-3)。

$$[0265] \quad C_{ov2} < C_g$$

$$[0266] \quad (4-3)$$

[0267] 由第 1 实施例的公式 (1-16) 可得栅极 210 的横断面积  $S2$  及栅极 210 与第 2 硅柱 820 的距离  $T_{space2}$  的条件式 (4-4)。(公式 (4-4) 的单位为 nm) (图 28)

$$[0268] \quad S2 < \frac{\epsilon_{ox}lw}{\epsilon_x T_{ox}} T_{space2} = 3.1e2T_{space2}$$

(4-4)

[0269] 如图 28 所示,随箭头方向的进行,  $C_{ov2}$  变得比  $C_g$  还小。

[0270] 第 5 实施例: 半导体器件

[0271] 第 5 至 8 实施例表示第 1 硅柱 810 的断面形成圆形的状态。

[0272] 第 5 实施例的第 1 绝缘体 310 (栅极氧化物层) 为  $SiO_2$ , 第 2 绝缘体 610 (层间膜) 为  $SiO_2$ 。

[0273] 图 29 表示本发明第 5 实施例半导体器件晶体管的概略立体图。图 30 表示沿图 29 的切线 A-A' 的概略断面图, 图 31 表示图 29 的俯视图, 图 32 表示沿图 30 的切线 B-B' 的概略断面图, 图 33 表示沿图 30 的切线 C-C' 的概略断面图。第 5 实施例的半导体器件具备: 形成在第 1 导电型半导体衬底 100 的圆形的横断面形状的第 1 硅柱 810; 包围该第 1 硅柱 810 表面的一部分的第 1 绝缘体 310; 包围该绝缘体 310 的栅极 210; 以及形成在所述第 1 硅柱 810 的上部的第 2 硅柱 820。所述栅极 210 以第 2 绝缘体 610 自半导体衬底 100 隔离而配置, 并且所述栅极 210 以第 2 绝缘体 610 自所述第 2 硅柱 820 隔离而配置。

[0274] 半导体器件更具备: 形成在第 1 硅柱 810 的一部分的第 2 导电型高浓度杂质区域 520; 形成在第 1 硅柱 810 的一部分的第 2 导电型高浓度杂质区域 530; 形成在半导体衬底 100 的一部分的第 2 导电型高浓度杂质区域 510; 以及形成在第 2 硅柱 820 的一部分的第 2 导电型高浓度杂质区域 540。又具备: 形成在所述第 2 导电型高浓度杂质区域 510 的一部分的硅化物区域 720; 形成在所述第 2 导电型高浓度杂质区域 540 的硅化物区域 710; 形成在所述硅化物区域 720 上的接触窗 430; 形成在所述硅化物区域 710 上的接触窗 420; 形成在所述栅极 210 上的接触窗 410; 以及形成在半导体衬底 100 上的元件隔离部 910。

[0275] 本实施例同样为了要减小寄生电容, 最好满足栅极 210 与半导体衬底 100 间的寄生电容  $C_{ov1}$  比栅极电容  $C_g$  为小的公式 (5-1)。

$$[0276] \quad C_{ov1} < C_g$$

$$[0277] \quad (5-1)$$

[0278] 具体而言,设定栅极 210 的长度为 20nm 而第 1 硅柱 810 的直径为 10nm,栅极绝缘膜 310 的膜厚  $T_{ox}$  为 1nm,层间膜为  $SiO_2$ 。栅极 210 与半导体衬底 100 间的电容  $C_{ov1}$ 、层间膜 610 的介电常数  $\epsilon_x$ 、栅极 210 的横断面积  $S1$ 、及栅极 210 与半导体衬底 100 的距离  $T_{space1}$  的关系为公式 (5-2),将其代入公式 (5-1) 则得公式 (5-3)。

$$[0279] \quad C_{ov1} = \frac{\epsilon_x S1}{T_{space1}} \quad (5-2)$$

$$[0280] \quad S1 < \frac{C_g T_{space1}}{\epsilon_x} \quad (5-3)$$

[0281] 栅极电容  $C_g$  可由栅极绝缘膜 310 的介电常数  $\epsilon_{ox}$  及栅极 210 的长度  $l$  及第 1 硅柱 810 的半径  $R$  以及栅极绝缘膜 310 的膜厚  $T_{ox}$  的公式 (5-4) 表示,而栅极 210 的横断面积  $S1$  可由栅极一端部的栅极膜厚  $T_{gate1}$  及第 1 硅柱 810 的半径  $R$  及栅极绝缘膜 310 的膜厚  $T_{ox}$  的公式 (5-5) 表示,将公式 (5-4) 及 (5-5) 代入公式 (5-3) 可得栅极 210 的横断面积  $S1$  及栅极 201 与半导体衬底 100 的距离  $T_{space1}$  的条件式 (5-6)。

$$[0282] \quad C_g = \frac{\epsilon_{ox} \cdot 2\pi Rl}{R \cdot \ln\left(1 + \frac{T_{ox}}{R}\right)} \quad (5-4)$$

$$[0283] \quad S1 = \pi (R+T_{ox}+T_{gate1})^2 - \pi (R+T_{ox})^2 \quad (5-5)$$

$$[0285] \quad \pi (R+T_{ox}+T_{gate1})^2 - \pi (R+T_{ox})^2 < \frac{\epsilon_{ox} \cdot 2\pi Rl}{\epsilon_{ox} \cdot R \cdot \ln\left(1 + \frac{T_{ox}}{R}\right)} T_{space1} \quad (5-6)$$

[0286] 满足所述条件式 (5-6) 时即满足公式 (5-1) 而得公式 (5-7)。(公式 (5-7) 的单位为 nm)(图 34)

$$[0287] \quad 6.9e2 \cdot T_{space1} > \pi(6+T_{gate1})^2 - 1.1e2 \Rightarrow C_{ov1} < C_g \quad (5-7)$$

[0288] 又设第 1 硅柱 810 的周围长度为 1nm 至 100  $\mu m$ 。栅极绝缘膜 310 的膜厚为 0.5nm 至 100nm。栅极 210 的长度为 5nm 至 10  $\mu m$ 。层间膜的介电常数  $\epsilon_x$  为 3.9 至 7.6。然后以所述构造求出满足公式 (5-1) 的条件。第 1 硅柱 810 的周围长度为 100  $\mu m$ ,并且栅极绝缘膜 310 的膜厚为 0.5nm,栅极 210 的长度为 10  $\mu m$ ,又层间膜的介电常数  $\epsilon_x$  为 3.9。栅极电容  $C_g$  可由栅极绝缘膜 310 的介电常数  $\epsilon_{ox}$ 、栅极 210 的长度  $l$ 、第 1 硅柱 810 的半径  $R$ 、及栅极绝缘膜 310 的膜厚  $T_{ox}$  的公式 (5-8) 表示,又栅极 210 的横断面积  $S1$  可由栅极膜厚  $T_{gate1}$  及第 1 硅柱 810 的半径  $R$  及栅极绝缘膜 310 的膜厚  $T_{ox}$  的公式 (5-9) 表示,将公式 (5-8) 及 (5-9) 代入 (5-1) 即可得栅极 210 的横断面积  $S1$  及栅极 210 与半导体衬底 100 的距离  $T_{space1}$

的条件式 (5-10)。

$$[0289] \quad S1 = \pi (R+T_{ox}+T_{gate2})^2 - \pi (R+T_{ox})^2$$

$$[0290] \quad (5-8)$$

$$[0291] \quad C_g = \frac{\varepsilon_{ox} \cdot 2\pi Rl}{R \cdot \ln\left(1 + \frac{T_{ox}}{R}\right)}$$

$$(5-9)$$

$$[0292] \quad \pi(R+T_{ox}+T_{gate1})^2 - \pi(R+T_{ox})^2 < \frac{\varepsilon_{ox} \cdot 2\pi Rl}{\varepsilon_{ox} \cdot R \cdot \ln\left(1 + \frac{T_{ox}}{R}\right)} T_{space1}$$

$$(5-10)$$

[0293] 满足该条件式 (5-10) 时即满足公式 (5-1) 而得公式 (5-11)。(公式 (5-11)、(5-12) 的单位为  $\mu m$ )

$$[0294] \quad 2.0e6 \cdot T_{space1} > \pi T_{gate1}^2 + 1.0e2 T_{gate1} \Rightarrow C_{ov1} < C_g$$

$$(5-11)$$

[0295] 又由公式 (5-11) 可得公式 (5-12)。

$$[0296] \quad 2.0e6 \cdot T_{space1} \gg \pi T_{gate1}^2 + 1.0e2 T_{gate1} \Rightarrow C_{ov1} \ll C_g$$

$$(5-12)$$

[0297] 如图 34 所示,随箭头方向的进行,  $C_{ov1}$  变得比  $C_g$  还小。

[0298] 又同样为了要减小寄生电容,最好能满足栅极 210 与第 2 硅柱 820 间的寄生电容  $C_{ov2}$  比栅极电容  $C_g$  为小的公式 (5-13)。

$$[0299] \quad C_{ov2} < C_g$$

$$[0300] \quad (5-13)$$

[0301] 具体而言,设定栅极 210 的长度为 20nm 而第 1 硅柱 810 的直径为 10nm,栅极绝缘膜 310 的膜厚  $T_{ox}$  为 1nm,层间膜为  $SiO_2$ 。栅极 210 与半导体衬底 100 间的电容  $C_{ov2}$ 、层间膜 610 的介电常数  $\varepsilon_x$ 、栅极 210 的横断面积  $S2$ 、及栅极 210 与第 2 硅柱 820 的距离  $T_{space2}$  的关系为公式 (5-14),将其代入公式 (5-13) 即得公式 (5-15)。

$$[0302] \quad C_{ov2} = \frac{\varepsilon_x S2}{T_{space2}}$$

$$(5-14)$$

$$[0303] \quad S2 < \frac{C_g T_{space2}}{\varepsilon_x}$$

$$(5-15)$$

[0304] 栅极电容  $C_g$  可由栅极绝缘膜 310 的介电常数  $\varepsilon_{ox}$ 、栅极 210 的长度  $l$ 、第 1 硅柱 810 的直径  $R$ 、及栅极绝缘膜 310 的膜厚  $T_{ox}$  的公式 (5-16) 表示,又栅极 210 的横断面积  $S2$  可

由栅极另一端部的栅极膜厚  $T_{gate2}$ 、第 1 硅柱 810 的直径  $R$ 、及栅极绝缘膜 310 的膜厚  $T_{ox}$  的公式 (17) 表示,将公式 (5-16) 及 (5-17) 代入公式 (5-15) 即得栅极 210 的横断面积  $S2$  及栅极 210 与第 2 硅柱 820 的距离  $T_{space2}$  的条件式 (5-18)。

$$C_g = \frac{\varepsilon_{ox} \cdot 2\pi R l}{R \cdot \ln\left(1 + \frac{T_{ox}}{R}\right)} \quad (5-16)$$

$$S2 = \pi (R + T_{ox} + T_{gate1})^2 - \pi (R + T_{ox})^2 \quad (5-17)$$

$$\pi (R + T_{ox} + T_{gate2})^2 - \pi (R + T_{ox})^2 < \frac{\varepsilon_{ox} \cdot 2\pi R l}{\varepsilon_{ox} \cdot R \cdot \ln\left(1 + \frac{T_{ox}}{R}\right)} T_{space2} \quad (5-18)$$

[0309] 满足所述条件式 (5-18) 时即满足公式 (5-13) 而得公式 (5-19)。(公式 (5-19) 的单位 nm) (图 35)

$$6.9e2 \cdot T_{space2} > \pi(6 + T_{gate2})^2 - 1.1e2 \Rightarrow C_{ov2} < C_g \quad (5-19)$$

[0311] 又设第 1 硅柱 810 的周围长度为 1nm 至 100  $\mu$ m。栅极绝缘膜 310 的膜厚为 0.5nm 至 100nm。栅极 210 的长度为 5nm 至 10  $\mu$ m。层间膜的介电常数  $\varepsilon_x$  为 3.9 至 7.6。然后以所述构造求得满足公式 (5-13) 的条件。即第 1 硅柱 810 的周围长度为 100  $\mu$ m,并且栅极绝缘膜 310 的膜厚为 0.5nm,栅极 210 的长度为 10  $\mu$ m,层间膜的介电常数  $\varepsilon_x$  为 3.9。栅极电容  $C_g$  可由栅极绝缘膜 310 的介电常数  $\varepsilon_{ox}$ 、栅极 210 的长度  $l$ 、第 1 硅柱 810 的半径  $R$ 、及栅极绝缘膜 310 的膜厚  $T_{ox}$  的公式 (5-20) 表示,栅极 210 的横断面积  $S2$  可由栅极膜厚  $T_{gate2}$ 、第 1 硅柱 810 的半径  $R$ 、及栅极绝缘膜 310 的膜厚  $T_{ox}$  的公式 (5-21) 表示,将公式 (5-20) 及 (5-21) 代入公式 (5-13) 可得栅极 210 的横断面积  $S2$  及栅极 210 与第 2 硅柱 820 的距离  $T_{space2}$  的条件式 (5-22)。

$$S2 = \pi (R + T_{ox} + T_{gate2})^2 - \pi (R + T_{ox})^2 \quad (5-20)$$

$$C_g = \frac{\varepsilon_{ox} \cdot 2\pi R l}{R \cdot \ln\left(1 + \frac{T_{ox}}{R}\right)} \quad (5-21)$$

$$\pi (R + T_{ox} + T_{gate2})^2 - \pi (R + T_{ox})^2 < \frac{\varepsilon_{ox} \cdot 2\pi R l}{\varepsilon_{ox} \cdot R \cdot \ln\left(1 + \frac{T_{ox}}{R}\right)} T_{space2} \quad (5-22)$$

[0316] 满足所述条件式 (5-22) 时即满足公式 (5-13) 而得公式 (5-23)。(公式 (5-23)

及 (5-24) 的单位为  $\mu\text{m}$ )

$$[0317] \quad 2.0e6 \cdot T_{\text{space}2} > \pi T_{\text{gate}2}^2 + 1.0e2 T_{\text{gate}2} \Rightarrow C_{\text{ov}2} < C_g \quad (5-23)$$

[0318] 又由公式 (5-23) 可得公式 (5-24)。

$$[0319] \quad 2.0e6 \cdot T_{\text{space}2} \gg \pi T_{\text{gate}2}^2 + 1.0e2 T_{\text{gate}2} \Rightarrow C_{\text{ov}2} \ll C_g \quad (5-24)$$

[0320] 如图 35 所示,随箭头方向的进行,  $C_{\text{ov}2}$  变得比  $C_g$  还小。

[0321] 第 6 实施例:半导体器件

[0322] 图 36 表示第 5 实施例的层间膜非为  $\text{SiO}_2$  而为  $\text{SiN}$  时的本发明半导体器件的晶体管概略立体图。图 37 表示沿图 36 的切线 A-A' 的概略断面图,图 38 表示图 36 的俯视图,图 39 表示沿图 37 的切线 B-B' 的概略断面图,图 40 表示沿图 37 的切线 C-C' 的概略断面图。本实施例的半导体器件也为了要减小寄生电容,最好满足栅极 210 与半导体衬底 100 间的寄生电容  $C_{\text{ov}1}$  比栅极电容  $C_g$  为小的公式 (6-1)。

$$[0323] \quad C_{\text{ov}1} < C_g$$

$$[0324] \quad (6-1)$$

[0325] 具体而言,设栅极 210 的长度为 20nm 而第 1 硅柱 810 的直径为 10nm,栅极绝缘膜 310 为  $\text{SiO}_2$ ,膜厚  $T_{\text{ox}}$  为 1.0nm。由第 5 实施例的公式 (5-6) 可得栅极 210 的膜厚  $T_{\text{gate}1}$  及栅极 210 与半导体衬底 100 的距离  $T_{\text{space}1}$  的条件式 (6-2)。(公式 (6-2) 的单位为 nm)(图 41)

$$[0326] \quad 3.4e2 \cdot T_{\text{space}1} > \pi(6 + T_{\text{gate}1})^2 - 1.1e2 \Rightarrow C_{\text{ov}1} < C_g \quad (6-2)$$

[0327] 如图 41 所示,随箭头方向的进行,  $C_{\text{ov}1}$  变得比  $C_g$  还小。

[0328] 又第 5 实施例的层间膜非为  $\text{SiO}_2$  而为  $\text{SiN}$  时,为了要减小寄生电容最好满足栅极 210 与第 2 硅柱 820 间的寄生电容  $C_{\text{ov}2}$  比栅极电容  $C_g$  为小的公式 (6-3)。

$$[0329] \quad C_{\text{ov}2} < C_g$$

$$[0330] \quad (6-3)$$

[0331] 由第 5 实施例的公式 (5-18) 可得栅极 210 的膜厚  $T_{\text{gate}2}$  及栅极 210 与第 2 硅柱 820 的距离  $T_{\text{space}2}$  的条件式 (6-4)。(公式 (6-4) 的单位为 nm)(图 42)

$$[0332] \quad 3.4e2 \cdot T_{\text{space}2} > \pi(6 + T_{\text{gate}2})^2 - 1.1e2 \Rightarrow C_{\text{ov}2} < C_g \quad (6-4)$$

[0333] 如图 42 所示,随箭头方向的进行,  $C_{\text{ov}2}$  变得比  $C_g$  还小。

[0334] 第 7 实施例:半导体器件

[0335] 图 43 表示第 5 实施例的栅极绝缘膜 310 非为  $\text{SiO}_2$  而为  $\text{HfO}_2$  时的本发明半导体器件的晶体管概略立体图。图 44 表示沿图 43 的切线 A-A' 的概略断面图,图 45 表示图 43 的俯视图,图 46 表示沿图 44 的切线 B-B' 的概略断面图,图 47 表示沿图 44 的切线 C-C' 的概略断面图。本实施例的半导体器件也为了减小寄生电容最好满足栅极 210 与半导体器件衬底 100 间的寄生电容  $C_{\text{ov}1}$  比栅极电容  $C_g$  为小的公式 (7-1)。

$$[0336] \quad C_{\text{ov}1} < C_g$$

[0337] (7-1)

[0338] 具体而言,设栅极 210 的长度为 20nm 而第 1 硅柱 810 的直径为 10nm,栅极绝缘膜 320 为  $\text{HfO}_2$ ,膜厚  $T_{\text{ox}}$  为  $\text{EOT} = 1.3\text{nm}$ 。由第 5 实施例的公式 (5-6) 可得栅极 210 的膜厚  $T_{\text{gate1}}$  及栅极 210 与半导体衬底 100 间的距离  $T_{\text{space1}}$  的条件式 (7-2)。(公式 (7-2) 的单位为 nm) (图 48)

$$[0339] \quad 5.4e2 \cdot T_{\text{space1}} > \pi(10 + T_{\text{gate1}})^2 - 3.3e2 \Rightarrow C_{\text{ov1}} < C_g \quad (7-2)$$

[0340] 如图 48 所示,随箭头方向的进行, $C_{\text{ov1}}$  比  $C_g$  变越小。

[0341] 又第 5 实施例的栅极绝缘膜 310 非为  $\text{SiO}_2$  而为  $\text{HfO}_2$  时,为了要减小寄生电容最好满足栅极 210 与第 2 硅柱 820 间的寄生电容  $C_{\text{ov2}}$  比栅极电容  $C_g$  为小的公式 (7-3)。

$$[0342] \quad C_{\text{ov2}} < C_g$$

[0343] (7-3)

[0344] 由第 5 实施例的公式 (5-18) 可得栅极 210 的膜厚  $T_{\text{gate2}}$  及栅极 210 与第 2 硅柱 820 的距离  $T_{\text{space2}}$  的条件式 (7-4)。(公式 (7-4) 的单位为 nm) (图 49)

$$[0345] \quad 5.4e2 \cdot T_{\text{space2}} > \pi(10 + T_{\text{gate2}})^2 - 3.3e2 \Rightarrow C_{\text{ov2}} < C_g \quad (7-4)$$

[0346] 如图 49 所示,随箭头方向的进行, $C_{\text{ov2}}$  变得比  $C_g$  还小。

[0347] 第 8 实施例:半导体器件

[0348] 图 50 表示第 5 实施例的层间膜非为  $\text{SiO}_2$  而为  $\text{SiN}$ ,栅极绝缘膜 310 非为  $\text{SiO}_2$  而为  $\text{HfO}_2$  时的本发明半导体器件的晶体管概略立体图。图 51 表示沿图 50 的切线 A-A' 的概略断面图,图 52 表示图 50 的俯视图,图 53 表示沿图 51 的切线 B-B' 的概略断面图,图 54 表示沿图 51 的切线 C-C' 的概略断面图。本实施例的半导体器件也为了要减小寄生电容,最好满足栅极 210 与半导体衬底 100 间的寄生电容  $C_{\text{ov1}}$  比栅极电容  $C_g$  为小的公式 (8-1)。

$$[0349] \quad C_{\text{ov1}} < C_g$$

[0350] (8-1)

[0351] 具体而言,设栅极 210 的长度为 20nm 而第 1 硅柱 810 的直径为 10nm,栅极绝缘膜 310 为  $\text{HfO}_2$ ,膜厚  $T_{\text{ox}}$  为  $\text{EOT} = 1.3\text{nm}$ 。由第 5 实施例的公式 (5-6) 可得栅极 210 的膜厚  $T_{\text{gate1}}$  及栅极 210 与半导体衬底 100 的距离  $T_{\text{space1}}$  的条件式 (8-2)。(公式 (8-2) 的单位为 nm) (图 55)

$$[0352] \quad 2.8e2 \cdot T_{\text{space1}} > \pi(10 + T_{\text{gate1}})^2 - 3.3e2 \Rightarrow C_{\text{ov1}} < C_g \quad (8-2)$$

[0353] 如图 55 所示,随箭头方向的进行, $C_{\text{ov1}}$  变得比  $C_g$  还小。

[0354] 又第 5 实施例的层间膜非为  $\text{SiO}_2$  而为  $\text{SiN}$ ,栅极绝缘膜 310 非为  $\text{SiO}_2$  而为  $\text{HfO}_2$  时,为了减小寄生电容也最好满足栅极 210 与第 2 硅柱 820 间的寄生电容  $C_{\text{ov2}}$  比栅极电容  $C_g$  为小的公式 (8-3)。

$$[0355] \quad C_{\text{ov2}} < C_g$$

[0356] (8-3)

[0357] 由第 5 实施例的公式 (5-18) 可得栅极 210 的膜厚  $T_{gate2}$  及栅极 210 与第 2 硅柱 820 的距离  $T_{space2}$  的条件式 (8-4)。(公式 (8-4) 的单位为 nm)(图 56)

$$2.8e2 \cdot T_{space2} > \pi(10 + T_{gate2})^2 - 3.3e2 \Rightarrow C_{ov2} < C_g$$

[0358]

$$(8-4)$$

[0359] 如图 56 所示,随箭头方向的进行,  $C_{ov2}$  变得比  $C_g$  还小。

[0360] 第 9 实施例:半导体器件

[0361] 第 9 至 12 实施例表示第 1 硅柱 810 的断面为正方形的状态。

[0362] 第 9 实施例应用的第 1 绝缘体 310(栅极氧化物层)为  $SiO_2$ ,第 2 绝缘体 610(层间膜)为  $SiO_2$ 。图 57 表示本发明半导体器件的晶体管概略立体图。图 58 表示沿图 57 的切线 A-A' 的概略断面图,图 59 表示图 57 的俯视图,图 60 表示沿图 58 的切线 B-B' 的概略断面图,图 61 表示沿图 58 的切线 C-C' 的概略断面图。第 9 实施例的半导体器件,具备:形成在第 1 导电型半导体衬底的横断面形状为正方形的四角第 1 硅柱 810;包围其部分表面的第 1 绝缘体 310;包围该绝缘体 310 的栅极 210;以及形成在所述第 1 硅柱 810 的上部的第 2 硅柱 820。所述栅极 210 以第 2 绝缘体 610 自半导体衬底 100 隔离而配置,又所述栅极 210 以第 2 绝缘体 610 自所述第 2 硅柱 820 隔离而配置。

[0363] 半导体器件更具备:形成在第 1 硅柱 810 的一部分的第 2 导电型高浓度杂质区域 520;形成在第 1 硅柱 810 的一部分的第 2 导电型高浓度杂质区域 530;形成在半导体衬底 100 的一部分的第 2 导电型高浓度杂质区域 510;以及形成在第 2 硅柱 820 的一部分的第 2 导电型高浓度杂质区域 540。又具备:形成在所述第 2 导电型高浓度杂质区域 510 的一部分的硅化物区域 720;形成在所述第 2 导电型高浓度杂质区域 540 的硅化物区域 710;形成在所述硅化物区域 720 上的接触窗 430;形成在所述硅化物区域 710 上的接触窗 420;形成在所述栅极 210 上的接触窗 410;以及形成在半导体衬底 100 的元件隔离部 910。

[0364] 依本实施例为了要减小寄生电容,最好满足栅极 210 与半导体衬底 100 间的寄生电容  $C_{ov1}$  比栅极电容  $C_g$  为小的公式 (9-1)。

$$C_{ov1} < C_g$$

[0365]

$$(9-1)$$

[0367] 具体而言,设栅极 210 的长度为 20nm 而第 1 硅柱 810 的一边为 10nm,栅极绝缘膜 310 的膜厚  $T_{ox}$  为 1nm,层间膜为  $SiO_2$ 。栅极 210 与半导体衬底 100 间的电容  $C_{ov1}$ 、层间膜 610 的介电常数  $\epsilon_x$ 、栅极 210 的横断面积  $S1$ 、及栅极 210 与半导体衬底 100 的距离  $T_{space1}$  的关系式为公式 (9-2),将其代入公式 (9-1) 即得条件式 (9-3)。

$$S1 < \frac{C_g}{\epsilon_x} T_{space1}$$

[0368]

$$(9-2)$$

$$C_{ov1} = \frac{\epsilon_x S1}{T_{space1}}$$

[0369]

$$(9-3)$$

[0370] 栅极电容  $C_g$  可由栅极绝缘膜 310 的介电常数  $\epsilon_{ox}$ 、栅极 210 的长度  $l$ 、第 1 硅柱 810

的一边的长度  $R$ 、及栅极绝缘膜 310 的膜厚  $T_{ox}$  的公式 (9-4) 表示, 栅极 210 的横断面积  $S1$  可由公式 (9-5) 表示, 将公式 (9-4) 及 (9-5) 代入公式 (9-1) 即得栅极 210 的横断面积  $S1$  及栅极 210 与半导体衬底 100 的距离  $T_{space1}$  的条件式 (9-6)。

$$[0371] \quad C_g = \frac{\varepsilon_{ox} \cdot 4R \cdot l}{T_{ox}} \quad (9-4)$$

$$[0372] \quad S1 = (R+2T_{ox}+2T_{gate1})^2 - (R+2T_{ox})^2 \quad (9-5)$$

$$[0374] \quad (R+2T_{ox}+2T_{gate1})^2 - (R+2T_{ox})^2 < \frac{\varepsilon_x \cdot 4Rl}{\varepsilon_x \cdot T_{ox}} \cdot T_{space1} \quad (9-6)$$

[0375] 满足所述条件式 (9-6) 时即满足公式 (9-1), 以数值代入而得公式 (9-7)。(公式 (9-7) 的单位为 nm) (图 62)

$$[0376] \quad 800 \cdot T_{space1} > 4T_{gate1}^2 + 48T_{gate1} \Rightarrow C_{ov1} < C_g \quad (9-7)$$

[0377] 又设第 1 硅柱 810 的一边长度为 0.25nm 至 25 $\mu$ m。栅极绝缘膜 310 的膜厚为 0.5nm 至 100nm。栅极 210 的长度为 5nm 至 10 $\mu$ m。层间膜的介电常数  $\varepsilon_x$  为 3.9 至 7.6。然后以所述构造求得满足公式 (9-1) 的条件。即第 1 硅柱 810 的一边  $R$  为 25 $\mu$ m, 并且栅极绝缘膜 310 的膜厚为 0.5nm, 又栅极 210 的长度为 10 $\mu$ m, 层间膜的介电常数为 3.9。栅极电容  $C_g$  可由栅极绝缘膜 310 的介电常数  $\varepsilon_{ox}$ 、栅极 210 的长度  $l$ 、第 1 硅柱 810 的一边  $R$ 、及栅极绝缘膜 310 的膜厚  $T_{ox}$  的公式 (9-8) 表示, 栅极 210 的横断面积  $S1$  可由公式 (9-9) 表示, 将公式 (9-8) 及 (9-9) 代入公式 (9-3) 即得栅极 210 的膜厚  $T_{gate1}$  及栅极 210 与半导体衬底 100 的距离  $T_{space1}$  的条件式 (9-10)。

$$[0378] \quad C_g = \frac{\varepsilon_{ox} \cdot 4R \cdot l}{T_{ox}} \quad (9-8)$$

$$[0379] \quad S1 = (R+2T_{ox}+2T_{gate1})^2 - (R+2T_{ox})^2 \quad (9-9)$$

$$[0381] \quad (R+2T_{ox}+2T_{gate1})^2 - (R+2T_{ox})^2 < \frac{\varepsilon_x \cdot 4Rl}{\varepsilon_x \cdot T_{ox}} \cdot T_{space1} \quad (9-10)$$

[0382] 满足所述条件式 (9-10) 时即满足公式 (9-1), 将数值代入即得公式 (9-11)。(公式 (9-11) 及 (9-12) 的单位为 :  $\mu$ m)

$$[0383] \quad 2.0e6 \cdot T_{space1} > 4T_{gate1}^2 + 1.0e2T_{gate1} \Rightarrow C_{ov1} < C_g \quad (9-11)$$

[0384] 由公式 (9-11) 可得公式 (9-12)。

$$[0385] \quad 2.0e6 \cdot T_{space1} >> 4T_{gate1}^2 + 1.0e2T_{gate1} \Rightarrow C_{ov1} \ll C_g$$

(9-12)

[0386] 如图 62 所示, 随箭头方向的进行,  $C_{ov1}$  变得比  $C_g$  还小。

[0387] 本实施例也为了减小寄生电容, 最好满足栅极 210 与第 2 硅柱 820 间的寄生电容  $C_{ov2}$  比  $C_g$  为小的公式 (9-13)。

$$[0388] \quad C_{ov2} < C_g$$

[0389] (9-13)

[0390] 具体而言, 设栅极 210 的长度为 20nm 而第 1 硅柱 810 的一边为 10nm, 栅极绝缘膜 310 的膜厚  $T_{ox}$  为 1nm, 层间膜为  $SiO_2$ 。栅极 210 与第 2 硅柱 820 间的电容  $C_{ov2}$ 、层间膜 610 的介电常数  $\epsilon_x$ 、栅极 210 的横断面积  $S2$ 、及栅极 210 与第 2 硅柱 820 的距离  $T_{space2}$  的关系式为 (9-14), 将其代入公式 (9-13) 即得条件式 (9-15)。

$$[0391] \quad S2 < \frac{C_g}{\epsilon_x} T_{space2}$$

(9-14)

$$[0392] \quad C_{ov2} = \frac{\epsilon_x S}{T_{space2}}$$

(9-15)

[0393] 栅极电容  $C_g$  可由栅极绝缘膜 310 的介电常数  $\epsilon_{ox}$ 、栅极 210 的长度  $l$ 、第 1 硅柱 810 的周围长度  $W$ 、及栅极绝缘膜 310 的膜厚  $T_{ox}$  的公式 (9-16) 表示, 栅极 210 的横断面积  $S2$  可由公式 (9-17) 表示, 将公式 (9-16) 及 (9-17) 代入公式 (9-13) 即可得栅极 210 的横断面积  $S2$  及栅极 210 与第 2 硅柱 820 的距离  $T_{space2}$  的条件式 (9-18)。

$$[0394] \quad C_g = \frac{\epsilon_{ox} \cdot 4R \cdot l}{T_{ox}}$$

(9-16)

$$[0395] \quad S2 = (R+2T_{ox}+2T_{gate2})^2 - (R+2T_{ox})^2$$

[0396] (9-17)

$$[0397] \quad (R+2T_{ox}+2T_{gate2})^2 - (R+2T_{ox})^2 < \frac{\epsilon_x \cdot 4Rl}{\epsilon_x \cdot T_{ox}} \cdot T_{space2}$$

(9-18)

[0398] 满足所述条件式 (9-18) 时即满足公式 (9-1), 将数值代入可得公式 (9-19)。(公式 (9-19) 的单位为 nm)(图 63)

$$[0399] \quad 800 \cdot T_{space2} > 4T_{gate2}^2 + 48T_{gate2} \Rightarrow C_{ov2} < C_g$$

(9-19)

[0400] 又设第 1 硅柱 810 的一边长度为 0.25nm 至 25  $\mu m$ 。栅极绝缘膜 310 的膜厚为 0.5nm

至 100nm。栅极 210 的长度为 5nm 至 10 μm。层间膜的介电常数  $\epsilon_x$  为 3.9 至 7.6。然后以所述的构造求得满足公式 (9-1) 的条件。即第 1 硅柱 810 的周围长度为 25 μm, 并且栅极绝缘膜 310 的膜厚为 0.5nm, 栅极 210 的长度为 10 μm, 层间膜的介电常数  $\epsilon_x$  为 3.9。栅极电容  $C_g$  可由栅极绝缘膜 310 的介电常数  $\epsilon_{ox}$ 、栅极 210 的长度  $l$ 、第 1 硅柱 810 的周围长度  $W$ 、及栅极绝缘膜 310 的膜厚  $T_{ox}$  的公式 (9-20) 表示, 栅极 210 的横断面积  $S2$  可由公式 (9-21) 表示, 将公式 (9-20) 及 (9-21) 代入公式 (9-13) 即可得栅极 210 的横断面积  $S2$  及栅极 210 与第 2 硅柱 820 的距离  $T_{space2}$  的条件式 (9-22)。

$$[0401] \quad C_g = \frac{\epsilon_{ox} \cdot 4R \cdot l}{T_{ox}} \quad (9-20)$$

$$[0402] \quad S2 = (R+2T_{ox}+2T_{gate2})^2 - (R+2T_{ox})^2 \quad (9-21)$$

$$[0403] \quad (R+2T_{ox}+2T_{gate2})^2 - (R+2T_{ox})^2 < \frac{\epsilon_x \cdot 4Rl}{\epsilon_x \cdot T_{ox}} \cdot Tspace2$$

$$[0404] \quad (9-22)$$

[0405] 满足所述条件式 (9-22) 时即满足公式 (9-13), 将数值代入即得公式 (9-23)。(公式 (9-23)、(9-24) 的单位为 μm)

$$[0406] \quad 2.0e6 \cdot T_{space2} > 4T_{gate2}^2 + 1.0e2T_{gate2} \Rightarrow C_{ov2} < C_g \quad (9-23)$$

[0407] 又由公式 (9-23) 可得公式 (9-24)。

$$[0408] \quad 2.0e6 \cdot T_{space2} \gg 4T_{gate2}^2 + 1.0e2T_{gate2} \Rightarrow C_{ov2} \ll C_g \quad (9-24)$$

[0409] 如图 63 所示, 随箭头方向的进行,  $C_{ov2}$  变得比  $C_g$  更小。

[0410] 第 10 实施例: 半导体器件

[0411] 图 64 表示第 9 实施例的层间膜 620 非为  $SiO_2$  而为  $SiN$  时的本发明半导体器件的晶体管概略立体图。图 65 表示沿图 64 的切线 A-A' 的概略断面图, 图 66 表示图 64 的俯视图, 图 67 表示沿图 65 的切线 B-B' 的概略断面图, 图 68 表示沿图 65 的切线 C-C' 的概略断面图。本实施例的半导体器件也为了减小寄生电容, 最好满足栅极 210 与半导体衬底 100 间的寄生电容  $C_{ov1}$  比栅极电容  $C_g$  为小的公式 (10-1)。

$$[0412] \quad C_{ov1} < C_g$$

$$[0413] \quad (10-1)$$

[0414] 具体而言, 设栅极 210 的长度为 20nm 而第 1 硅柱 810 的一边长度为 10nm, 栅极绝缘膜 310 的膜厚  $T_{ox}$  为  $EOT = 1.0nm$ 。由第 9 实施例的公式 (9-6) 可得栅极 210 的膜厚  $T_{gate1}$  及栅极 210 与半导体衬底 100 的距离  $T_{space1}$  的条件式 (10-2)。(公式 (10-2) 的单位为 nm) (图 69)

$$4.1e2 \cdot T_{space1} > (2T_{gate1} + 12)^2 - 1.4e2 \Rightarrow C_{ov1} < C_g$$

[0415]

$$(10-2)$$

[0416] 如图 69 所示,随箭头方向的进行,  $C_{ov1}$  变得比  $C_g$  更小。

[0417] 又于第 9 实施例的层间膜 530 非为  $SiO_2$  而为  $SiN$  时,也为了减小寄生电容最好满足栅极 210 与第 2 硅柱 820 间的寄生电容  $C_{ov2}$  比栅极电容  $C_g$  为小的公式 (10-3)。

$$C_{ov2} < C_g$$

$$(10-3)$$

[0420] 由第 9 实施例的公式 (9-18) 可得栅极 210 的膜厚  $T_{gate2}$  及栅极 210 与第 2 硅柱 820 的距离  $T_{space2}$  的条件式 (10-4)。(公式 (10-4) 的单位为 nm)(图 70)

$$4.1e2 \cdot T_{space2} > (2T_{gate2} + 12)^2 - 1.4e2 \Rightarrow C_{ov2} < C_g$$

[0421]

$$(10-4)$$

[0422] 如图 70 所示,随箭头方向的进行,  $C_{ov2}$  比  $C_g$  变越小。

[0423] 第 11 实施例:半导体器件

[0424] 图 71 表示第 9 实施例的栅极绝缘膜 310 非为  $SiO_2$  而为  $HfO_2$  时的本发明半导体器件的晶体管概略立体图。图 72 表示沿图 71 的切线 A-A' 的概略断面图,图 73 表示图 71 的俯视图,图 74 表示沿图 72 的切线 B-B' 的概略断面图,图 75 表示沿图 72 的切线 C-C' 的概略断面图。本实施例的半导体器件也为减小寄生电容,最好满足栅极 210 与半导体衬底 100 间的寄生电容  $C_{ov1}$  比栅极电容  $C_g$  为小的公式 (11-1)。

$$C_{ov1} < C_g$$

$$(11-1)$$

[0427] 具体而言,设栅极 210 的长度为 20nm 而第 1 硅柱 810 的一边长度为 10nm,栅极绝缘膜 310 为  $HfO_2$ ,膜厚  $T_{ox}$  为  $EOT = 1.3nm$ 。由第 9 实施例的公式 (9-6) 可得栅极 210 的膜厚  $T_{gate1}$  及栅极 210 与半导体衬底 100 的距离  $T_{space1}$  的条件式 (11-2)。(公式 (11-2) 的单位为 nm)(图 76)

$$5.3e2 \cdot T_{space1} > (2T_{gate1} + 20)^2 - 4.2e2 \Rightarrow C_{ov1} < C_g$$

[0428]

$$(11-2)$$

[0429] 如图 76 所示,随箭头方向的进行,  $C_{ov1}$  变得比  $C_g$  更小。

[0430] 又第 9 实施例的栅极绝缘膜 310 非为  $SiO_2$  而为  $HfO_2$  时,也为了减小寄生电容最好满足栅极 210 与第 2 硅柱 820 间的寄生电容  $C_{ov2}$  比栅极电容  $C_g$  为小的公式 (11-3)。

$$C_{ov2} < C_g$$

$$(11-3)$$

[0433] 由第 9 实施例的公式 (9-18) 可得栅极 210 的膜厚  $T_{gate2}$  及栅极 210 与第 2 硅柱 820 的距离  $T_{space2}$  的条件式 (11-4)。(公式 (11-4) 的单位为 nm)(图 77)

$$5.3e2 \cdot T_{space2} > (2T_{gate2} + 20)^2 - 4.2e2 \Rightarrow C_{ov2} < C_g$$

[0434]

$$(11-4)$$

[0435] 如图 77 所示,随箭头方向的进行,  $C_{ov2}$  变得比  $C_g$  更小。

[0436] 第 12 实施例 : 半导体器件

[0437] 图 78 表示第 9 实施例的栅极绝缘膜 310 非为  $\text{SiO}_2$  而为  $\text{HfO}_2$  并且层间膜 620 非为  $\text{SiO}_2$  而为  $\text{SiN}$  时的本发明半导体器件的晶体管概略立体图。图 79 表示沿图 78 的切线 A-A' 的概略断面图, 图 80 表示图 78 的俯视图, 图 81 表示沿图 79 的切线 B-B' 的概略断面图, 图 82 表示沿图 79 的切线 C-C' 的概略断面图。本实施例的半导体器件也为减小寄生电容, 最好满足栅极 210 与半导体衬底 100 间的寄生电容  $C_{ov1}$  比栅极电容  $C_g$  为小的公式 (12-1)。

$$[0438] \quad C_{ov1} < C_g$$

$$[0439] \quad (12-1)$$

[0440] 具体而言, 设栅极 210 的长度为 20nm 而第 1 硅柱 810 的一边长度为 10nm, 栅极绝缘膜 320 为  $\text{HfO}_2$ , 膜厚  $T_{ox}$  为  $EOT = 1.3\text{nm}$ 。由第 9 实施例的公式 (9-6) 可得栅极 210 的膜厚  $T_{gate1}$  及栅极 210 与半导体衬底 100 的距离  $T_{space1}$  的条件式 (12-2)。(公式 (12-2) 的单位为 nm) (图 83)

$$[0441] \quad 2.7e2 \cdot T_{space1} > (2T_{gate1} + 20)^2 - 4.2e2 \Rightarrow C_{ov1} < C_g$$

$$(12-2)$$

[0442] 如图 83 所示, 随箭头方向的进行,  $C_{ov1}$  变得比  $C_g$  更小。

[0443] 又于第 9 实施例的栅极绝缘膜 310 非为  $\text{SiO}_2$  而为  $\text{HfO}_2$ , 并且层间膜 520 非为  $\text{SiO}_2$  而为  $\text{SiN}$  时, 为了要减小寄生电容最好满足栅极 210 与第 2 硅柱 820 间的寄生电容  $C_{ov2}$  比栅极电容  $C_g$  为小的公式 (12-3)。

$$[0444] \quad C_{ov2} < C_g$$

$$[0445] \quad (12-3)$$

[0446] 由第 9 实施例的公式 (9-18) 可得栅极 210 的膜厚  $T_{gate2}$  及栅极 210 与第 2 硅柱 820 的距离  $T_{space2}$  的条件式 (12-4)。(公式 (12-4) 的单位为 nm) (图 84)

$$[0447] \quad 2.7e2 \cdot T_{space2} > (2T_{gate2} + 20)^2 - 4.2e2 \Rightarrow C_{ov2} < C_g$$

$$(12-4)$$

[0448] 如图 84 所示, 随箭头方向的进行,  $C_{ov2}$  变得比  $C_g$  更小。

[0449] 第 13 实施例 : 半导体器件

[0450] 第 13 至 16 实施例表示第 1 硅柱 810 的断面为长方形的状态。第 13 实施例的第 1 绝缘体 310 (栅极氧化物层) 为  $\text{SiO}_2$ , 第 2 绝缘体 610 (层间膜) 为  $\text{SiO}_2$ 。

[0451] 图 85 表示本发明半导体器件的晶体管概略立体图。图 86 表示沿图 85 的切线 A-A' 的概略断面图, 图 87 表示图 85 的俯视图, 图 88 表示沿图 86 的切线 B-B' 的概略断面图, 图 89 表示沿图 86 的切线 C-C' 的概略断面图。第 13 实施例的半导体器件, 具备 : 形成在第 1 导电型半导体衬底 100 的横断面形状为四角形的第 1 硅柱 810 ; 包围其表面的一部分的第 1 绝缘体 310 ; 包围该绝缘体 310 的栅极 210 ; 以及形成在所述第 1 硅柱 810 的上部的第 2 硅柱 820。所述栅极 210 以第 2 绝缘体 610 自半导体衬底 100 隔离而配置, 并且所述栅极 210 以第 2 绝缘体 610 自所述第 2 硅柱 820 隔离而配置。

[0452] 半导体器件更具备 : 形成在第 1 硅柱 810 的一部分的第 2 导电型高浓度杂质区域 520 ; 形成在第 1 硅柱 810 的一部分的第 2 导电型杂质区域 530 ; 形成在半导体衬底 100 的一部分的第 2 导电型高浓度杂质区域 510 ; 以及形成在第 2 硅柱 820 的一部分的第 2 导电

型高浓度杂质区域 540。又具备：形成在所述第 2 导电型高浓度杂质区域 510 的一部分的硅化物区域 720；形成在所述第 2 导电型高浓度杂质区域 540 的硅化物区域 710；形成在所述硅化物区域 720 上的接触窗 430；形成在所述硅化物区域 710 上的接触窗 420；形成在所述栅极 210 上的接触窗 410；以及形成在半导体衬底 100 的元件隔离部 910。

[0453] 本实施例也为了减小寄生电容,最好满足栅极 210 与半导体衬底 100 间的寄生电容  $C_{ov1}$  比栅极电容  $C_g$  为小的公式 (13-1)。

$$[0454] \quad C_{ov1} < C_g$$

$$[0455] \quad (13-1)$$

[0456] 具体而言,设栅极 210 的长度为 20nm 而第 1 硅柱 810 的一边为 10nm,另一边为 20nm,栅极绝缘膜 310 的膜厚  $T_{ox}$  为 1nm,层间膜为  $SiO_2$ 。栅极 210 与半导体衬底 100 间的电容  $C_{ov1}$ 、层间膜 610 的介电常数  $\epsilon_x$ 、栅极 210 的横截面积  $S1$ 、以及栅极 210 与半导体衬底 100 的距离  $T_{space1}$  的关系式为公式 (13-2),将其代入公式 (13-1) 即得条件式 (13-3)。

$$[0457] \quad S1 < \frac{C_g}{\epsilon_x} T_{space1}$$

$$(13-2)$$

$$[0458] \quad C_{ov1} = \frac{\epsilon_x S1}{T_{space1}}$$

$$(13-3)$$

[0459] 栅极电容  $C_g$  可由栅极绝缘膜 310 的介电常数  $\epsilon_{ox}$  及栅极 210 的长度  $l$  及第 1 硅柱 810 的一边  $R$  及另一边  $2R$  及栅极绝缘膜 310 的膜厚  $T_{ox}$  的公式 (13-4) 表示,栅极 210 的横截面积  $S1$  可由公式 (13-5) 表示,将公式 (13-4) 及 (13-5) 代入 (13-1) 即得栅极 210 的横截面积  $S1$  及栅极 210 与半导体衬底 100 的距离  $T_{space1}$  的条件式 (13-6)。

$$[0460] \quad C_g = \frac{\epsilon_{ox} \cdot 6R \cdot l}{T_{ox}}$$

$$(13-4)$$

$$[0461] \quad S1 = (R+2T_{ox}+2T_{gate1})(2R+2T_{ox}+2T_{gate1}) - (R+2T_{ox})(2R+2T_{ox})$$

$$[0462] \quad (13-5)$$

$$[0463] \quad (R+2T_{ox}+2T_{gate1})(2R+2T_{ox}+2T_{gate1}) - (R+2T_{ox})(2R+2T_{ox}) < \frac{\epsilon_{ox} \cdot 6Rl}{\epsilon_x \cdot T_{ox}} \cdot T_{space1}$$

$$(13-6)$$

[0464] 满足所述条件式 (13-6) 时即满足公式 (13-1),将数值代入即得公式 (13-7)。(公式 (13-7) 的单位为 nm)(图 90)

$$[0465] \quad 1.2e3 \cdot T_{space1} > 4T_{gate1}^2 + 68T_{gate1} \Rightarrow C_{ov1} < C_g$$

$$(13-7)$$

[0466] 又设第 1 硅柱 810 的一边长为 0.25nm 至 25  $\mu m$ 。栅极绝缘膜 310 的膜厚为 0.5nm 至 100nm。栅极 210 的长度为 5nm 至 10  $\mu m$ 。层间膜的介电常数  $\epsilon_x$  为 3.9 至 7.6。然后以

所述构造求得满足公式 (13-1) 的条件。即第 1 硅柱 810 的一边长  $R$  为  $25\ \mu\text{m}$ , 并且栅极绝缘膜 310 的膜厚为  $0.5\text{nm}$ , 栅极 210 的长度为  $10\ \mu\text{m}$ , 层间膜的介电常数  $\epsilon_x$  为 3.9。栅极电容  $C_g$  可由栅极绝缘膜 310 的介电常数  $\epsilon_{ox}$ 、栅极 210 的长度  $l$ 、第 1 硅柱 810 的短的一边  $R$ 、及栅极绝缘膜 310 的膜厚  $T_{ox}$  的公式 (13-8) 表示, 栅极 210 的横断面积  $S1$  可由公式 (13-9) 表示, 将公式 (13-8) 及 (13-9) 代入 (13-3) 即得栅极 210 的膜厚  $T_{gate1}$  及栅极 210 与半导体衬底 100 的距离  $T_{space1}$  的条件式 (13-10)。

$$C_g = \frac{\epsilon_{ox} \cdot 6R \cdot l}{T_{ox}} \quad (13-8)$$

$$S1 = (R+2T_{ox}+2T_{gate1})(2R+2T_{ox}+2T_{gate1}) - (R+2T_{ox})(2R+2T_{ox}) \quad (13-9)$$

$$(R+2T_{ox}+2T_{gate1})(2R+2T_{ox}+2T_{gate1}) - (R+2T_{ox})(2R+2T_{ox}) < \frac{\epsilon_{ox} \cdot 6Rl}{\epsilon_x \cdot T_{ox}} \cdot T_{space1} \quad (13-10)$$

满足所述条件式 (13-10) 时即满足公式 (13-1), 将数值代入即得公式 (13-11)。(公式 (13-11)、(13-12) 的单位为  $\mu\text{m}$ )

$$3.0e6 \cdot T_{space1} > 4T_{gate1}^2 + 1.5e2T_{gate1} \Rightarrow C_{ov1} < C_g \quad (13-11)$$

又由公式 (13-11) 可得公式 (13-12)。

$$3.0e6 \cdot T_{space1} \gg 4T_{gate1}^2 + 1.5e2T_{gate1} \Rightarrow C_{ov1} \ll C_g \quad (13-12)$$

如图 90 所示, 随箭头方向的进行,  $C_{ov1}$  变得比  $C_g$  更小。

于本实施例为了要减小寄生电容, 最好满足栅极 210 与第 2 硅柱 820 间的寄生电容  $C_{ov2}$  比栅极电容  $C_g$  为小的公式 (13-13)。

$$C_{ov2} < C_g$$

$$(13-13)$$

具体而言, 设栅极 210 的长度为  $20\text{nm}$  而第 1 硅柱 810 的一边长度为  $10\text{nm}$ , 栅极绝缘膜 310 的膜厚  $T_{ox}$  为  $1\text{nm}$ , 层间膜为  $\text{SiO}_2$ 。栅极 210 与第 2 硅柱 820 间的电容  $C_{ov2}$  及层间膜 610 的介电常数  $\epsilon_x$  及栅极 210 的横断面积  $S2$  及栅极 210 与第 2 硅柱 820 的距离  $T_{space2}$  的关系式为 (13-14), 将其代入公式 (13-13) 即得条件式 (13-15)。

$$S2 < \frac{C_g}{\epsilon_x} T_{space2} \quad (13-14)$$

$$C_{ov2} = \frac{\epsilon_x S}{T_{space2}} \quad (13-15)$$

[0482] 栅极电容  $C_g$  可由栅极绝缘膜 310 的介电常数  $\varepsilon_{ox}$ 、栅极 210 的长度  $l$ 、第 1 硅柱 810 的周围长度  $W$ 、及栅极绝缘膜 310 的膜厚  $T_{ox}$  的公式 (13-16) 表示, 又栅极 210 的横断面积  $S2$  可由公式 (13-17) 表示, 将公式 (13-16) 及 (13-17) 代入公式 (13-15) 即可得栅极 210 的横断面积  $S2$  及栅极 210 与第 2 硅柱 820 的距离  $T_{space2}$  的条件式 (13-18)。

$$C_g = \frac{\varepsilon_{ox} \cdot 6R \cdot l}{T_{ox}} \quad (13-16)$$

$$S2 = (R+2T_{ox}+2T_{gate2}) (2R+2T_{ox}+2T_{gate2}) - (R+2T_{ox}) (2R+2T_{ox}) \quad (13-17)$$

$$(R+2T_{ox}+2T_{gate2}) (2R+2T_{ox}+2T_{gate2}) - (R+2T_{ox}) (2R+2T_{ox}) < \frac{\varepsilon_{ox} \cdot 6Rl}{\varepsilon_x \cdot T_{ox}} \cdot T_{space2} \quad (13-18)$$

[0487] 满足所述条件式 (13-18) 时即满足公式 (13-13), 将数值代入即得公式 (13-19)。(公式 (13-19) 的单位为 nm) (图 91)

$$1.2e3 \cdot T_{space2} > 4T_{gate2}^2 + 68T_{gate2} \Rightarrow C_{ov2} < C_g \quad (13-19)$$

[0489] 又设第 1 硅柱 810 的一边长度为 0.25nm 至 25  $\mu$ m。栅极绝缘膜 310 的膜厚为 0.5nm 至 100nm。栅极 210 的长度为 5nm 至 10  $\mu$ m。层间膜的介电常数  $\varepsilon_x$  为 3.9 至 7.6。然后以所述构造求得满足公式 (13-1) 的条件。即第 1 硅柱 810 的周围长度为 25  $\mu$ m, 并且栅极绝缘膜 310 的膜厚为 0.5nm, 栅极 210 的长度为 10  $\mu$ m, 层间膜的介电常数  $\varepsilon_x$  为 3.9。栅极电容  $C_g$  可由栅极绝缘膜 310 的介电常数  $\varepsilon_x$ 、栅极 210 的长度  $l$ 、第 1 硅柱 810 的周围长度  $W$ 、及栅极绝缘膜 310 的膜厚  $T_{ox}$  的公式 (13-20) 表示, 栅极 210 的横断面积  $S2$  可由公式 (13-21) 表示, 将公式 (13-20) 及 (13-21) 代入公式 (13-15) 即得栅极 210 的横断面积  $S2$  及栅极 210 与第 2 硅柱 820 的距离  $T_{space2}$  的条件式 (13-22)。

$$C_g = \frac{\varepsilon_{ox} \cdot 4R \cdot l}{T_{ox}} \quad (13-20)$$

$$S2 = (R+2T_{ox}+2T_{gate2}) (2R+2T_{ox}+2T_{gate2}) - (R+2T_{ox}) (2R+2T_{ox}) \quad (13-21)$$

$$(R+2T_{ox}+2T_{gate2}) (2R+2T_{ox}+2T_{gate2}) - (R+2T_{ox}) (2R+2T_{ox}) < \frac{\varepsilon_{ox} \cdot 6Rl}{\varepsilon_x \cdot T_{ox}} \cdot T_{space2} \quad (13-22)$$

[0494] 满足所述条件式 (13-22) 时即满足公式 (13-1), 将数值代入即得公式 (13-23)。(公式 (13-23)、(13-24) 的单位为  $\mu$ m)

$$[0495] \quad 3.0e6 \cdot T_{space2} > 4T_{gate2}^2 + 1.5e2T_{gate2} \Rightarrow C_{ov2} < C_g$$

$$(13-23)$$

[0496] 又由公式 (13-23) 可得公式 (13-24)。

$$[0497] \quad 3.0e6 \cdot T_{space2} \gg 4T_{gate2}^2 + 1.5e2T_{gate2} \Rightarrow C_{ov2} \ll C_g$$

$$(13-24)$$

[0498] 如图 91 所示,随箭头方向的进行,  $C_{ov2}$  变得比  $C_g$  更小。

[0499] 第 14 实施例:半导体器件

[0500] 图 92 表示第 13 实施例的层间膜 620 非为  $SiO_2$  而为  $SiN$  时的本发明半导体器件的晶体管概略立体图。图 93 表示沿图 92 的切线 A-A' 的概略断面图,图 94 表示图 92 的俯视图,图 95 表示沿图 93 的切线 B-B' 的概略断面图,图 96 表示沿图 93 的切线 C-C' 的概略断面图。本实施例的半导体器件也为了减小寄生电容,最好满足栅极 210 与半导体衬底 100 间的寄生电容  $C_{ov1}$  比栅极电容为小的公式 (14-1)。

$$[0501] \quad C_{ov1} < C_g$$

$$[0502] \quad (14-1)$$

[0503] 具体而言,设栅极 210 的长度为 20nm 而第 1 硅柱 810 的一边长度为 10nm,另一边的长度为 20nm,栅极绝缘膜 310 的膜厚  $T_{ox}$  为  $EOT = 1.0nm$ 。由第 13 实施例的公式 (13-6) 可得栅极 210 膜厚  $T_{gate1}$  及栅极 210 与半导体衬底 100 的距离  $T_{space1}$  的条件式 (14-2)。(公式 (14-2) 的单位为 nm)(图 97)

$$[0504] \quad 6.2e2 \cdot T_{space1} > 4T_{gate1}^2 + 68T_{gate1} \Rightarrow C_{ov1} < C_g$$

$$(14-2)$$

[0505] 如图 97 所示,随箭头方向的进行,  $C_{ov1}$  变得比  $C_g$  更小。

[0506] 又于第 13 实施例的层间膜 530 非为  $SiO_2$  而为  $SiN$  时,同样为了要减小寄生电容最好满足栅极 210 与第 2 硅柱 820 间的寄生电容  $C_{ov2}$  比栅极电容  $C_g$  为小的公式 (14-3)。

$$[0507] \quad C_{ov2} < C_g$$

$$[0508] \quad (14-3)$$

[0509] 由第 13 实施例的公式 (13-18) 可得栅极 210 的膜厚  $T_{gate2}$  及栅极 210 与第 2 硅柱 820 的距离  $T_{space2}$  的条件式 (14-4)。(公式 (14-4) 的单位为 nm)(图 98)

$$[0510] \quad 6.2e2 \cdot T_{space2} > 4T_{gate2}^2 + 68T_{gate2} \Rightarrow C_{ov2} < C_g$$

$$(14-4)$$

[0511] 如图 98 所示,随箭头方向的进行,  $C_{ov2}$  比  $C_g$  变越小。

[0512] 第 15 实施例:半导体器件

[0513] 图 99 表示第 13 实施例的栅极绝缘膜 310 非为  $SiO_2$  而为  $HfO_2$  时的本发明半导体器件的晶体管概略立体图。图 100 表示沿图 99 的切线 A-A' 的概略断面图,图 101 表示图 99 的俯视图,图 102 表示沿图 100 的切线 B-B' 的概略断面图,图 103 表示沿图 100 的切线 C-C' 的概略断面图。本实施例的半导体器件也为了减小寄生电容最好满足栅极 210 与半导体衬底 100 间的寄生电容  $C_{ov1}$  比栅极电容  $C_g$  为小的公式 (15-1)。

$$[0514] \quad C_{ov1} < C_g$$

$$[0515] \quad (15-1)$$

[0516] 具体而言,设栅极 210 的长度为 20nm 而第 1 硅柱 810 的一边长度为 10nm,栅极绝缘膜 310 为  $\text{HfO}_2$ ,膜厚  $T_{ox}$  为  $EOT = 1.3\text{nm}$ 。由第 13 实施例的公式 (13-6) 可得栅极 210 的膜厚  $T_{gate1}$  及栅极 210 与半导体衬底 100 的距离  $T_{space1}$  的条件式 (15-2)。(公式 (15-2) 的单位为 nm)(图 104)

$$8.0e2 \cdot T_{space1} > 4T_{gate1}^2 + 1.0e2T_{gate1} \Rightarrow C_{ov1} < C_g$$

[0517]

$$(15-2)$$

[0518] 如图 104 所示,随箭头方向的进行, $C_{ov1}$  变得比  $C_g$  更小。

[0519] 又于第 13 实施例的栅极绝缘膜 320 非为  $\text{SiO}_2$  而为  $\text{HfO}_2$  时,也为了减小寄生电容最好满足栅极 210 与第 2 硅柱 820 间的寄生电容  $C_{ov2}$  比栅极电容  $C_g$  为小的公式 (15-3)。

$$[0520] \quad C_{ov2} < C_g$$

$$[0521] \quad (15-3)$$

[0522] 由第 13 实施例的公式 (13-18) 可得栅极 210 的膜厚  $T_{gate2}$  及栅极 210 与第 2 硅柱 820 的距离  $T_{space2}$  的条件式 (15-4)。(公式 (15-4) 的单位为 nm)(图 105)

$$8.0e2 \cdot T_{space2} > 4T_{gate2}^2 + 1.0e2T_{gate2} \Rightarrow C_{ov2} < C_g$$

[0523]

$$(15-4)$$

[0524] 如图 105 所示,随箭头方向的进行, $C_{ov2}$  变得比  $C_g$  更小。

[0525] 第 16 实施例:半导体器件

[0526] 图 106 表示第 13 实施例的栅极绝缘膜 310 非为  $\text{SiO}_2$  而为  $\text{HfO}_2$ ,并且层间膜 620 非为  $\text{SiO}_2$  而为  $\text{SiN}$  时的本发明半导体器件的晶体管概略立体图。图 107 表示沿图 106 的切线 A-A' 的概略断面图,图 108 表示图 106 的俯视图,图 109 表示沿图 107 的切线 B-B' 的概略断面图,图 110 表示沿图 107 的切线 C-C' 的概略断面图。本实施例的半导体器件也为了减小寄生电容,最好满足栅极 210 与半导体衬底 100 间的寄生电容  $C_{ov1}$  比栅极电容  $C_g$  为小的公式 (16-1)。

$$[0527] \quad C_{ov1} < C_g$$

$$[0528] \quad (16-1)$$

[0529] 具体而言,设栅极 210 的长度为 20nm 而第 1 硅柱 810 的一边长度为 10nm,栅极绝缘膜 310 为  $\text{HfO}_2$ ,膜厚  $T_{ox}$  为  $EOT = 1.3\text{nm}$ 。由第 13 实施例的公式 (13-6) 可得栅极 210 的膜厚  $T_{gate1}$  及栅极 210 与半导体衬底 100 的距离  $T_{space1}$  的条件式 (16-2)。(公式 (16-2) 的单位为 nm)(图 111)

$$4.1e2 \cdot T_{space1} > 4T_{gate1}^2 + 1.0e2T_{gate1} \Rightarrow C_{ov1} < C_g$$

[0530]

$$(16-2)$$

[0531] 如图 111 所示,随箭头方向的进行, $C_{ov1}$  变得比  $C_g$  更小。

[0532] 又于第 13 实施例的栅极绝缘膜 320 非为  $\text{SiO}_2$  而为  $\text{HfO}_2$ ,并且层间膜 620 非为  $\text{SiO}_2$  而为  $\text{SiN}$  时,也为了减小寄生电容最好满足栅极 210 与第 2 硅柱 820 间的寄生电容  $C_{ov2}$  比

栅极电容  $C_g$  为小的公式 (16-3)。

$$[0533] \quad C_{ov2} < C_g$$

$$[0534] \quad (16-3)$$

[0535] 由第 13 实施例的公式 (13-18) 可得栅极 210 的膜厚  $T_{gate2}$  及栅极 210 与第 2 硅柱 820 的距离  $T_{space2}$  的条件式 (16-4)。(公式 (16-4) 的单位为 nm)(图 112)

$$4.1e2 \cdot T_{space2} > 4T_{gate2}^2 + 1.0e2T_{gate2} \Rightarrow C_{ov2} < C_g$$

[0536]

$$(16-4)$$

[0537] 如图 112 所示,随箭头方向的进行, $C_{ov2}$  变得比  $C_g$  更小。

[0538] 综上所述,本发明乃提供一种半导体器件,其特征在于:由第 1 绝缘体及第 2 硅柱所构成,该第 1 绝缘体包围形成在第 2 导电型杂质区域上的任意横断面形状的第 1 硅柱表面的一部分,该第 2 导电型杂质区域形成于第 1 导电型半导体衬底的一部分,该第 2 硅柱包含包围该绝缘体的栅极及形成在第 1 硅柱的上部,并且其栅极以第 1 绝缘体自半导体衬底隔离而配置,其栅极又以第 2 绝缘体自第 2 硅柱隔离而配置,又栅极与半导体衬底间电容比栅极电容还小,以及栅极与第 2 硅柱间电容比栅极电容还小。

[0539] 依所述构成的半导体器件因能减低半导体器件的寄生电容而能提供高速度并且低耗电力的 ULSI(超大型集成电路)半导体器件。

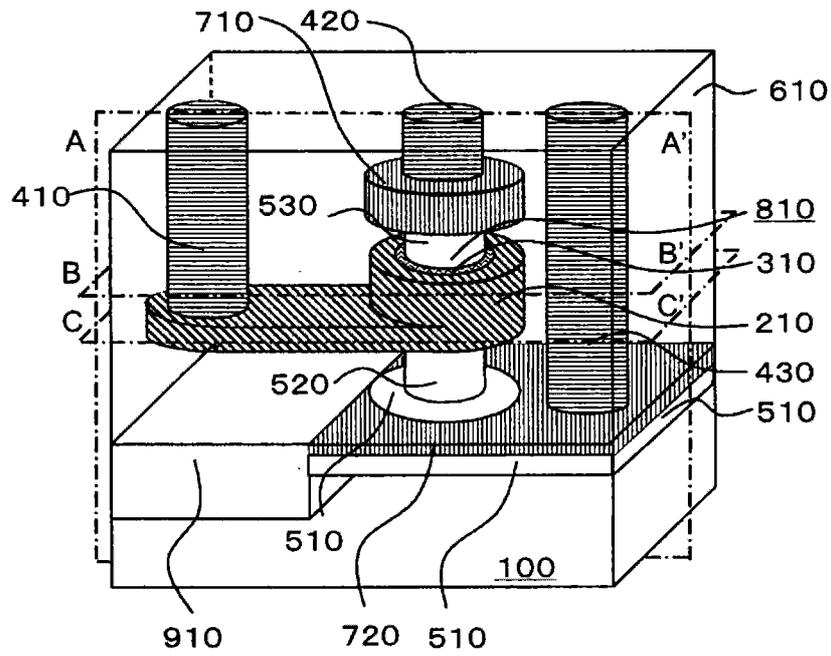


图 1

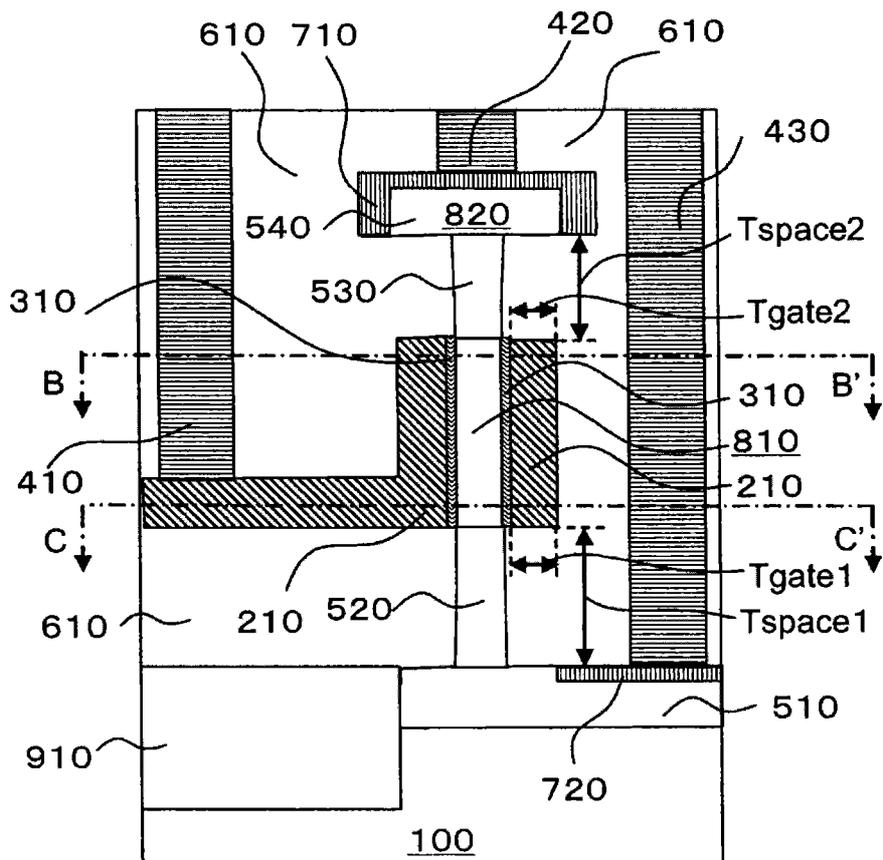


图 2

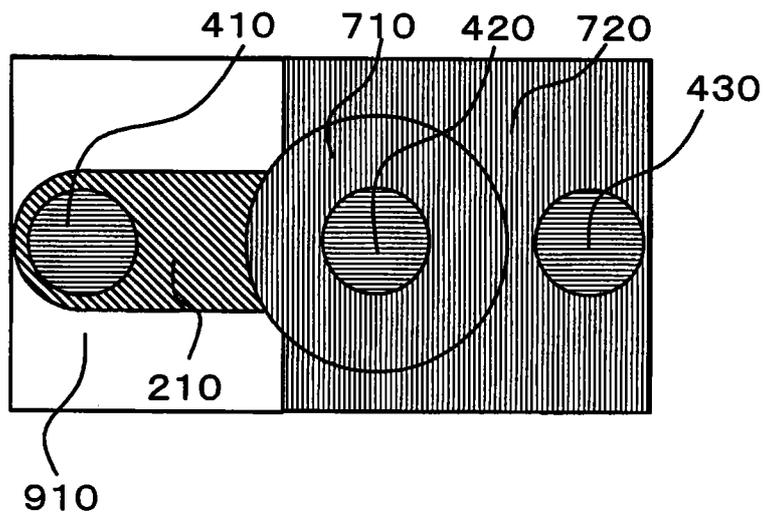


图 3

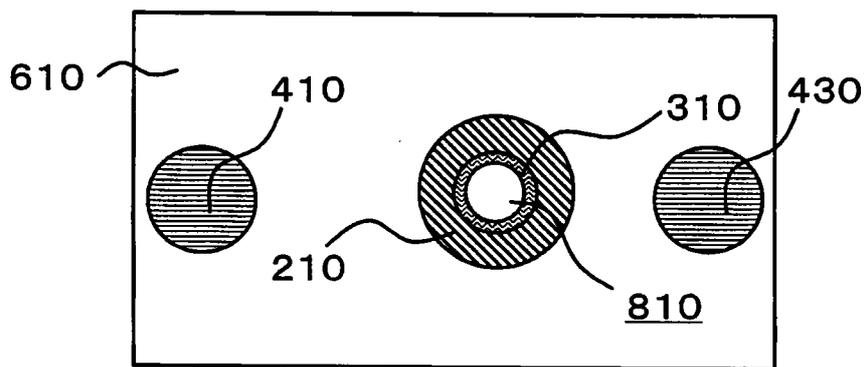


图 4

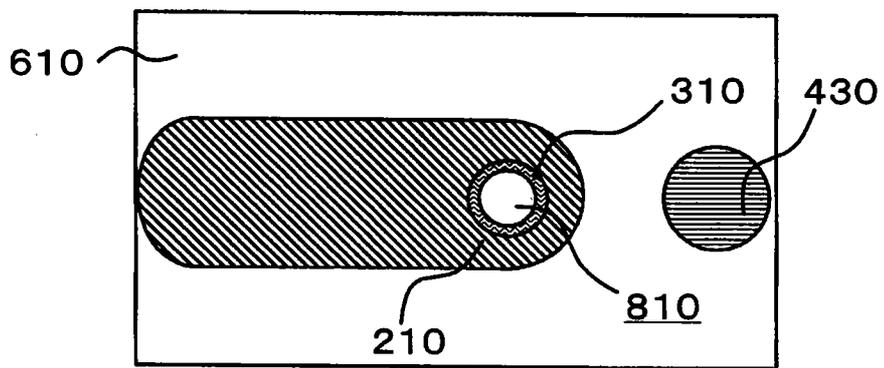


图 5

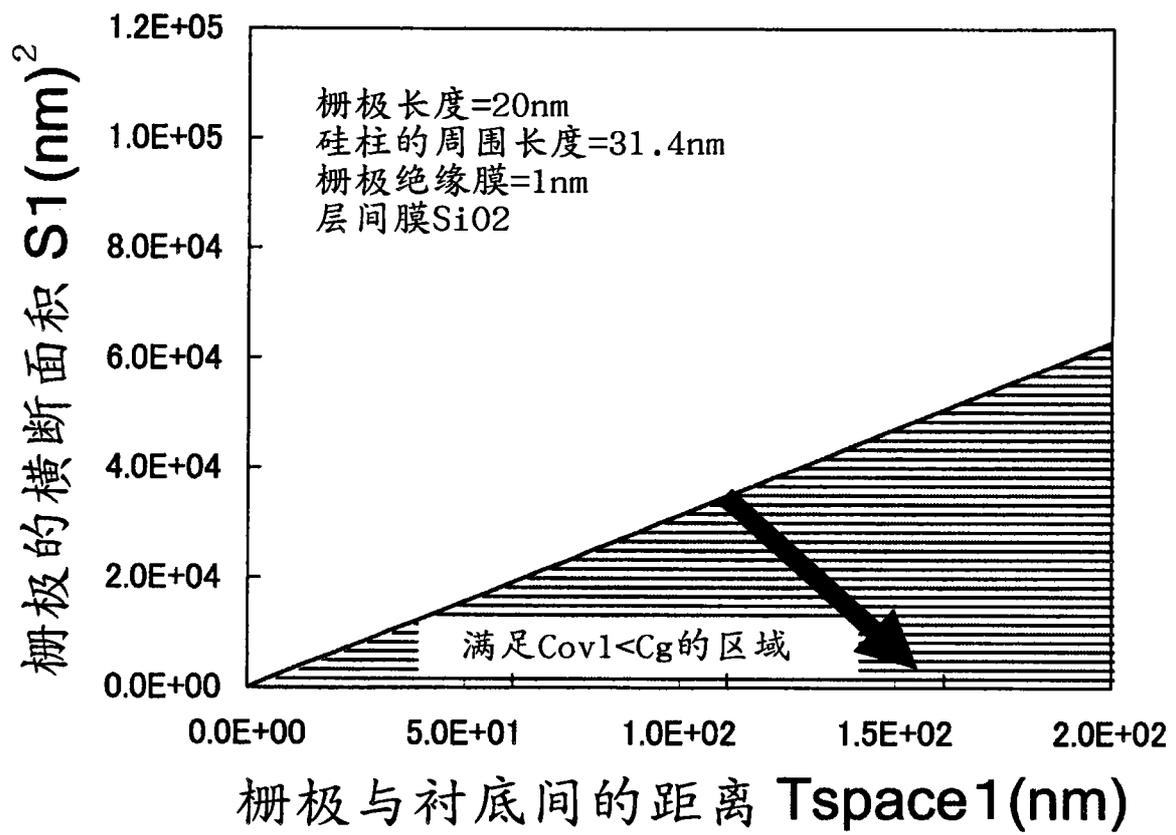


图 6

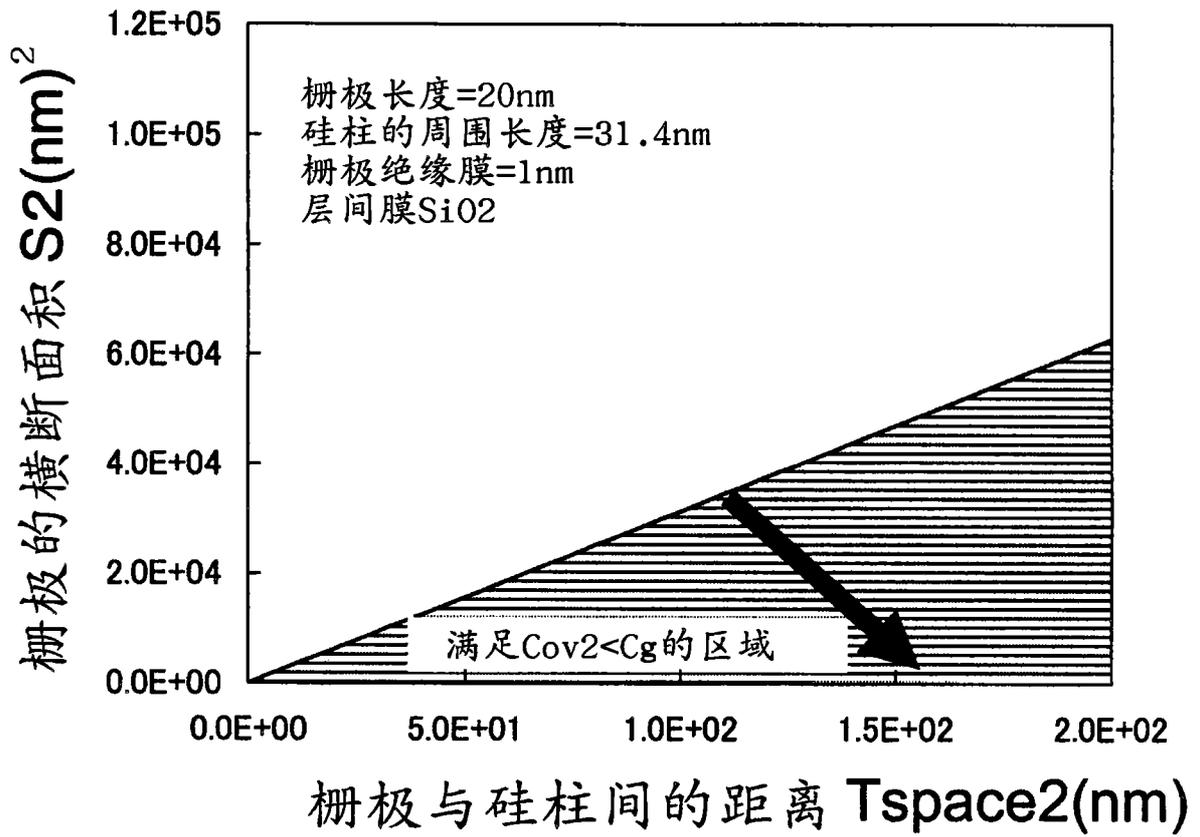


图 7

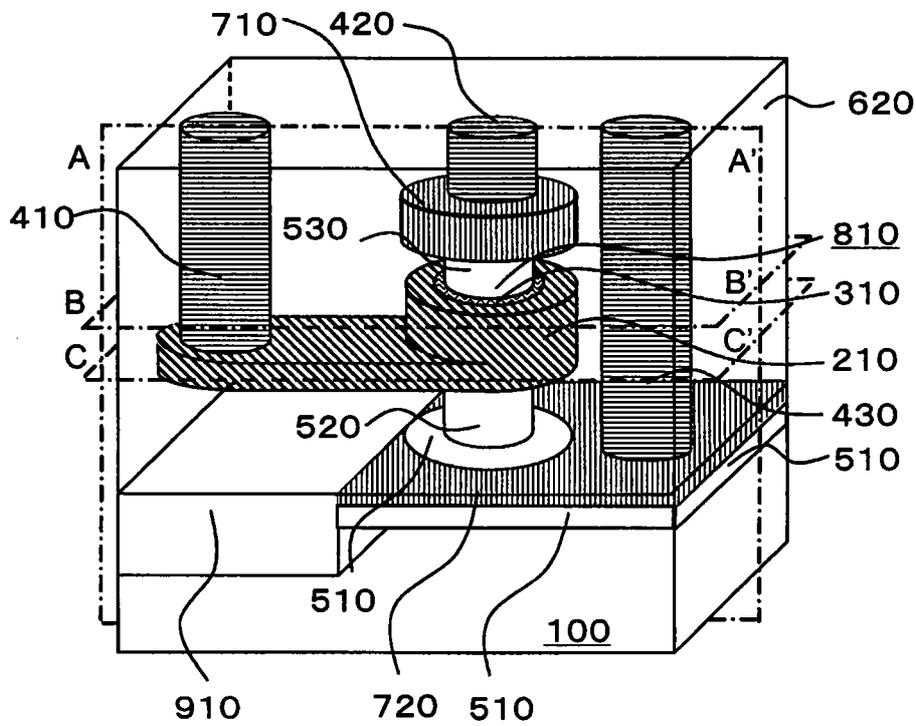


图 8

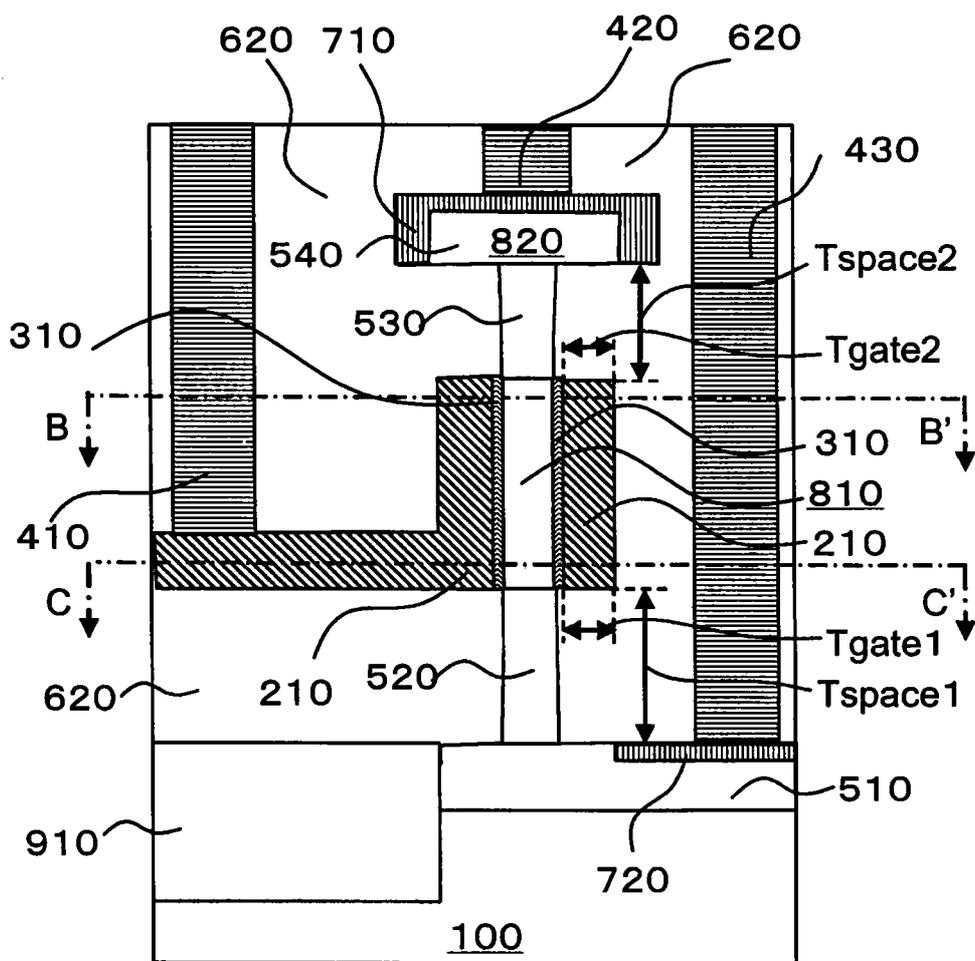


图 9

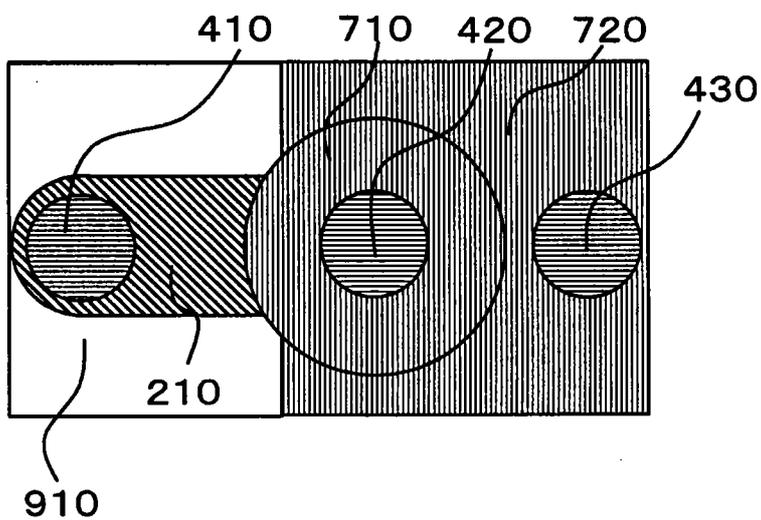


图 10

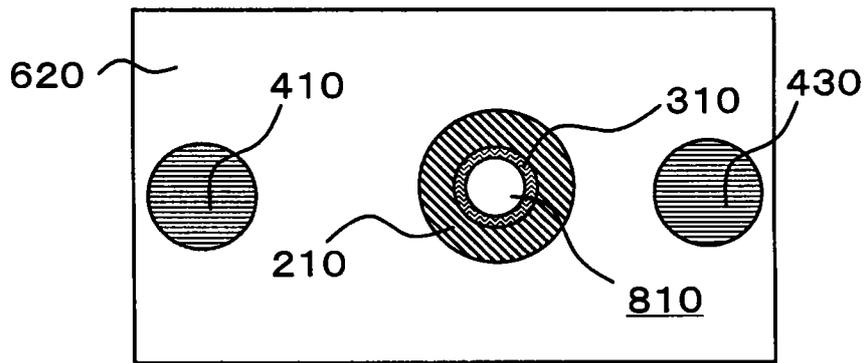


图 11

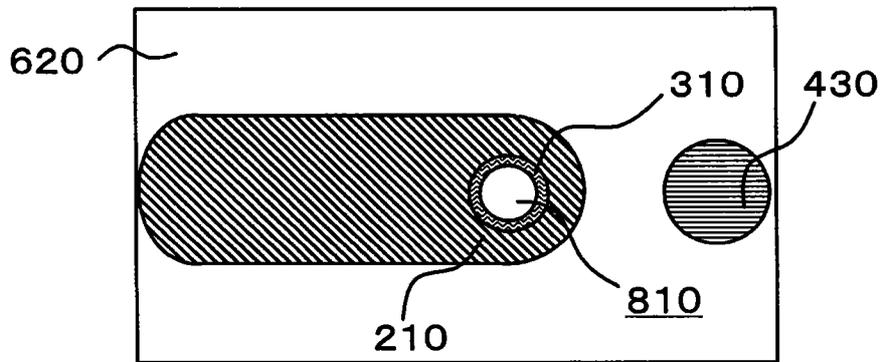


图 12

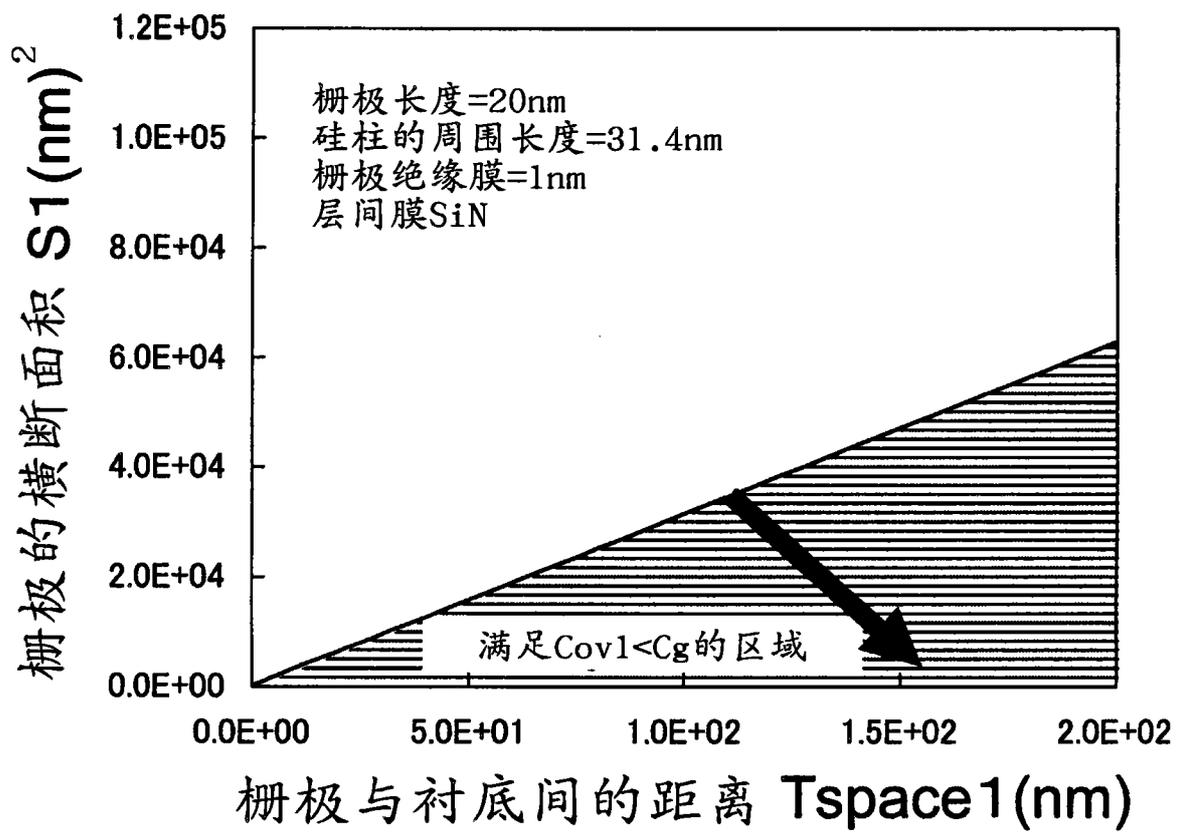


图 13

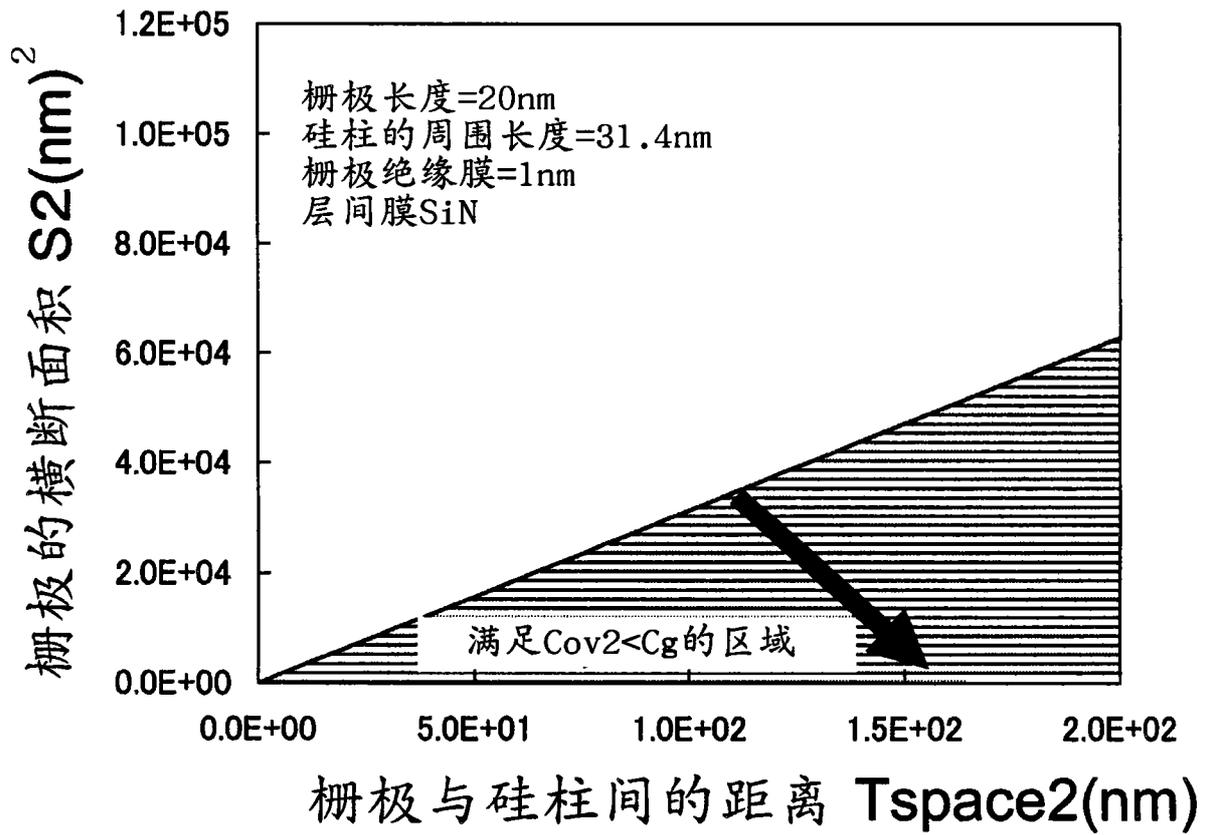


图 14

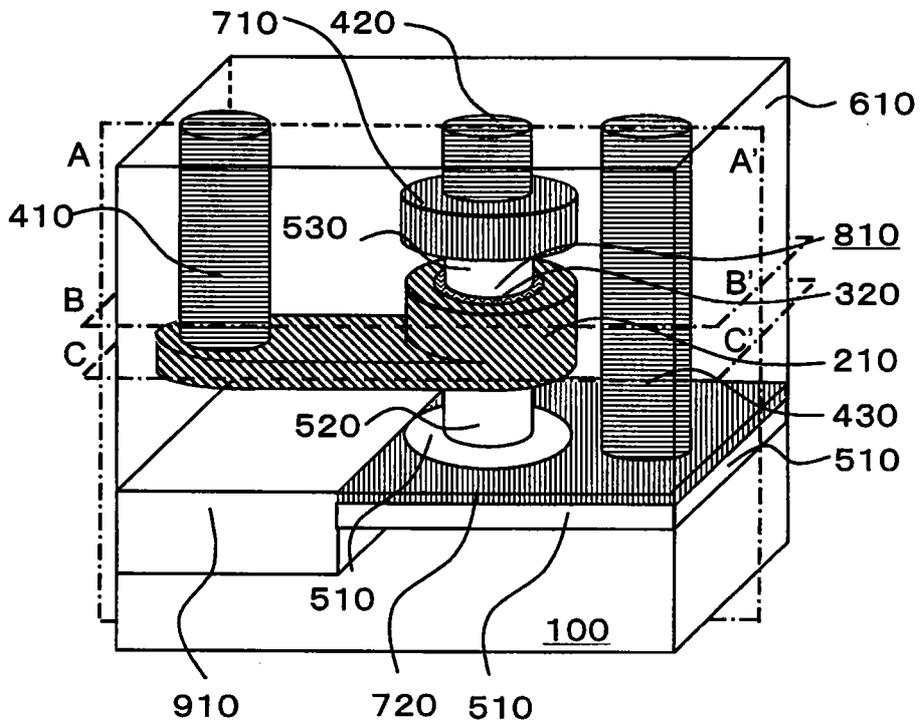


图 15



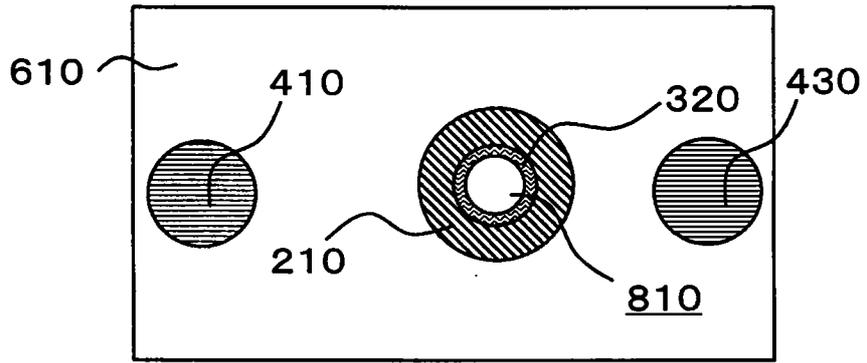


图 18

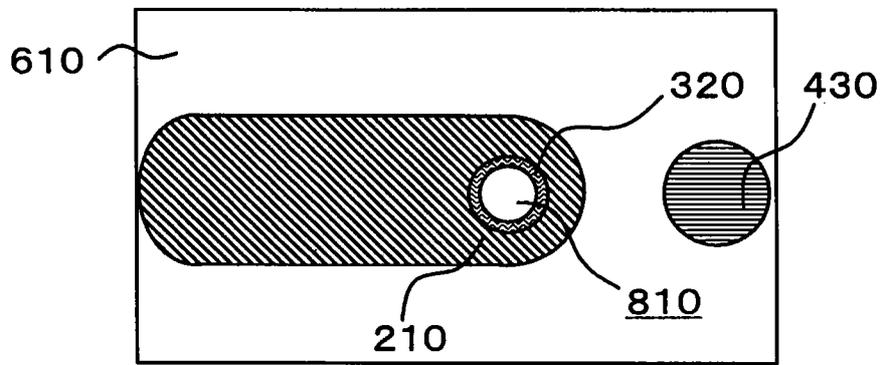


图 19

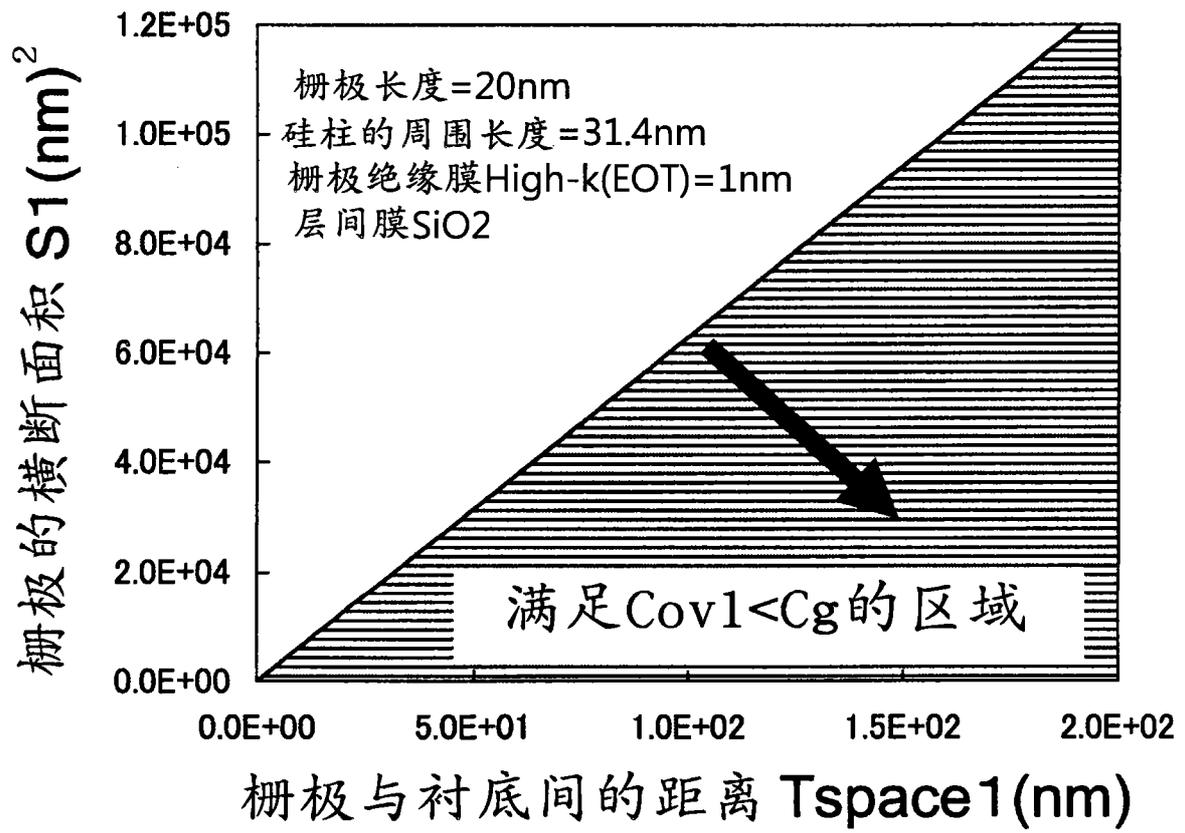


图 20

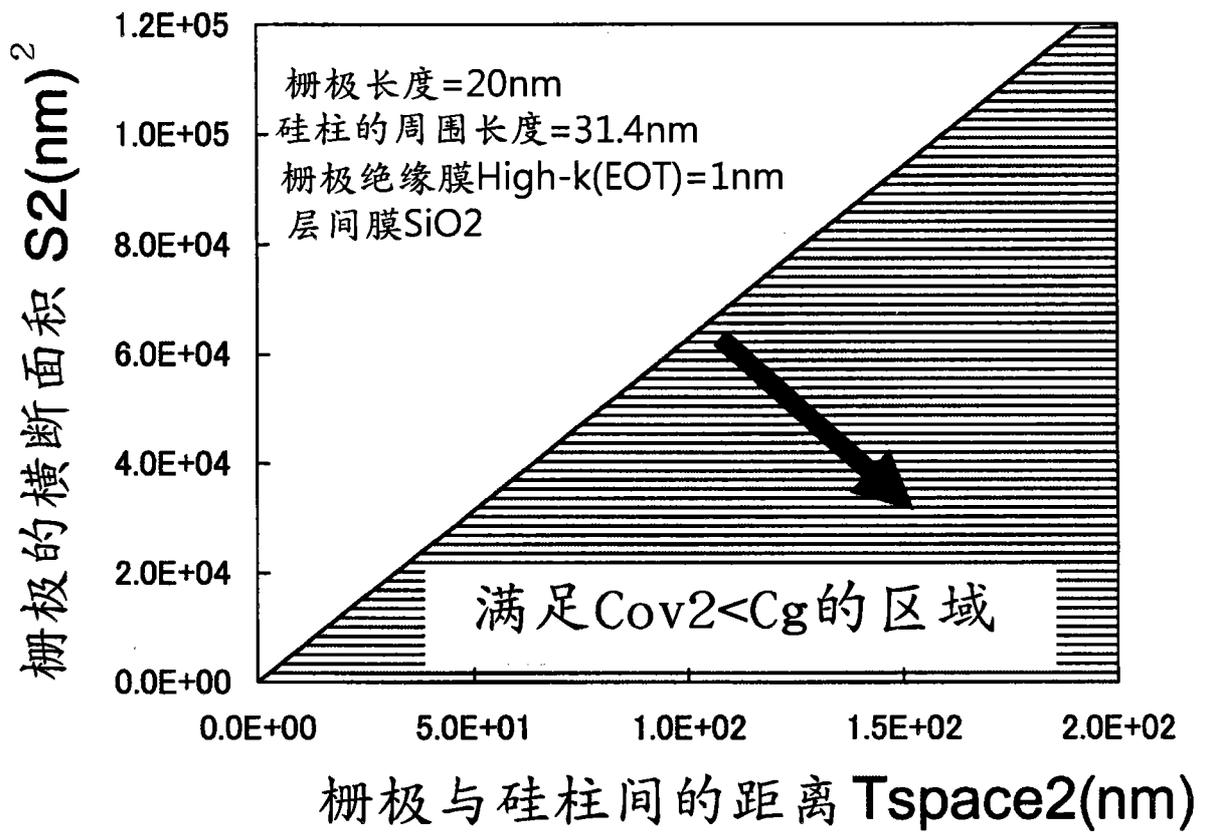


图 21

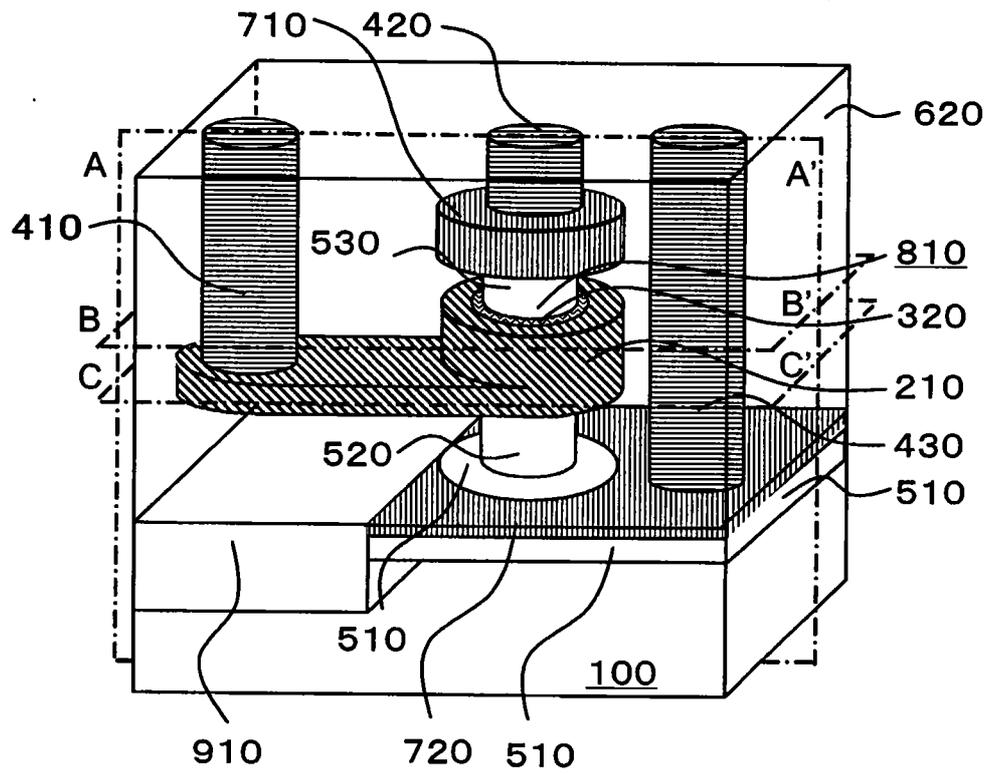


图 22



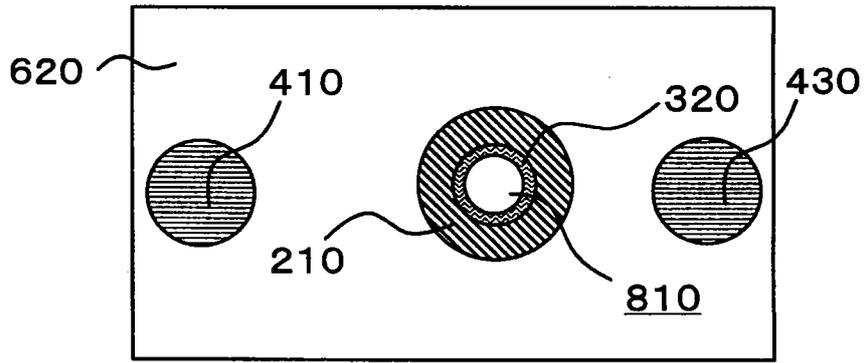


图 25

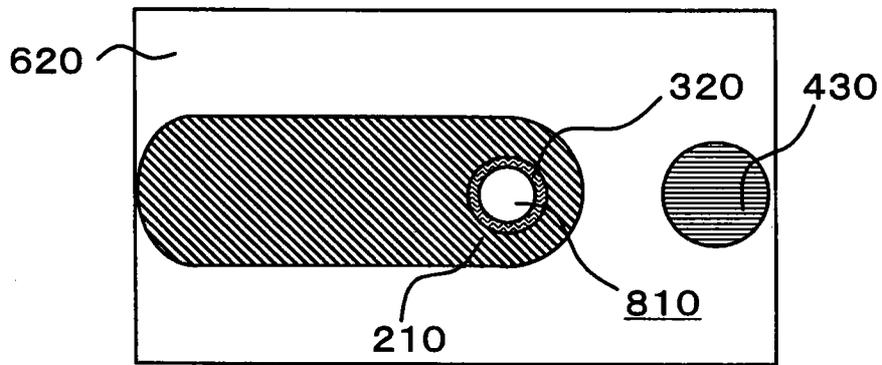


图 26

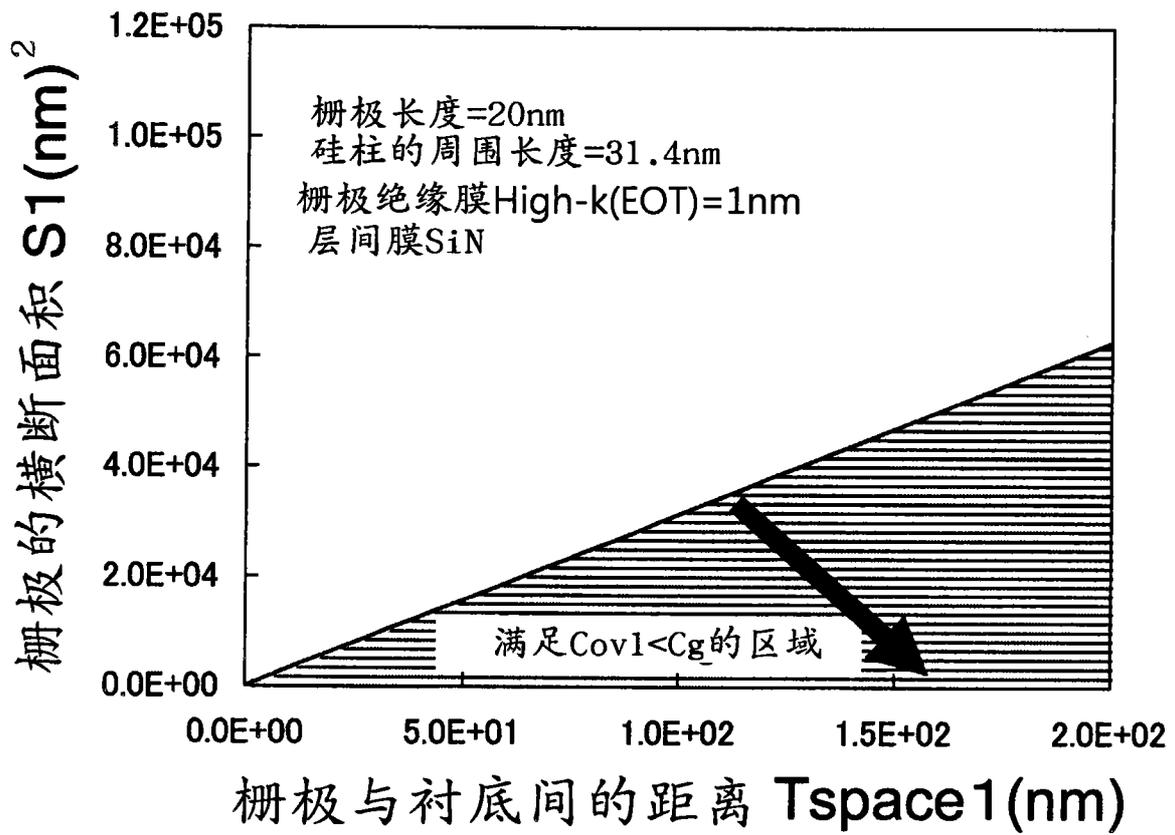


图 27

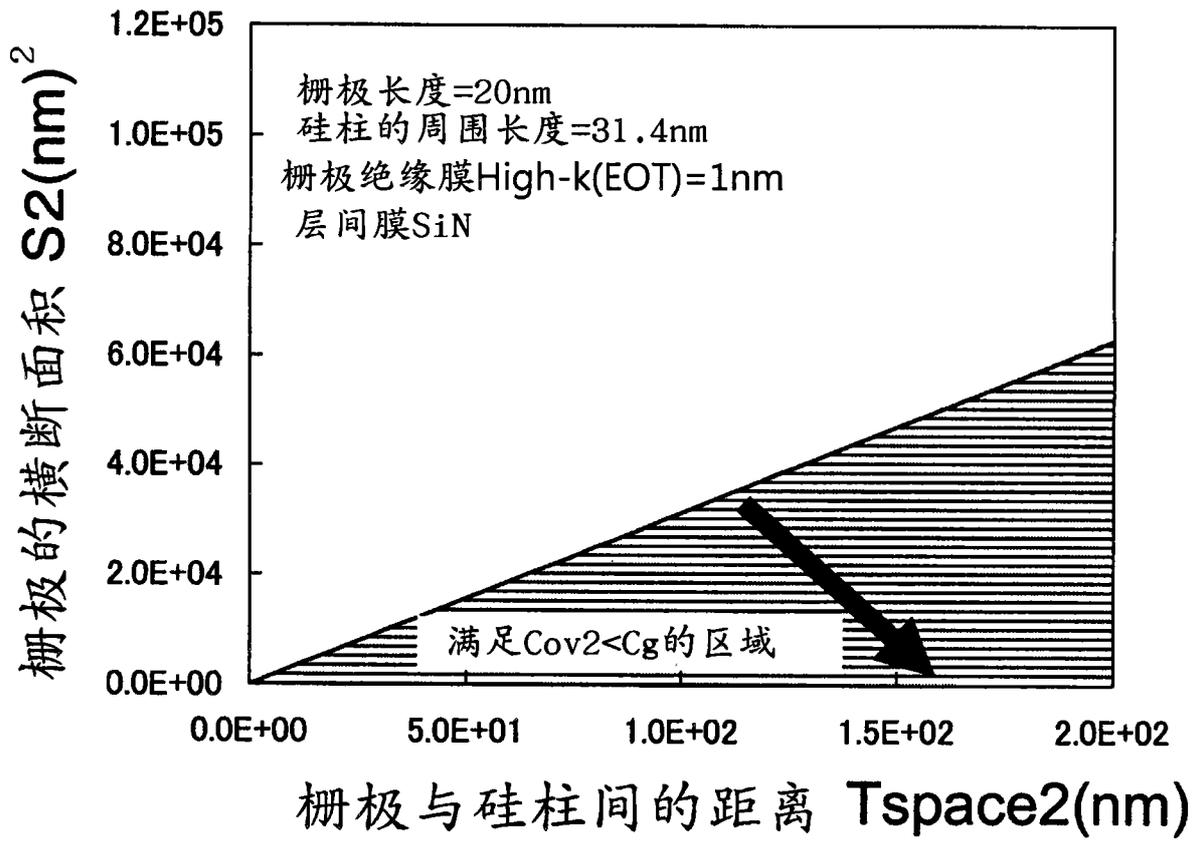


图 28

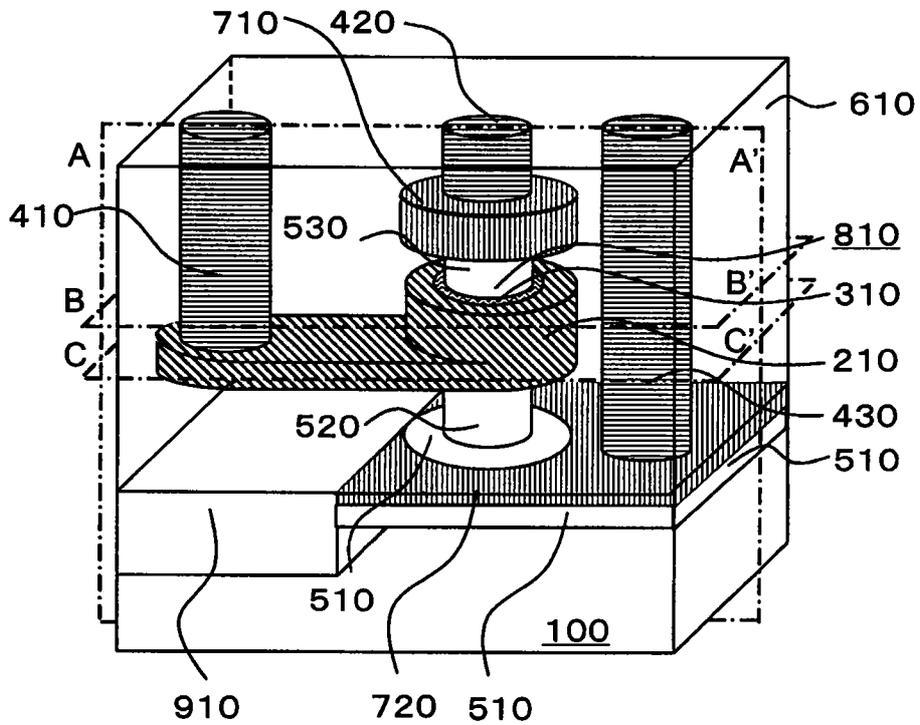


图 29



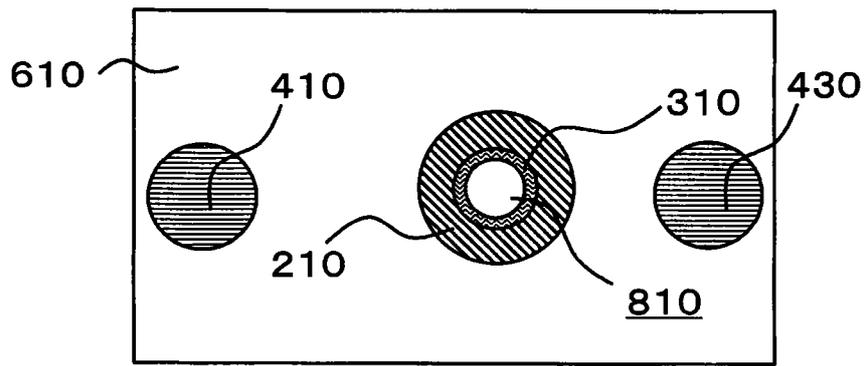


图 32

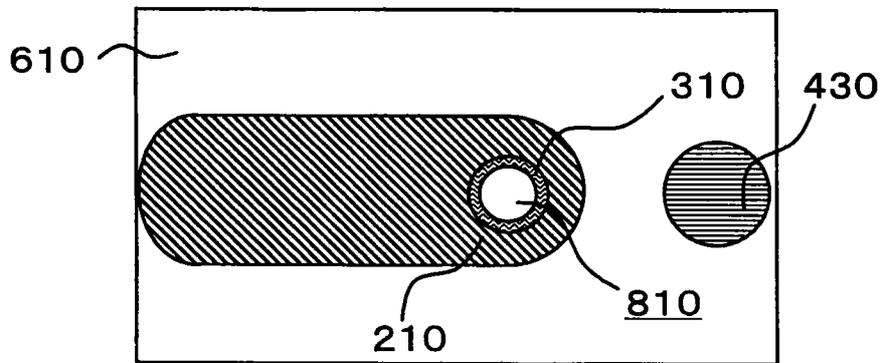


图 33

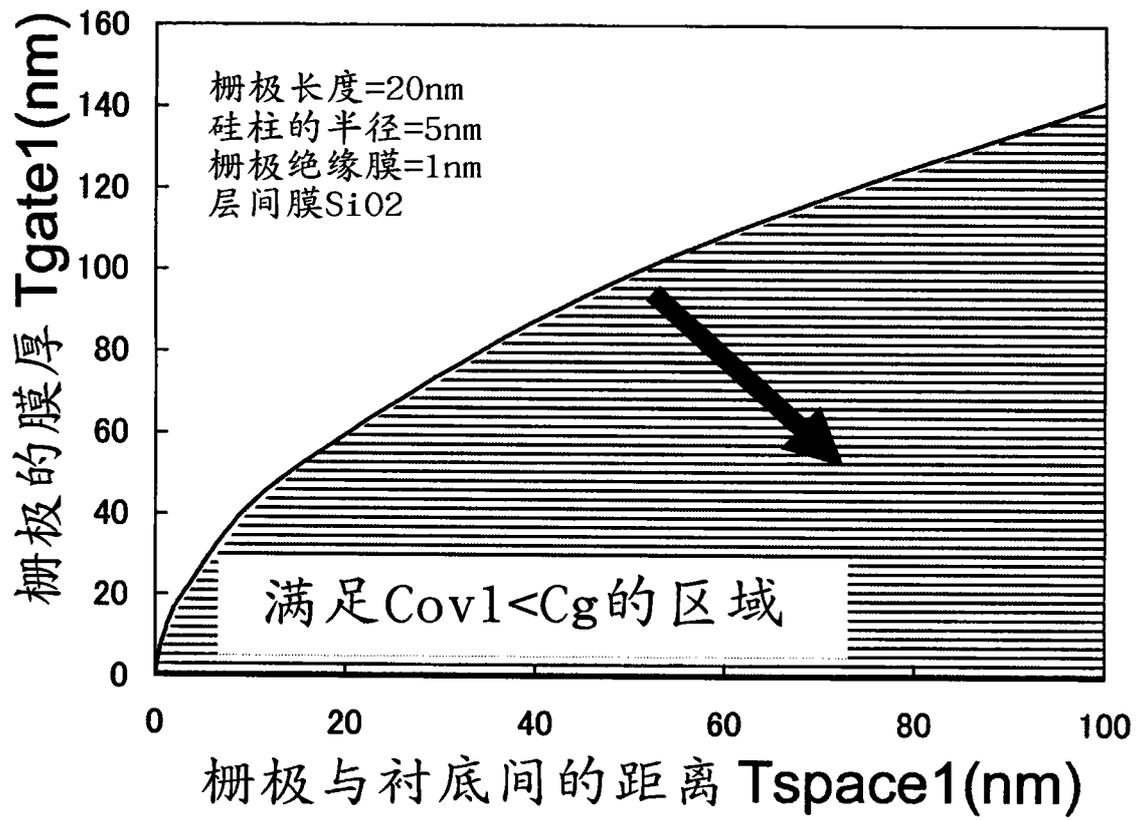


图 34

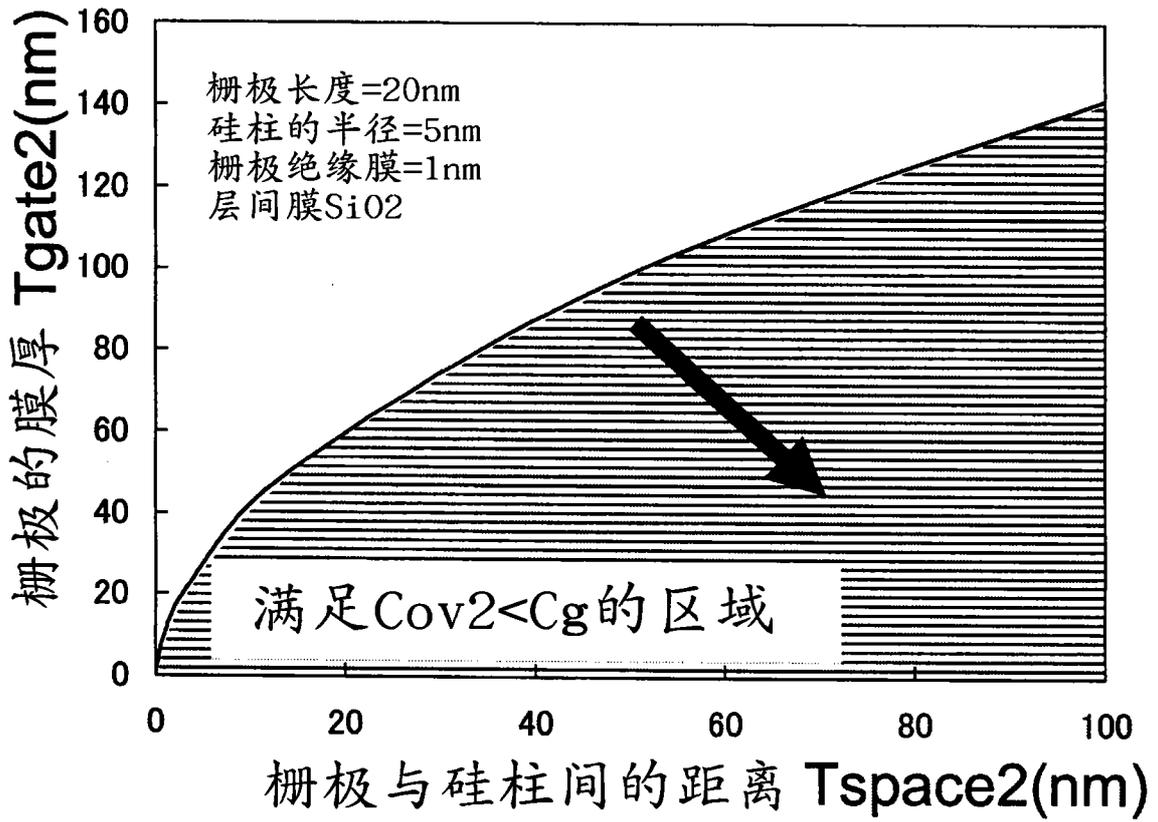


图 35

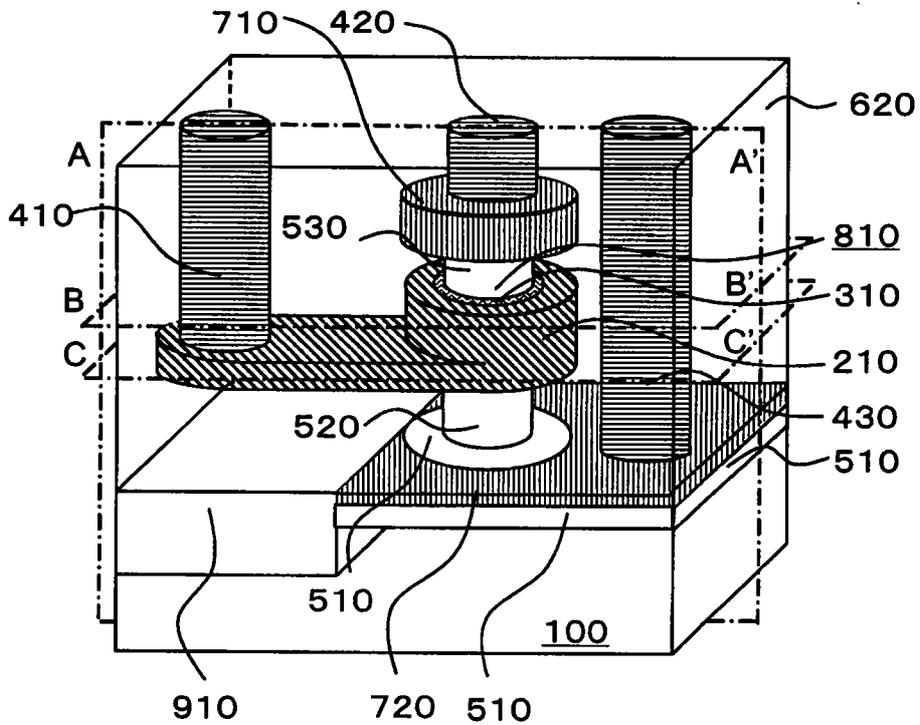


图 36

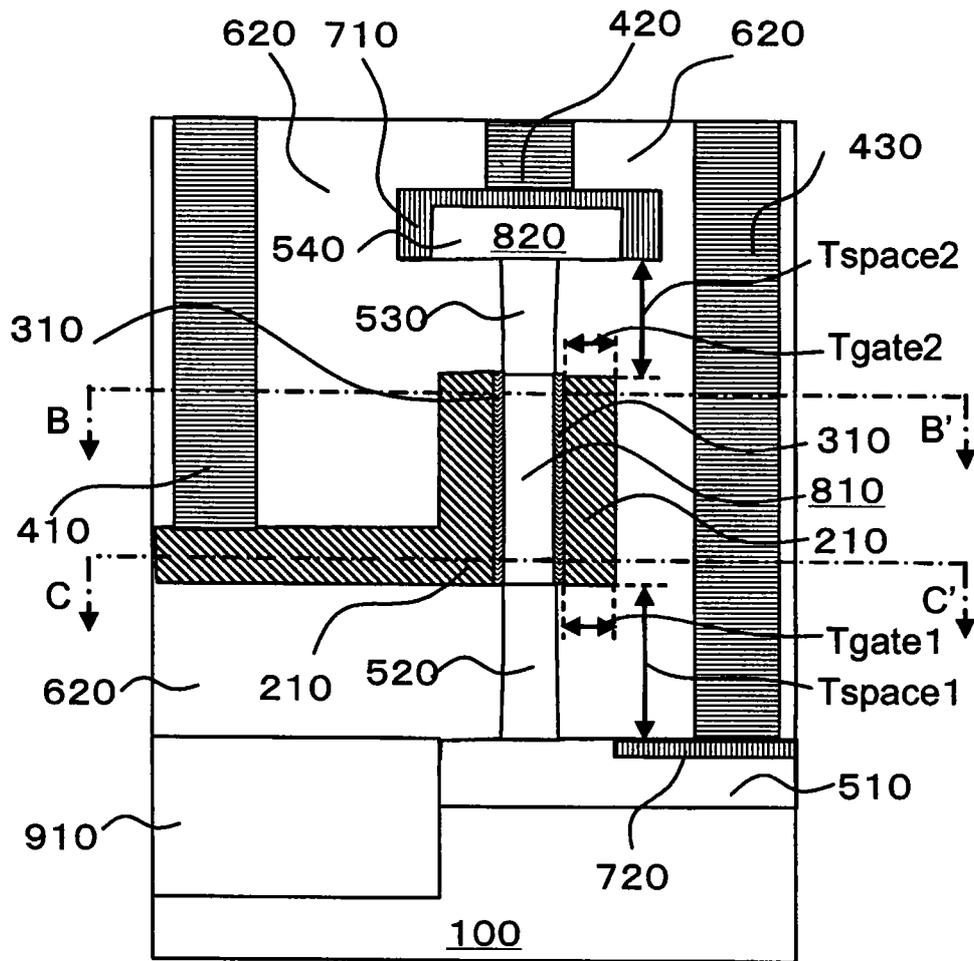


图 37

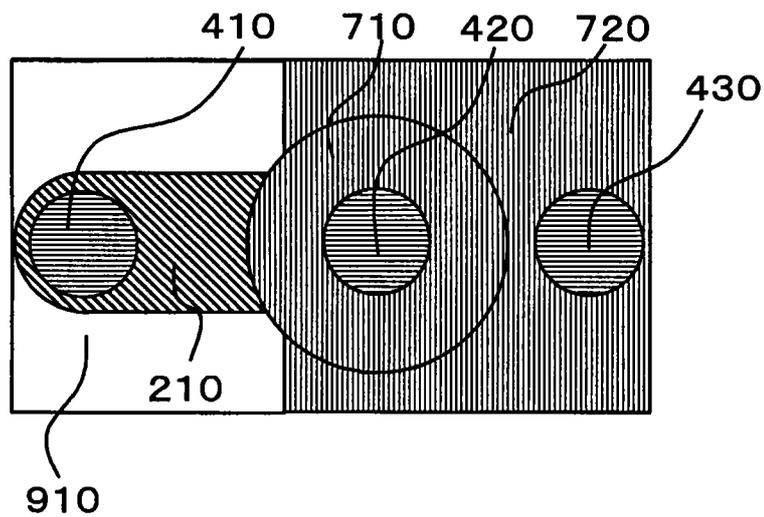


图 38

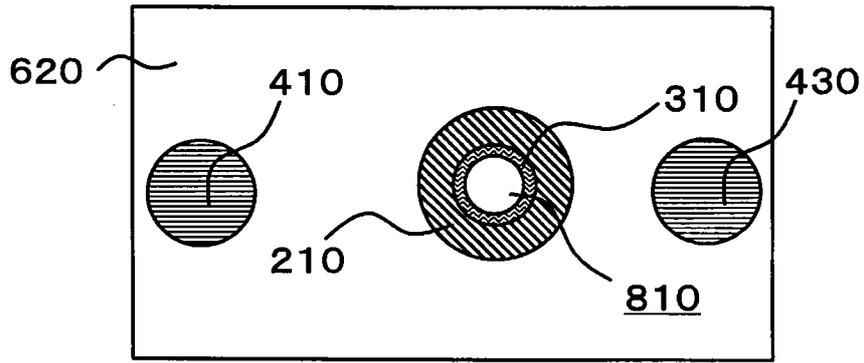


图 39

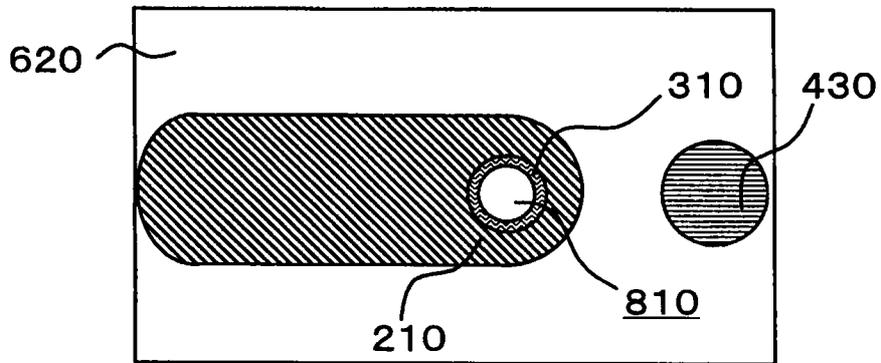


图 40

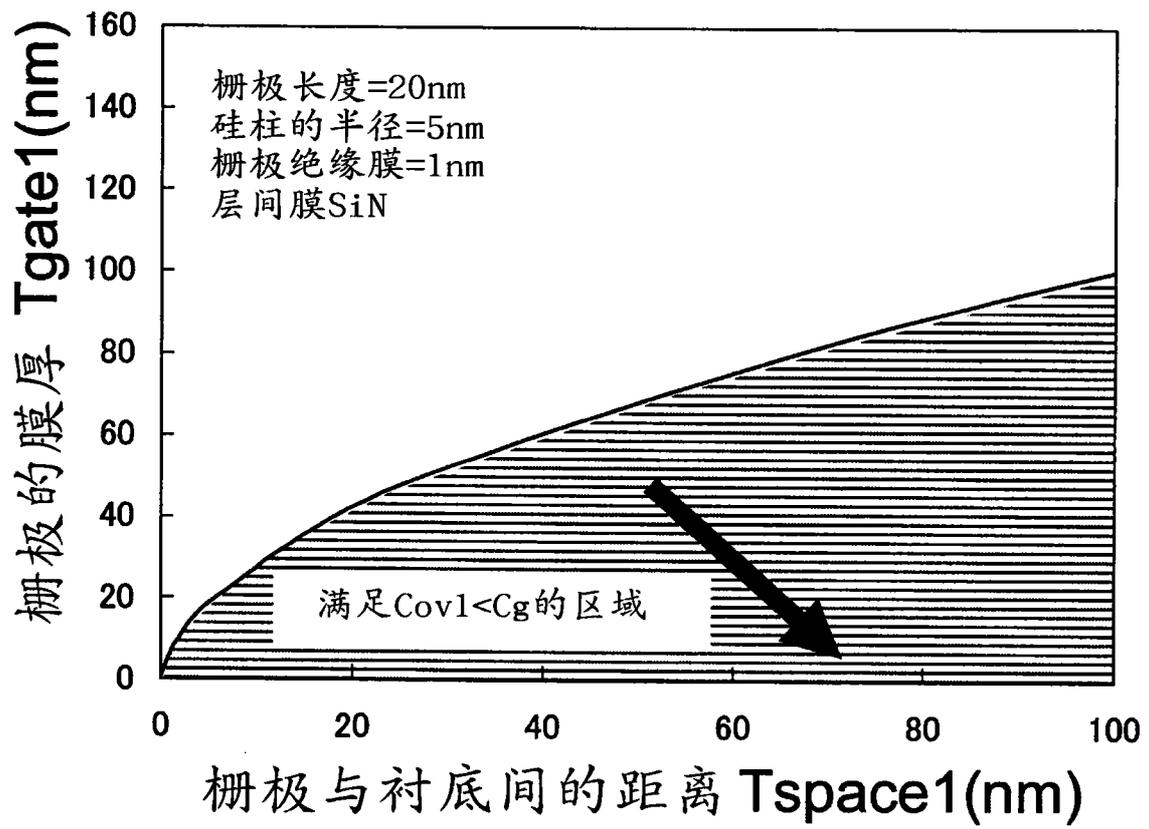


图 41

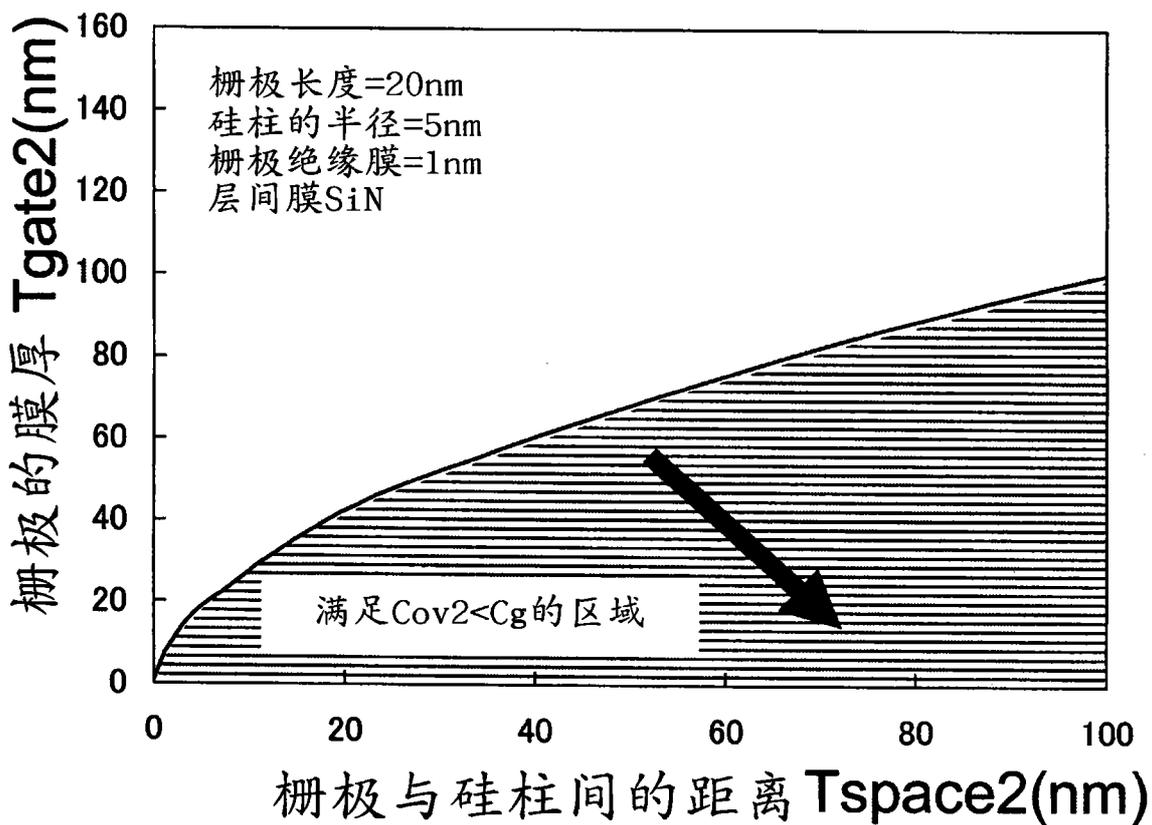


图 42

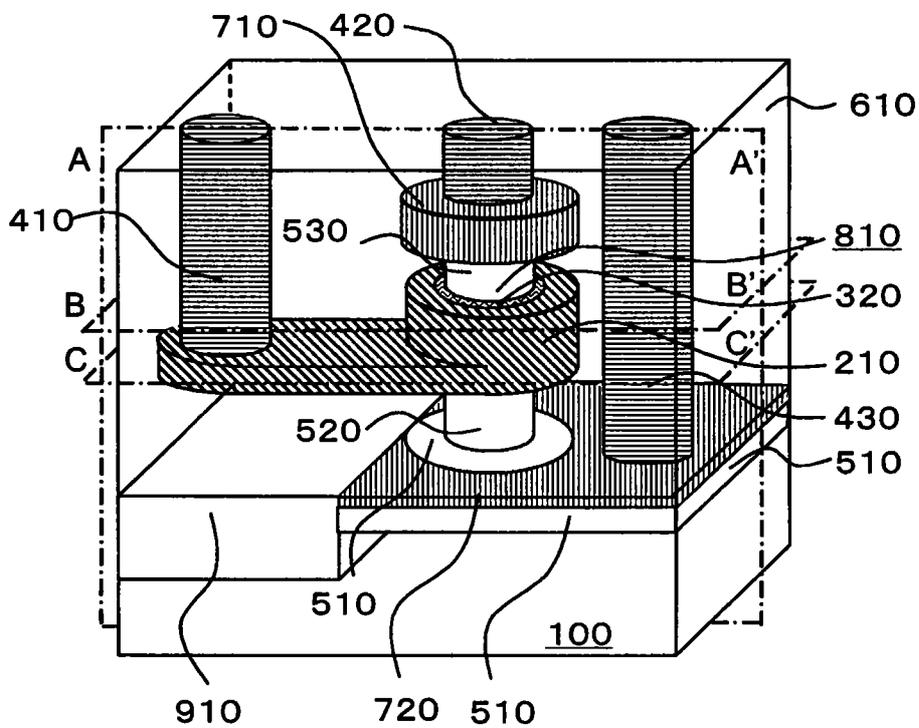


图 43

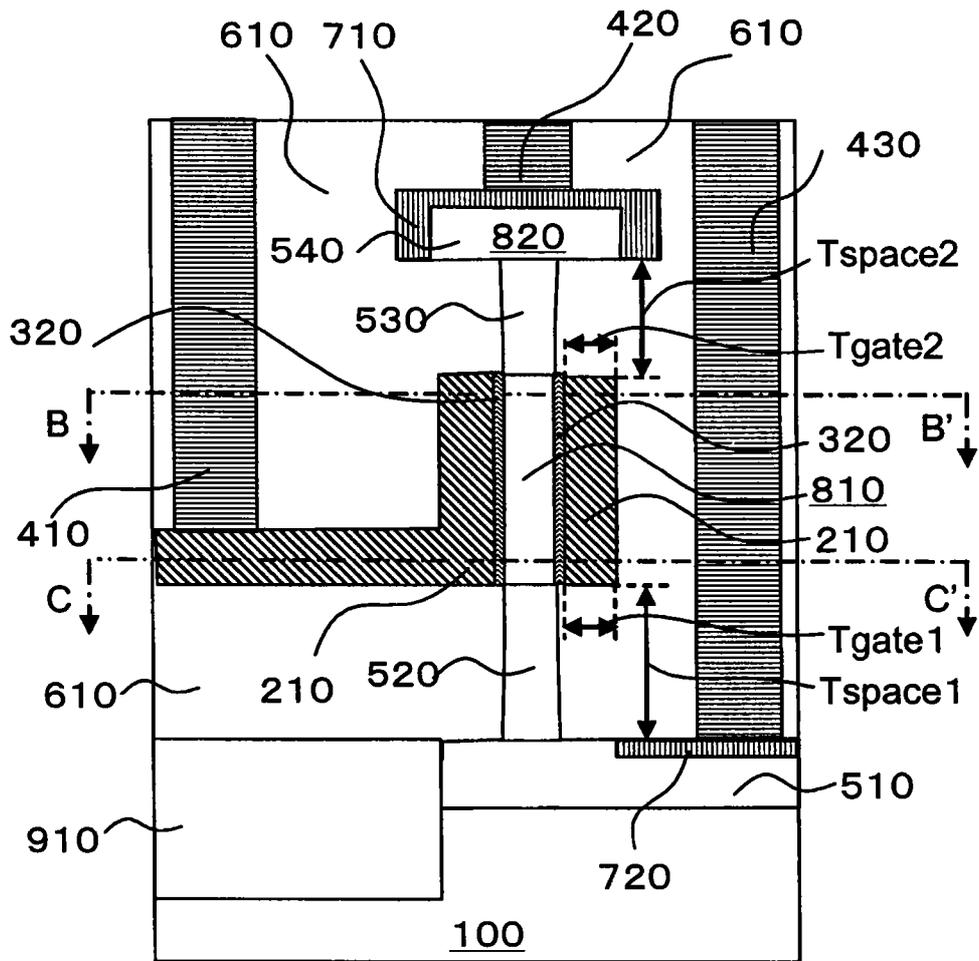


图 44

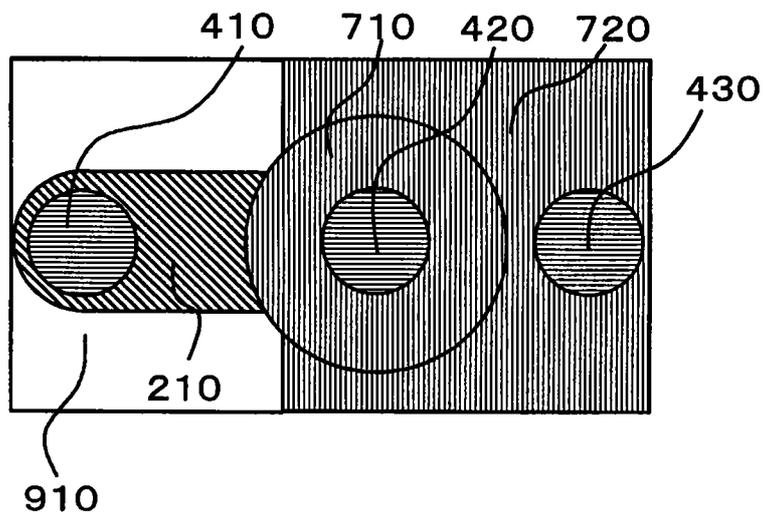


图 45

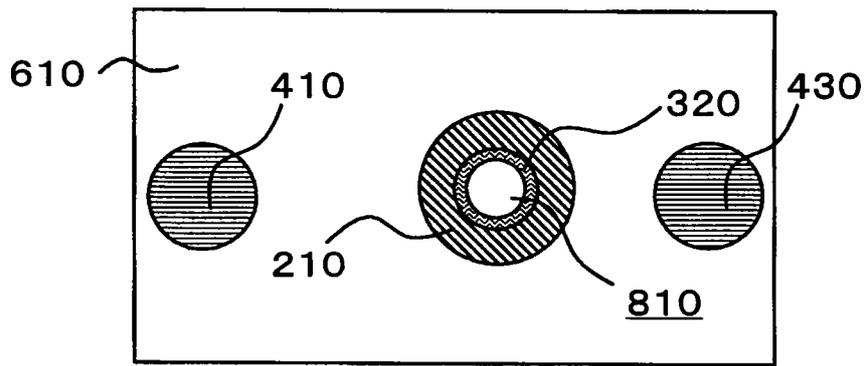


图 46

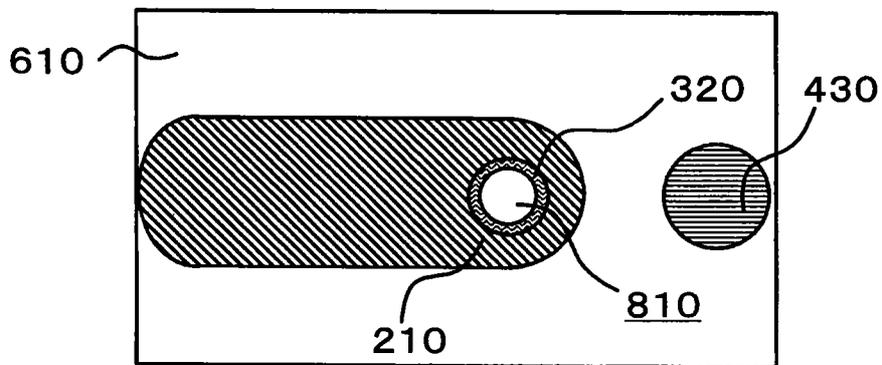


图 47

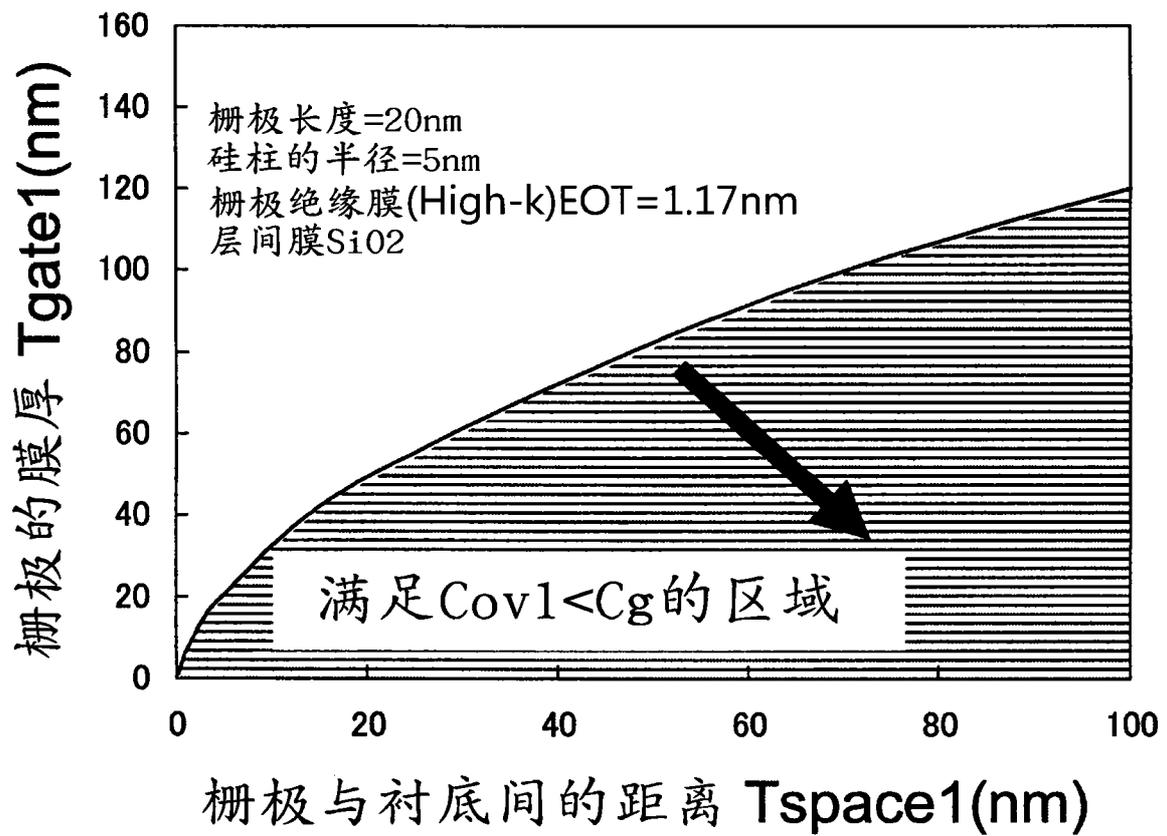


图 48

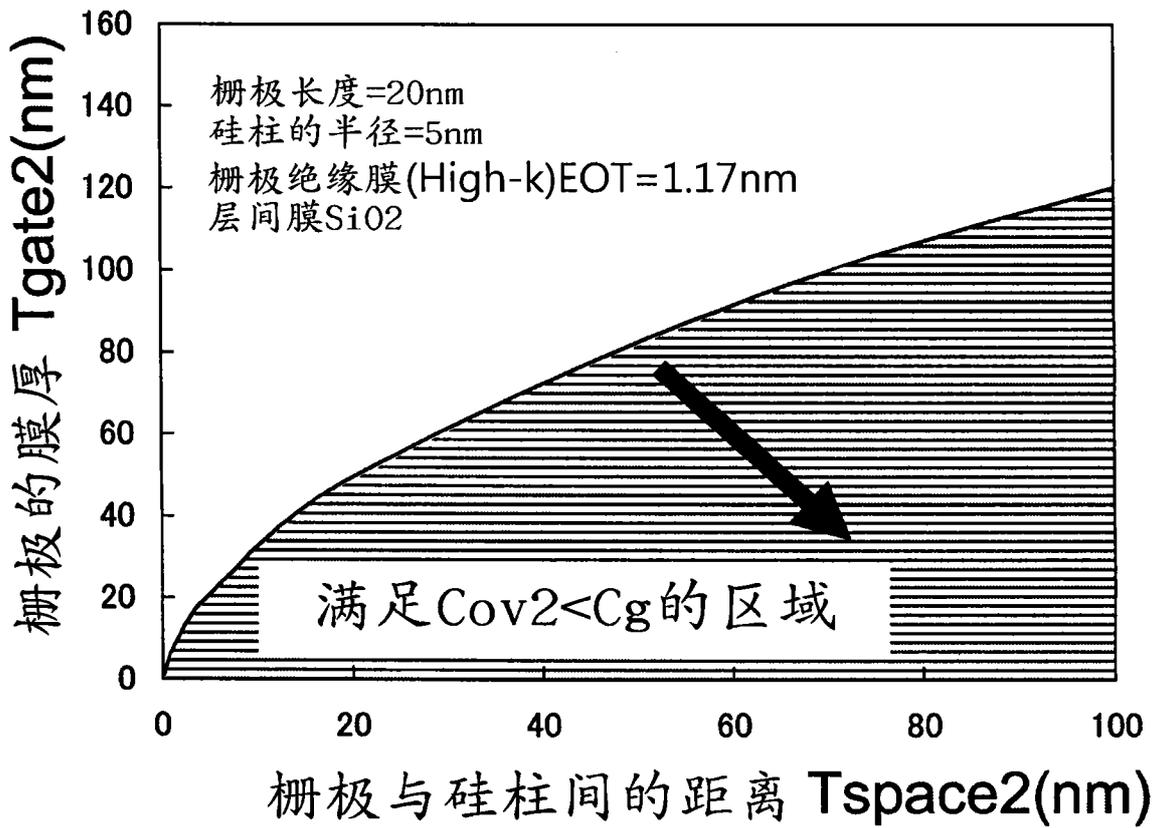


图 49

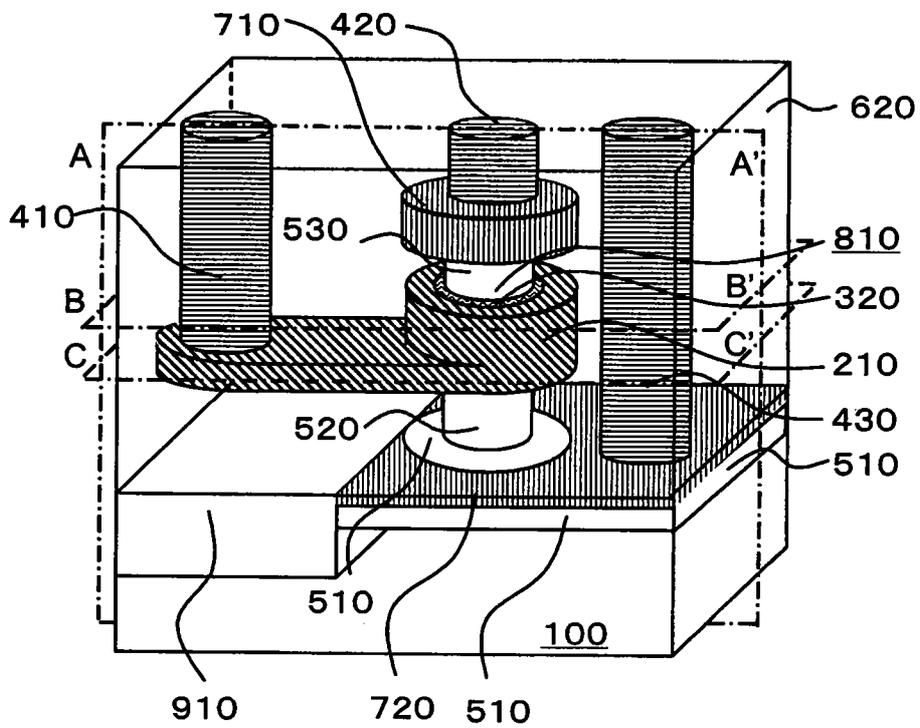


图 50

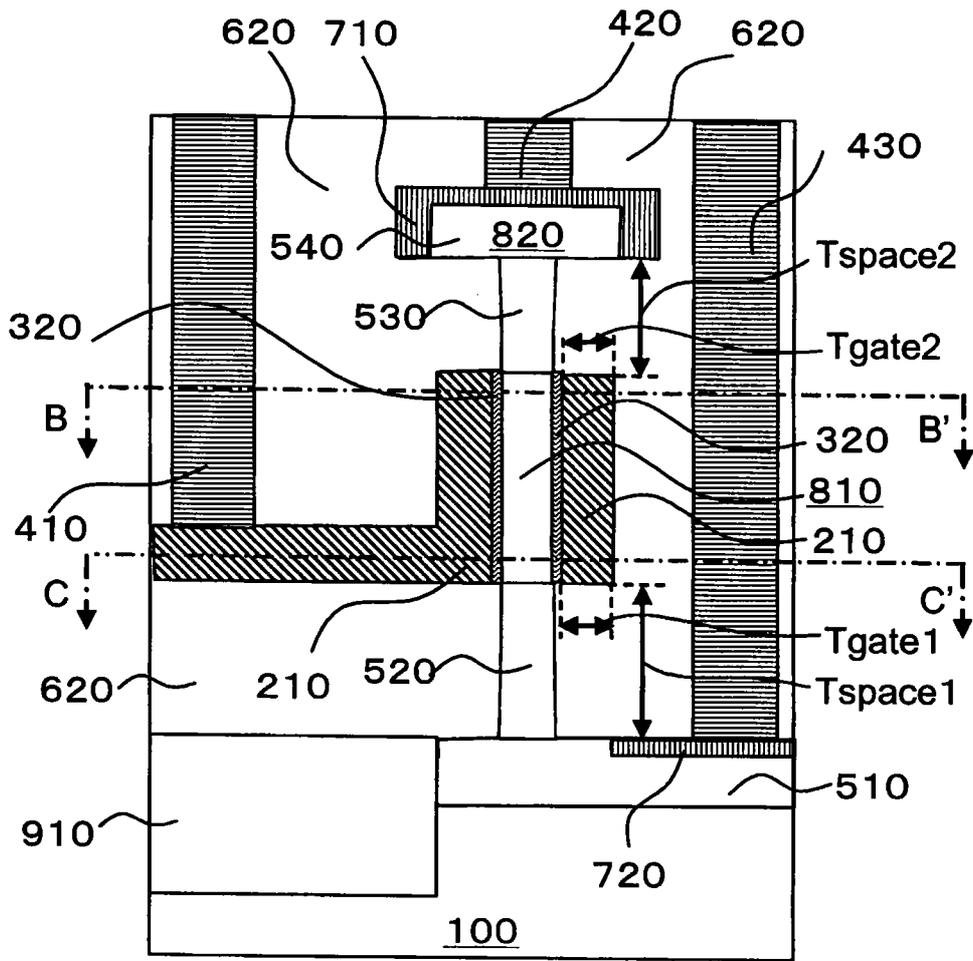


图 51

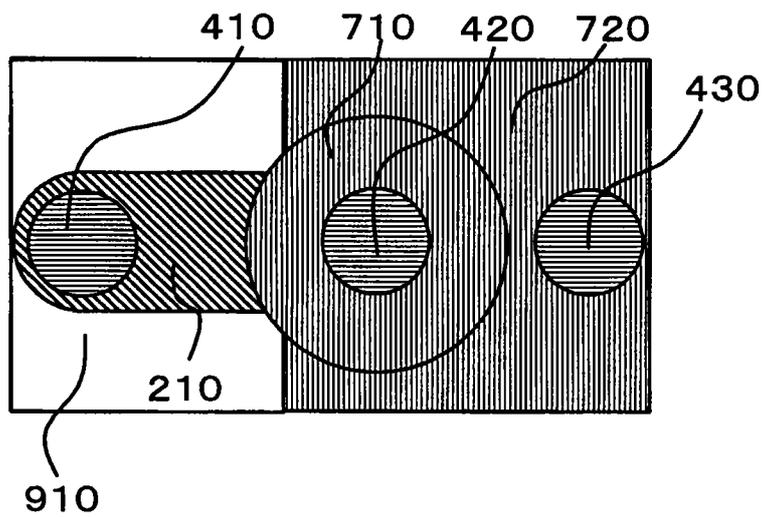


图 52

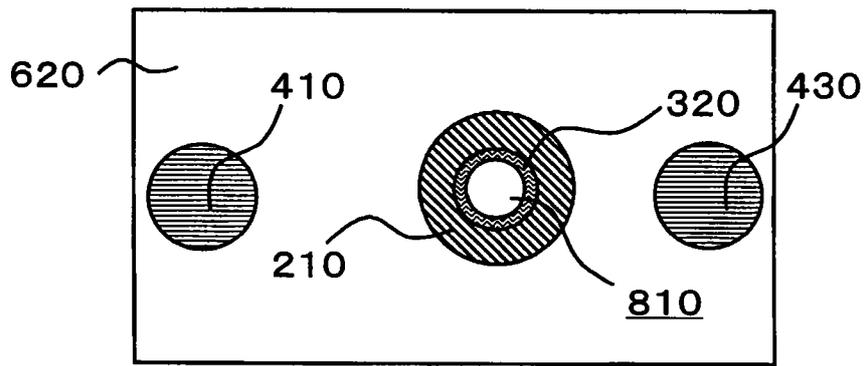


图 53

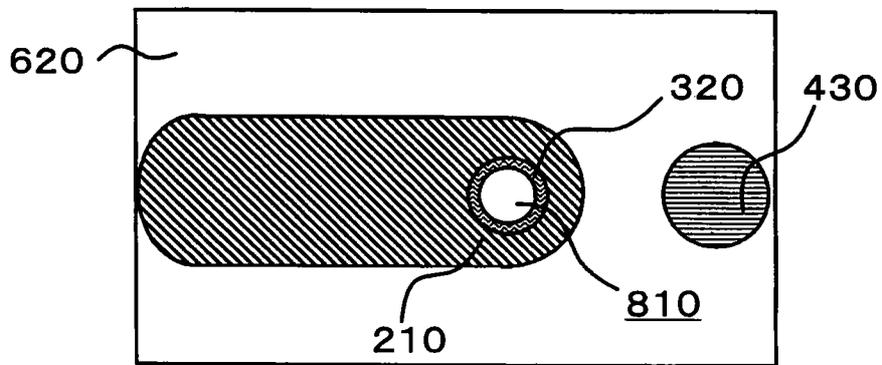


图 54

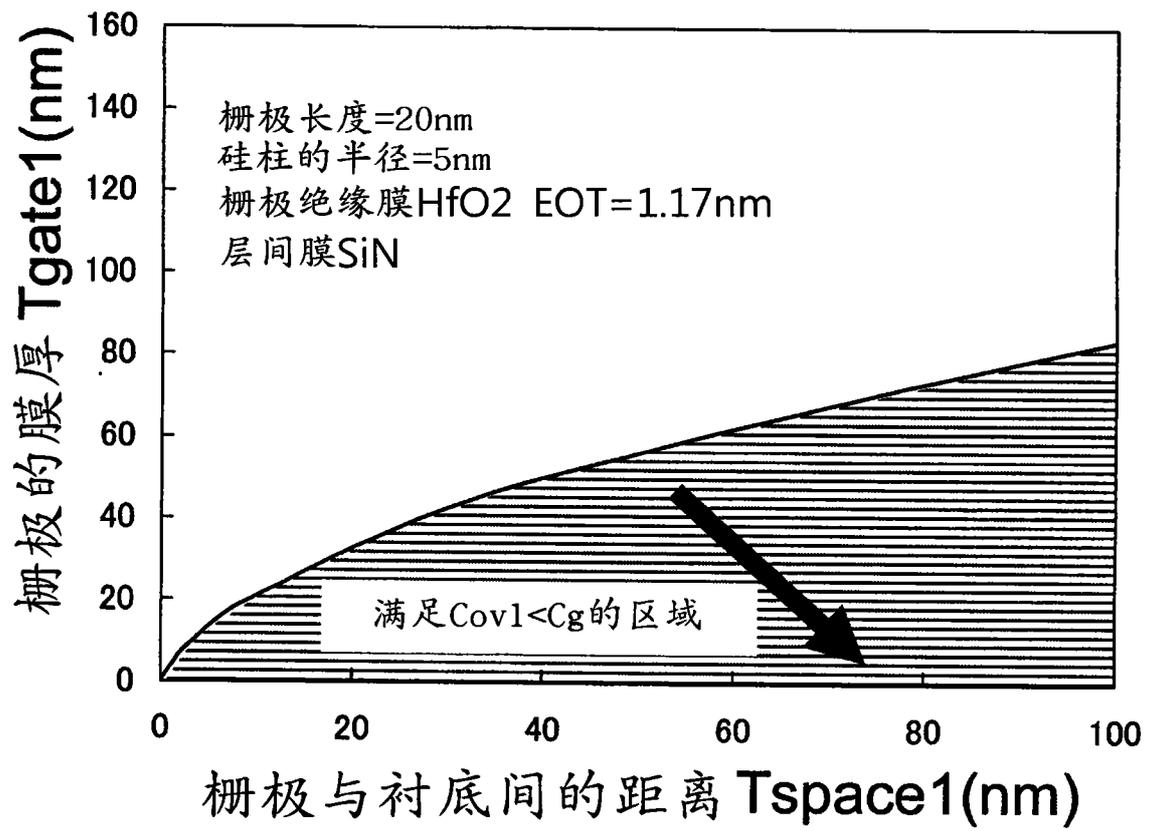


图 55

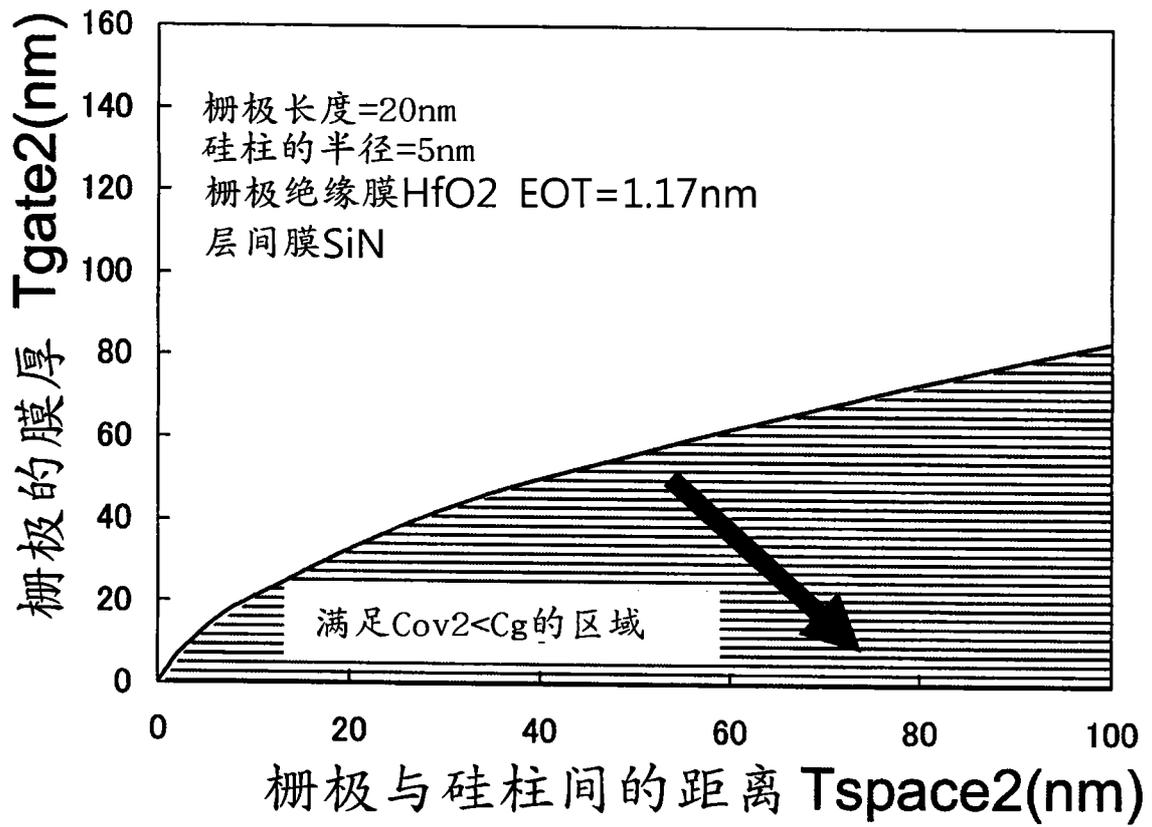


图 56

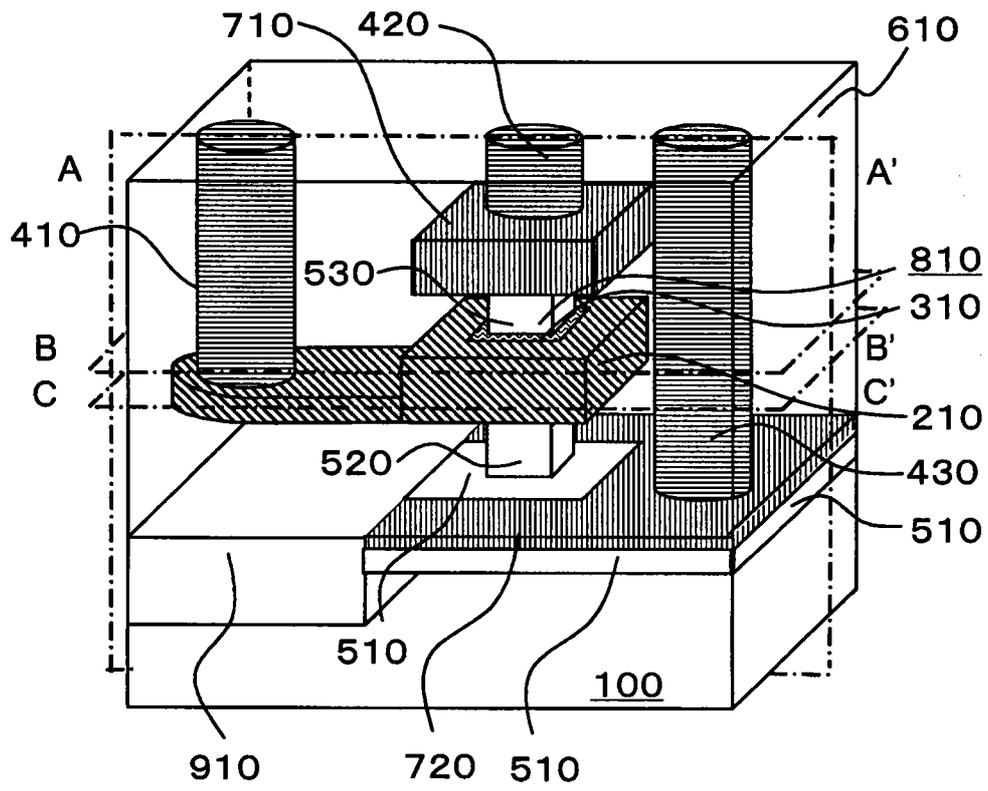


图 57

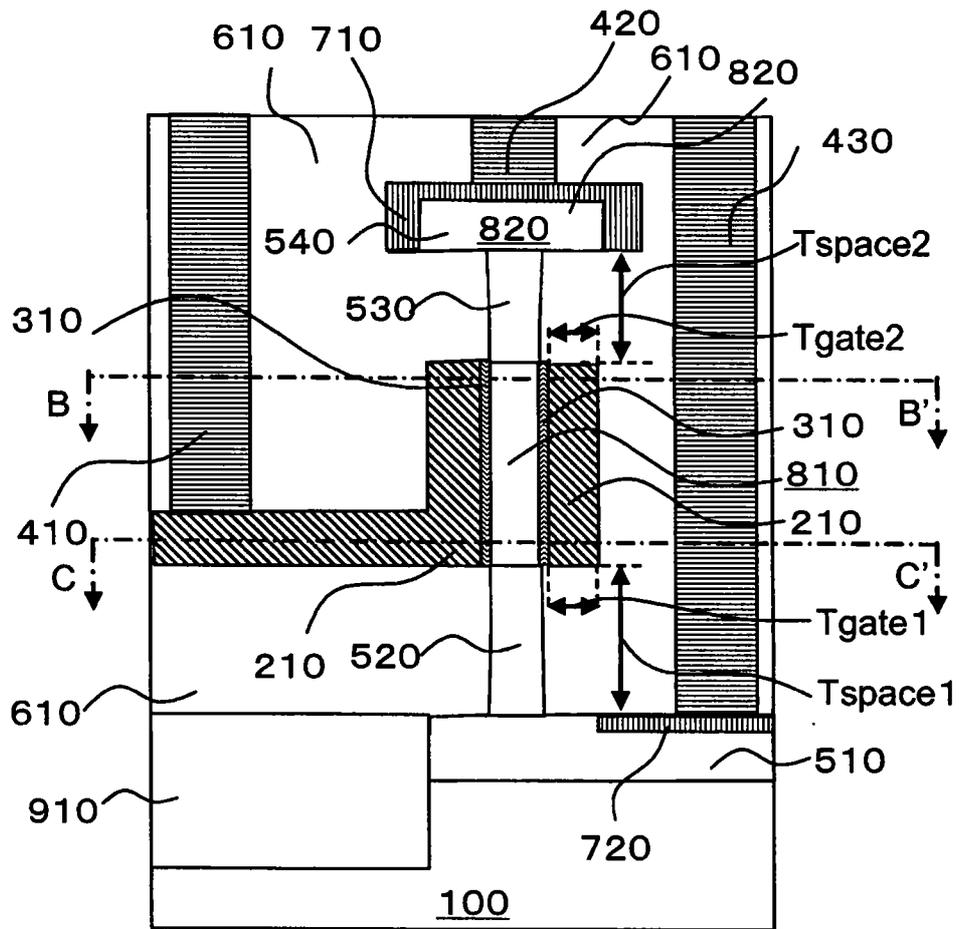


图 58

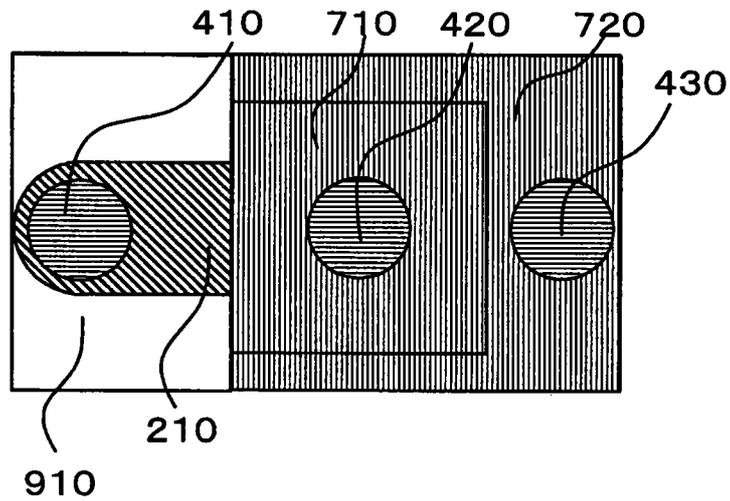


图 59

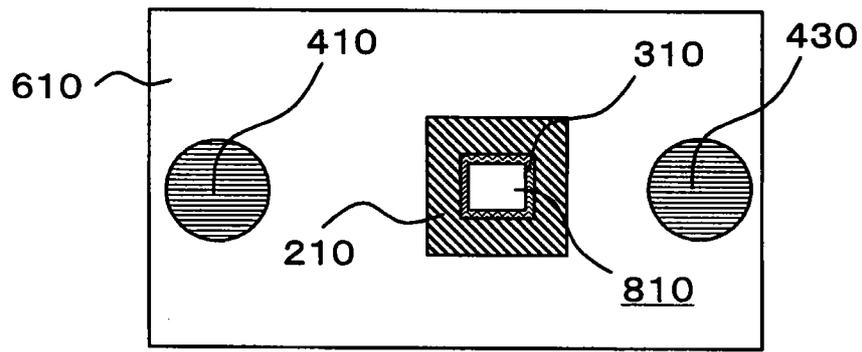


图 60

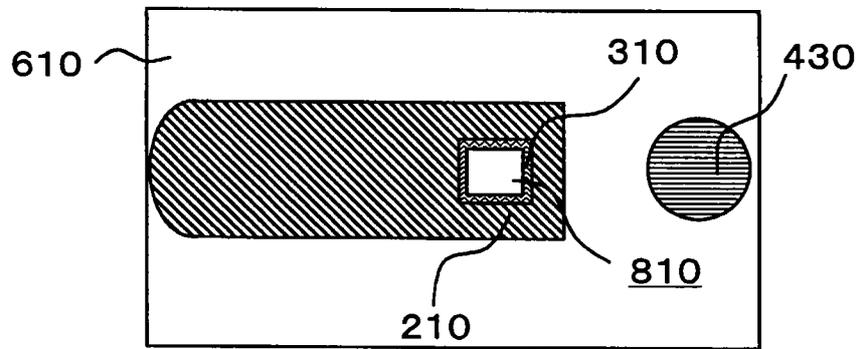


图 61

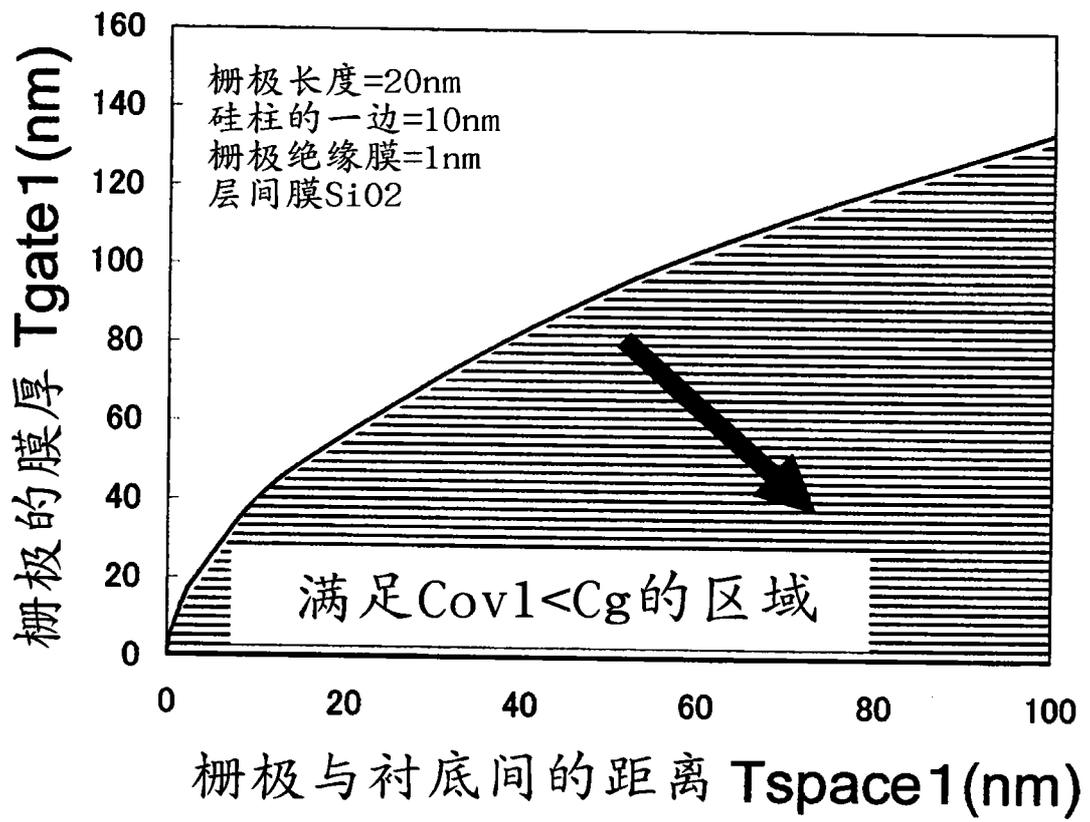


图 62

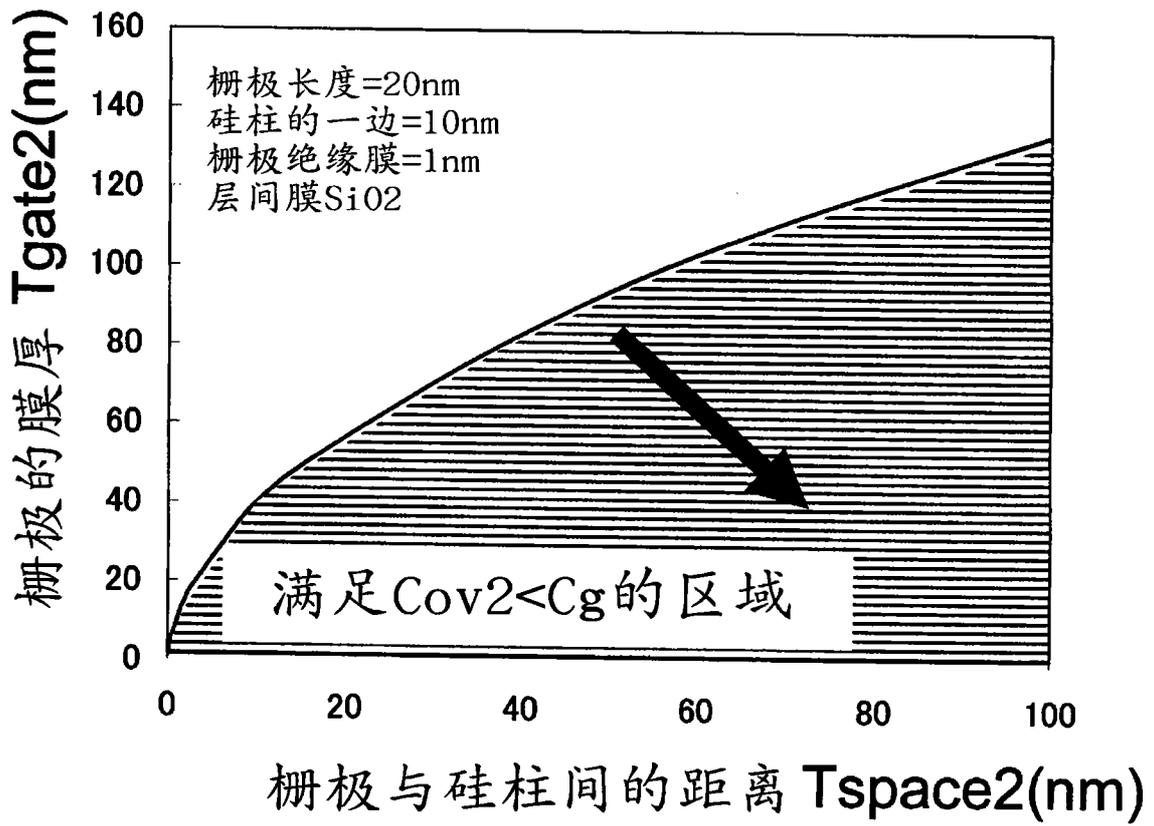


图 63

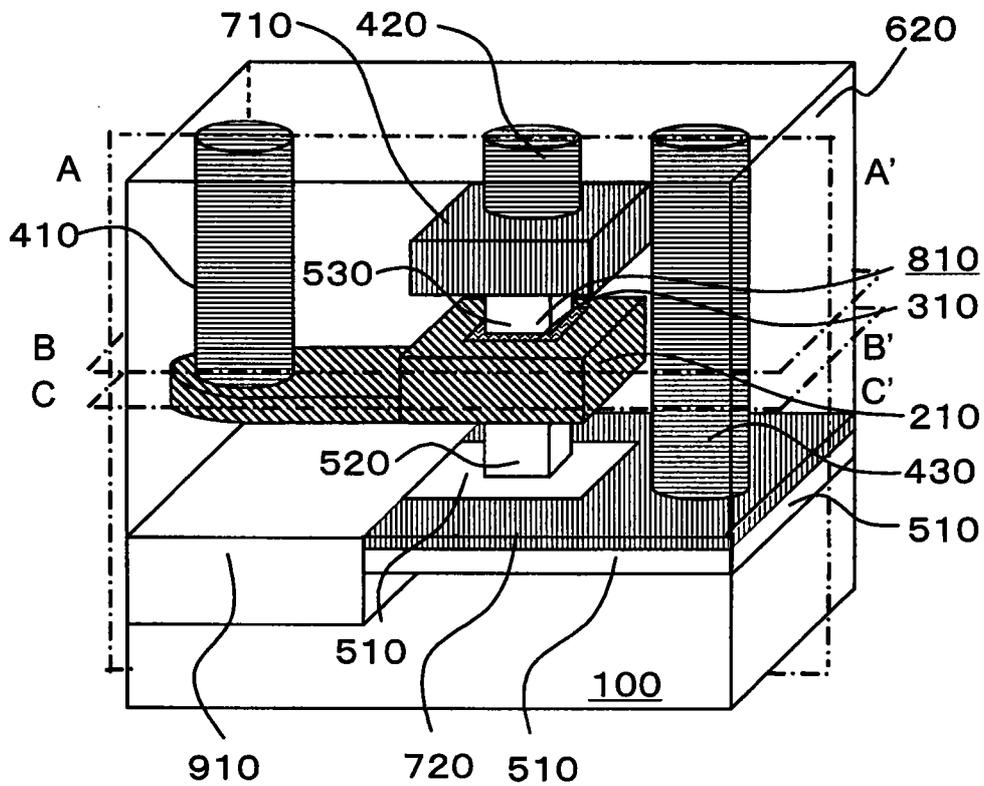


图 64

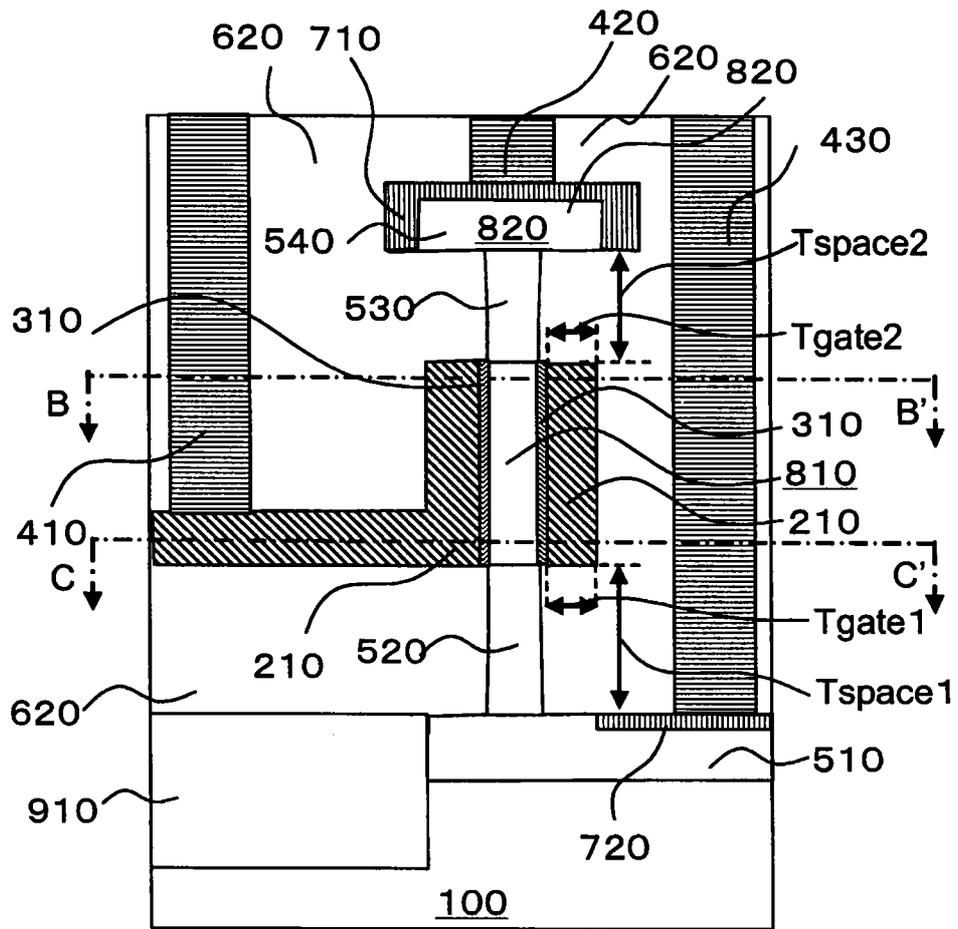


图 65

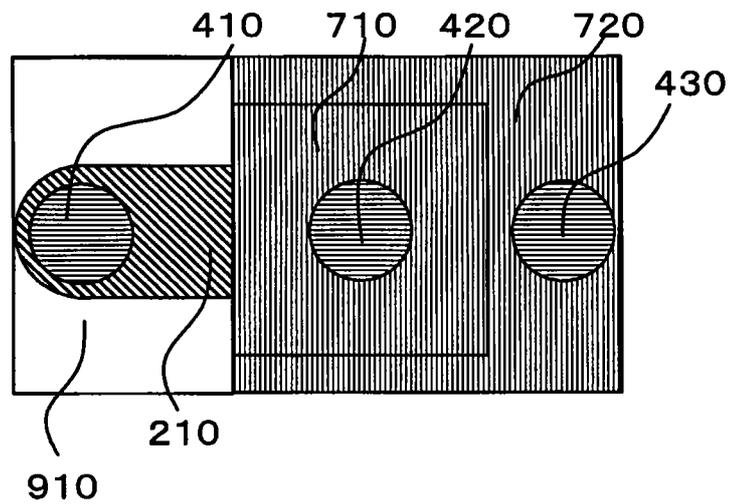


图 66

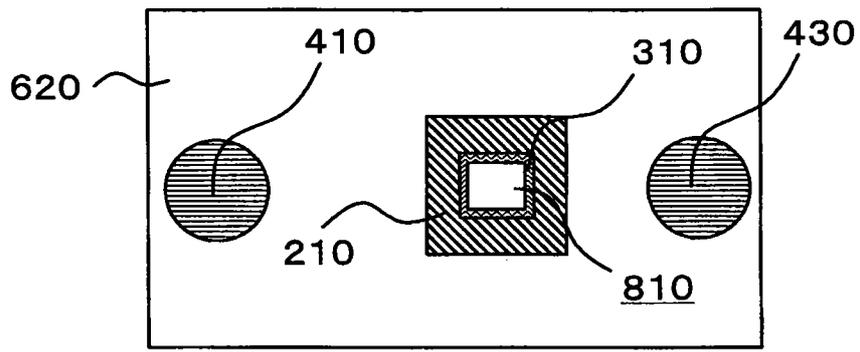


图 67

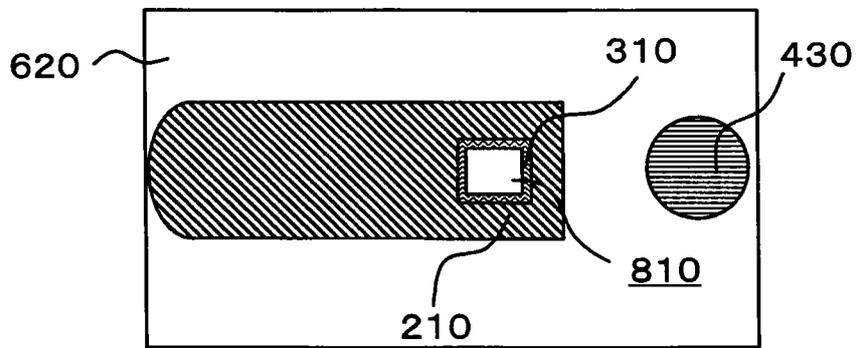


图 68

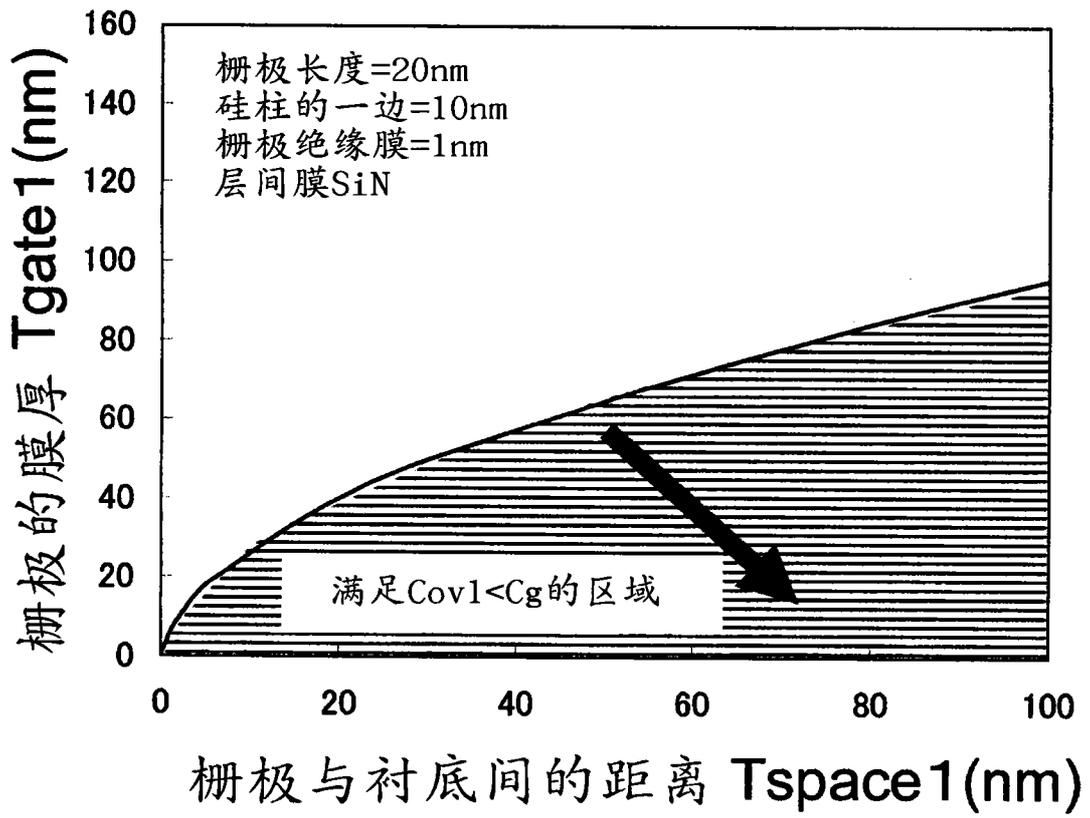


图 69

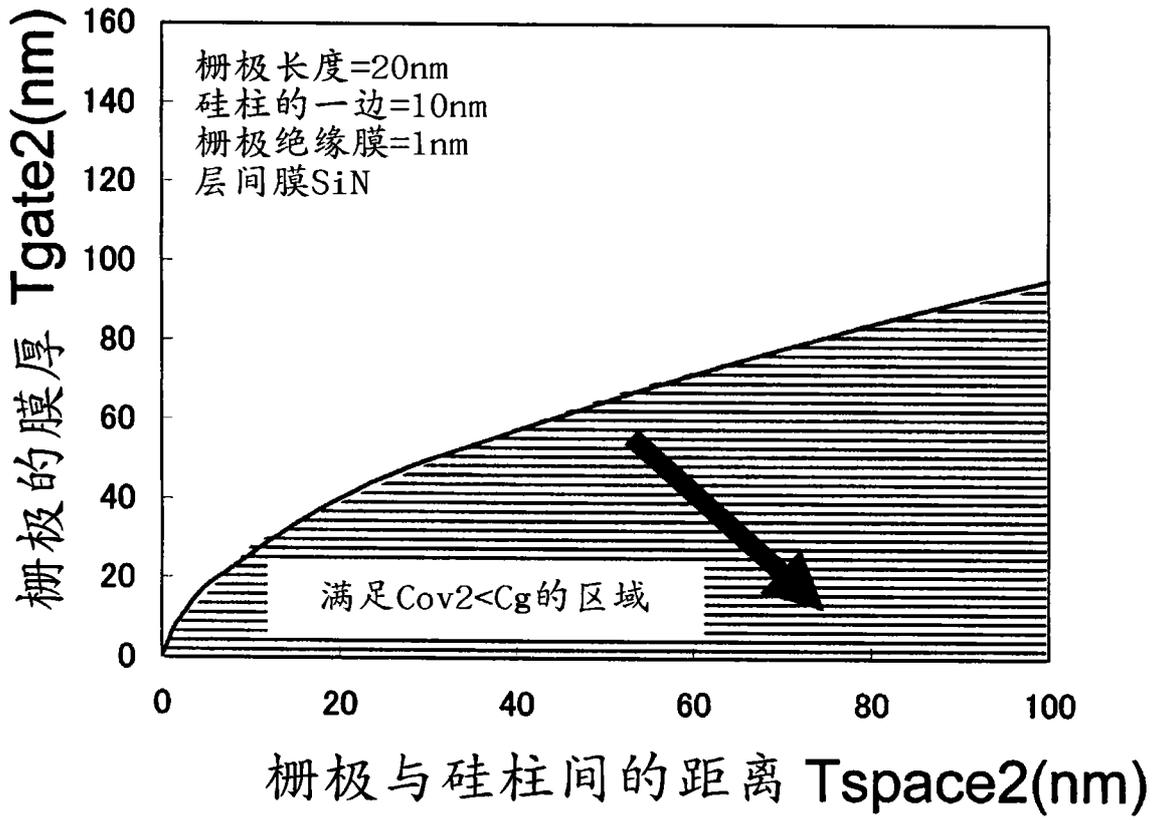


图 70

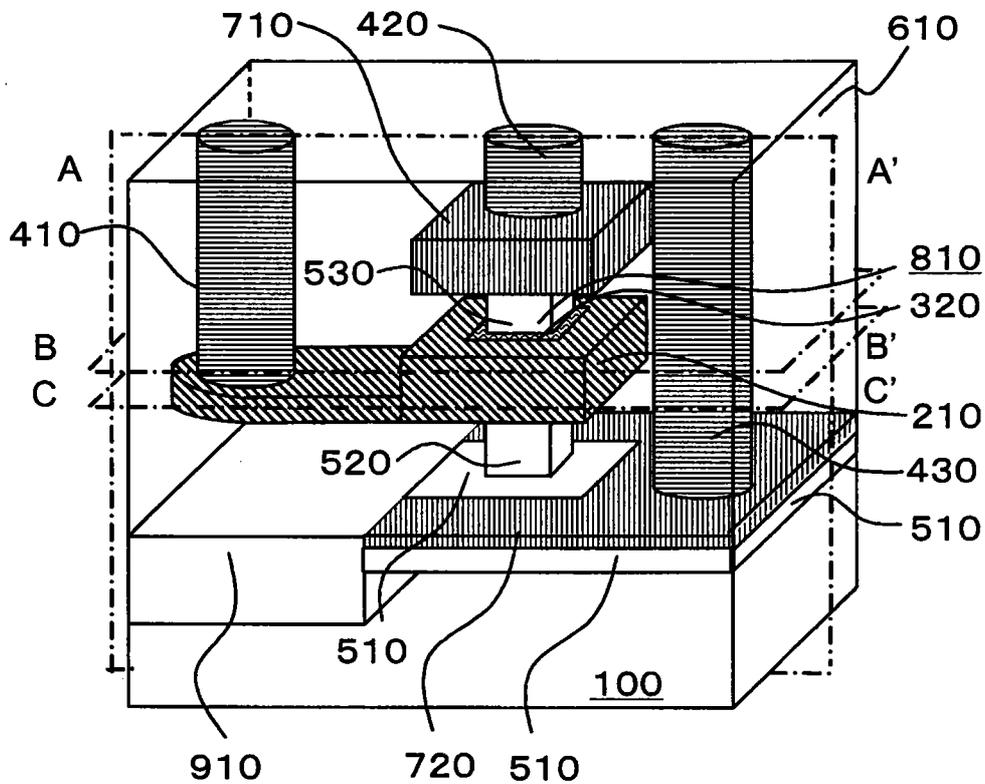


图 71

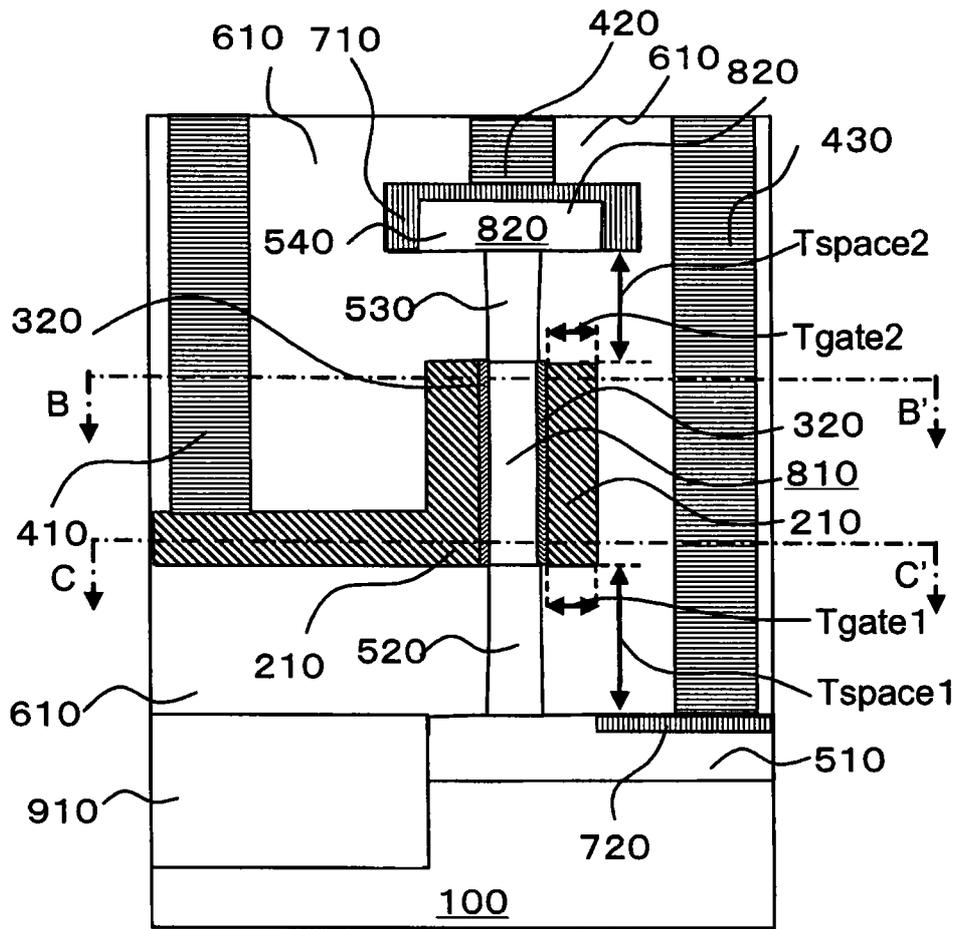


图 72

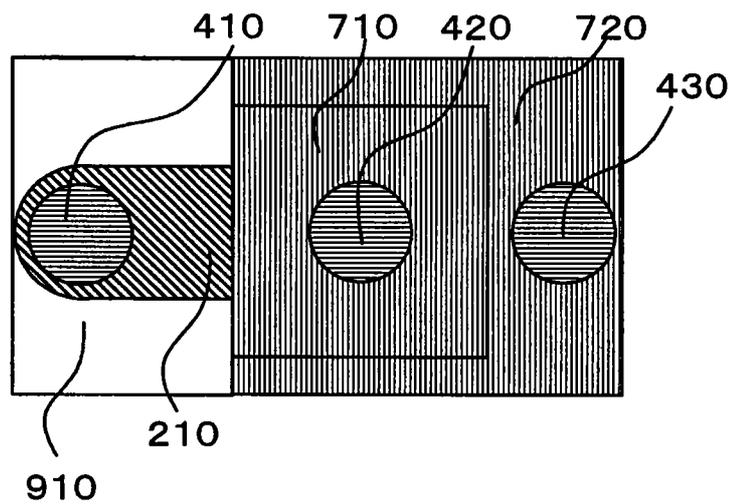


图 73

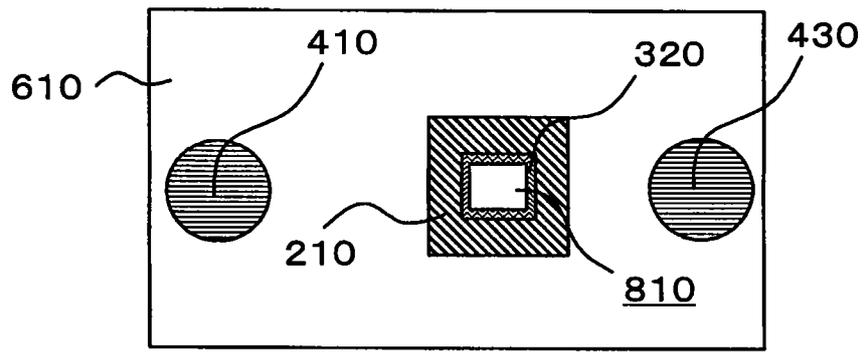


图 74

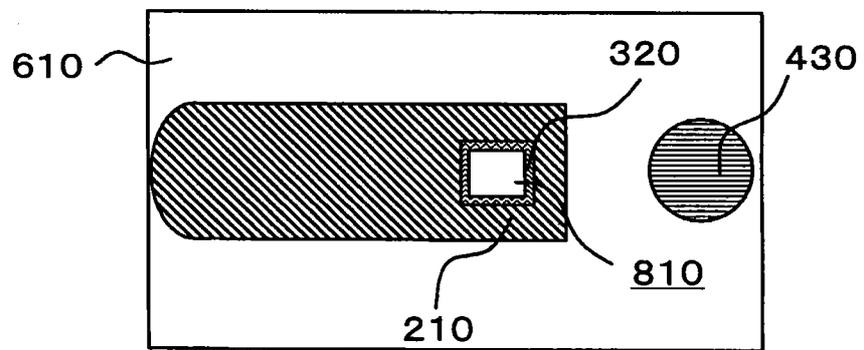


图 75

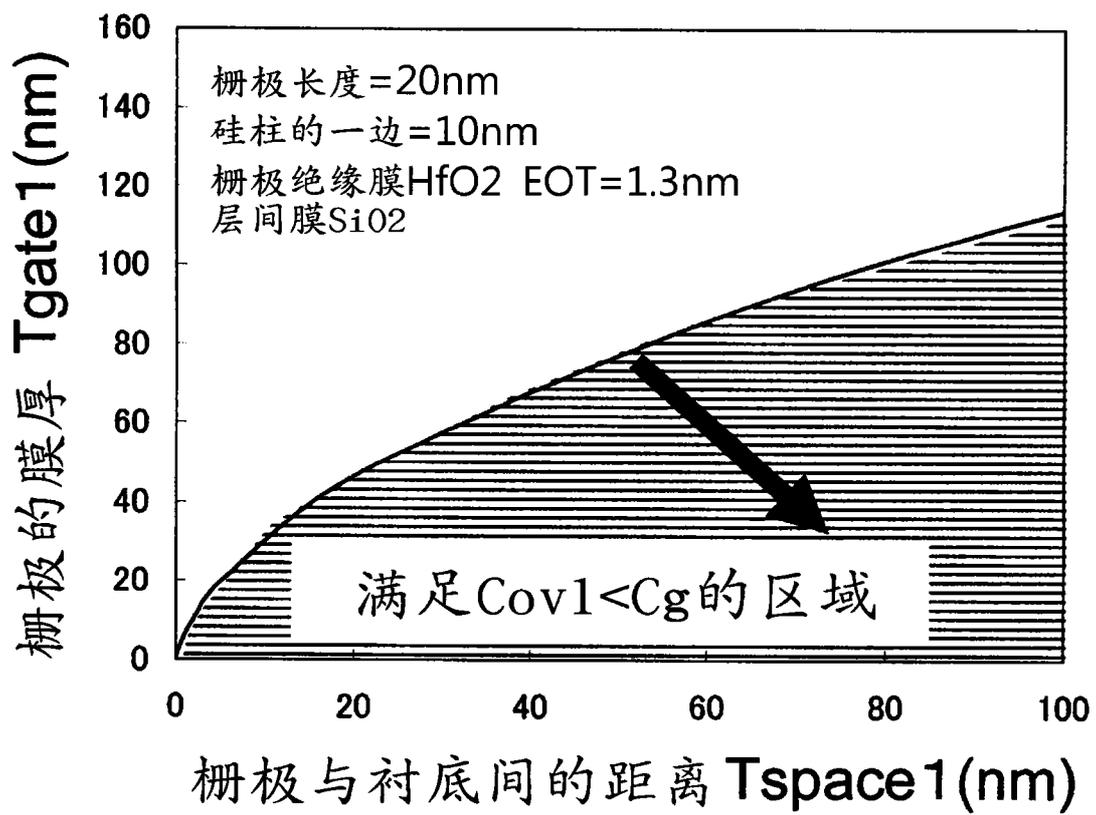


图 76

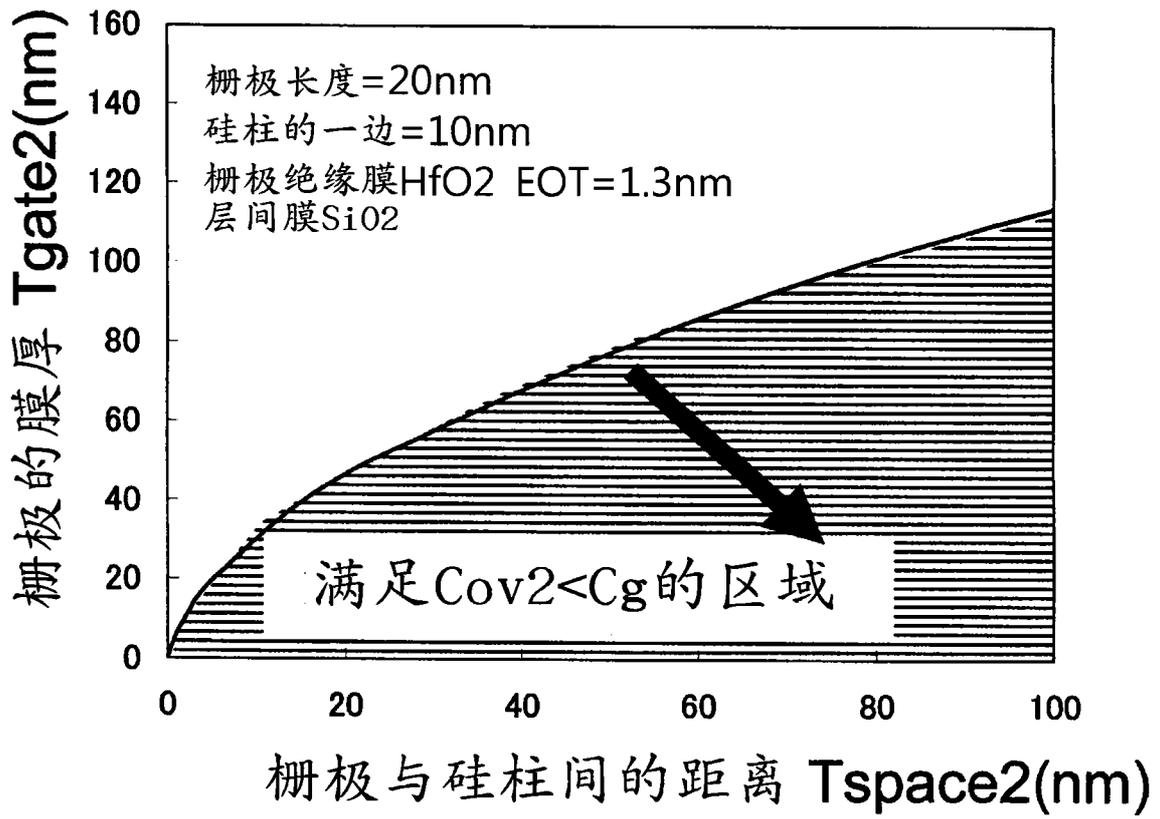


图 77

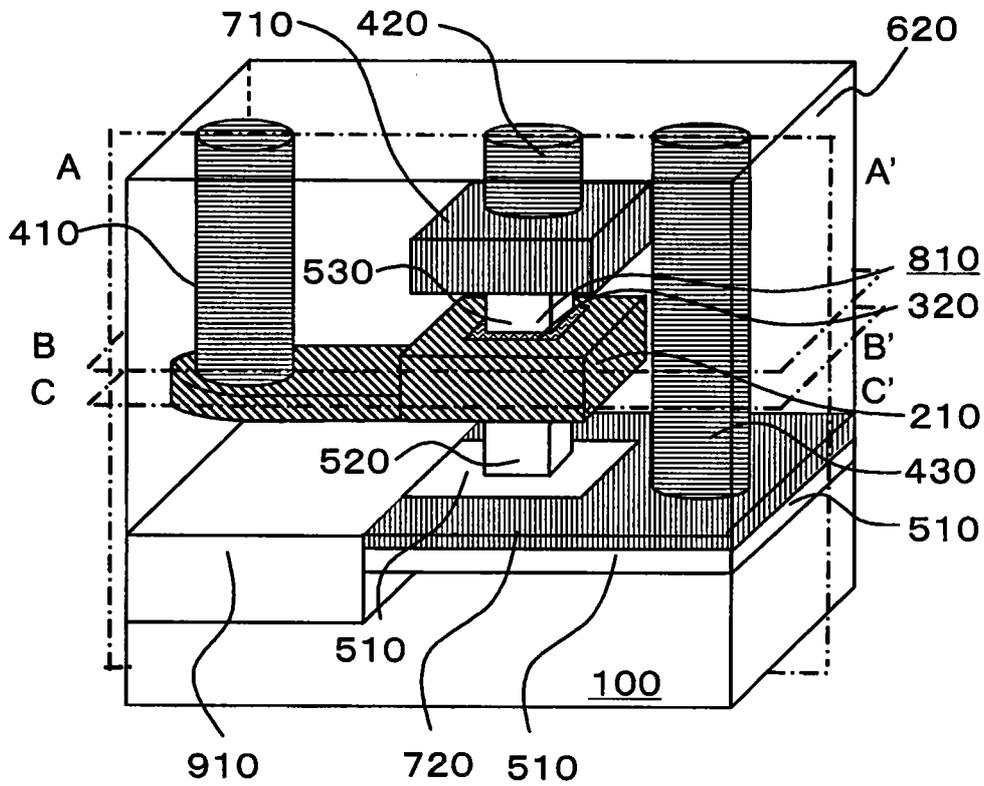


图 78



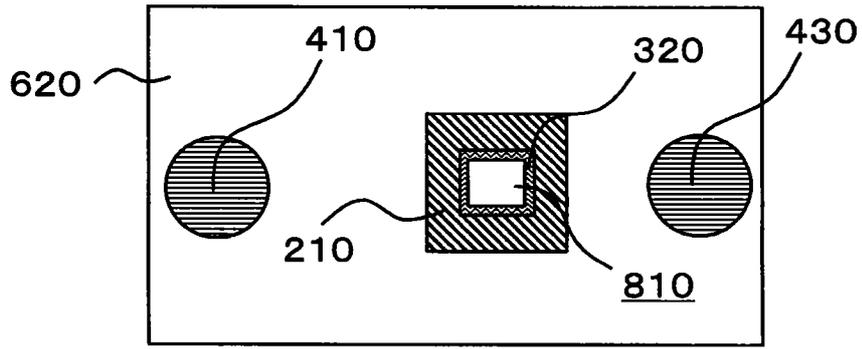


图 81

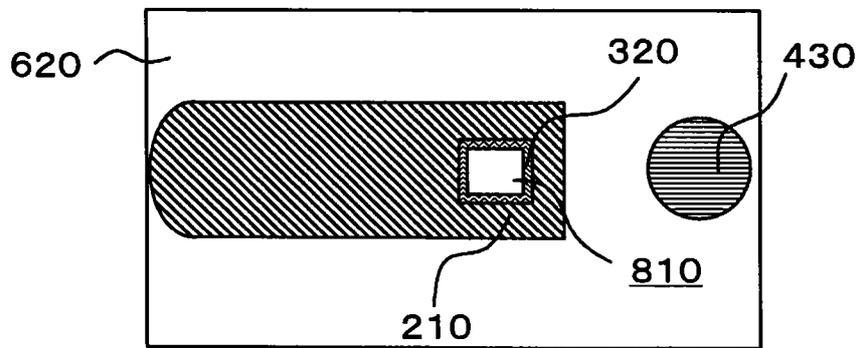


图 82

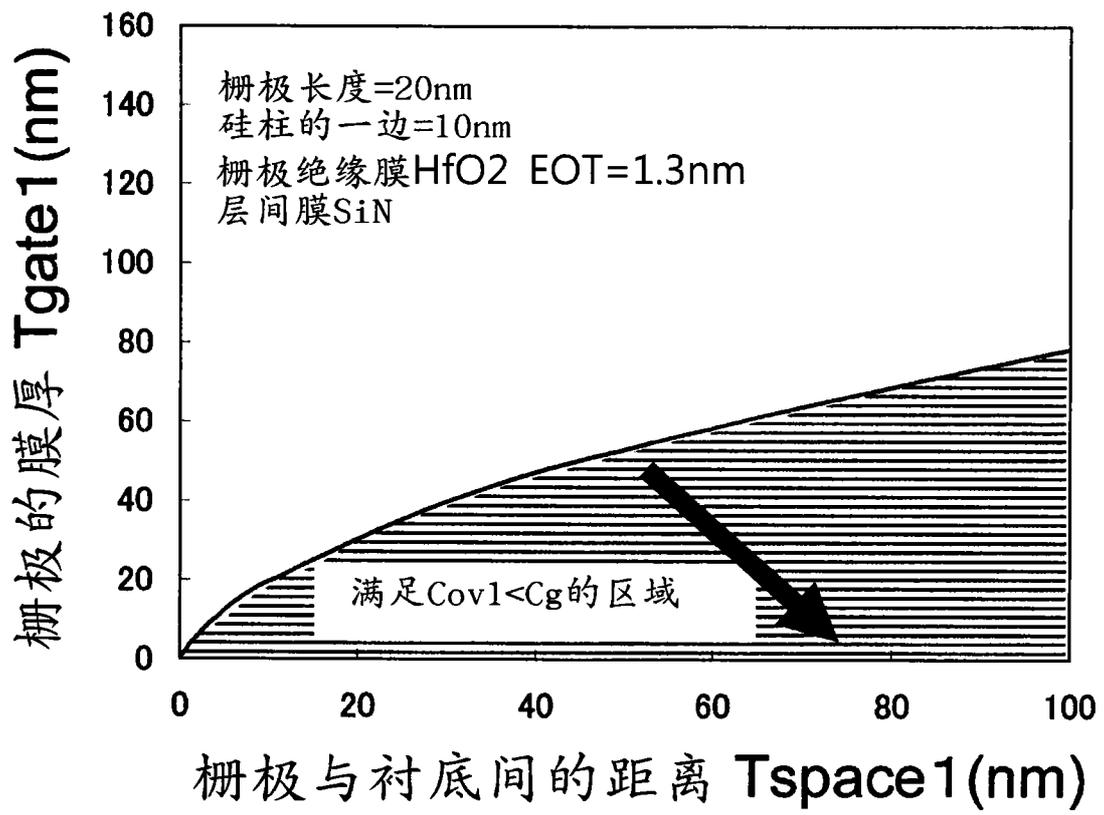


图 83

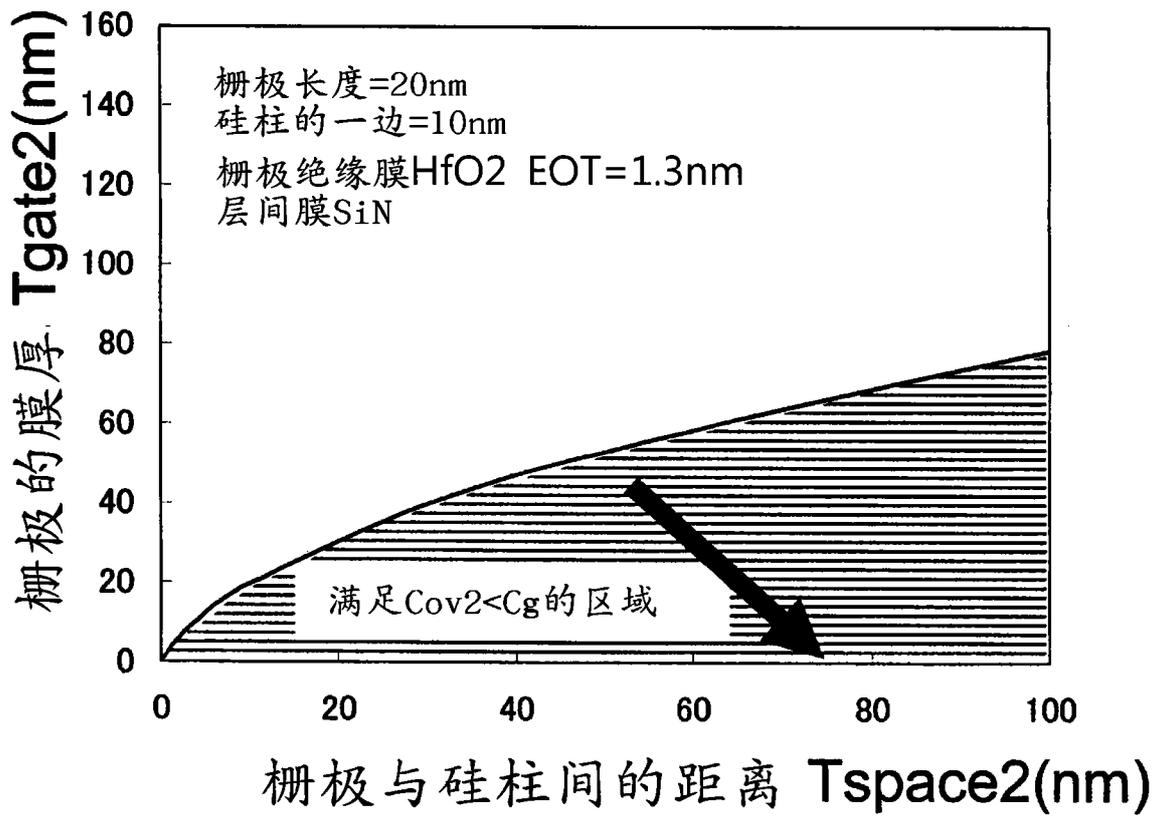


图 84

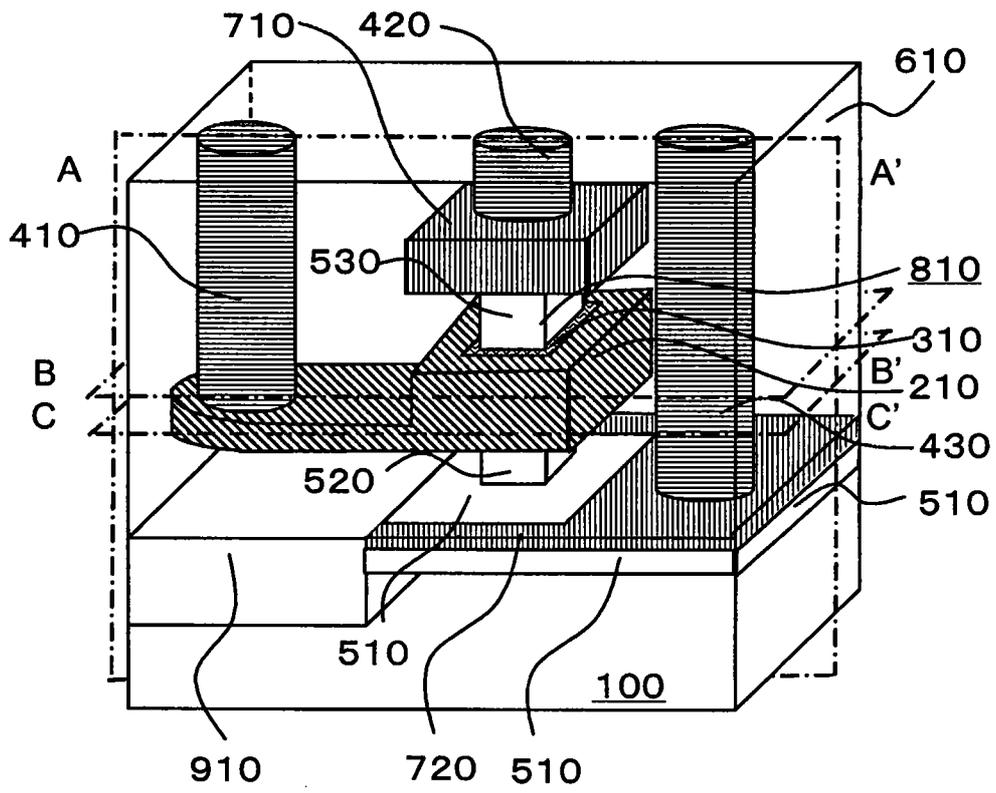


图 85

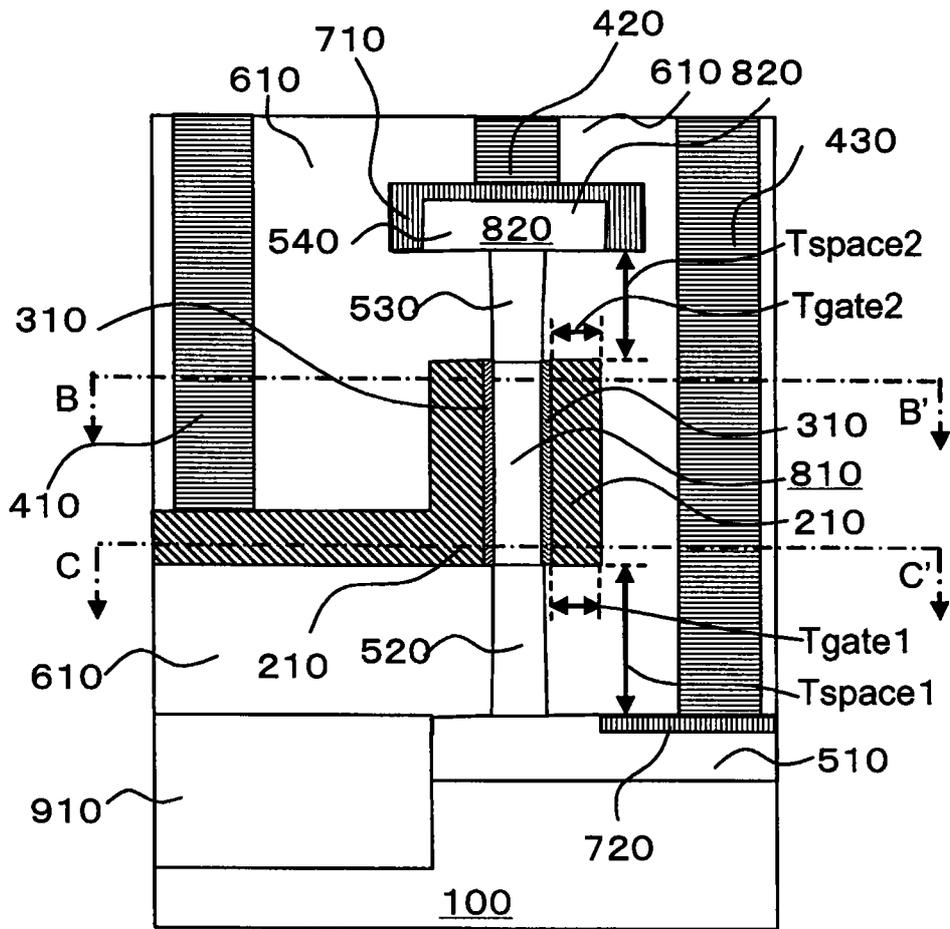


图 86

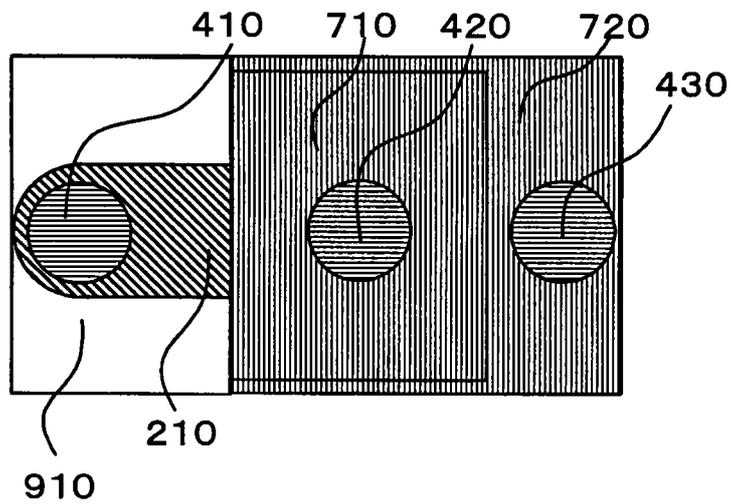


图 87

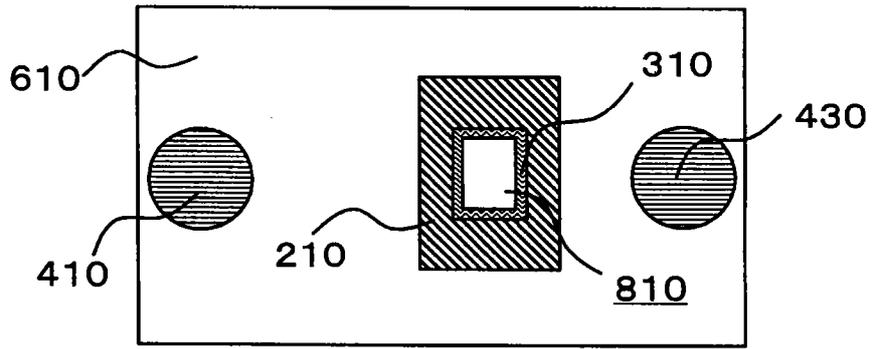


图 88

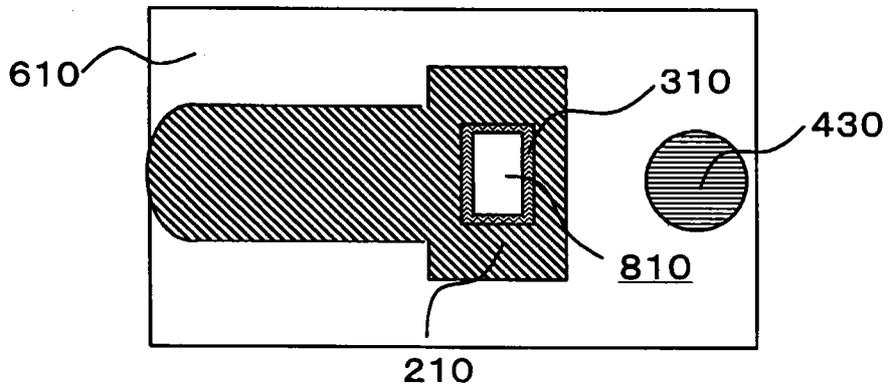


图 89

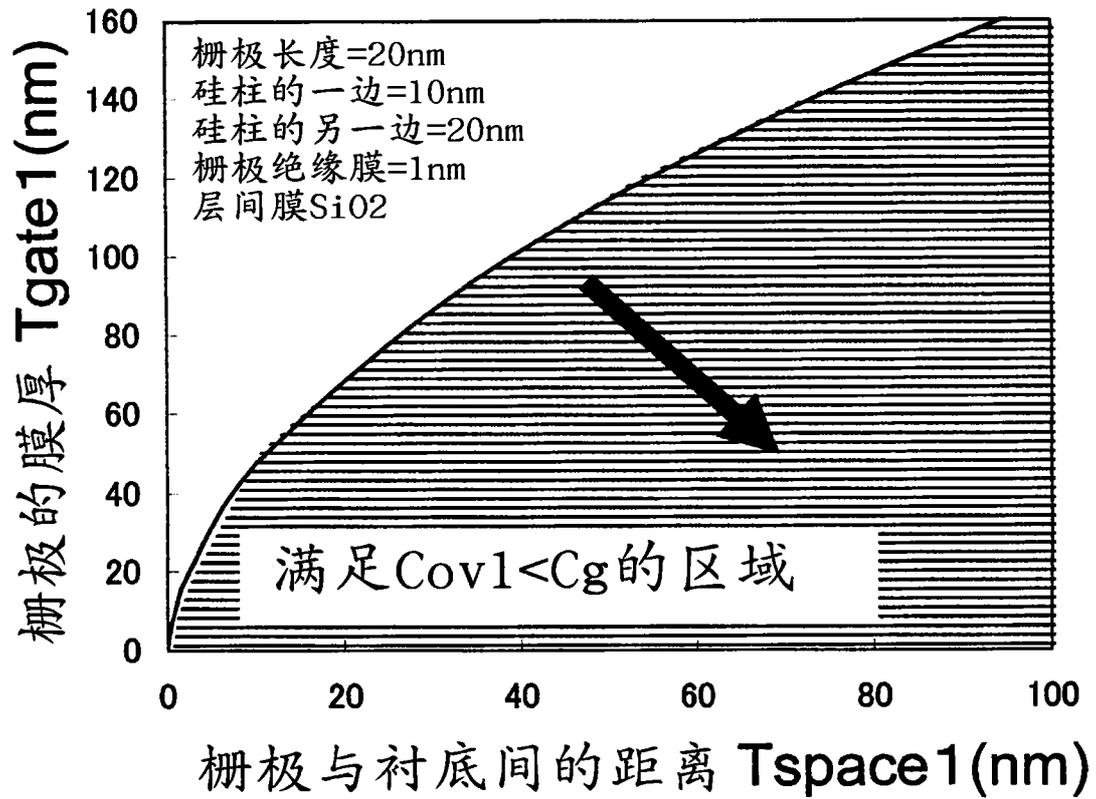


图 90

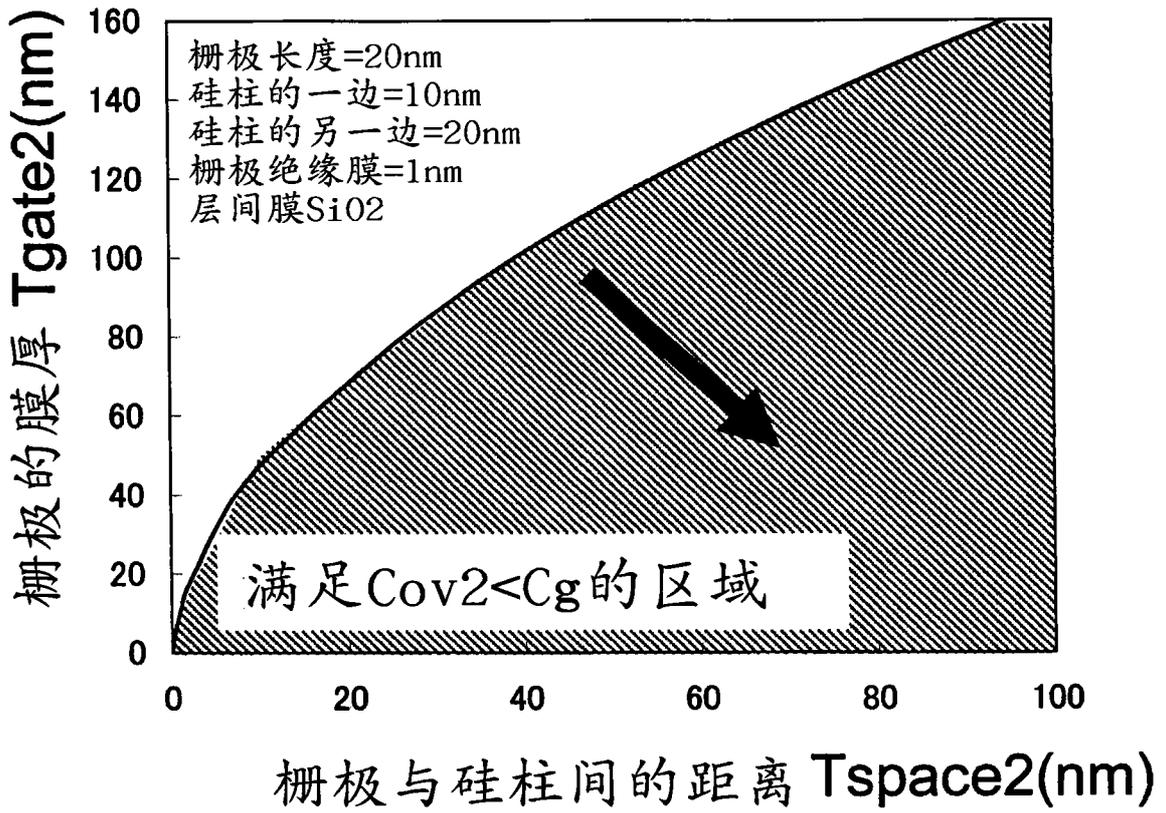


图 91

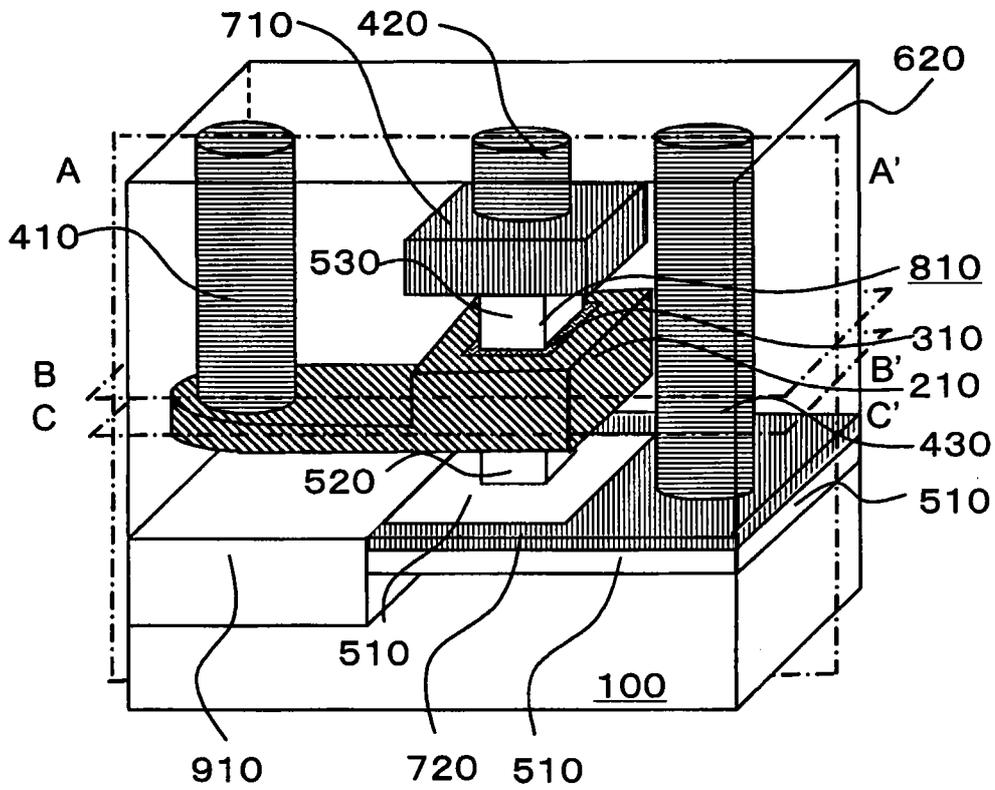


图 92

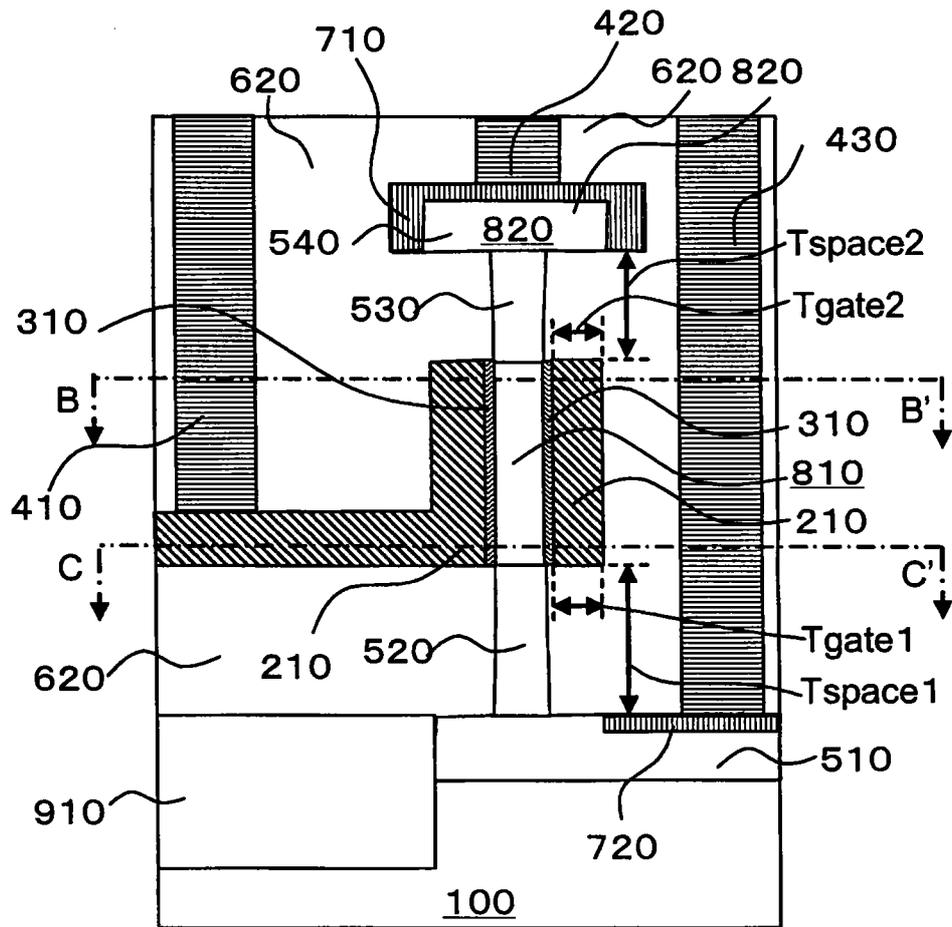


图 93

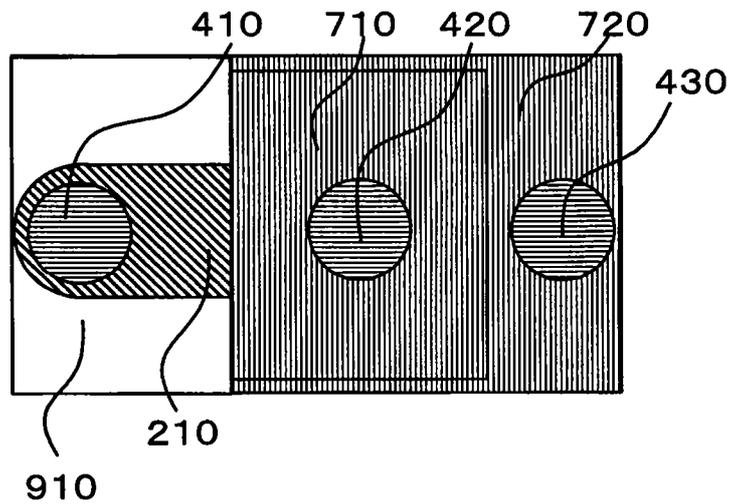


图 94

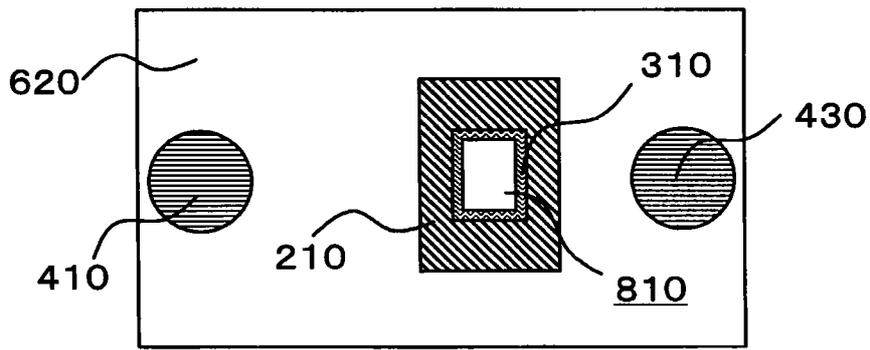


图 95

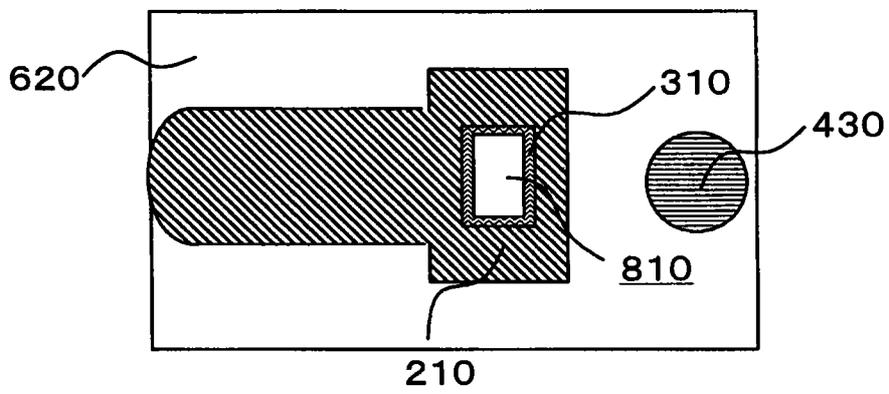


图 96

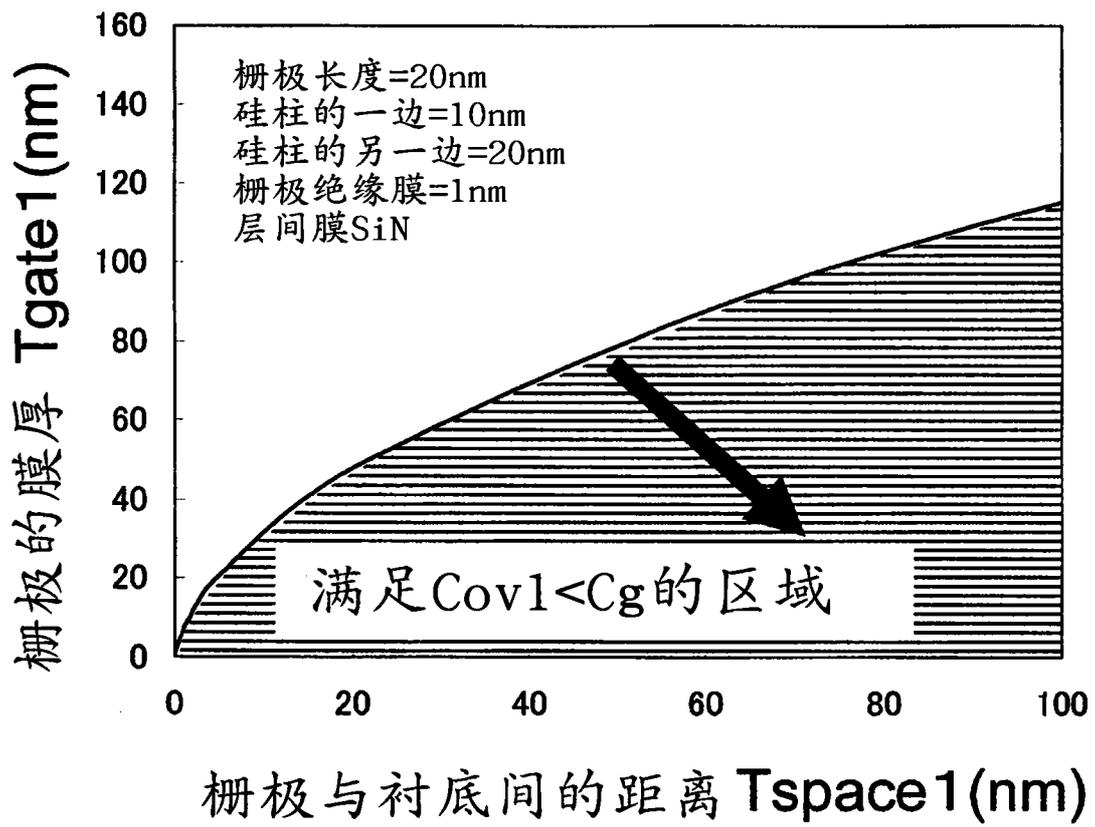


图 97

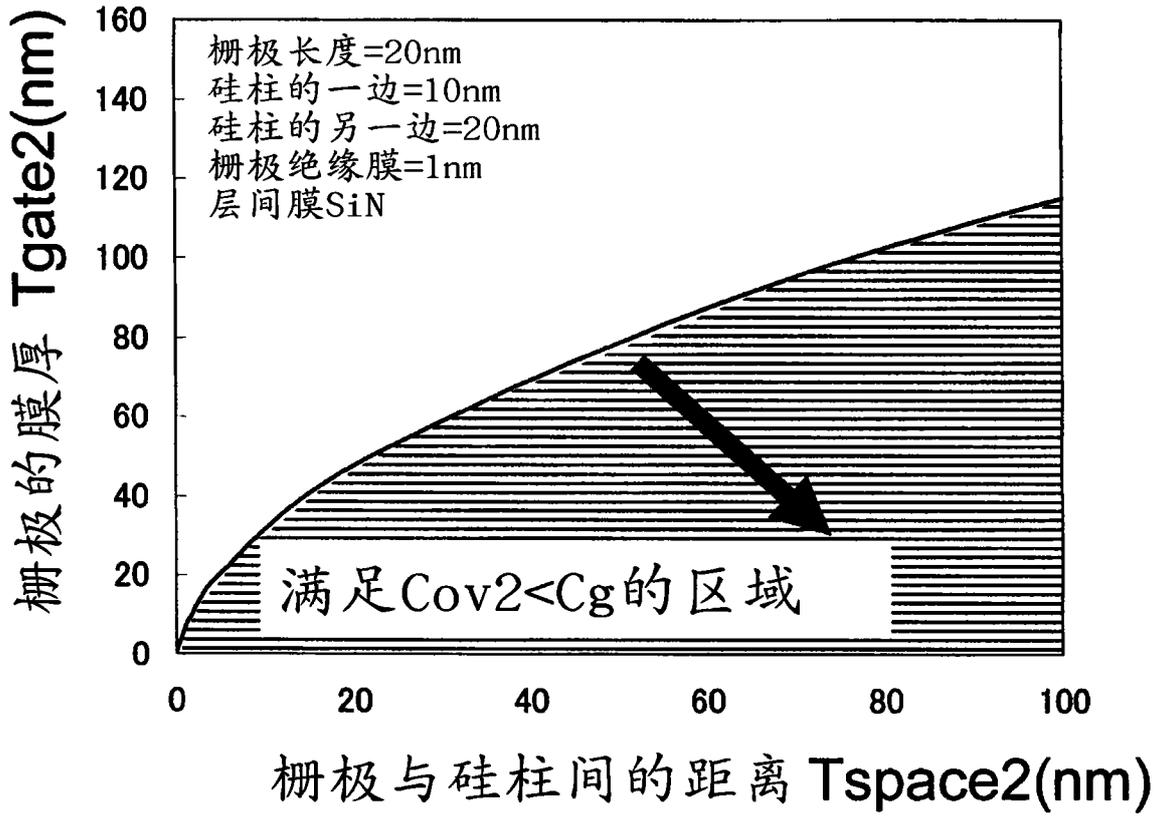


图 98

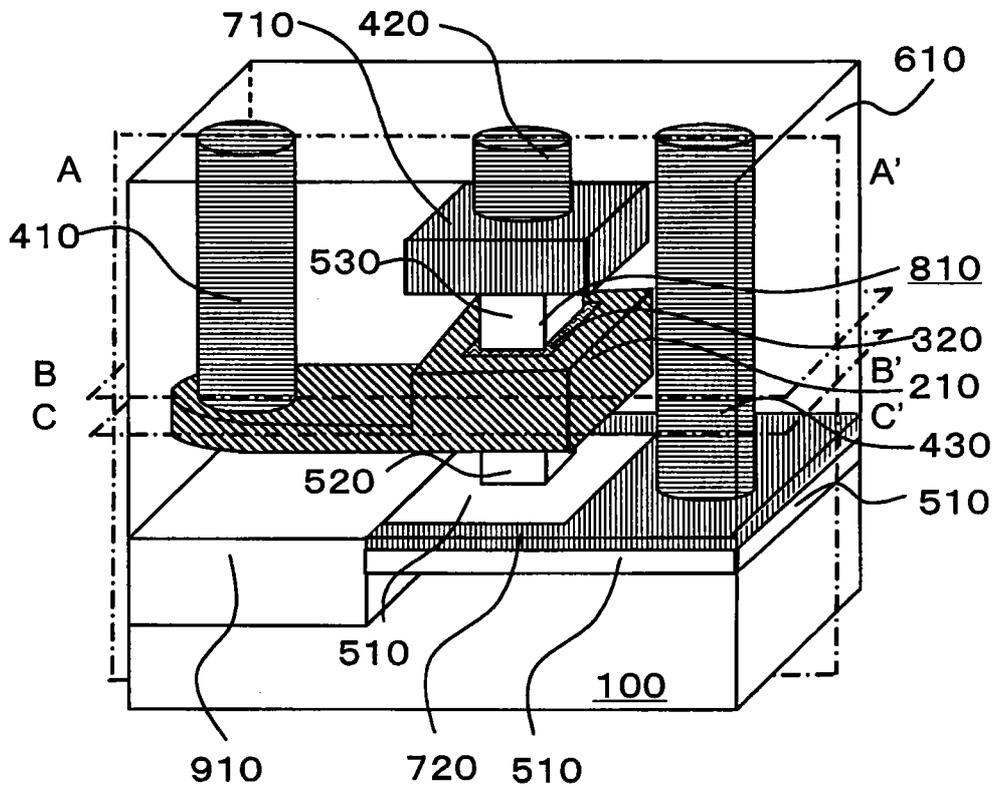


图 99

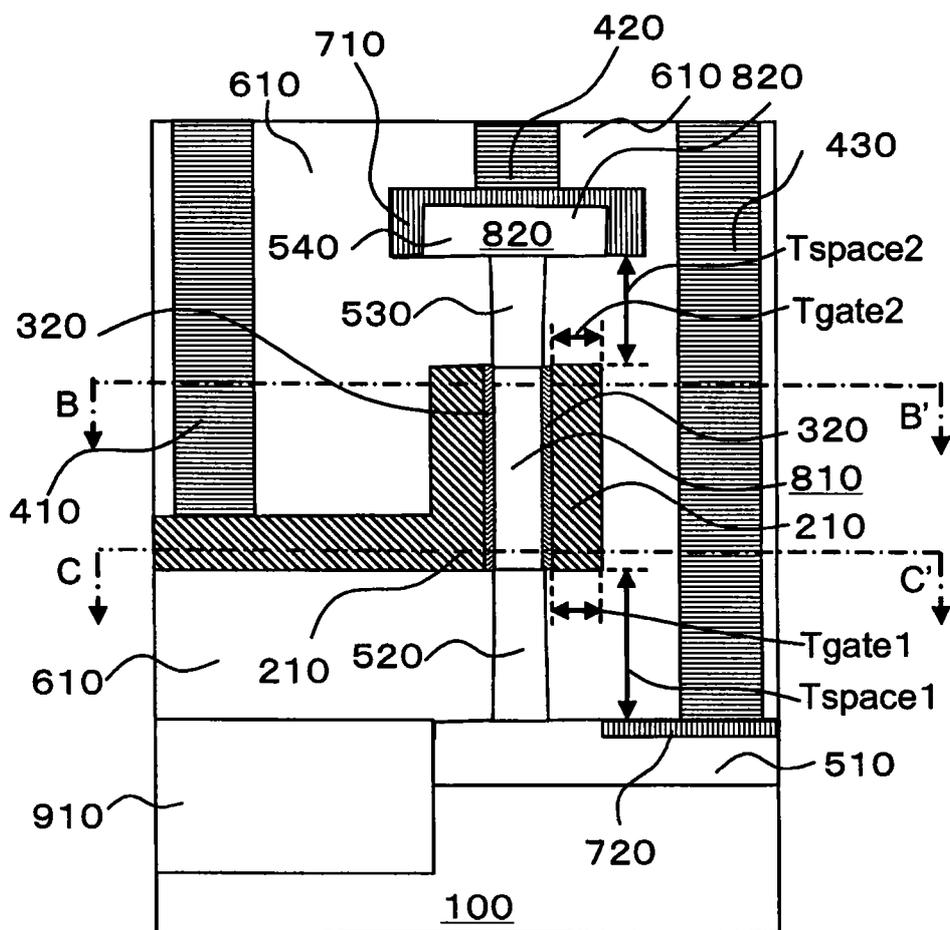


图 100

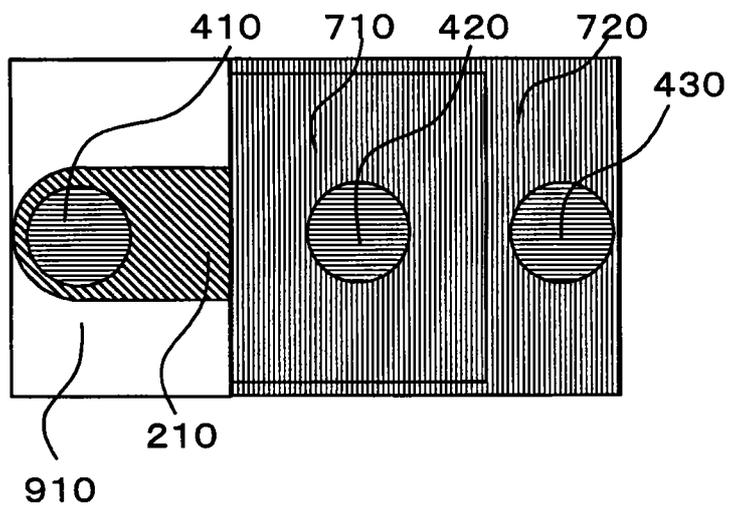


图 101

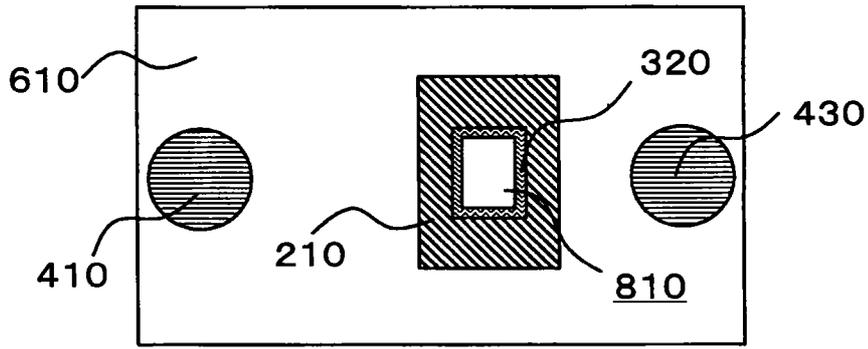


图 102

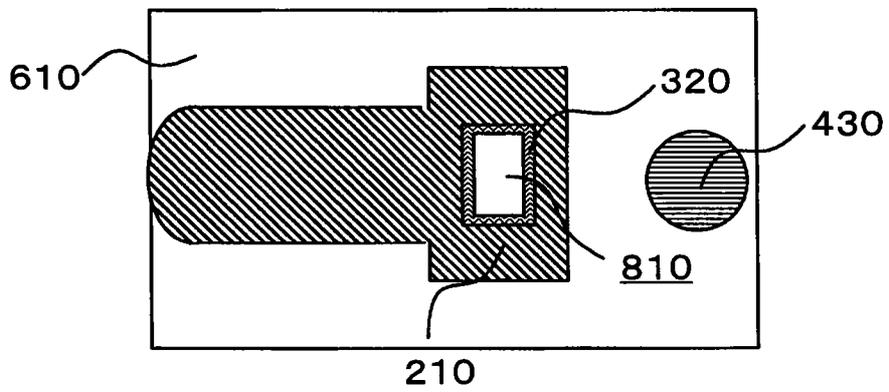


图 103

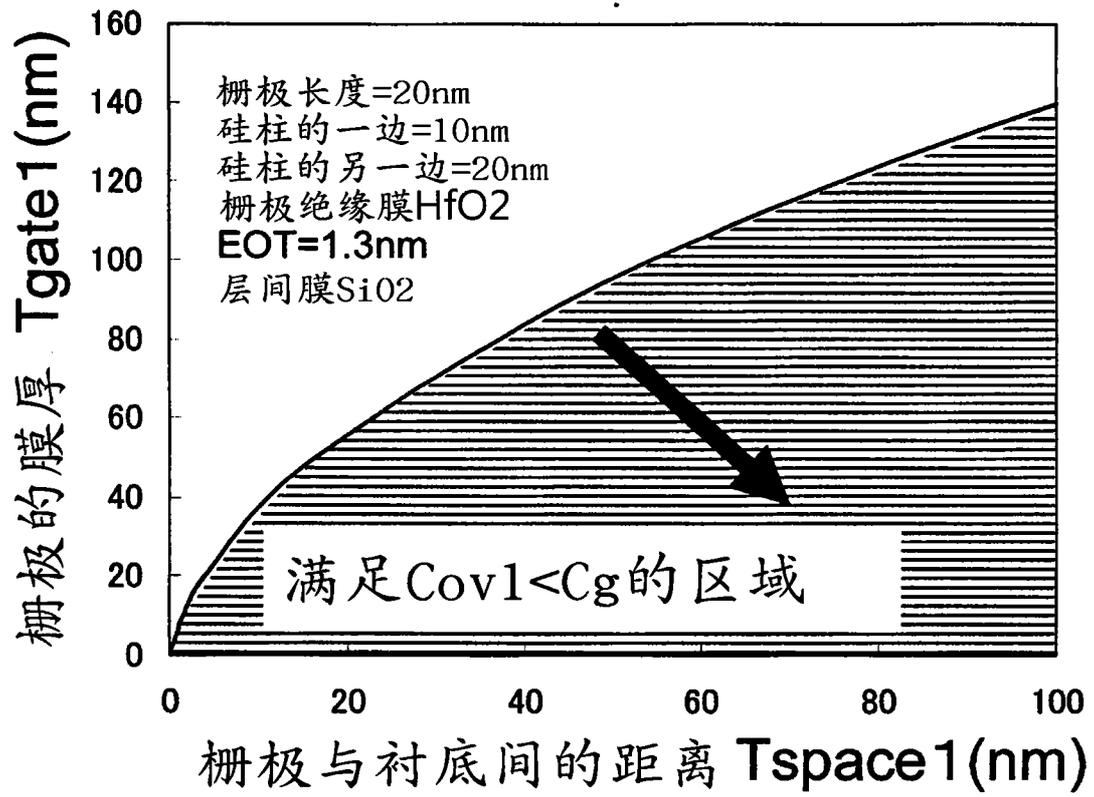


图 104

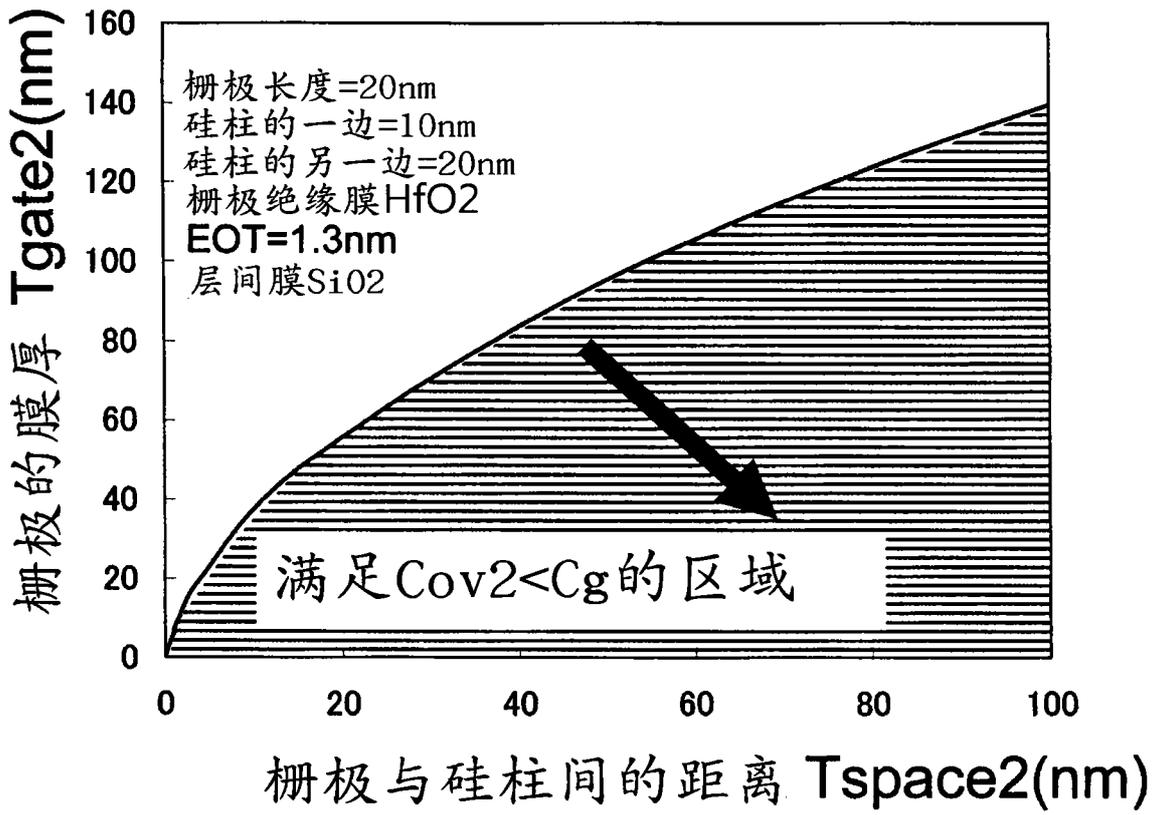


图 105

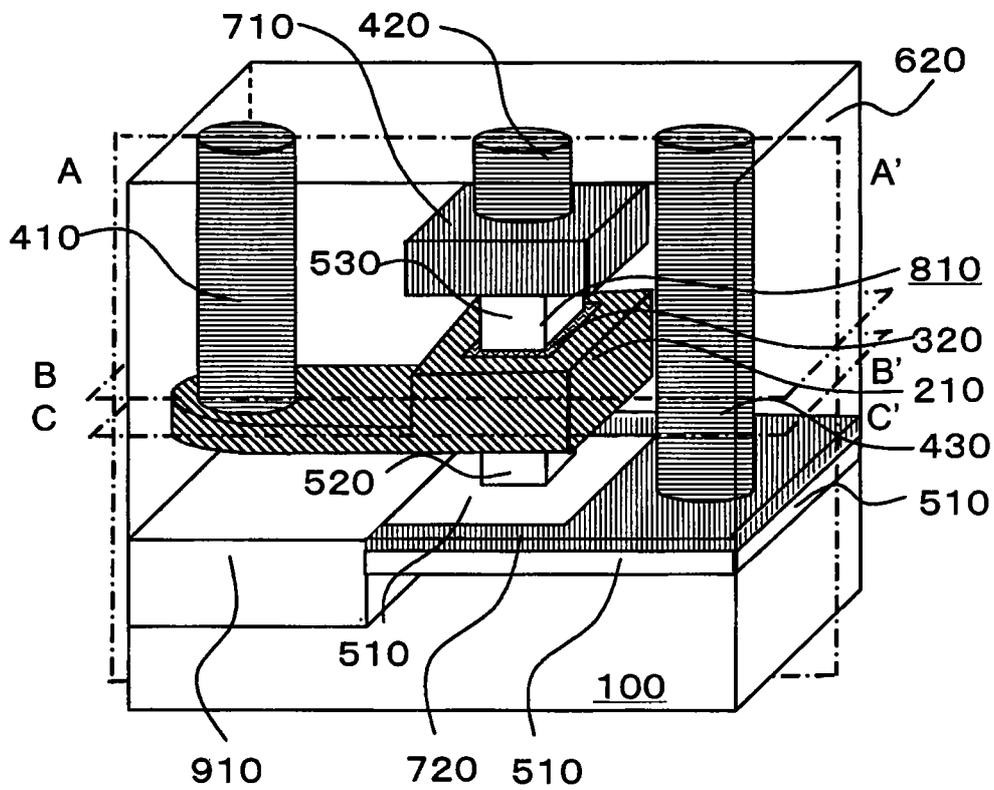


图 106

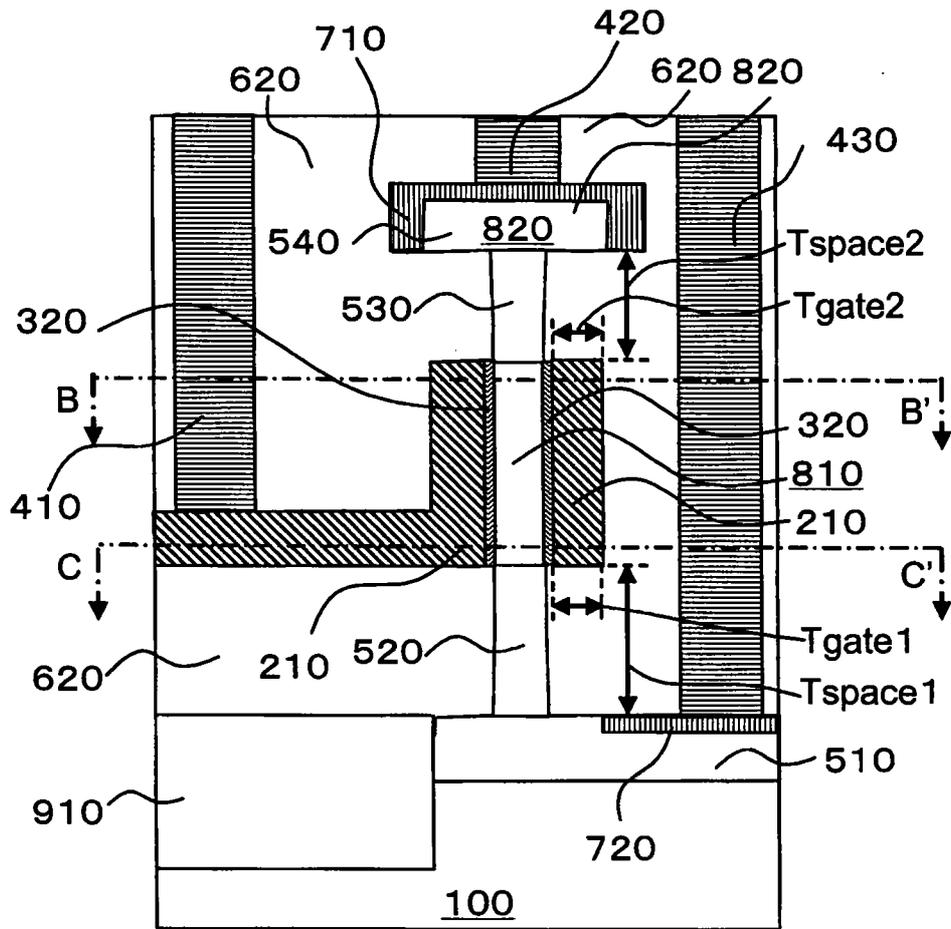


图 107

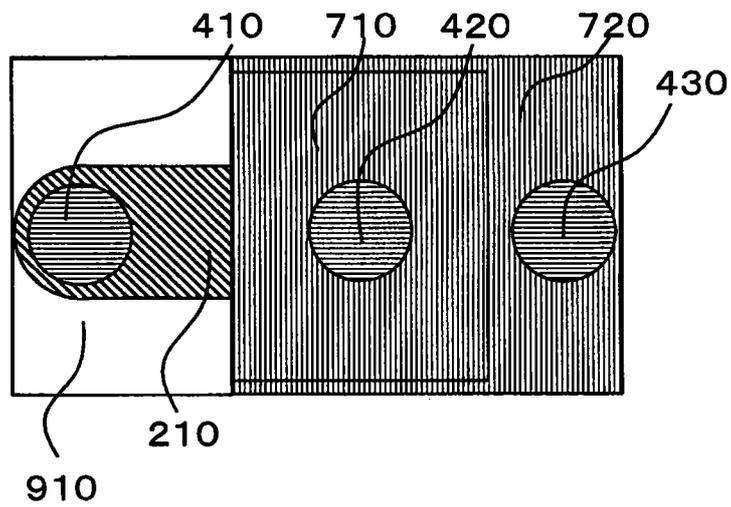


图 108

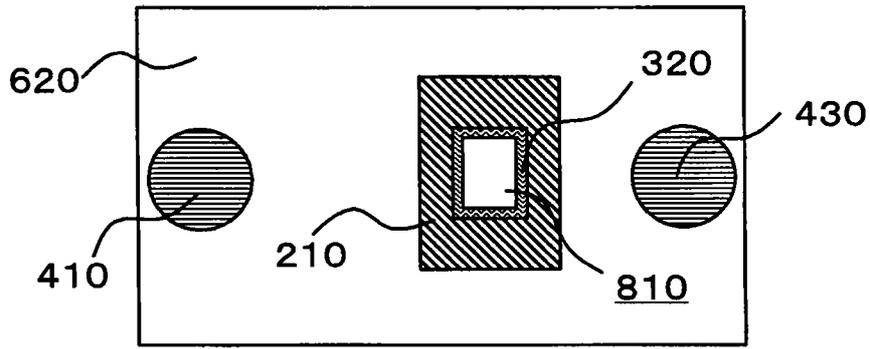


图 109

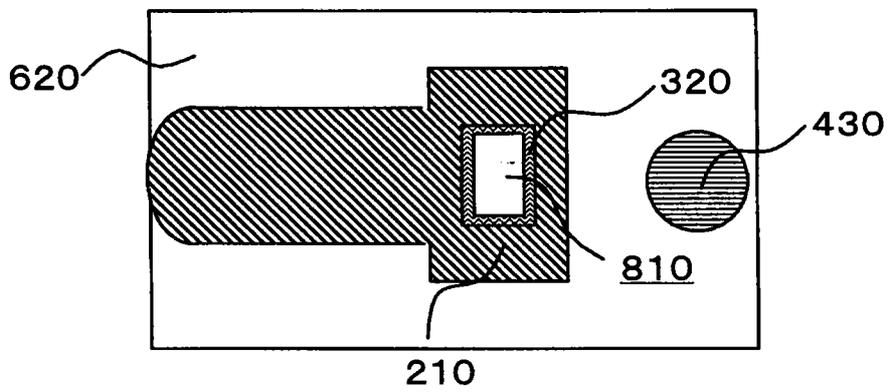


图 110

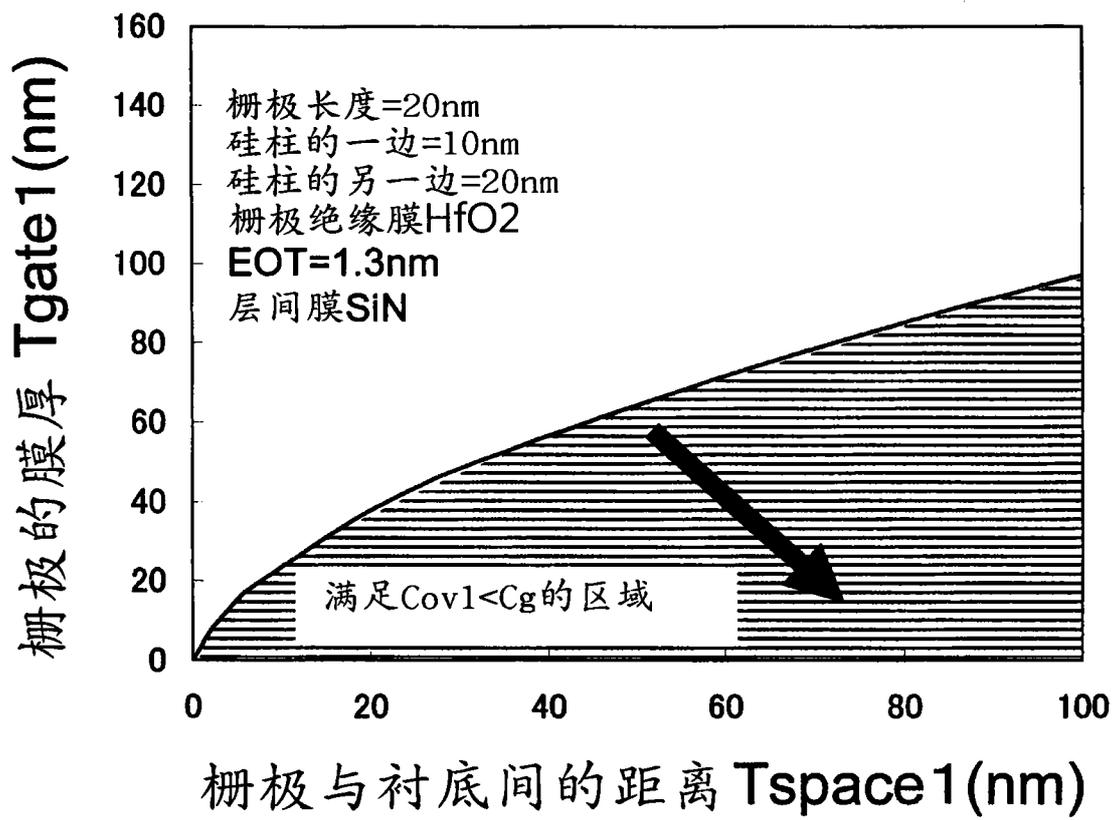


图 111

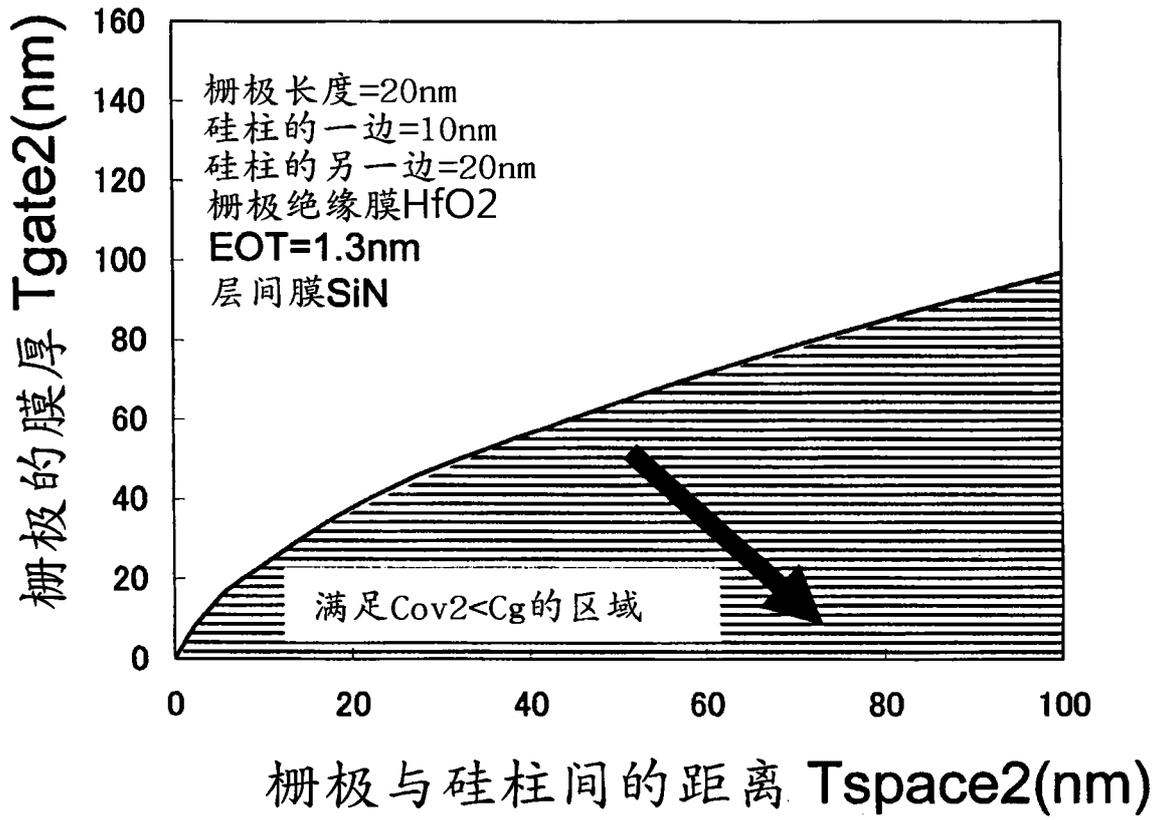


图 112

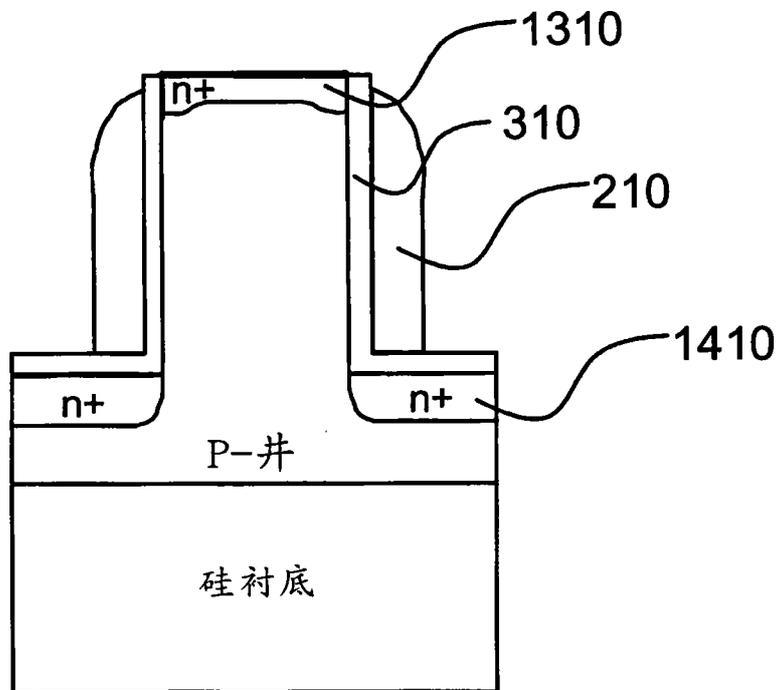


图 113

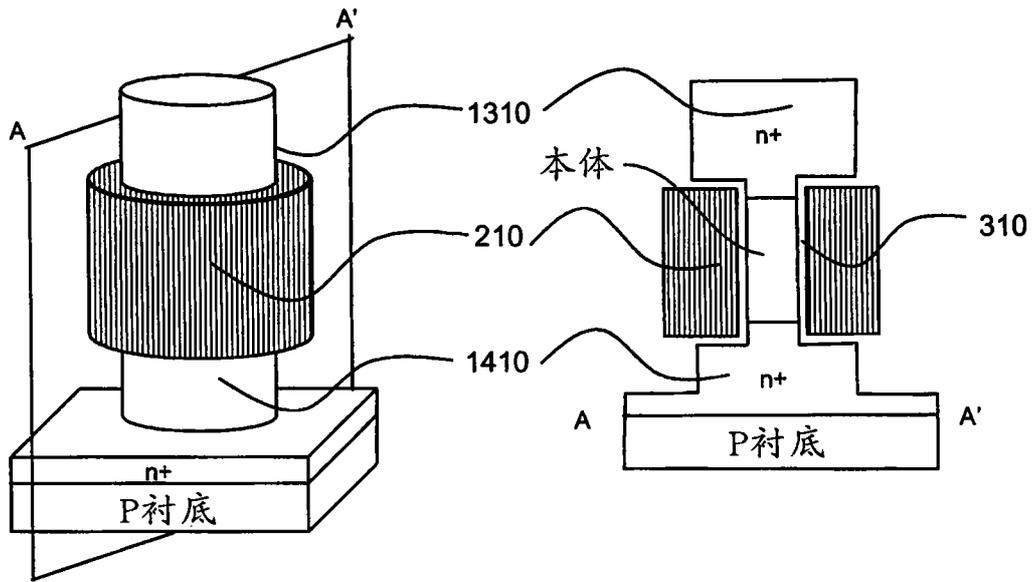


图 114

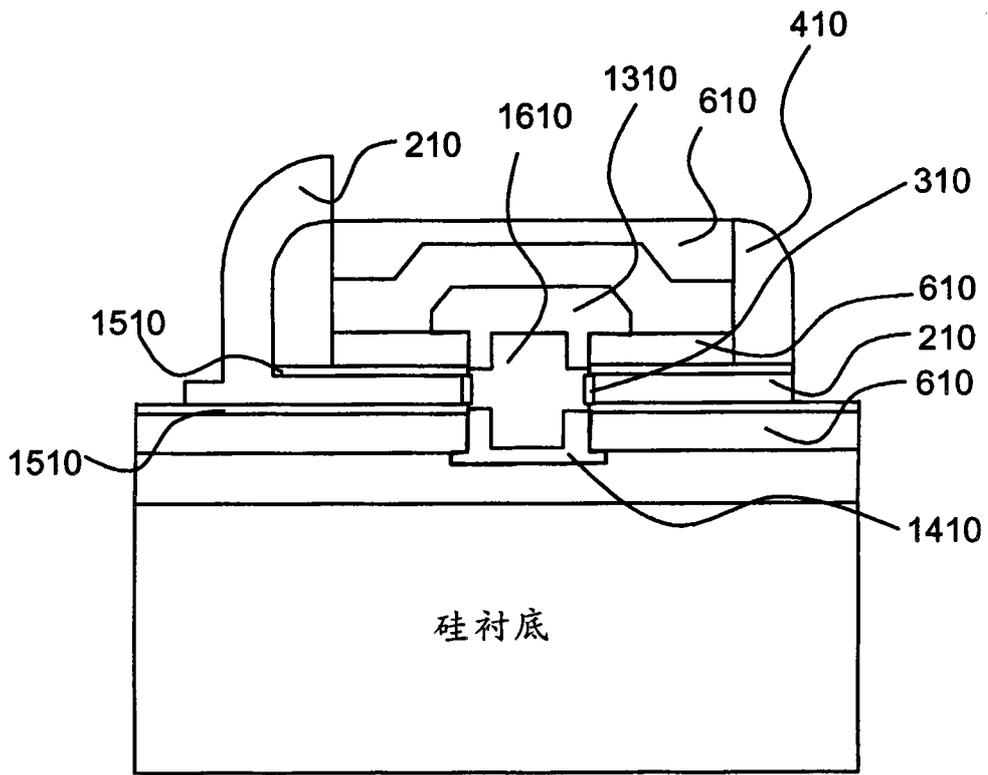


图 115

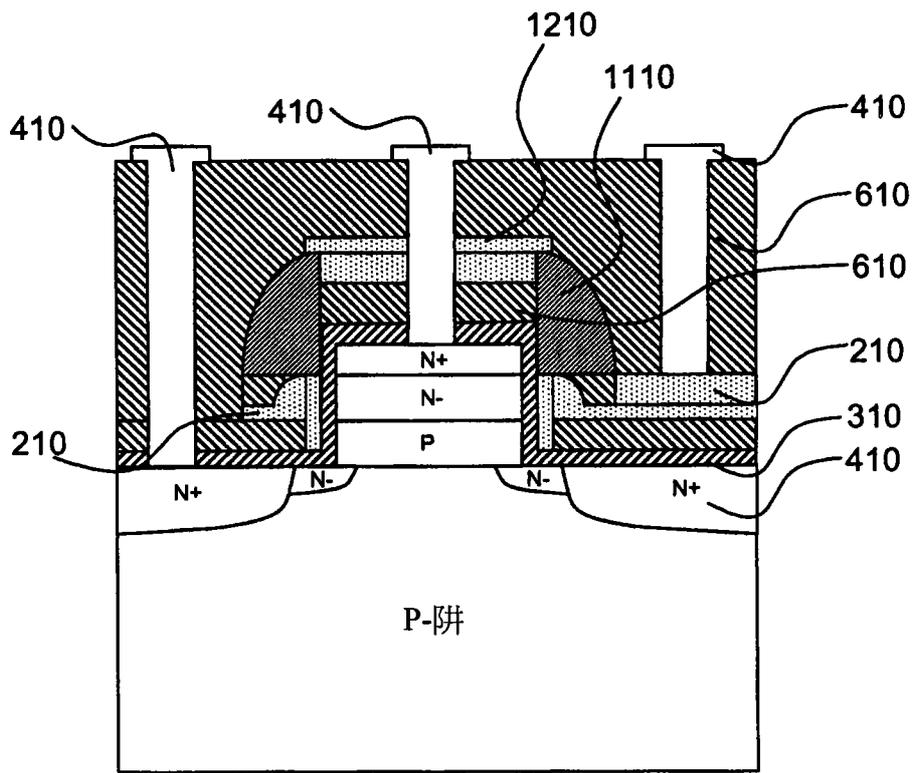


图 116