

(19) 日本国特許庁 (JP)

(12) 特 許 公 報 (B2)

(11) 特許番号

特許第5632694号
(P5632694)

(45) 発行日 平成26年11月26日 (2014.11.26)

(24) 登録日 平成26年10月17日 (2014.10.17)

(51) Int. Cl.	F I
H O 1 L 43/08 (2006.01)	H O 1 L 43/08 S
H O 1 L 43/12 (2006.01)	H O 1 L 43/08 Z
G 1 1 B 5/39 (2006.01)	H O 1 L 43/12
	G 1 1 B 5/39

請求項の数 16 (全 29 頁)

(21) 出願番号	特願2010-223722 (P2010-223722)	(73) 特許権者	000005108
(22) 出願日	平成22年10月1日 (2010.10.1)		株式会社日立製作所
(65) 公開番号	特開2011-97046 (P2011-97046A)		東京都千代田区丸の内一丁目6番6号
(43) 公開日	平成23年5月12日 (2011.5.12)	(74) 代理人	110000855
審査請求日	平成25年5月22日 (2013.5.22)		特許業務法人浅村特許事務所
(31) 優先権主張番号	09174576.0	(72) 発明者	小川 晋
(32) 優先日	平成21年10月30日 (2009.10.30)		イギリス国 CB3 OFZ ケンブリッ
(33) 優先権主張国	欧州特許庁 (EP)		ジシャー・ケンブリッジ、チャールズ・バ
			ベッジ・ロード 6、B3
		(72) 発明者	デイビッド ウィリアムズ
			イギリス国 CB1 2EB ケンブリッ
			ジシャー・ケンブリッジ、グresham・プ
			レース 3

最終頁に続く

(54) 【発明の名称】 磁気抵抗デバイス

(57) 【特許請求の範囲】

【請求項 1】

表面を有する基板と、
細長半導体チャネルと、
該チャネルへの接点の組を提供する少なくとも2つの導電性リードを含む磁気抵抗デバイスであって、

前記チャネルは前記表面上に形成されて第一方向に伸びており、

前記2つの導電性リードは前記チャネルと前記接点の組で接し、かつ前記第一方向に対して垂直方向に配置されており、

前記チャネルと前記少なくとも2つの導電性リードとは、前記第一方向と前記表面とに垂直な第二方向に前記基板に対して積重ねられ、

前記磁気抵抗デバイスは、前記チャネルに沿って前記第一方向と前記第二方向に平行な側面を有し、該側面に対し略垂直な方向の磁場に対して反応することを特徴とする磁気抵抗デバイス。

【請求項 2】

請求項1記載の磁気抵抗デバイスにおいて、さらに、前記チャネルと接触した半導体シャントを含み、該シャント、前記チャネル及び前記接点の組は、前記第二方向に基板に対して積重ねられていることを特徴とする磁気抵抗デバイス。

【請求項 3】

請求項2記載の磁気抵抗デバイスにおいて、前記チャネルは、不純物添加がなされてい

10

20

ないか、あるいは、前記チャネルは、前記シャントより軽く不純物添加がなされていて、前記シャントとは反対の導電性を有することを特徴とする磁気抵抗デバイス。

【請求項 4】

請求項 2 又は 3 記載の磁気抵抗デバイスにおいて、前記シャントは単結晶であることを特徴とする磁気抵抗デバイス。

【請求項 5】

請求項 2 乃至 4 記載のいずれかの磁気抵抗デバイスにおいて、前記シャントはケイ素を含むことを特徴とする磁気抵抗デバイス。

【請求項 6】

請求項 2 乃至 5 記載のいずれかの磁気抵抗デバイスにおいて、さらに、前記シャントに接した導電性層を含み、前記シャントは、前記導電性層と前記チャネルとの間に置かれていることを特徴とする磁気抵抗デバイス。

10

【請求項 7】

請求項 6 記載の磁気抵抗デバイスにおいて、前記導電性層はケイ素を含むことを特徴とする磁気抵抗デバイス。

【請求項 8】

請求項 6 又は 7 記載の磁気抵抗デバイスにおいて、前記導電性層は基板の最上位層を含むことを特徴とする磁気抵抗デバイス。

【請求項 9】

請求項 6 又は 7 記載の磁気抵抗デバイスにおいて、前記導電性層はケイ化金属 (metal silicide) を含むことを特徴とする磁気抵抗デバイス。

20

【請求項 10】

請求項 1 乃至 9 記載のいずれかの磁気抵抗デバイスにおいて、前記チャネルは、第二半導体層と、第三半導体層の一部とを含み、前記第二半導体層は、前記シャントと前記第三半導体層との間に置かれることを特徴とする磁気抵抗デバイス。

【請求項 11】

請求項 10 記載の磁気抵抗デバイスにおいて、前記第二半導体層と前記第三半導体層の部分とは単結晶であり、及び / 又は、前記第三半導体層の他の部分は非結晶性であることを特徴とする磁気抵抗デバイス。

【請求項 12】

30

請求項 1 乃至 11 記載のいずれかの磁気抵抗デバイスにおいて、前記チャネルは、ケイ素又はケイ素ゲルマニウム (silicon-germanium) を含むことを特徴とする磁気抵抗デバイス。

【請求項 13】

請求項 1 乃至 12 記載のいずれかの磁気抵抗デバイスにおいて、さらに、誘電体層を含み、該誘電体層はトレンチ (溝) を含み、前記シャント及び少なくとも前記チャネルの一部は、前記トレンチ (溝) の中に形成されていることを特徴とする磁気抵抗デバイス。

【請求項 14】

請求項 1 乃至 13 記載のいずれかの磁気抵抗デバイスにおいて、前記少なくとも 2 つのリードは、ケイ素及び / 又はケイ化金属を含むことを特徴とする磁気抵抗デバイス。

40

【請求項 15】

請求項 1 乃至 14 記載のいずれかの磁気抵抗デバイスにおいて、さらに、追加のリードを含み、該リードは、前記チャネルへのさらに別の接点を与え、前記チャネルは、前記さらに別の接点と、接点の組との間に置かれていることを特徴とする磁気抵抗デバイス。

【請求項 16】

請求項 1 乃至 15 記載のいずれかの磁気抵抗デバイスにおいて、さらに、第一及び第二磁気遮蔽層を含み、前記シャント、前記チャネル及び前記接点の組は、前記第一及び第二磁気遮蔽層の間に置かれていることを特徴とする磁気抵抗デバイス。

【発明の詳細な説明】

【技術分野】

50

【 0 0 0 1 】

本発明は磁気抵抗デバイスに関するものであり、次のものに限定するものではないが、特にハードディスクドライブの読出しヘッドとして用いられるものに関する。

【 背景技術 】

【 0 0 0 2 】

ハードディスクドライブ (HDD) (又は、“磁気ディスクドライブ”) は、高密度情報記憶のために広く用いられている。HDDは、この種類の記憶を伝統的に備えたサーバやデスクトップコンピュータなどの計算機システムでは、普通に採用されているものである。しかし、例えば1インチドライブなどの、小型ハードディスク機構のHDDは、音楽プレーヤやデジタルカメラなどの携帯型電子装置にも採用されている。

10

【 先行技術文献 】

【 特許文献 】

【 0 0 0 3 】

【 特許文献 1 】 EP 1 868 254 A

【 特許文献 2 】 EP 08 157 887.4

【 特許文献 3 】 US 2006/0022672 A1

【 特許文献 4 】 EP 08 157 888.2

【 非特許文献 】

【 0 0 0 4 】

【 非特許文献 1 】 エス・エー・ソリン (S. A. Solin)、ティー・ティオ (T. Thio)、ディー・アール・ハインズ (D. R. Hines)、ジェイ・ジェイ・ヘレマン (J. J. Heremans) 著、“非均質ナローギャップ半導体における拡張された室温幾何学的磁気抵抗” (Enhanced Room-Temperature Geometric Magnetoresistance in Inhomogeneous Narrow-Gap Semiconductors)、サイエンス誌、第 289 巻、1530 ページ、2000 年発行

20

【 非特許文献 2 】 エス・エー・ソリン (S. A. Solin)、ディー・アール・ハインズ (D. R. Hines)、エー・シー・エイチ・ロー (A. C. H. Rowe)、ジェイ・エス・ツァイ (J. S. Tsai)、ユー・エー・パシュキン (Yu A. Pashkin) 著、“異常磁気抵抗を用いたナノレベルの磁場センサ” (Nanoscopic magnetic field sensor based on extraordinary magnetoresistance)、真空科学及び技術誌 (Journal of Vacuum Science and Technology)、B 21 巻、3002 ページ、2003 年発行

30

【 発明の概要 】

【 発明が解決しようとする課題 】

【 0 0 0 5 】

HDDの高密度情報記憶は、記憶密度を向上させることにより実現することができる。現在、記憶密度は、およそ年毎に倍増しており、磁気記憶媒体に縦方向に配置したビットセルへのデータ記録や、いわゆる“スピン値”読出しヘッドを用いたデータ読出しなどの、既存の技術を用いて達成できる最大の記憶密度は、概ね 100 Gb/in^2 である。

【 0 0 0 6 】

しかし、HDDの記憶密度は増加を続けているため、記憶媒体と読出しヘッドは、超常磁性効果の問題を抱えている。

40

【 0 0 0 7 】

超常磁性効果は、強磁性体結晶粒が十分に小さいため、結晶粒の磁化方向を変化させるために必要なエネルギーが熱エネルギーと同等となる場合に生じる。従って、結晶粒の磁化は、変動の影響を受けるため、データ破壊に到ることもある。

【 0 0 0 8 】

記憶媒体については、この問題に対して解決策が示されている。その解決策は、記録媒体の表面に対して(長手方向ではなく)垂直方向にビットセルを配置することにより、各ビットセルを十分大きくして、超常磁性効果を回避できるというものである。

【 0 0 0 9 】

読出しヘッド側で、この問題を解決するために、強磁性材料を用いることを避け、いわ

50

ゆる、異常磁気抵抗 (E M R) 効果の利点を生かす提案がなされている。

【 0 0 1 0 】

E M R 効果を有するデバイスは、エス・エー・ソリン (S . A . Solin)、ティー・ティ
オ (T . Thio)、ディー・アール・ハインズ (D . R . Hines)、ジェイ・ジェイ・ヘレマン
(J . J . Heremans) 著、“非均質ナローギャップ半導体における拡張された室温幾何学的
磁気抵抗”サイエンス誌、第 2 8 9 巻、1 5 3 0 ページ、2 0 0 0 年発行に記載されてい
る。このデバイスはファンデルポール構成 (van der Pauw configuration) で配置され、非
磁性アンチモン化インジウム (InSb) のディスクに同心状に埋め込まれた金不均質体 (g o
l d inhomogeneity) を含んでいる。磁場がゼロ ($H = 0$) の場合、電流は金不均質体を流
れる。しかし、磁場がゼロでない ($H \neq 0$) 場合には、金不均質体の周囲の円環を貫通す
る磁場の境界線分布に対して、電流は垂直に屈曲する。これにより、コンダクタンスが下
がる。

10

【 0 0 1 1 】

現在、アンチモン化インジウム (300 ° K で、 $\mu_n = 7 \times 10^4 \text{ cm}^2 \text{ V}^{-1} \text{ s}^{-1}$)、砒化インジウム
(300 ° K で、 $\mu_n = 3 \times 10^4 \text{ cm}^2 \text{ V}^{-1} \text{ s}^{-1}$)、砒化ガリウム (300 ° K で、 $\mu_n = 8.5 \times 10^3 \text{ cm}^2 \text{ V}^{-1} \text{ s}^{-1}$
) などの、低キャリア密度を有する高移動性狭ギャップ半導体は、E M R を用いた読み
ヘッドの材料として最良の候補とされている。

【 0 0 1 2 】

エス・エー・ソリン (S . A . Solin)、ディー・アール・ハインズ (D . R . Hines)、エ
ー・シー・エイチ・ロー (A . C . H . Rowe)、ジェイ・エス・ツァイ (J . S . Tsai)、ユ
ー・エー・パシュキン (Yu A . Pashkin) 著、“異常磁気抵抗を用いたナノレベルの磁場
センサ”、真空科学及び技術誌 (Journal of Vacuum Science and Technology)、B 2 1
巻、3 0 0 2 ページ、2 0 0 3 年発行には、砒化インジウム / アンチモン化インジウムア
ルミニウム (InSb / $\text{In}_{1-x}\text{Al}_x\text{Sb}$) の量子井戸ヘテロ構成を含むホールバー型構成 (Hall ba
r-type arrangement) を有するデバイスが記載されている。

20

【 0 0 1 3 】

このデバイスの欠点は、活性層を保護し閉じこめるために、厚い (すなわち、概ね 7 5
n m) パッシベーション層と、窒化ケイ素の層の形状を有する絶縁膜とを必要とする点に
ある。これにより、チャネルと磁気媒体との間の分離が向上するため、磁場の強度を弱め
ることとなり、結果として出力信号の強度が下がる。

30

【 0 0 1 4 】

ケイ素は、保護を必要とせず、ケイ素に由来した磁気抵抗特性を有する磁場センサが知
られている。

【 0 0 1 5 】

例えば、EP 1 868 254 A は、ケイ素で形成したチャネルを有し、E M R 効果を有するデ
バイスを記載している。ケイ化チタン又は高濃度で不純物添加されたケイ素で形成され
た導体は、シャントとして作用し、これが、チャネルの片側面に沿ってチャネルに接続し
ている。複数のリードは、チャネルの反対側に、チャネルに沿って間隔を置いて接続し
ている。これにより、チャネル、シャント及びリードは、デバイスを構成する層に垂直な方
向の磁場に対して反応する側面 E M R デバイス又は“平面状” E M R デバイスを形成するも
のとなる。

40

【 0 0 1 6 】

2 0 0 8 年 6 月 9 日出願の欧州特許出願番号 EP 08 157 887.4 (E P C 5 4 条 (3))
には、ケイ素で形成されたチャネルを有し、細長いチャネルを含む平面状 E M R デバイ
スが記載されている。シャントが、チャネルの片側面に沿ってチャネルに接続しており、複
数のリードの組が、チャネルの反対側面に沿って接続している。このデバイスは、チャ
ネルに反転層を形成するための上面ゲート構造も含んでいる。

【 0 0 1 7 】

US 2006/0022672 A1 には、III-V ヘテロ構造で形成された、他の平面状 E M R デバイ
スが記載されている。

50

【 0 0 1 8 】

2 0 0 8 年 6 月 9 日出願欧州特許出願番号EP 08 157 888.2 (E P C 5 4 条 (3)) に
は、ケイ素で形成されたチャンネルを有する (非 E M R) 磁気抵抗デバイスが記載されてい
る。複数のリードの組が、チャンネルの片側面に沿ってチャンネルに接続している。シャント
は、オプションとして、チャンネルの下に設けられていてもよい。このデバイスは、チャネ
ルに反転層を形成するための上面ゲート構造も含んでいる。

【 0 0 1 9 】

平面状 E M R デバイス及び、類似の種類の平面状 E M R デバイスは、例えば、電流経路
を屈曲させるためにローレンツ力を用いており、及びノ又はホール効果を用いているが、
H D D の磁気ヘッドスライダを製造する際に用いられる既存の製造プロセス、特に、空気
ベアリング面を形成する際に用いられるラッピング処理とは、一般的には両立が難しいも
のとなっている。

10

【課題を解決するための手段】

【 0 0 2 0 】

本発明は、この問題を解決しようとするものである。

【 0 0 2 1 】

本発明の第一の様態によれば、基板と、第一方向に伸びた細長半導体チャンネルと、チャ
ネルへの接点の組を提供する少なくとも 2 つの導電性リードとを含む磁気抵抗デバイスが
設けられ、チャンネルと接点の組は、第一方向と基板面とに垂直な第二方向で基板に対して
積重ねられ (stacked)、該デバイスは、チャンネルに沿って側面を有し、側面に対し一般
的に垂直な方向の磁場に対して反応 (responsive) する。

20

【 0 0 2 2 】

従って、デバイスは、既存の平面型 M R デバイスと対比して、既存のスライダ形成技術
を適用できる垂直型 M R デバイス又は積層 M R デバイスを提供することができる。特に、
側面は、空気ベアリング面 (air bearing surface) の一部を形成することができる。

【 0 0 2 3 】

さらに、デバイスは、チャンネルと接触した半導体シャント (semiconductor shunt) を
含んでいる。

【 0 0 2 4 】

チャンネルは、不純物添加がなされていない (即ち、ドーピングされていない) か、あるいは
、シャントほどには不純物添加がなされていない (即ち、シャントより軽くドーピングされて
いる) ものであってよく、リード及びノ又はシャントに対して反対の導電性を有していて
もよい。例えば、チャンネルは P ⁻ 型であってもよい。シャントは、単結晶であってもよい
。シャントは、ケイ素 (silicon : シリコン) を含んでいてもよい。シャントは、 n ⁺ 型
であってもよい。

30

【 0 0 2 5 】

不純物添加のないケイ素を元にした材料をチャンネルに用い、多量に不純物添加されたケ
イ素を元にした材料をシャントとリードに用いることにより、十分に高い抵抗値と、十分
に大きな出力信号と、十分に低いジョンソン雑音とを有する磁気抵抗デバイスを実現する
ことができる。

40

【 0 0 2 6 】

デバイスは、オプションのシャントに接触した導電性層を含んでいてもよく、このオプ
ションのシャントは、チャンネルと導電性層との間に置かれている。導電性層は、ケイ素を
含んでいてもよい。導電性層は、基板の最上位層を含んでいてもよい。導電性層は、ケイ
化金属 (metal silicide) を含んでいてもよい。

【 0 0 2 7 】

チャンネルは、第二半導体層と、第三半導体層の一部とを含むものであってよく、この第
二半導体層は、オプションのシャントと、第三半導体層との間に置かれる。第二半導体層
及び第三半導体層は、単結晶であってよい。第三半導体層の他の部分は、非結晶性であ
ってよい。第二半導体層は、ケイ素またはケイ素ゲルマニウム (silicon-germanium) を含

50

んでいてもよい。

【0028】

デバイスは、さらに、誘電体層を含んでいてもよく、この誘電体層はトレンチ（溝）を有しており、トレンチ（溝）内には、オプションのシャントと、チャンネルの少なくとも一部とが形成されている。

【0029】

少なくとも2つのリードは、半導体材料を含み、 n^+ 型であってもよい。少なくとも2つのリードは、ケイ素及び/又はケイ化金属を含むものであってよい。

【0030】

デバイスは、追加のリードを含むものであってよく、このリードは、チャンネルへのさらに別の接点を提供し、チャンネルは、さらに別の接点と、複数の接点の組との間に置かれている。

10

【0031】

デバイスは、さらに、第一及び第二磁場遮蔽層（magnetic field shielding layers）を含むものであってよく、オプションのシャント、チャンネル及び複数の接点の組は、第一磁場遮蔽層と第二磁場遮蔽層との間に置かれている。

【0032】

基板は、オプションとして、AlTiC基板の形態の、磁気ヘッドスライダ基板を含んでいてもよい。

【0033】

20

本発明の第二の様態によれば、磁気ディスクドライブのための磁気ヘッドスライダが提供され、スライダはデバイスを含んでいる。

【0034】

本発明の第三の様態によれば、ハウジングを含む磁気ディスクドライブが提供され、ハウジング内には磁気媒体が搭載され、磁気ヘッドスライダは、磁気媒体と隣接して動作するために、ハウジング内に設けられている。

【0035】

本発明の第四の様態によれば、磁気抵抗デバイスを製造する方法が提供され、この方法は、表面を有する基板を提供するステップと、細長半導体チャンネルを形成するステップであって、チャンネルが第一方向に伸びていることを特徴とするステップと、チャンネルに対して複数の接点の組を提供する少なくとも2つのリードを、第一方向と基板の表面とに対して垂直な第二方向に、チャンネルと複数の接点の組とを積重ねるように形成するように形成するステップとを含み、さらに、チャンネルに沿った面を形成するステップを含み、本デバイスは、面に対して一般的に垂直な磁場に反応する。

30

【0036】

本方法は、さらに、基板の表面上に半導体シャントを形成するステップを含んでいてもよい。

【0037】

本方法は、さらに、基板の表面上に誘電体層を形成するステップを含んでいてもよく、この誘電体層は、基板の表面を露出させて、基板上にシャント又はチャンネルを選択的に形成するトレンチ（溝）を有している。

40

【0038】

本基板は、最上位の半導体層を含んでもよく、本方法は、さらに、最上位の半導体層に第一半導体層を選択的に形成するステップを含んでいてもよい。第一半導体層を選択的に形成するステップは、最上位の半導体層に第一半導体層をエピタキシャル成長させるステップを含んでいてもよい。

【0039】

本方法は、さらに、第一半導体層又は基板上に第二半導体層を選択的に形成するステップを含んでいてもよい。第二半導体層を選択的に形成するステップは、第二半導体層チャンネルをエピタキシャル成長させるステップを含んでいてもよい。

50

【0040】

本方法は、第二又は第三半導体層と誘電体層との上に第三半導体層を形成するステップを含んでいてもよく、第三半導体層の一部は、第二又は第三半導体層の上に形成される。第二半導体層と、第三半導体層の一部とは、単結晶であってもよい。第三半導体層の他の部分は、非結晶性であってもよい。

【0041】

本方法は、さらに、第三半導体層上に、第二誘電体層を形成するステップであって、第二誘電体層が、第三半導体層の表面を露出させる複数のトレンチ（溝）の組を有することを特徴とするステップと、第三半導体層上にリードを選択的に形成するステップとを含んでいてもよい。

10

【0042】

リードを形成するステップは、第四半導体層をデポジットするステップを含んでいてもよい。リードを形成するステップは、第四半導体層をケイ化する（siliciding）ステップを含んでいてもよい。

【0043】

本方法は、基板の少なくとも一部を犠牲にするステップを含んでいてもよい。本デバイスは、基板上に形成された積層構造を含んでいてもよく、本方法は、さらに、他の基板を積層構造に接合するステップを含んでいてもよい。

【0044】

面（face）を形成するステップは、デバイスの縁をラッピング（lapping）するステップを含んでいてもよい。

20

【0045】

本発明の第五の様態によれば、磁気抵抗デバイスを製造し、磁気ヘッドスライダを製造する方法が提供される。

【0046】

本発明のいくつかの実施例を、添付の図面を例示として引用し、以下説明する。

【図面の簡単な説明】

【0047】

【図1】第一磁気抵抗デバイスの概略透視図

【図1a】図1に示した第一磁気抵抗デバイスのシャント、チャンネル層及びリードの、より詳細な概略透視図。

30

【図1b】図1に示した第一磁気抵抗デバイスのシャント、チャンネル及び接触領域の、より詳細な概略透視図。

【図2】図1に示した第一磁気抵抗デバイスの平面図。

【図3】図2に示した第一磁気抵抗デバイスの、線A-A'での断面図。

【図4】図1に示した第一磁気抵抗デバイスを動作させるための回路構成の概略図。

【図5】図1に示した第一磁気抵抗デバイスの検知領域（sensitive region）を示す図。

【図6】図1に示した第一磁気抵抗デバイスの電流電圧特性について、異なる3つの層厚みについてシミュレーションした結果を示す図。

【図7】図1に示した第一磁気抵抗デバイスの電流密度特性についてシミュレーションした結果を示す図。

40

【図8】図1に示した第一磁気抵抗デバイスの磁気抵抗特性についてシミュレーションした結果を示す図。

【図9a】第一磁気抵抗デバイスの多段階による製造を示す図。

【図9b】第一磁気抵抗デバイスの多段階による製造を示す図。

【図9c】第一磁気抵抗デバイスの多段階による製造を示す図。

【図9d】第一磁気抵抗デバイスの多段階による製造を示す図。

【図9e】第一磁気抵抗デバイスの多段階による製造を示す図。

【図9f】第一磁気抵抗デバイスの多段階による製造を示す図。

【図9g】第一磁気抵抗デバイスの多段階による製造を示す図。

50

- 【図 9 h】第一磁気抵抗デバイスの多段階による製造を示す図。
 【図 9 i】第一磁気抵抗デバイスの多段階による製造を示す図。
 【図 9 j】第一磁気抵抗デバイスの多段階による製造を示す図。
 【図 9 k】第一磁気抵抗デバイスの多段階による製造を示す図。
 【図 9 l】第一磁気抵抗デバイスの多段階による製造を示す図。
 【図 9 m】第一磁気抵抗デバイスの多段階による製造を示す図。
 【図 9 n】第一磁気抵抗デバイスの多段階による製造を示す図。
 【図 9 o】第一磁気抵抗デバイスの多段階による製造を示す図。
 【図 9 p】第一磁気抵抗デバイスの多段階による製造を示す図。
 【図 9 q】第一磁気抵抗デバイスの多段階による製造を示す図。 10
 【図 9 r】第一磁気抵抗デバイスの多段階による製造を示す図。
 【図 10】第二磁気抵抗デバイスの概略透視図。
 【図 11】図 10 に示した第二磁気抵抗デバイスを動作させるための回路構成の概略図。
 【図 12】第三磁気抵抗デバイスの概略透視図。
 【図 13】図 12 に示した第三磁気抵抗デバイスを動作させるための回路構成の概略図。
 【図 14】第四磁気抵抗デバイスの概略透視図。
 【図 14 a】図 14 に示した第四磁気抵抗デバイスのチャネル及び接触領域の、より詳細な概略透視図。
 【図 14 b】代替となる磁気抵抗デバイスのチャネル及び接触領域の、より詳細な概略透視図。 20
 【図 15】図 14 に示した第四磁気抵抗デバイスを動作させるための回路構成の概略図。
 【図 16】第五磁気抵抗デバイスの概略透視図。
 【図 17】図 16 に示した第五磁気抵抗デバイスを動作させるための回路構成の概略図。
 【図 18】第六磁気抵抗デバイスの概略透視図。
 【図 19】図 18 に示した第六磁気抵抗デバイスの断面図。
 【図 20 a】図 18 に示した第六磁気抵抗デバイスの複数段階の製造を示す図。
 【図 20 b】図 18 に示した第六磁気抵抗デバイスの複数段階の製造を示す図。
 【図 20 c】図 18 に示した第六磁気抵抗デバイスの複数段階の製造を示す図。
 【図 20 d】図 18 に示した第六磁気抵抗デバイスの複数段階の製造を示す図。
 【図 20 e】図 18 に示した第六磁気抵抗デバイスの複数段階の製造を示す図。 30
 【図 20 f】図 18 に示した第六磁気抵抗デバイスの複数段階の製造を示す図。
 【図 21】第七磁気抵抗デバイスの概略透視図。
 【図 22】第八磁気抵抗デバイスの概略透視図。
 【図 23】第九磁気抵抗デバイスの概略透視図。
 【図 24】第十磁気抵抗デバイスの概略透視図。
 【図 25】図 25 a 乃至図 25 c は、ハードディスクドライブ内のスライダの、磁気抵抗デバイスを含むヘッド素子部の製造を示す図。
 【図 26】スライダの製造方法の処理フローチャート。
 【図 27】スライダの概略透視図。
 【図 28】磁気ディスクドライブの概略平面図。 40
 【発明を実施するための形態】

【0048】

第一磁気抵抗デバイス 1

デバイス構造

図 1、図 1 a、図 1 b、図 2 及び図 3 に、第一磁気抵抗デバイス 1 を示す。

【0049】

デバイス 1 は、略平面基板 4 の表面 3 上に配置された層構造 2 を含んでいる。基板 4 は、半導体基部 5（以下、“ハンドル層”（handle layer）と称する）と、埋込絶縁層（buried insulator layer）6 と、厚さ t_1 を有する半導体最上位層 7 とを含む、半導体オンインシュレータ型（semiconductor-on-insulator）基板の形状となっている。以下で詳説 50

するように、半導体表面層 7 は、後続の層 8、9、10 a のエピタキシャル成長のためのシード層として用いられる。半導体基部 5 及び埋込絶縁層 6 は、犠牲層となりうる。他の基板 6 4 (図 19) は、デバイスの残りの反対側上の面 6 5 (図 19) 上に接合される。

【0050】

本例においては、シリコンオンインシュレータ型 (silicon-on-insulator) 基板 4 を用いる。従って、半導体基部 5 はケイ素 (Si) を含み、埋込絶縁層 6 は二酸化ケイ素 (SiO_2) を含み、シード層 7 は単結晶ケイ素 (Si) を含んでいる。本例においては、シード層 7 は、概ね 1 nm の厚み t_1 を有する。

【0051】

層構造 2 は、シード層 7 上に成長させた厚さ t_2 を有する半導体材料の第一層 8 と、第一半導体層 8 上に成長させた厚さ t_3 を有する半導体材料の第二層 9 と、第二半導体層 9 上に成長させた厚さ t_4 を有する半導体材料の第三層 10 の一部 10 a とを含んでいる。第一及び第二半導体層 8、9 と、第三半導体層 10 の一部 10 a とは、エピタキシャル層であり、単結晶である。以下で詳説するように、第三半導体層 10 は、非晶性の別の部分 10 b を含んでいる。

【0052】

第一半導体層 8 は、 n^+ 型 (すなわち、 n 型であり、 10^{20} cm^{-3} 又は 10^{21} cm^{-3} のオーダまで不純物添加したもの) である。第二及び第三半導体層 9、10 は、不純物添加がないもの (すなわち、真性 (intrinsic)) であるか、 p^- 型 (すなわち、 p 型であり、 10^{15} cm^{-3} と 10^{18} cm^{-3} の間のオーダの濃度で不純物添加したもの) とすることができる。いくつかの実施形態においては、第二及び第三半導体層 9、10 は、 n^- 型 (すなわち、 n 型であり、 10^{15} cm^{-3} と 10^{18} cm^{-3} の間のオーダの濃度で不純物添加したもの) とすることができる。

【0053】

第二半導体層 9 と、第三半導体層 10 の一部 10 a とは、アクティブ・センサ・チャネル 11 を形成している。従って、第二半導体層 9 と、第三半導体層 10 の一部 10 a とは、ここでは、各々、第一及び第二チャネル層 9、10 と称する。より高い濃度で不純物添加した第一半導体層 8 は、チャネル 11 からの電流をシャント (Shunt) させることができる低抵抗の導電性領域を提供する。従って、ここでは、第一半導体層 8 を “シャント層” 又は単に “シャント” と称する。例えば、シャント 8 には、濃度 10^{20} cm^{-3} 又は 10^{21} cm^{-3} のオーダまでヒ素を不純物添加してもよい。いくつかの実施形態においては、第一半導体層 8 (すなわち、シャント) を省いてもよい。

【0054】

本例においては、シャント層及びチャネル層 8、9、10 a は、全て、ケイ素 (Si: シリコン) で形成されている。しかし、シャント層 8 及び / 又はチャネル層 9、10 a は、例えば、10% のゲルマニウム成分 (すなわち、 $x = 0.1$) を有する、ケイ素ゲルマニウム (silicon-germanium) ($\text{Si}_{1-x}\text{Ge}_x$) で形成することができる。

【0055】

シャント 8 は、概ね 1 nm の厚み t_2 を有し、第一チャネル層 9 は、概ね 1 nm の厚み t_3 を有している。

【0056】

シャント層及びチャネル層 8、9、10 a は、各々、概ね 1 nm と 10 nm の間の厚みを有するものであってよい。しかし、層 8、9、10 a は、デバイスの抵抗値を抑えるように、できるだけ薄く形成することが好ましい。

【0057】

チャネル 11 は、第一長手方向 14 (ここでは、 x 軸と記す) の第一及び第二端点 12、13 の間の、一般的に長さ L を有する細長の部分である。本例においては、長さ L は、概ね 150 nm である。第一、第二及び第三方向 14、15、16 は互いに直交している。第二方向 15 は、層が積重なっている方向 (ここでは、 y 軸と記す) である。第二方向 15 は、基板 4 の表面 3 に対して法線方向である。ここでは、第二方向 15 は、“垂直方

10

20

30

40

50

向”又は“積層方向”とも称される。チャンネル 11 は、第一及び第二縁（又は“側面”）17、18間の、第三方向 16（ここでは、z 軸と記す）の幅 W を有する。本例においては、幅 W は、概ね 10 nm である。シャント及びチャンネル層 8、9、10 a は、一般的に（平面図において）ともに広い範囲に及んでおり、そのため、シャント 8 は、チャンネル 11 と実質的に同一の側面（すなわち、x 方向及び z 方向）の寸法を有する。

【0058】

また、基板 4 は、第一方向 14 に向けられた細長の凹んだ段部（elongate recessed step）20（又は、開放端を有する“スロット”あるいは“トレンチ（溝）”（open-sided “slot” or “trench”））を含む、誘電体材料をデポジットした第一パタン層 19（ここでは、単に、“第一誘電体層”と称する）を支持している。シャント 8 及び第一チャンネル層 9 は、トレンチ（溝）20 に形成されている。シャント 8 と第一チャンネル層 9 とを合わせた厚さは、第一誘電体層 19 の厚さと同一である。従って、第一チャンネル層 9 の表面 21 と、第一誘電体層 19 の表面 22 は、同一の高さとなる。本例においては、誘電体材料は、二酸化ケイ素（SiO₂）を含んでいる。

10

【0059】

第三半導体層 10 は、第一チャンネル層 9 及び第一誘電体層 19 の表面 21、22 の上に形成され、上面 23 を有している。第三半導体層 10 は、ケイ素を含んでいるが、ケイ素ゲルマニウムを用いることもできる。本例においては、第三半導体層 10 は、概ね 1 nm の厚さ t_4 を有している。

【0060】

20

前述したように、第三半導体層 10 は、下地材料（underlying material）に依存して、結晶性と非結晶性の領域 10 a、10 b を含んでいる。従って、第一チャンネル層 9 を覆う第三半導体層 10 の部分 10 a は単結晶であるが、第一誘電体層 19 上の他の部分 10 b は、非結晶性である。

【0061】

第三半導体層 10 は、細長チャンネル 11 に対して垂直に置かれた、すなわち第三方向 16 に向けられた 3 つの細長トレンチ（溝）25 を含む誘電体材料がデポジットした第二パタン層 24（以下では、単に“第二誘電体層”と称する）を支持する。第二パタン層 24 は、二酸化ケイ素（SiO₂）を含んでいる。本例においては、第二誘電体層 24 は、概ね 1 nm の厚さを有している。

30

【0062】

また、図 1 a（明確に説明するために、第二誘電体層 24 は不図示）において、第三半導体層 10 は、複数の導電性リード 26 の組、すなわち、第一、第二及び第三導電性リード 26₁、26₂、26₃ を支持している。リード 26 は第二誘電体層 24 の各トレンチ（溝）25 内に形成されている。リード 26 は、チャンネル 11 に沿って（x 軸 14 に沿って）離れた間隔で、チャンネルに対し垂直な向きで（z 軸 16 の方向に）置かれている。第一及び第二リード 26₁、26₂ は、概ね 30 nm の長さ s_1 の間隔で離れている。第二及び第三リード 26₂、26₃ は、概ね 30 nm の長さ s_2 の間隔で離れている。しかし、図 1 に示すように、第一及び第二リード 26₁、26₂ は、第二及び第三リード 26₂、26₃ の間隔よりも広い間隔で離れている、すなわち、 $s_1 > s_2$ である。リード 26 は、概ね 30 nm の長さ l（すなわち、第一方向 14 に沿う長さ）を有している。

40

【0063】

各リード 26 は、より高い濃度で不純物添加した半導体の層を含んでいる。本例においては、この半導体はケイ素（silicon）である。リード 26 は、シャント 8 と同一の導電性を有することが好ましい。本例においては、リード 26 は、n 型である。例えば、リード 26 には、概ね $1 \times 10^{20} \text{ cm}^{-3}$ の濃度までヒ素（As）を不純物添加してもよい。本例においては、リード 26 は、概ね 20 nm の厚さ t_5 を有するが、概ね 1 nm 程まで薄くすることもできる。

【0064】

リード 26 は、導電性を向上させるように、金属 - 半導体合金を含んでいてもよい。例

50

えば、ケイ素の場合、ニッケル、チタンあるいはタングステンの薄膜をデポジットし、概ね 500 でアニーリングし、不反応金属を湿式エッチングにより除去して (wet-etching unreacted metal)、リード 26 をケイ化 (silicide) してもよい。

【0065】

また、図 1b において、リード 26 は、チャンネル 11 の第一縁 17 から始まり、チャンネル 11 を越えて、さらに、第三方向 16 に向かってチャンネル 11 の第二縁 18 を越えている。リード 26 は、チャンネル 11 の第一及び第二縁 17、18 の間に、チャンネル 11 へのインターフェース又は接点 27 を提供する。

【0066】

また、図 1、図 2 及び図 3 において、第二誘電体層 24 及びリード 26 は、露出した表面 29 を有しデポジットした誘電体材料の第三層 28 (“第三誘電体層 28”) により覆われている。第三誘電体層 28 は、二酸化ケイ素 (SiO_2) を含んでいる。

10

【0067】

以下で詳説するように、さらに他の誘電体層、磁気遮蔽層及び / 又は新規の基板 (substrate) を含む、さらに他の層を、誘電体層 28 の表面 29 に (または誘電体層 28 上の他の表面の層上に) デポジット又は接合 (bond) させることもできる。

【0068】

デバイス 1 は、実質的に平坦であり、第一及び第二方向 14、15 に平行、すなわち、チャンネル 8 と、層が積重ねられる方向とに平行な平面上に置かれた面 30 を有している。従って、チャンネル 11 の第一縁 17 は、面 30 に沿って伸びている。ここで、この面は、“側面” と称する。側面 30 は、誘電体材料の保護層 (protective layer) (不図示) により覆われていてもよい。この保護層は、自然に形成された二酸化ケイ素 (SiO_2) の層を含むことができる。

20

【0069】

動作に際しては、デバイス 1 は、異常磁気抵抗効果 (extraordinary magnetoresistance) (EMR) を及ぼし、側面 30 に対して垂直、あるいは概ね垂直に (すなわち、垂直から数度角度を以て (a few degree off perpendicular))、すなわち、z 軸 16 に対して平行 (又は、逆平行)、あるいは概ね平行 (又は、概ね逆平行) に通る磁場 31 を検出する磁場センサとして用いることができる。図 14 において、磁場 31 は、ページ紙面に入り込で通るように示してある。しかし、磁場は、図面ページから出て行くように通ることもできる。

30

【0070】

以下で詳説するように、デバイス 1 は、磁気ディスクドライブ 87 (図 28) の読出しヘッド 80 (図 27) として用いることができる。シャント 8 (が、もし存在している場合)、チャンネル 11 及びリード 26 の構成により、デバイス 1 は、ラッピング (lapping) などの現在のスライダ製造技術を用いて、磁気ヘッドスライダ 70 (図 27) に統合することができる。ラッピングは、表面を定義するために用いられ、この表面は、空気ベアリング面 (ABS) と称され、磁気媒体 89 (図 28) に対向している。従って、デバイス 1 は、スライダに組み込むことができ、これにより、デバイス 1 の側面 30 をラッピングにより形成され、空気ベアリング面的一部分を形成する。デバイス 1 は、側面 30 を垂直に通る磁場 31 に対して反応するため、デバイス 1 は、磁気媒体 89 (図 28) から発生する磁場を検出するために、その向きは正確に設定されている。

40

デバイス動作

【0071】

特に、磁気抵抗デバイス 1 を動作させる回路 32 を示す図 4 を参照する。回路 32 は、シャント 8 と第一及び第三リード 26₁、26₃ 間のチャンネル 11 とを流れる電流 I を駆動するように構成した電流源 33 と、第二及び第三リード 26₂、26₃ 間に発生した電圧 V を測定するように構成した電圧計 34 とを含んでいる。代替的な構成として、電流源 33 は、第一及び第二リード 26₁、26₂ 間の電流を駆動するように構成することもできる。

50

【0072】

印可される磁場31がない場合には、第一及び第三リード26₁、26₃間を流れる電流は、チャンネル11に流れ込み、シャント8により経路35を迂回する。磁場31が、z軸16（図1）に沿って印可された場合には、電流は、シャント8から逸れて（deflected）、経路36に沿ってチャンネル11を流れる。印可された磁場31による電気抵抗の変化は、電圧リード26₂、26₃間で検出される。

【0073】

図5において、印可された磁場31を検出可能な領域37は、不純物添加されていない、あるいは少量の不純物添加がなされた、第二及び第三リード26₂、26₃間のチャンネル11に設けられる。従って、概ね30nmのリード間隔s₂と、2つの層を合わせた厚さd = t₃ + t₄を用いて、10 Tb/in²程度の記憶密度に対応した容量を有する磁気媒体89（図28）中のビットを検出することができる。

10

【0074】

図6は、3つの異なるチャンネル厚さd、すなわち、d = 2 nm、d = 5 nm及びd = 10 nmを有するデバイスに関する、電流電圧特性曲線のATLASシミュレーションを示すものである。本モデルにおいては、リード幅l₁、l₂及びl₃は、いずれも同一、すなわちl₁ = l₂ = l₃ = 30 nmであり、リード間隔s₁及びs₂も、いずれも同一、すなわち、s₁ = s₂ = 30 nmである。シャント8の幅Wは、10 nmである。

【0075】

図7は、上記と同一のデバイスに関し、d = 2 nmの場合の電流密度のATLASシミュレーションを示すものである。図7に示すように、電流は、主に、リード26とシャント8との間を流れる。第一及び第二リード26₁、26₂間の抵抗は、概ね1 kΩである。

20

【0076】

図8は、印可された磁場の関数として、出力信号のATLASシミュレーションを示すものである。ここで、第一リード26₁には、0 Vのバイアスを印可し、第三リード26₃には、1 Vのバイアスを印可して、z軸16（図1）に沿って印可された磁場の範囲で、第二及び第三リード26₂、26₃間の電圧差を測定した。シミュレーション結果と、より大きなデバイス（不図示）に関する測定を線形外挿した結果によると、デバイスからの出力信号は、2 μV/Oe程度になることが分かる。

30

デバイスの製造

【0077】

図9a乃至図9rを引用し、デバイス1を製造する方法を説明する。

【0078】

図9aにおいて、プロセスは、半導体オンインシュレータ型ウェハ41から始まる。ウェハ41は、半導体ハンドル層5'と、埋込絶縁層6'と、単結晶半導体の最上位層42とを有する。最上位半導体層42は、通常、数10ナノメートルの厚さを有する。このような厚さの層42にする必要はないため、層42は、より薄くすることができる。

【0079】

本例においては、シリコン・オン・インシュレータ型ウェハ41を用いる。最上位ケイ素層42は、通常、概ね20 nmと100 nmの間の範囲の厚さを有する。最上位ケイ素層42の厚みを薄くするため、熱酸化（thermal oxidation）し、その後に湿式エッチングする処理を用いることができる。ウェハ41を熱的に酸化させ、最上位ケイ素層（top silicon layer）42の表面領域43を、二酸化ケイ素（silicon dioxide）に変換する。図9bに示すように、この処理により、二酸化ケイ素層44を、単結晶ケイ素の薄膜7'上に残すことができ、以下、この薄膜層はシード層7'と称する。二酸化ケイ素層44は、混合比2 : 5 : 3のNH₂F:C₂H₄O₂:H₂O（又は、“SILOXエッチング液”として知られている）混合液を用いて除去することができる。

40

【0080】

図9cに示すように、層デポジションの準備が整ったウェハ3'は、埋込絶縁層6'上

50

にあるシード層 7' を含んでいて、他方、埋込絶縁層 6' はハンドル層 5' 上に置かれる。

【0081】

図 9 d に示すように、シード層 7' の上に誘電体材料の第一層 19' をデポジットする。本例においては、誘電体材料は二酸化ケイ素であり、化学蒸着 (CVD) を用いてデポジットする。

【0082】

図 9 e に示すように、電子ビームレジストからなる層 (不図示) を、第一誘電体層 19' の上面 45 に適用 (例えばスピン塗布) し、焼成により硬化 (cure) させる。電子ビームレジスト層 (不図示) には、走査電子ビーム (不図示) を用いてパターン形成し、適切な現像液を用いて現像し、(x 方向 14 に沿った) 細長ウインドウ 47 を含むようにパターン形成されたレジスト層 46 を残す。ウインドウ 47 は、意図したシャント及び第一チャネル層 8、9 と、概ね同じ (x 方向 14 に沿った) 長さとなるが、(z 方向に沿っては) より広い幅となる。

【0083】

下のシード層 7' にまで伸びた第一誘電体層 19' の領域 48 を、湿式エッチングにより、例えば、SILOX エッチング液を用いて除去する。図 9 f に、結果として得られる構造を示すが、この構造は、パターン形成された第一誘電体層 19' 中に幅広のトレンチ (溝) 20' を含むものとなっている。

【0084】

パターン形成されたレジスト層 46 を除去する。図 9 g に、結果として得られる構造を示すが、この構造は、トレンチ (溝) 20' の底に、シード層 7' が露出した領域 49 を含むものとなっている。

【0085】

図 9 h に示すように、トレンチ (溝) 20' のシード層 7' が露出した領域 49 上に、半導体材料の第一層 8' を選択的に成長させる。第一半導体層 8' は、高濃度で不純物添加され、第一導電型を有する。本例においては、第一半導体層 8' は n 型であり、成長の過程でその場で不純物添加がなされる。

【0086】

第一半導体層 8' は、シード層 7' 上でエピタキシャル成長し、それにより単結晶層を形成する。第一半導体層 8' は、パターン形成された第一誘電体層 19' 上には成長しない。本例においては、半導体はケイ素であり、従って、概ね 700 °C で CVD を用いて、選択的なエピタキシャル成長を行うことができる。

【0087】

図 9 i に示すように、第一半導体層 8' 上に、半導体材料の第二層 9' を選択的に成長させる。第二半導体層 9' は、第二導電型を有するように、不純物添加しないか、あるいは、僅かに不純物添加する。本例においては、半導体層 8' は真性 (intrinsic) である。

【0088】

第二半導体層 9' は、第一半導体層 8' 上でエピタキシャル成長し、単結晶層を形成する。第二半導体層 9' は、パターン形成された第一誘電体層 19' 上では成長しない。本例においては、半導体はケイ素であるが、ケイ素ゲルマニウムを用いることもできる。ここでも、ケイ素を用いた場合、概ね 700 °C で CVD を用いて、選択的な成長を行うことができる。

【0089】

図 9 j に示すように、第二半導体層 9' 及びパターン形成された第一誘電体層 19' の上に、半導体材料の第三層 10' を成長させる。第三半導体層 10' は、第二導電型を有するように、不純物添加しないか、あるいは、僅かに不純物添加する。本例においては、第三半導体層 10' は、真性 (intrinsic) である。

【0090】

第三半導体層 10' は、第二半導体層 9' 上でエピタキシャル成長し、単結晶層 10a' を形成する。しかし、第三半導体層 10' が成長すると、パタン形成された第一誘電体層 19" 上には、非結晶性層 10b' を形成する。本例においては、半導体はケイ素であるが、ケイ素ゲルマニウムを用いることもできる。概ね 600 で CVD を用いて、非選択的な成長を行うことができる。

【0091】

図 9k に示すように、第三半導体層 10' 上に、誘電体材料の第二層 24' を成長させる。本例においては、誘電体材料は二酸化ケイ素であるが、窒化ケイ素などの他の誘電体材料を用いることもできる。

【0092】

図 9l に示すように、電子ビームレジスト層（不図示）を、第二誘電体層 24' の上面 50 に塗布（スピン塗布）し、焼成により硬化させる。電子ビームレジスト層（不図示）は、走査電子ビーム（不図示）を用いてパタン形成し、適切な現像液を用いて現像し、（z 方向 16 に沿った）細長ウインドウ 47 を含むようにパタン形成されたレジスト層 51 を残す。

【0093】

下の第三半導体層 10' にまで伸びた第二誘電体層 24' の領域 53 を、湿式エッチングにより、例えば、SILOX エッチング液を用いて除去する。図 9m に、結果として得られる構造を示すが、この構造は、パタン形成された第二誘電体層 24" 中にトレンチ（溝）25' を含むものとなっている。

【0094】

パタン形成されたレジスト層 51 を除去する。図 9n に、結果として得られる構造を示すが、この構造は、トレンチ（溝）25' の底に、第三半導体層 10' の露出した領域 54 を含むものとなっている。

【0095】

図 9o に示すように、トレンチ（溝）25' の第三半導体層 10' が露出した領域 54 に、半導体材料の第四層 55 を選択的に成長させる。第四半導体層 55 は、高濃度で不純物添加され、第一導電型を有する。本例においては、第四半導体層 55 は n 型であり、成長の過程でその場で不純物添加がなされる。

【0096】

第四半導体層 55 は、第三半導体層 10' 上でエピタキシャル成長し、従って、単結晶層を形成する。第四半導体層 55 は、パタン形成された第二誘電体層 24" 上には成長しない。本例においては、半導体はケイ素である。前述したように、概ね 700 で CVD を用いて、ケイ素に対して選択的なエピタキシャル成長を行うことができる。

【0097】

第四半導体層 55 は、リード 26（図 1）を形成するように、残しておくこともできる。しかし、リードの抵抗が下がるように、リードをケイ化することもできる。この場合の処理には、第四半導体層 55 及び第二誘電体層 24" の上に、ニッケル（Ni）、チタン（Ti）又はタングステン（W）などの適した金属をデポジットさせるステップと、ケイ化物（silicide）を形成するようにアニーリングするステップとが含まれる。ニッケルとケイ素の場合は、概ね 500 でアニーリングを行うことができる。湿式エッチングを用いて、（例えば、第二誘電体層 24" 上の）不反応金属を除去することができる。

【0098】

図 9p に示すように、第四半導体層 55 と第二誘電体層 24" の上に、誘電体材料 29' の第三層をデポジットさせる。本例においては、誘電体材料は二酸化ケイ素（silicon dioxide）であるが、窒化ケイ素（silicon nitride）などの他の誘電体材料を用いることもできる。

【0099】

後述するように、追加の処理段階、例えば、アルミ炭化チタン（aluminum titanium carbide）で形成された、担体ウェハ（carrier wafer）64'（図 20b）を、例えば、第

10

20

30

40

50

三誘電体層 2 9 ' の上、あるいは、第三誘電体層 2 9 ' 上に置かれた層 6 0 ' (図 2 0 b) の上に接合し、ハンドル層 5 ' 及び絶縁層 6 ' を除去し、シード層 7 にパタン形成し、それをケイ化し、さらに、シャント層と、第一誘電体層 1 9 " の残りの部分の下に保護誘電体層を形成する処理を実行することもできる。

【 0 1 0 0 】

図 9 q に示すように、(幅広の) シャント層 8 ' とチャネル 1 1 ' を通る線 5 8 に沿って、隣接部分 5 7 からウェハの側部又は縁部 5 6 を除去するように、ウェハを切断する。この切断には、粗切断のためにウェハ・ノコギリ (wafer saw : ウェハソー) を用い、密切断のためにラッピングを行う。しかし、これ以外の切断方法、例えば、イオンビームミリングなどの方法を用いることもできる。図 9 r に、結果として得られる構造を示すが、デバイス 1 が、側面 3 0、シャント 8 及びチャネル層 9、1 0 a を含む構造となっている。

10

【 0 1 0 1 】

二酸化ケイ素又は他の材料からなる薄い (例えば、厚さ 2 nm 以下の) 保護層をデポジットさせ、側面 3 0 を覆うように成長させる、あるいは成長を可能とすることができる。

【 0 1 0 2 】

後述するように、切断の処理は、側面 3 0 を形成するために、棒形成 (formation of bars) と、棒の縁部 (the edge of the bar) のラッピングとを含んでいる。

第二磁気抵抗デバイス 2 0 1

【 0 1 0 3 】

図 1 0 に、第二磁気抵抗デバイス 2 0 1 を示す。

20

【 0 1 0 4 】

第二磁気抵抗デバイス 2 0 1 は、前述の第一磁気抵抗デバイス 1 (図 1) と同様である。従って、同一の引用番号は、同一の特徴を指すために用いることとする。

【 0 1 0 5 】

第二デバイス 2 0 1 が第一デバイス 1 (図 1) と異なる点は、リードが 4 本になること、すなわち、第一、第二、第三及び第四リード 2 6 ₁、2 6 ₂、2 6 ₃、2 6 ₄ となることである (さらに、この結果、チャネル 1 1 への接点が 4 本になる)。第三及び第四リード間の間隔 s_2 は、第二及び第三リード間の間隔 s_2 と同一とすることができる。チャネル及びシャント 8、1 1 は、これらの数のリード 2 6 を収容するために、さらに細長としてもよい。

30

【 0 1 0 6 】

図 1 1 に、磁気抵抗デバイス 2 0 1 を動作させる回路 3 2 を示す。

【 0 1 0 7 】

電流源 3 3 は、シャント 8 と、第一及び第三リード 2 6 ₁、2 6 ₃ 間のチャネル 9 とを流れる電流 I を駆動するように構成されている。電圧計 3 4 は、第三及び第四リード 2 6 ₃、2 6 ₄ 間に発生した電圧 V を測定するように構成されている。

【 0 1 0 8 】

第二デバイス 2 0 1 の出力は、第一デバイス 1 (図 1) の出力の 2 倍の大きさとすることができる。しかし、検知領域 3 7 ₂ (sensitive area) は、第二及び第四リード 2 6 ₂、2 6 ₄ との間により広く設けられている。

40

【 0 1 0 9 】

第二デバイス 2 0 1 は、第一デバイス 1 (図 1) と実質的に同一の方法で製造される。しかし、パタン形成したレジスト層 5 1 (図 9 1) は、異なるパタンを有するため、3 本のリードではなく、4 本のリードを形成することになる。

第三磁気抵抗デバイス 3 0 1

【 0 1 1 0 】

図 1 2 に、第三磁気抵抗デバイス 3 0 1 を示す。

【 0 1 1 1 】

第三磁気抵抗デバイス 3 0 1 は、前述の第一磁気抵抗デバイス 1 (図 1) と同様である。従って、同一の引用番号は、同一の特徴を指すために用いることとする。

50

【0112】

第三デバイス301が第一デバイス1(図1)と異なる点は、リード26が2本のみになること、すなわち、第一及び第二リード26₁、26₂となることである。第一及び第二リード間の間隔s₁'は、第一及び第二デバイスの第二及び第三リード間の間隔s₂と同一とすることができる。シャント8とチャンネル11は、より短くしてもよい。

【0113】

図13に、磁気抵抗デバイス301を動作させる回路32を示す。

【0114】

電流源33は、シャント8と、第一及び第二リード26₁、26₂間のチャンネル11とを流れる電流Iを駆動するように構成されている。電圧計34は、第一及び第二リード26₁、26₂間に発生した電圧Vを測定するように構成されている。

【0115】

第三デバイス301の出力信号は、第一デバイス1(図1)の出力と同一である。

【0116】

第三デバイス301は、第一デバイス1(図1)と実質的に同一の方法で製造される。しかし、パタン形成したレジスト層51(図91)が、異なるパタンを有するため、3本のリードではなく、2本のリードを形成することになる。

第四磁気抵抗デバイス401

【0117】

図14及び図14aに、第四磁気抵抗デバイス401を示す。

【0118】

第四磁気抵抗デバイス401は、前述の第二磁気抵抗デバイス201(図10)と同様である。従って、同一の引用番号は、同一の特徴を指すために用いることとする。

【0119】

第四デバイス401が第二デバイス201(図10)と異なる点は、第一リード26₁が、シャント8に接続されており、シャント8が効果的に第一リード26₁の一部となることにある。従って、第一リード26₁は、平面図ではL字型となる。その結果、チャンネル11も、平面図ではL字型となり、各々、x軸及びz軸に沿って置かれる第一及び第二部分11₁、11₂を有する。

【0120】

第二、第三及び第四リード26₂、26₃、26₄は、チャンネル11の表面21への接点27を提供し、第一リード26₁は、チャンネル11の反対面への接点27aを提供する。図14及び図14aでは、表面21は、チャンネル11の上面であり、反対面は、チャンネルの底面又は下面である。デバイス401は、逆さにしてスライダに取り付けることにより、表面21がデバイスの下面となり、反対面が下地の基板に対して上側とすることができる。

【0121】

いくつかの実施形態においては、第一半導体層8を省いて、パタン形成したケイ化したシード層7により、リード26₁を提供することができる。これを用いることにより、チャンネル11により提供される(y軸に沿った)短い接合領域(junction region)を有するデバイスを形成することができる。接点から、例えば、接合層の底部から電荷を注入し、例えば、接合層の上面の接点で、電荷を収集することができ、これにより、“Y型”デバイスの形状を形成することができる。異なる接点により収集される電荷の比率は、印可される磁場に影響されて決まる。

【0122】

リード26₁は、図14aに示すような比較的長い接点27aではなく、図14bに示すように、比較的短い接点27a'を提供するようにパタン形成してもよい。

【0123】

チャンネル層11の第二部分11₂は、側面30に対して垂直に伸びており、そのため、側面30に対して垂直に印可された磁場31に対しては平行となるので、デバイス401

10

20

30

40

50

の磁気抵抗作用には寄与しない。

【0124】

図15に、磁気抵抗デバイス401を動作させる回路32を示す。図15に示すように、第二デバイス201（図10）を動作させるのに用いたものと同じ構成、すなわち、図11に示す4本リード構成を用いることができる。

【0125】

磁場31を印可すると、第二及び第四リード26₂、26₄間に電圧が発生する。チャネル11の長さにより、発生した電圧には、ホール電圧成分（Hall voltage component）と、磁場31中の電流経路35の屈曲で生じる電圧差成分とが含まれる。

【0126】

第四デバイス401は、第一デバイス1（図1乃至図4）と実質的に同様の方法で製造される。しかし、製造は2つの点で異なる。

【0127】

一つ目の違いは、パタン形成されたレジスト層46（図9e）が、異なるパタンを有する、すなわち、細長の棒状ではなく、L字型のパタンを用いる点である。

【0128】

二つ目の違いは、パタン形成されたレジスト層51（図9l）が異なるパタンを有する点である。このパタンも、3本のリードを定義するものであるが、これらのリードは、異なる場所に配置されている。

第五磁気抵抗デバイス501

【0129】

図16に、第五磁気抵抗デバイス501を示す。

【0130】

第五磁気抵抗デバイス501は、前述の第四磁気抵抗デバイス401（図14）と同様である。従って、同一の引用番号は、同一の特徴を指すために用いることとする。

【0131】

第四デバイス401と同様に、第一のリード26₁が、シャント8に接続されており、シャント8が効果的に第一リード26₁の一部となる。しかし、第五デバイス501は、3本のリード26のみ、すなわち、第二及び第三リード26₂、26₃のみを有する。

【0132】

第四磁気抵抗デバイス401と同様に、図14aに示すものと同様の比較的長い接点27aを提供するのではなく、図14bに示すものと同様の比較的短い接点27a'を提供するように、リード26₁をパタン形成してもよい。

【0133】

図17に、磁気抵抗デバイス501を動作させる回路32を示す。図17に示すように、第一デバイス1（図1）を動作させるのに用いたものと同様の構成、すなわち、図4に示すような3本リード構成を用いることができる。

【0134】

第五デバイス501は、第一デバイス1（図1）と実質的に同様の方法で製造される。しかし、製造は2つの点で異なる。

【0135】

一つ目の違いは、パタン形成されたレジスト層46（図9e）が、異なるパタンを有する、すなわち、細長の棒状ではなく、L字型のパタンを用いる点である。

【0136】

二つ目の違いは、パタン形成されたレジスト層51（図9l）が異なるパタンを有する点である。このパタンも、3本のリードを定義するものであるが、これらのリードは、異なる場所に配置されている。

第六磁気抵抗デバイス601

【0137】

図18及び図19に、第六磁気抵抗デバイス601を示す。

【 0 1 3 8 】

第六磁気抵抗デバイス 6 0 1 は、前述の第一磁気抵抗デバイス 1 (図 1) と同様である。従って、同一の引用番号は、同一の特徴を指すために用いることとする。

【 0 1 3 9 】

第六デバイス 6 0 1 は、以下の点で異なる。すなわち、第一及び第二磁気遮蔽層 6 0、6 1 は、シャント 8 と、チャンネル 1 1 と、パタン形成された第一誘電体層 1 9 と、パタン形成された第二誘電体層 2 4 と、リード 2 6 と、第三誘電体層 2 9 とを含む垂直構造 6 2 を挟む形となっている点である。さらに、第六デバイス 6 0 1 は、以下の点で異なる。すなわち、ハンドル層 5 (図 1) が犠牲となり、埋込絶縁層 6 (図 1) も犠牲となり、別のもっと厚い誘電体層 6 3 で置き換えられている点である。デバイス 6 0 1 は、表面 6 5 上のアルミ炭化チタン (aluminum titanium carbide) ウェハ 6 4 (明確化のため、図 1 8 では不図示) に接合されている。

10

【 0 1 4 0 】

第六デバイス 6 0 1 を動作させるために、第一デバイス 1 (図 1) を動作させるために用いたものと同一の構造を用いることができる。

【 0 1 4 1 】

図 2 0 a 乃至図 2 0 f を用いて、第六デバイス 6 0 1 を製造するための追加の処理段階を説明する。

【 0 1 4 2 】

特に、図 2 0 a に示すように、第三誘電体層 2 9 ' の上面 2 9 上に、第一磁気遮蔽層 6 0 ' をデポジットさせる。本例においては、磁気遮蔽層 6 0 ' は、パーマロイ (すなわち、ニッケルと鉄の合金) を含んでおり、スパッタリングによりデポジットさせる。

20

【 0 1 4 3 】

図 2 0 b に示すように、構造 6 6 は、ウェハ 6 4 ' に接合されている。本例においては、ウェハ 6 4 ' は、アルミ炭化チタン ("AlTiC") ウェハ 6 4 ' の形状となっている。特に、ウェハ 6 4 ' は、第一磁気遮蔽層 6 0 ' の上面 6 5 ' に接合されている。

【 0 1 4 4 】

ハンドル層 5 ' は、埋込絶縁層 6 ' に到るまでエッチングする。その結果得られる構造を図 2 0 c に示す。

【 0 1 4 5 】

埋込絶縁層 6 ' は、シード層 7 ' に到るまでエッチングする。その結果得られる構造を図 2 0 d に示す。

30

【 0 1 4 6 】

シード層 7 ' は、(幅広の) チャンネル 1 1 ' 又は (幅広の) シャント層 8 ' と同一又は同様の延長を有するように、電子ビーム・リソグラフィと湿式エッチングを用いてパタン形成することができ、さらに、例えば、ニッケル (Ni) を用いてケイ化することができる。シード層 7 は、パタン形成により、チャンネル 1 1 ' 又はシャント層 8 ' に対する短尺の接点 2 7 a ' (図 1 4 b) を提供することができる。

【 0 1 4 7 】

図 2 0 e に示すように、シード層 7 ' の下側 6 8、あるいは、パタン形成されケイ化されたシード層 (不図示) 及び第一誘電体層 1 9 ' の下側 (不図示) に、誘電体材料の新しい層 6 3 ' をデポジットさせる。本例においては、誘電体材料は二酸化ケイ素であり、化学蒸着 (CVD) を用いてデポジットする。

40

【 0 1 4 8 】

図 2 0 f に示すように、第三誘電体層 6 3 ' の下面 6 9 上に、第二磁気遮蔽層 6 1 ' をデポジットさせる。本例においては、磁気遮蔽層 6 1 ' は、パーマロイを含んでおり、スパッタリングによりデポジットさせる。

【 0 1 4 9 】

図 2 0 f は、結果として得られる、ウェハ 6 4 ' 上のデバイス構造 7 1 を示すものである。

50

【 0 1 5 0 】

この段階で、ウェハを棒状（不図示）に裁断し、棒の縁をラッピングすることにより、側面 3 0（図 1 8）を形成することができる。

【 0 1 5 1 】

しかし、デバイス 6 0 1（図 1 8）で、磁気ヘッドスライダ 7 0（図 2 7）の一部を形成しようとする場合には、裁断及びラッピング段階の前に、書込みヘッド 7 2（図 2 5 a）を製造するのが普通である。これについては、後に詳述する。

第七磁気抵抗デバイス 7 0 1

【 0 1 5 2 】

図 2 1 に、第七磁気抵抗デバイス 7 0 1 を示す。

10

【 0 1 5 3 】

第七磁気抵抗デバイス 7 0 1 は、前述の第二磁気抵抗デバイス 2 0 1（図 1 0）及び第六磁気抵抗デバイス 6 0 1（図 1 8）と同様である。従って、同一の引用番号は、同一の特徴を指すために用いることとする。

【 0 1 5 4 】

第七磁気抵抗デバイス 7 0 1 は、4 本のリード 2 6、すなわち、第一、第二、第三及び第四リード 2 6₁、2 6₂、2 6₃、2 6₄を有するという点で、第六磁気抵抗デバイス 6 0 1（図 1 8）と異なる。第三及び第四リード間の間隔 s_2 は、第二及び第三リード間の間隔 s_2 と同一とすることができる。これらの数のリード 2 6 を収容するために、層構造 2 はより長くしてもよい。

20

【 0 1 5 5 】

第七デバイス 7 0 1 は、第二デバイス 2 0 1 と同様の方法で動作させることができる。

【 0 1 5 6 】

第七デバイス 7 0 1 は、第六デバイス 6 0 1（図 1 8）と実質的に同一の方法で製造される。しかし、第二磁気抵抗デバイス 2 0 1（図 1 0）と同様に、3 本ではなく、4 本のリード 2 6 を形成するために、パターン形成したレジスト層 5 1（図 9 1）は異なるパターンを有する。

第八磁気抵抗デバイス 8 0 1

【 0 1 5 7 】

図 2 2 に、第八磁気抵抗デバイス 8 0 1 を示す。

30

【 0 1 5 8 】

第八磁気抵抗デバイス 8 0 1 は、前述の第三磁気抵抗デバイス 3 0 1（図 1 2）及び第六磁気抵抗デバイス 6 0 1（図 1 8）と同様である。従って、同一の引用番号は、同一の特徴を指すために用いることとする。

【 0 1 5 9 】

第八磁気抵抗デバイス 8 0 1 は、前述の第三磁気抵抗デバイス 3 0 1（図 1 2）と同様であるが、第六磁気抵抗デバイス 6 0 1（図 1 8）とは、2 本のリード、すなわち第一及び第二リード 2 6₁、2 6₂を有するという点で異なる。

【 0 1 6 0 】

第八磁気抵抗デバイス 8 0 1 は、第三デバイス 3 0 1（図 1 2）と同様の方法で動作させることができる。

40

【 0 1 6 1 】

第八デバイス 8 0 1 は、第六デバイス 6 0 1（図 1 8）と実質的に同一の方法で製造される。しかし、第三磁気抵抗デバイス 3 0 1（図 1 2）と同様に、3 本ではなく、2 本のリード 2 6 を形成するために、パターン形成したレジスト層 5 1（図 9 1）は異なるパターンを有する。

第九磁気抵抗デバイス 9 0 1

【 0 1 6 2 】

図 2 3 に、第九磁気抵抗デバイス 9 0 1 を示す。

【 0 1 6 3 】

50

第九磁気抵抗デバイス 901 は、前述の第四磁気抵抗デバイス 401 (図 14) 及び第六磁気抵抗デバイス 601 (図 18) と同様である。従って、同一の引用番号は、同一の特徴を指すために用いることとする。

【0164】

第九磁気抵抗デバイス 901 は、前述の第四磁気抵抗デバイス 401 (図 14) と同様であるが、第六磁気抵抗デバイス 601 (図 18) とは、第一リード 26₁ がシャント 8 に接続し、シャント 8 が効果的に第一リード 26₁ の一部になるという点で異なる。

【0165】

第九磁気抵抗デバイス 901 は、第四デバイス 401 (図 14) と同様の方法で動作させることができる。

【0166】

第九デバイス 901 は、第六デバイス 601 (図 18) と実質的に同一の方法で製造される。しかし、第四磁気抵抗デバイス 401 (図 14) と同様に、パタン形成したレジスト層 46 (図 9e) は、直線状の棒とは異なるパタン、すなわち L 字型パタンを有し、パタン形成したレジスト層 51 (図 91) は異なるパタンを有する。このパタンも、3本のリードを定義するものであるが、これらのリードは異なる場所に配置されている。

第十磁気抵抗デバイス 1001

【0167】

図 24 に、第十磁気抵抗デバイスを示す。

【0168】

第十磁気抵抗デバイス 1001 は、前述の第五磁気抵抗デバイス 501 (図 16) 及び第六磁気抵抗デバイス 601 (図 18) と同様である。従って、同一の引用番号は、同一の特徴を指すために用いることとする。

【0169】

第十磁気抵抗デバイス 1001 は、前述の第五磁気抵抗デバイス 501 (図 16) と同様であるが、第六磁気抵抗デバイス 601 (図 18) とは、第一リード 26₁ がシャント 8 に接続しているという点で異なる。

【0170】

第十磁気抵抗デバイス 1001 は、第五デバイス 501 (図 16) と同様の方法で動作させることができる。

【0171】

第十磁気抵抗デバイス 1001 は、第六デバイス 601 (図 18) と実質的に同一の方法で製造される。しかし、第五磁気抵抗デバイス 501 (図 16) と同様に、パタン形成したレジスト層 46 (図 9e) は、直線状の棒とは異なるパタン、すなわち L 字型パタンを有し、パタン形成したレジスト層 51 (図 91) は異なるパタンを有する。このパタンは、2本のリードを定義する。

磁気ヘッドスライダ

【0172】

図 25 及び図 26 に、磁気ヘッドスライダ 70 を製造する方法を示す。

【0173】

読出しヘッド構造 71 は、前述したように製造する (ステップ S1)。図 25a に示すように、読出しヘッド構造 71 は、ラッピングされていないチャネル 11' 及びオプションのシャント 8' を含むラッピングされていない垂直層構造 2' を含んでいる。

【0174】

書込みヘッド構造 72 を製造する (ステップ S2)。

【0175】

図 25a に示すように、読出しヘッド構造 71 及び書込みヘッド構造 72 は、例えば、スパッタリングされたアルミナ (Al₂O₃) を含む厚い誘電体層 73 により、互いに隔離することができる。書込みヘッド構造 72 も、他の厚い誘電体層 74 により保護することができる。

10

20

30

40

50

【 0 1 7 6 】

前述してきたデバイスの多くは、チャンネル 1 1 の上面に接点 2 7 を備え、チャンネル 1 1 の下にシャント 8 を備えるように図示してある。しかし、これらのデバイスは逆さにして、シャント 8 がチャンネルの上面に置かれ、接点 2 7 がチャンネル 1 1 の下に置かれるようにして、デバイスをスライダ 7 0 の中に統合することができる。このように、図 2 5 a に示すように、読出しヘッド構造 7 1 は、図 2 0 f に示した読出しヘッド構造 7 1 とは逆の位置関係となる。

【 0 1 7 7 】

処理したウェハ 7 5 を、x 軸に沿って伸び、縁 7 6 を有する棒 7 6 にスライスする (sliced: 裁断又は切断) (ステップ S 3)。通常、一本の棒 7 6 からは、おおむね 5 0 本の読出しヘッド及び書込みヘッドを作ることができる。

10

【 0 1 7 8 】

縁 7 7 をラッピングし、側面 3 0 を有する空気ベアリング面 7 8 を形成する (ステップ S 4)。適切なラッピング処理は、米国特許番号 2 0 0 2 / 0 1 2 6 4 2 1 A 1 に記載されており、参照により本明細書に援用する。

【 0 1 7 9 】

図 2 5 c は、接合基板 6 4 上に設けられ、結果として得られる構造 7 9 を示すものであり、ここでは“ヘッド要素部”と称する。ヘッド要素部 7 9 は、第六、第七、第八、第九又は第十磁気抵抗デバイス 6 0 1、7 0 1、8 0 1、9 0 1、1 0 0 1 などの読出しヘッド 8 0 と、書込みヘッド 8 1 とを含んでいる。

20

【 0 1 8 0 】

例えば数ナノメートルの厚さを有する保護フィルム (不図示) を、空気ベアリング面 7 8 に形成することができる (ステップ S 5)。乾式エッチングにより、空気ベアリング面 レールを形成する (ステップ S 6)。処理された列状の棒を、分離した磁気ヘッドスライダ 7 0 に切断する (切り出す) (ステップ S 7)。最後に、懸架装置 (suspension: サスペンション) に取り付けの前に、磁気ヘッドスライダ 7 0 を試験する (ステップ S 8)。

【 0 1 8 1 】

図 2 7 に、磁気ヘッドスライダ 7 0 を詳細に示す。

【 0 1 8 2 】

前述したように、ヘッド要素部 7 9 は、基板 6 4 上に形成され、読出しヘッド 8 0 及び書込みヘッド 8 1 とを含んでいる。

30

【 0 1 8 3 】

空気ベアリング面 7 8 は、階段状の面 8 2、8 3、8 4 の組を含んでおり、それらは、レール面 8 2、浅いグループ (溝) 面 8 3、深いグループ (溝) 面 8 4 となっている。スライダ 7 0 は、先端面 (leading face: 先行面) 8 5 と終端 (trailing end: 後端) 8 6 とを含んでいる。

【 0 1 8 4 】

図 2 8 に、磁気ディスクドライブ 8 7 を示す。

【 0 1 8 5 】

磁気ディスクドライブ 8 7 は、スピンドルモータ (不図示) により駆動する中心ハブ 9 0 に、磁気ディスク又は“媒体” 8 9 を積重ねたもの (明確化のため 1 つのみを示す) を搭載したハウジング 8 8 を含んでいる。

40

【 0 1 8 6 】

各磁気ディスク 8 9 には、2 つのスライダ 7 0 が備えられており、ディスク 8 9 の各側に一つずつスライダ 7 0 が備えられている。各スライダ 7 0 は、各懸架装置 9 1 の先端に取り付けられ、さらに懸架装置は、アクチュエータ 9 3 により駆動される各アームにより支持されている。

【 0 1 8 7 】

このように、磁気ディスクドライブ 8 7 には、前述したような垂直型の磁気抵抗デバイスを有するスライダ 7 0 を設けることができる。

50

【0188】

前述した実施形態に対して、多くの修正を加えることが可能である。

【0189】

例えば、チャネル11は、僅かに不純物添加したp型とすることができる。さらに、ケイ素に代えて、例えば、 x が概ね0.1の $\text{Si}_{1-x}\text{Ge}_x$ を用いることもできる。

【0190】

ひずみ半導体 (strained semiconductor)、例えば、ひずみケイ素 (strained silicon) を用いてもよい。

【0191】

III-V材料などの、他の半導体材料系を用いることもできる。

10

【0192】

チャネルは、不純物添加を全くしない、あるいは、概ね $1 \times 10^{15} \text{ cm}^{-3}$ の濃度まで、又は、概ね $1 \times 10^{16} \text{ cm}^{-3}$ の濃度まで、又は、概ね $1 \times 10^{17} \text{ cm}^{-3}$ の濃度まで、又は、概ね $1 \times 10^{18} \text{ cm}^{-3}$ の濃度まで不純物 (n型又はp型) 添加したものとしてもよい。

【0193】

シャント及び/又はリードは、少なくとも $1 \times 10^{19} \text{ cm}^{-3}$ の濃度まで、又は、少なくとも $1 \times 10^{20} \text{ cm}^{-3}$ の濃度まで、又は、少なくとも $1 \times 10^{21} \text{ cm}^{-3}$ の濃度まで、例えば、概ね $1 \times 10^{21} \text{ cm}^{-3}$ の濃度で不純物 (n型又はp型) 添加したものとしてもよく、及び/又は、シャント及び/リードは、不純物添加 (doped layer s) した一つあるいはそれ以上の数の層を含むものであってよい。

20

【0194】

チャネル及び/シャントは、概ね1nmと5nmの間の厚み、又は、概ね5nmと10nmの間の厚み、又は、概ね10nmと20nmの間の厚みを有するものであってよい。リードは、概ね1nmと5nmの間の厚み、又は、概ね5nmと10nmの間の厚み、又は、概ね10nmと20nmの間の厚み、又は、概ね20nmと概ね50nmの厚みを有するものであってよい。チャネル、シャント及びリードは、異なる厚みを有していてもよい。

【0195】

シャントは、例えば、第一チャネル層を成長させる前にシャントの一部を覆うことにより、又は、成長の後で第一チャネル層をエッチングすることにより、チャネルの一部に沿って伸びていてもよく、その逆でもよい。シャントは、必ずしも矩形である必要はない。

30

【0196】

チャネルは、概ね1nmと5nmの間の幅 (すなわち、 W)、又は、概ね5nmと10nmの間の幅、又は、概ね10nmと20nmの幅を有するものであってよい。チャネルは、概ね20nmと50nmの間の長さ (すなわち、 L)、又は、概ね50nmと100nmの間の長さ、又は、概ね100nmと200nmの長さ、又は、概ね200nmと500nmの長さを有するものであってよい。

【0197】

チャネルの検出領域が、多結晶ケイ素 (polycrystalline silicon) の粒径 (grain size) に比べて小さい場合には、多結晶シード層 (polycrystalline seed layer) を用いてもよい。

40

【0198】

終端リードは、垂直方向ではなく、チャネルの終端からチャネルに到るように配置してもよい。デバイスは、用いられないリードを含むものであってよい。例えば、デバイスは、4本又はそれ以上の数のリードを含んでいるが、チャネルを介して信号を出力し、信号を検出するために、実際の数より少ないリードを用いるものであってよい。

【0199】

適切なCVDの形態及び、半導体材料の選択的又は非選択的なデポジットを提供するために適したデポジット条件は、ルーチン的な実験により求めることができる。エッチング

50

及び現像に際して、他の濃度及び混合比を用いてもよい。他のエッチング（例えば、乾式エッチング）、他のレジスト材料、及び他の現像材料を用いてもよい。エッチング、照射及び現像の時間は、変更することができ、その値は、実験により求めることができる。アニーリング温度も、実験により求めることができる。

【 0 2 0 0 】

デバイスは、必ずしも、E M R 効果を有する必要はなく、例えば、電流経路を屈曲させるためにローレンツ力を用いる、及び／又はホール効果を用いた、M R 効果を有することもできる。

【符号の説明】

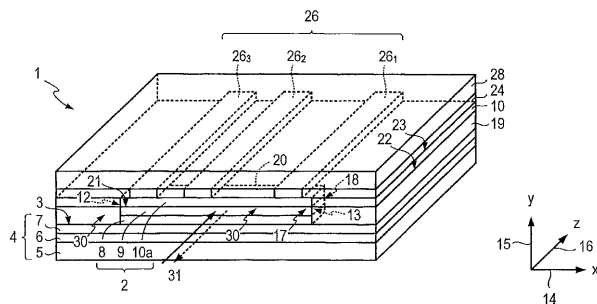
【 0 2 0 1 】

- 1 第一磁気抵抗デバイス
- 2 層構造
- 3 表面
- 4 平面基板
- 5 半導体基部
- 6 埋込絶縁層
- 7 半導体最上位層
- 8 第一半導体層
- 9 第二半導体層
- 10 第三半導体層

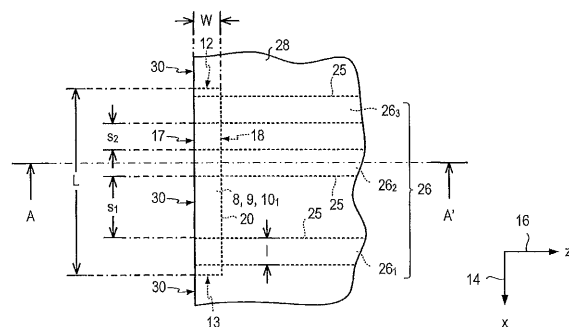
10

20

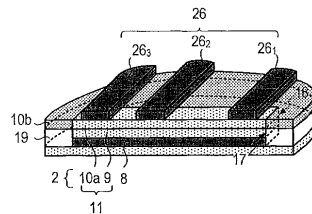
【 図 1 】



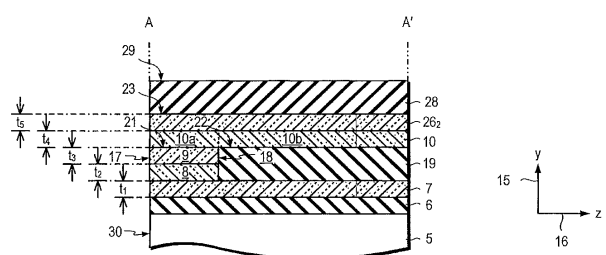
【 図 2 】



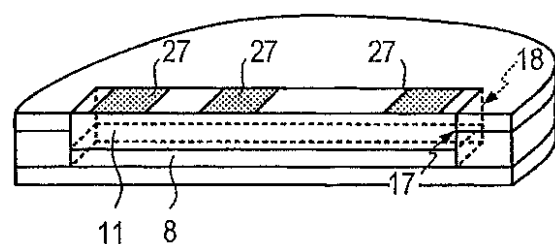
【 図 1 a 】



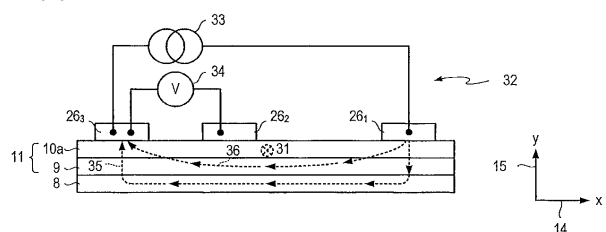
【 図 3 】



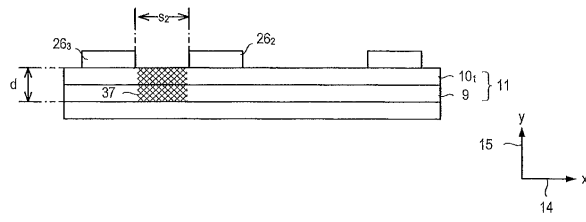
【 図 1 b 】



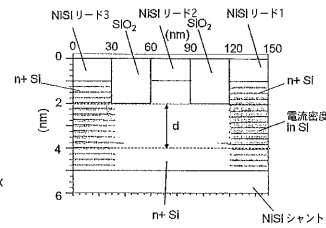
【 図 4 】



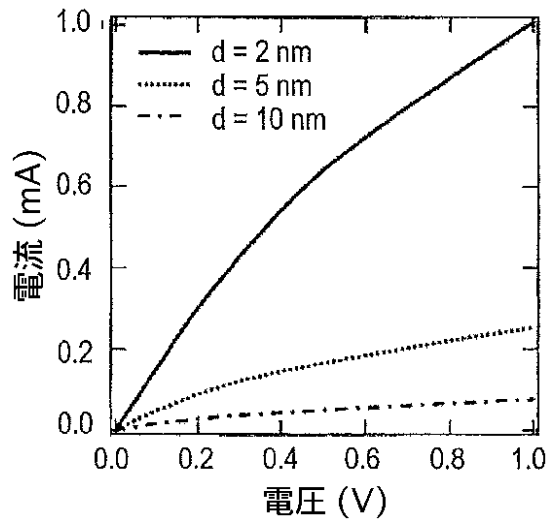
【図 5】



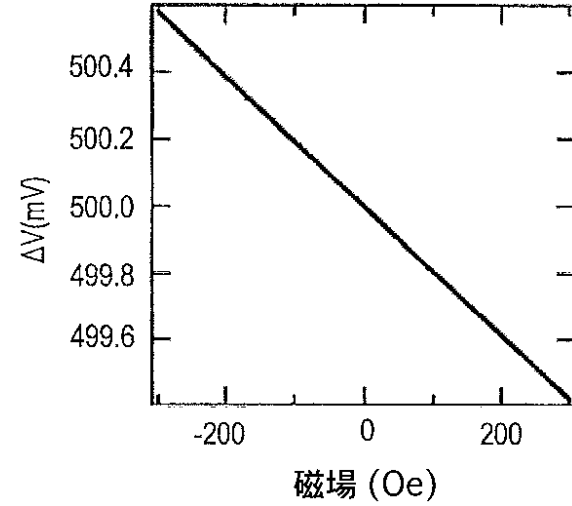
【図 7】



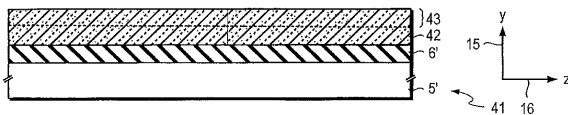
【図 6】



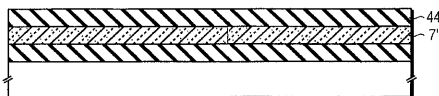
【図 8】



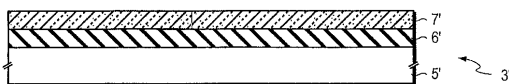
【図 9 a】



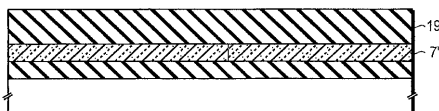
【図 9 b】



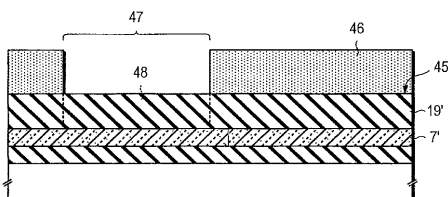
【図 9 c】



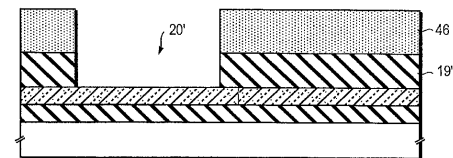
【図 9 d】



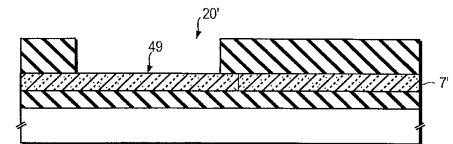
【図 9 e】



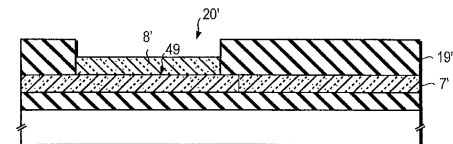
【図 9 f】



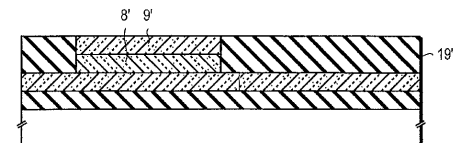
【図 9 g】



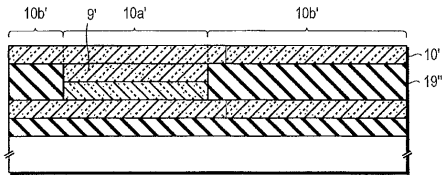
【図 9 h】



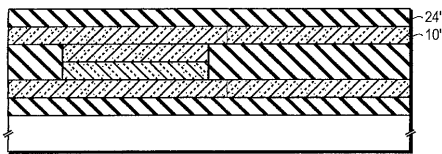
【図 9 i】



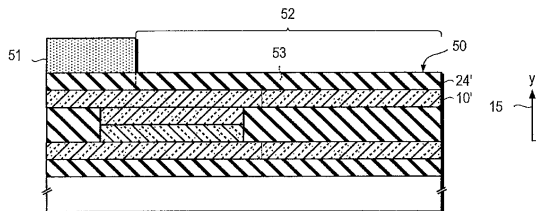
【図 9 j】



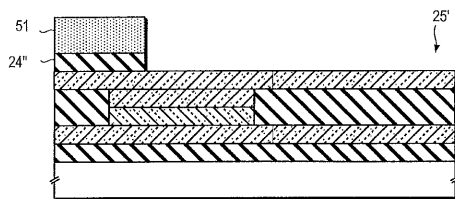
【図 9 k】



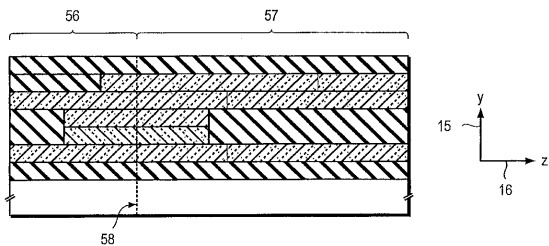
【図 9 l】



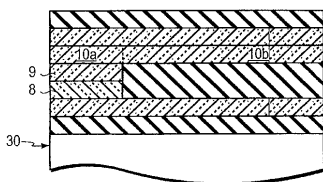
【図 9 m】



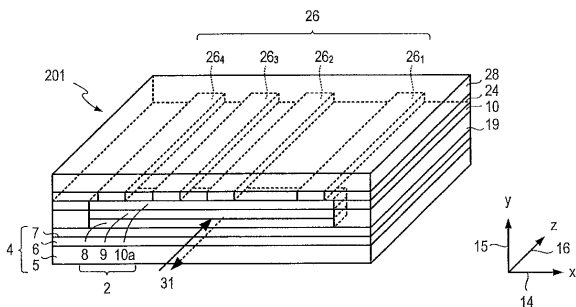
【図 9 q】



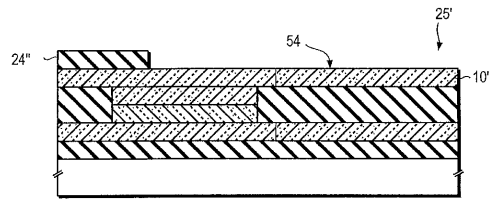
【図 9 r】



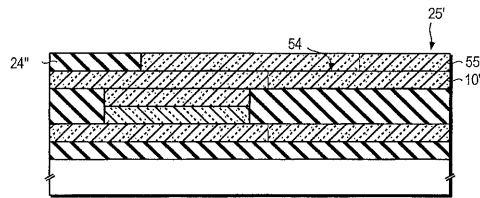
【図 10】



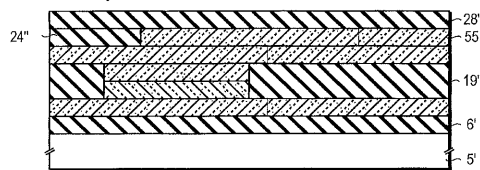
【図 9 n】



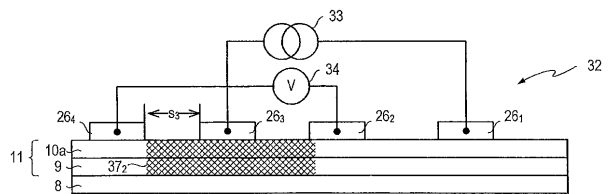
【図 9 o】



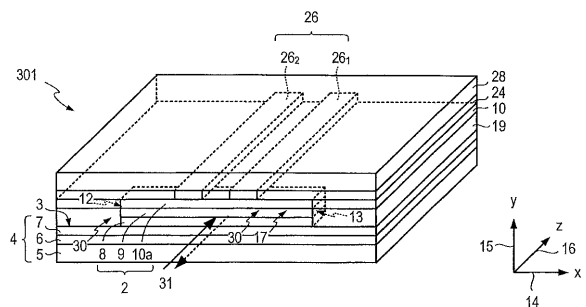
【図 9 p】



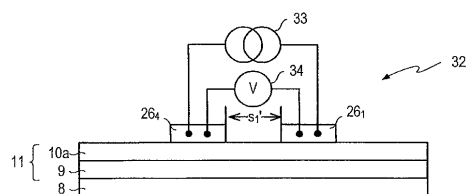
【図 11】



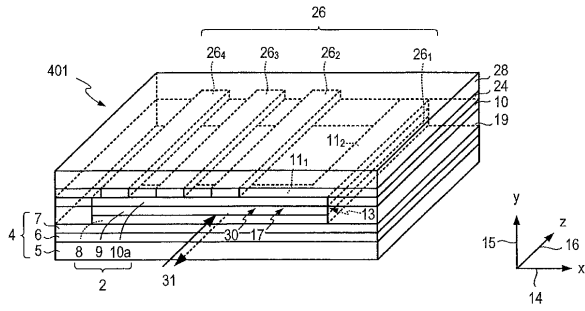
【図 12】



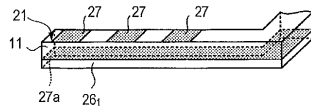
【図 13】



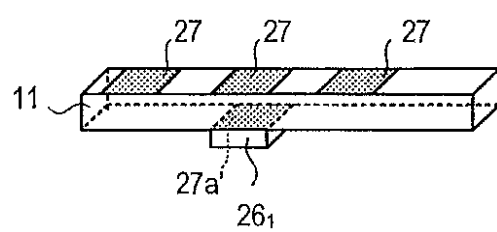
【図 14】



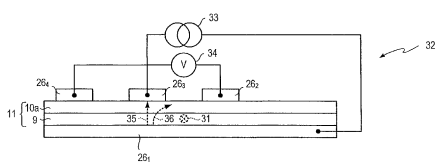
【図 14 a】



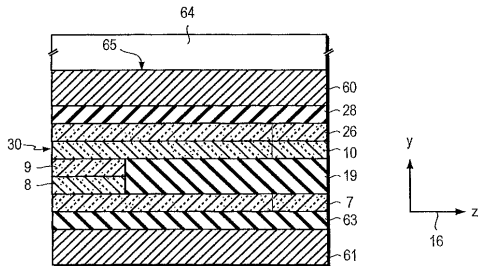
【図 14 b】



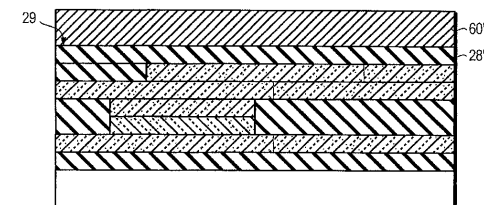
【図 15】



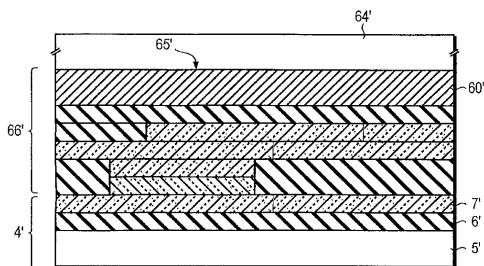
【図 19】



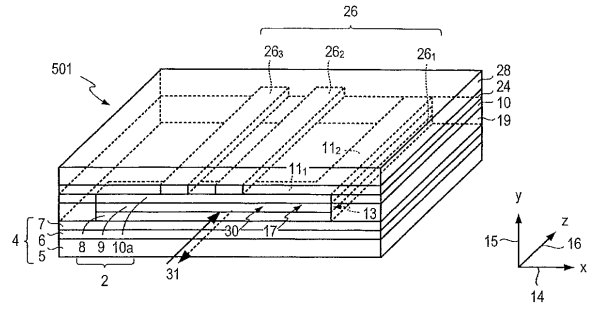
【図 20 a】



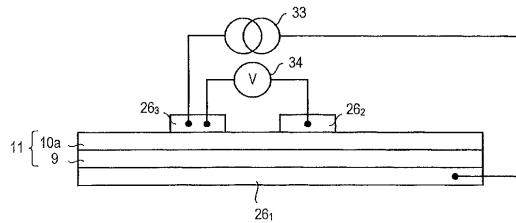
【図 20 b】



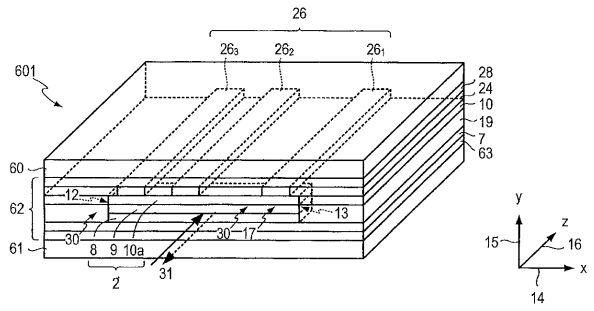
【図 16】



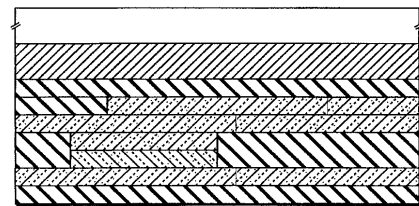
【図 17】



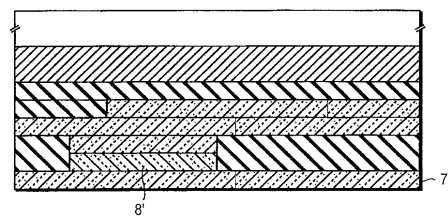
【図 18】



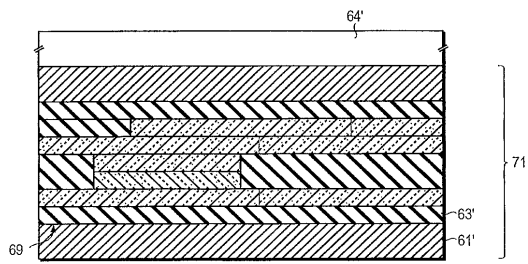
【図 20 c】



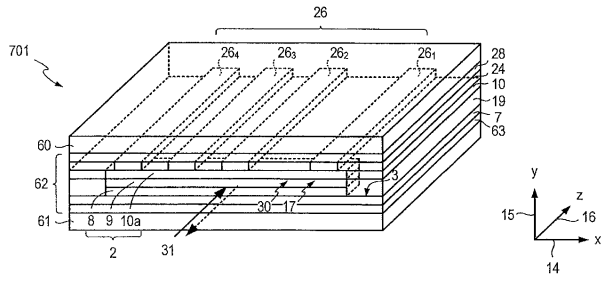
【図 20 d】



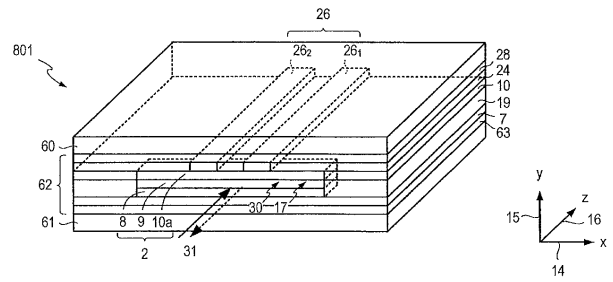
【図 20 f】



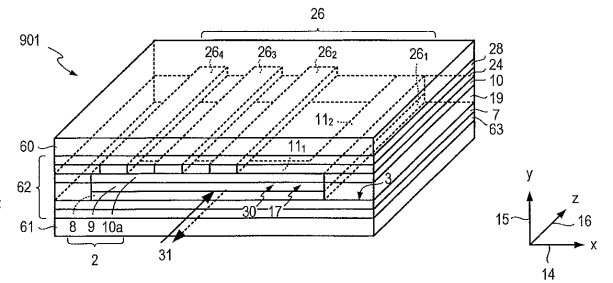
【図 21】



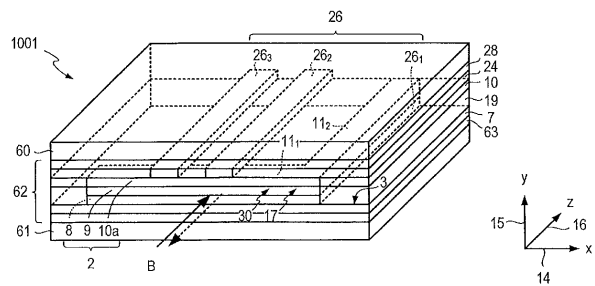
【図 22】



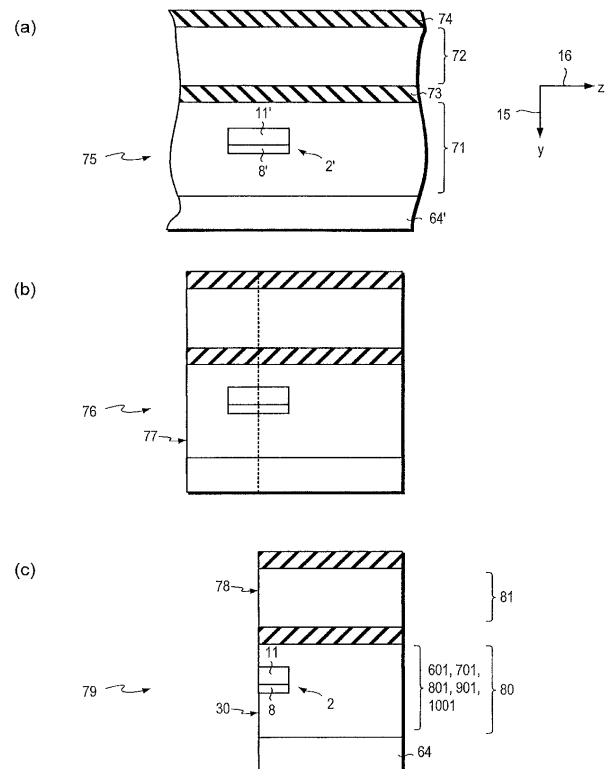
【図 23】



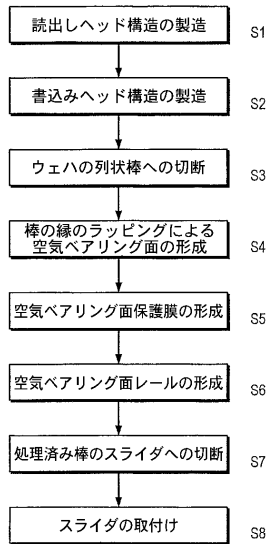
【図 24】



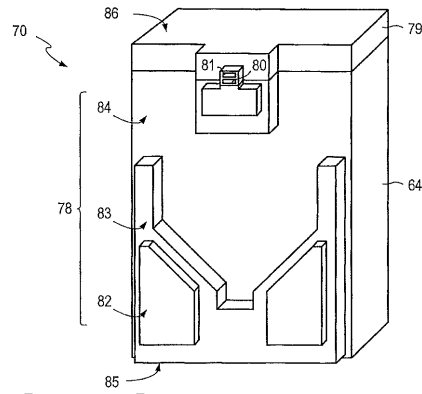
【図 25】



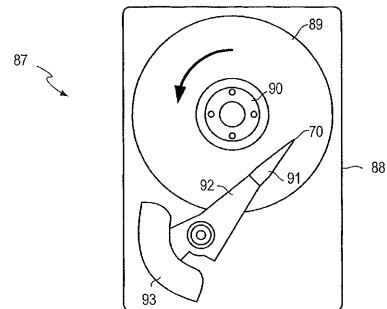
【図 26】



【図 27】



【図 28】



フロントページの続き

(72)発明者 福田 宏

東京都国分寺市東恋ヶ窪一丁目280番地 株式会社日立製作所 中央研究所内

(72)発明者 鷲尾 勝由

東京都国分寺市東恋ヶ窪一丁目280番地 株式会社日立製作所 中央研究所内

審査官 小山 満

(56)参考文献 特開2007-335839(JP,A)

特開2006-019728(JP,A)

特開2001-223411(JP,A)

特開2011-040750(JP,A)

米国特許出願公開第2009/0073615(US,A1)

米国特許出願公開第2009/0218563(US,A1)

特開2009-295987(JP,A)

特開2002-163808(JP,A)

(58)調査した分野(Int.Cl.,DB名)

H01L 43/08

G11B 5/39

H01L 43/12