



(12) 发明专利

(10) 授权公告号 CN 110870067 B

(45) 授权公告日 2024.04.02

(21) 申请号 201880045559.2

T·瓦哈-海基拉 E·图奥维南

(22) 申请日 2018.05.28

(74) 专利代理机构 北京市金杜律师事务所

11256

专利代理人 董典红

(65) 同一申请的已公布的文献号
申请公布号 CN 110870067 A

(43) 申请公布日 2020.03.06

(51) Int.CI.
H01L 27/01 (2006.01)
H01L 21/762 (2006.01)

(30) 优先权数据
20175480 2017.05.29 FI

(56) 对比文件

(85) PCT国际申请进入国家阶段日
2020.01.07

CN 1947250 A, 2007.04.11
GB 1276745 A, 1972.06.07
US 2007114589 A1, 2007.05.24
US 2014252535 A1, 2014.09.11
US 2008246114 A1, 2008.10.09
US 2015295101 A1, 2015.10.15
US 2008173974 A1, 2008.07.24
US 2015214150 A1, 2015.07.30

(86) PCT国际申请的申请数据
PCT/FI2018/050404 2018.05.28

审查员 杜君

(87) PCT国际申请的公布数据
W02018/220275 EN 2018.12.06

权利要求书2页 说明书12页 附图2页

(73) 专利权人 芬兰国家技术研究中心股份公司
地址 芬兰埃斯波

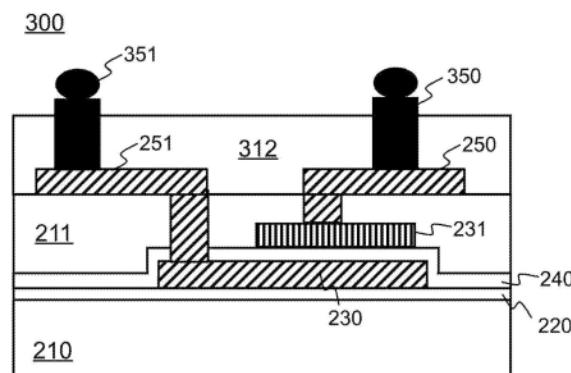
(72) 发明人 H·维尔贾南 P·兰塔卡里

(54) 发明名称

半导体装置

(57) 摘要

一种半导体装置(200、300),包括:硅衬底层(210),所述硅衬底层的至少一部分被掺杂有一导电类型的掺杂剂;形成在硅衬底层(210)上方的至少一个绝缘体层(220),其中至少一个绝缘体层(220)和硅衬底层(210)的掺杂剂具有相反的电荷。



1. 一种半导体装置 (200、300) ,包括:

表面钝化的硅衬底层 (210) ,所述硅衬底层的至少一部分被掺杂有一导电类型的掺杂剂;以及

第一绝缘体层 (220) ,被形成在所述硅衬底层 (210) 上方;其中所述第一绝缘体层 (220) 和所述硅衬底层 (210) 的所述掺杂剂具有相反的电荷,

其中所述第一绝缘体层 (220) 的静电荷导致在所述第一绝缘体层 (220) 和所述硅衬底层 (210) 之间的界面处形成耗尽区,并且其中第一绝缘体层 (220) 具有基于所述第一绝缘体层的所述静电荷和所述硅衬底层 (210) 的性质确定的厚度。

2. 根据权利要求1所述的半导体装置 (200、300) ,包括集成无源器件 (IPD) 。

3. 根据权利要求1或2所述的半导体装置 (200、300) ,还包括:

第一金属层 (230) ,其中所述第一绝缘体层 (220) 被布置在所述硅衬底层 (210) 和所述第一金属层 (230) 之间。

4. 根据权利要求3所述的半导体装置 (200、300) ,还包括:

第二绝缘体层 (240) 和第二金属层 (231) ,其中所述第二绝缘体层 (240) 被布置在所述第一金属层 (230) 和所述第二金属层 (231) 之间,并且所述第二金属层 (231) 被布置在所述第一金属层 (230) 上方。

5. 根据权利要求4所述的半导体装置 (200、300) ,还包括:

第三绝缘体层 (211) 和第三金属层 (250、251) ,其中所述第三绝缘体层 (211) 的至少一部分被布置在所述第二金属层 (231) 和所述第三金属层 (250、251) 之间,并且所述第三金属层 (250、251) 被布置在所述第二金属层 (231) 上方。

6. 根据权利要求5所述的半导体装置 (200、300) ,还包括:

至少一个阻挡层,在至少一个金属层 (230、231、250、251) 的表面上延伸。

7. 根据权利要求5所述的半导体装置 (200、300) ,其中至少一个绝缘体层 (220、240、211、312) 包括原子层沉积 (ALD) 生长的氧化铝层或等离子体增强的化学气相沉积 (PECVD) 层。

8. 根据权利要求1所述的半导体装置 (200、300) ,其中第一绝缘体层 (220) 包括被布置在所述硅衬底层 (210) 上方的负静电荷原子层沉积 (ALD) 生长的氧化铝层,其中所述硅衬底层 (210) 的所述掺杂剂为p型。

9. 根据权利要求5所述的半导体装置 (300) ,还包括:

第四绝缘体层 (312) ,被布置在所述第三绝缘体层 (211) 上方,所述第四绝缘体层 (312) 被配置为至少部分地覆盖所述第三金属层 (250、251) 的元件并且在所述第三金属层 (250、251) 的所述元件之间水平地延伸。

10. 根据权利要求9所述的半导体装置 (300) ,还包括:

至少一个导电焊盘 (350) ,通过所述第四绝缘体层 (312) 被连接到所述至少一个金属层 (230、231、250、251) 元件,所述至少一个导电焊盘 (350) 被配置为提供到所述半导体装置 (300) 的外部连接。

11. 一种用于制造半导体装置 (200、300) 的方法,包括:

提供包括第一导电类型的掺杂剂的表面钝化的硅衬底层 (210) ;

在所述硅衬底层 (210) 上沉积第一绝缘体层 (220) ,其中所述第一绝缘体层 (220) 的静

电荷具有与所述第一导电类型相反的第二导电类型,其中所述第一绝缘体层(220)的所述静电荷导致在所述第一绝缘体层(220)和所述硅衬底层(210)之间的界面处形成耗尽区,并且其中第一绝缘体层(220)具有基于所述第一绝缘体层的所述静电荷和所述硅衬底层(210)的性质确定的厚度;以及

在所述第一绝缘体层上方形成至少一个金属层(230)。

12.根据权利要求11所述的方法,还包括:

沉积与所述至少一个金属层(230)有关的阻挡层。

13.根据权利要求11所述的方法,

其中形成所述至少一个金属层(230)包括:在所述第一绝缘体层(220)上方形成至少两个金属层(230、231、250、251);并且还包括沉积至少一个另外的绝缘体层以提供集成无源器件(IPD)元件,其中所述至少一个另外的绝缘体层的至少一部分被布置在所述至少两个金属层(230、231、250、251)之间。

半导体装置

技术领域

[0001] 本申请一般涉及一种半导体装置。特别地但非排他性地,本申请涉及表面钝化的硅衬底。特别地但非排他性地,本申请涉及集成无源器件(IPD)的射频(RF)性能。

背景技术

[0002] 在没有承认这里描述的任何技术是代表现有技术的情况下,本章节示出了有用的背景信息。

[0003] 无源部件基本上被用于所有电子模块和系统中,例如用于射频(RF)应用中。一种趋势是将尽可能多的无源部件集成到半导体集成电路(IC)芯片中,另一种趋势是在印刷电路板(PCB)或其他技术模块中使用尽可能多的外部分立无源部件。实际的实现情况是介于两者之间。IC技术允许高的集成密度,但另一方面,由于低的电阻率衬底,表面积相当昂贵,并且大面积无源部件的RF性能也很低。特别是电感器,由于其尺寸较大,因此性能低下,在IC技术中实现起来很昂贵。另一方面,分立的无源部件具有高性能,但通常尺寸较大,并且需要组装成模块。

[0004] 集成无源器件(IPD)技术是在低损耗衬底中实现高品质因数(Q)无源部件的替代方法。将大多数无源部件组合到IPD,然后将基于IPD的模块集成到系统中,可实现高性能、高集成密度和较低组装成本。特别是需要高Q电感器的RF前端模块和部件有利于集成到IPD,例如平衡-不平衡变换器、耦合器、滤波器、LC谐振器和匹配电路。

[0005] 已知的解决方案,特别是用于利用高电阻率硅衬底的RF应用的集成无源器件(IPD)技术已经显示出较高的RF损耗。

[0006] 本发明的目的是提供一种例如减轻上述现有技术问题的方法和装置。

发明内容

- [0007] 权利要求书中阐述了本发明的示例的各个方面。
- [0008] 根据本发明的第一示例方面,提供了一种半导体装置,包括:
- [0009] 硅衬底层,该硅衬底层的至少一部分被掺杂有一导电类型的掺杂剂;和
- [0010] 在硅衬底层上方形成的第一绝缘体层;
- [0011] 其中,第一绝缘体层和硅衬底层的掺杂剂具有相反的电荷。
- [0012] 在一个实施例中,半导体装置包括集成无源器件(IPD)。
- [0013] 在一个实施例中,该半导体装置还包括:
- [0014] 第一金属层,其中第一绝缘体层包括被布置在硅衬底层和第一金属层之间的钝化层。
- [0015] 在一个实施例中,该半导体装置还包括:
- [0016] 第二绝缘体层和第二金属层,其中第二绝缘体层被布置在第一金属层和第二金属层之间,并且第二金属层被布置在第一金属层上方。
- [0017] 在一个实施例中,该半导体装置还包括:

[0018] 第三绝缘体层和第三金属层,其中第三绝缘体层被布置在第二金属层和第三金属层之间,并且第三金属层被布置在第二金属层上方,其中第三绝缘体的至少一部分被布置在第二金属层和第三金属层之间,并且第三金属层被布置在第二金属层上方。

[0019] 在一个实施例中,该半导体装置还包括:

[0020] 在至少一个金属层的表面上延伸的至少一个阻挡层。

[0021] 在一个实施例中,至少一个绝缘体层包括原子层沉积(ALD)生长的氧化铝层或等离子体增强化学气相沉积(PECVD)层。

[0022] 在一个实施例中,第一绝缘体层包括被布置在硅衬底层上方的负静电荷原子层沉积(ALD)生长的氧化铝层,其中硅衬底层的掺杂剂为p型。

[0023] 在一个实施例中,至少一个绝缘体层的静电荷被配置为在至少一个绝缘体层和硅衬底层之间的界面处产生耗尽区域。

[0024] 在一个实施例中,至少一个绝缘体层的静电荷被配置为在至少一个绝缘体层和硅衬底层之间的界面处产生累积区域。

[0025] 在一个实施例中,该半导体装置还包括:

[0026] 第四绝缘体层,被布置在第三绝缘体层上方,该第四绝缘体层被配置为至少部分地覆盖第三金属层的元件并且在第三金属层的元件之间水平延伸。

[0027] 在一个实施例中,该半导体装置还包括:

[0028] 通过第四绝缘体层连接到至少一个金属层元件的至少一个导电焊盘,该至少一个导电焊盘被配置为提供到半导体装置的外部连接。

[0029] 根据本发明的第二示例方面,提供了一种用于制造半导体装置的方法,包括:

[0030] 提供包含第一导电类型的掺杂剂的硅衬底;

[0031] 在所述硅衬底上沉积第一绝缘体层,其中所述第一绝缘体层的静电荷具有与所述第一导电类型相反的第二导电类型;以及

[0032] 在第一绝缘体层上方形成至少一个金属层。

[0033] 在一个实施例中,该方法进一步包括沉积与至少一个金属层相关的阻挡层。

[0034] 在一个实施例中,该方法还包括:

[0035] 在第一绝缘体层上方形成至少两个金属层;以及

[0036] 沉积另外的绝缘体层以提供集成无源器件(IPD)元件,其中至少一个绝缘体层的至少一部分被布置在至少两个金属层之间。

[0037] 前面已经说明了本发明的不同的非约束性示例方面和实施例。前面的实施例仅用于解释可以在本发明的实施方案中利用的所选方面或步骤。可以仅参考本发明的某些示例性方面来提供一些实施例。应当理解,相应的实施例也可以应用于其他示例方面。

附图说明

[0038] 为了更完整地理解本发明的示例实施例,现在参考以下结合附图进行的描述,其中:

[0039] 图1示出了半导体装置的集成无源器件(IPD);

[0040] 图2示出了根据本发明实施例的半导体装置;

[0041] 图3示出了根据本发明另一实施例的半导体装置;

- [0042] 图4示出了根据本发明实施例的方法的流程图;和
[0043] 图5示出了根据本发明实施例的另一方法的流程图。

具体实施方式

[0044] 在实施例中,公开了使用电感器和电容器实现的无源部件和电路。集成无源器件(IPD)技术也可以被用作例如具有混合集成有源电路的多芯片模块技术的集成平台。

[0045] 集成无源器件(IPD)技术可以被制造到适合在洁净室中进行薄膜处理的任何衬底上。熔融硅石、石英或高电阻率硅因其良好的RF特性而通常被用于RF应用。

[0046] 集成无源器件(IPD)层也可以被后处理到有源器件晶片上,例如CMOS、SiGe或GaAs,以具有高Q无源和再分布层(RDL)。

[0047] 在一个实施例中,可以针对不同的目的优化不同的集成无源器件(IPD)工艺。

[0048] 通过参考图1至图5可以理解本发明及其潜在优点。在本文档中,相似的附图标记表示相似的部件或步骤。

[0049] 图1示出了半导体装置100的集成无源器件(IPD)。

[0050] 管芯(未示出)可以被耦合在半导体装置100的顶部。此外,电路板(未示出)可以被耦合在半导体装置100的顶部或下方。可以使用焊料球来耦合。

[0051] 半导体装置100包括衬底110、集成无源器件(IPD)130-140、电介质层111和至少一个焊盘或连接层150-151。

[0052] 在一些实施方式中,衬底110可以包括玻璃或硅衬底。集成无源器件(IPD)130-140和电介质层111被示出在衬底110的第一表面(例如,顶表面)上。在一些实施方式中,集成无源器件(IPD)130-140和电介质层111被布置在衬底110的第二表面(例如,底表面)上,或者被布置在这两个表面上。

[0053] 集成无源器件(IPD)130-140可以是电容器、电感器和电阻器中的至少一个。应当注意,图1示出了集成无源器件(IPD)130-140的概念性表示。进一步示出和描述了集成无源器件(IPD)130-140的具体图示和示例。

[0054] 集成无源器件(IPD)工艺可以包括基本构造块,例如高质量因数(Q)电感器、电容器和传输线。适用于利用集成无源器件(IPD)实现的高Q部件和电路可以包括,例如,电容器、电感器、平衡-不平衡变换器、滤波器、匹配网络、天线、天线阵列和反馈网络。

[0055] 集成无源器件(IPD)工艺可以用作射频(RF)前端系统的集成平台,其中所有无源元件都被布置在集成无源器件(IPD)衬底上和相对于集成无源器件(IPD)衬底而堆叠的有源元件上。

[0056] 焊盘150-151可以包括至少一个金属层,用于电耦合到集成无源器件(IPD)130-140。半导体装置100的金属层焊盘150-151可以耦合到集成无源器件(IPD)端子130-131。

[0057] 在衬底110和/或电介质层111内,可以包含集成无源器件(IPD)130-140的至少一部分。集成无源器件(IPD)130-140包括第一IPD金属层130、第一IPD电介质层140和第二IPD金属层131。第一IPD金属层130位于衬底110的第一表面上。第一IPD电介质层140位于第一IPD金属层130的一部分上。第二IPD金属层131至少位于第一IPD电介质层140上。

[0058] 如图1进一步所示,第一IPD电介质层140位于第一IPD金属层130和第二IPD金属层131之间。在一些实施方式中,第二IPD金属层131的区域与第一IPD金属层131的区域重叠。

在一些实施方式中,第一IPD电介质层140是电介质层111的一部分。

[0059] 在一些实施方式中,集成无源器件(IPD)130-140可以包括电容器(例如,去耦电容器)、电阻器或电感器。集成无源器件(IPD)130-140可以被布置在半导体装置100的第一表面(例如,顶表面)或第二表面上。

[0060] 半导体装置100可以包括多个集成无源器件(IPD)130-140。

[0061] 图2示出了根据本发明实施例的半导体装置200。半导体装置200可以包括例如多金属层集成无源器件(IPD)装置。

[0062] 半导体装置200可以包括适用于多种RF应用以及从甚高频(VHF)到毫米波频率的多用途技术。半导体装置200可以进一步包括在不同金属层之间的薄膜电阻器、金属电感器和金属绝缘体金属(MIM)电容器。

[0063] 半导体装置200包括:硅衬底层210,硅衬底层210的至少一部分被掺杂有一导电类型的掺杂剂;以及形成在硅衬底层210上方的至少一个绝缘体层211、220、240,其中至少一个绝缘体层211、220、240和硅衬底层210的掺杂剂具有相反的电荷。

[0064] 在一个实施例中,半导体装置200包括硅衬底层210,硅衬底层210的至少一部分被掺杂有一导电类型的掺杂剂;形成在硅衬底层210上方的第一绝缘体层220,其中第一绝缘体层220和硅衬底层210的掺杂剂具有相反的电荷。

[0065] 可以基于硅衬底层210及其掺杂剂特性来选择第一绝缘体层220。

[0066] 例如,如果硅衬底层210被选择为p型硅衬底,则第一绝缘体层220被选择为包括负静电荷。

[0067] 在一个实施例中,选择第一绝缘体层220,使得第一绝缘体层220具有与硅衬底210的掺杂剂相反的静电荷。然后,第一绝缘体层220内的静电荷将在硅衬底210和第一绝缘体层220之间的界面处形成耗尽区域。这样的耗尽区域防止射频(RF)信号从该界面处被传输。

[0068] 例如,就辐射探测器而言,与高电阻率p型硅接触的负静电荷层ALD氮化铝将产生减小的泄漏电流。对于集成无源器件(IPD)来讲,可以达到相同的效果。

[0069] 在一个实施例中,硅衬底210包括p型硅,并且第一绝缘体层220包括诸如ALD、PECVD氧化物和PECVD氮化物的材料,以产生相对于硅衬底210而言相反的静电荷。

[0070] 在一个实施例中,例如,可以基于层220的静电荷和衬底层210的特性来确定第一绝缘体层220的厚度。因此,通过相对于衬底210优化第一绝缘体层220的厚度,改善了装置200的操作,尤其是RF特性。

[0071] 在一个实施例中,用于生长第一绝缘体层220的方法可以影响层220的静电荷,并且因此也影响装置200的性能。

[0072] 例如,通过使用PECVD硅烷工艺/氧化来生长第一绝缘体层220的PECVD氧化物,例如,如果使用热氧化物,则第一绝缘体层220的静电荷较高。

[0073] 在一个实施例中,第一绝缘体层220可以被理解为钝化层。

[0074] 在一个实施例中,可以确定第一绝缘体层220(钝化层)的组成和厚度,并且第一绝缘体层220(钝化层)的组成和厚度取决于衬底层210,例如硅衬底。第一绝缘体层220(钝化层)可以包括多个层。多个层可以是绝缘体层和扩散阻挡层中的至少一种,并且可以使用多个系统、器件或装置来生长这些层。

[0075] 在一个实施例中,半导体装置200包括布置在硅衬底层210与第一金属层230之间

的第一绝缘体层220。第一绝缘体层220可以覆盖衬底层210的上表面的至少一部分,例如硅衬底层210的面向第一金属层230的下表面的部分。

[0076] 第二绝缘体层240可以布置在第一金属层230元件和第二金属层231元件之间,其中第二金属层231布置在第一金属层230上方。

[0077] 在一个实施例中,半导体装置200包括布置在第一金属层230和第二金属层231之间的第二绝缘体层240。第二绝缘体层240可以覆盖第一金属层230的至少一部分,例如第一金属层230上表面的面对第二金属层231下表面的部分。

[0078] 第二绝缘体层240的至少一部分可以在第一金属层230元件与第三金属层250、251元件之间中断,以提供元件230、251之间的连接,其中第三金属层250、251布置在第二金属层231上方。

[0079] 在实施例中,半导体装置200包括布置在第二绝缘体层240上方的第三绝缘体层211。第三绝缘体层211可在第二金属层231与第三金属层250、251之间延伸。第三绝缘体层211可以覆盖第二绝缘体层240的至少一部分和第二金属层231的至少一部分。第三绝缘体层211的至少一部分可以在第一金属层230元件和第三金属层250、251元件之间中断,以提供元件230、251之间的连接。

[0080] 在一个实施例中,第二金属层231元件可以布置在第三绝缘体层211内,使得第二金属层231元件的下表面与第三绝缘体层211的下表面以及第二绝缘体层240的上表面齐平,如图2所示。

[0081] 在一个实施例中,第三绝缘体层211可以覆盖第二金属层231的至少一部分。第三绝缘体层211的至少一部分可以在第二金属层231元件和第三金属层250、251元件之间中断,以提供元件231、250之间的连接。

[0082] 在一个实施例中,至少一个阻挡层可以被形成到在至少一个金属层的表面上延伸的金属层230、231、250、251元件。

[0083] 阻挡层可以包括低压化学气相沉积氮化物 (LPCVD SiN) 或等离子体增强化学气相沉积氮化物 (PECVD SiN)。

[0084] 至少一个绝缘体层220可以包括原子层沉积 (ALD) 生长的氧化铝层。通过将原子层沉积 (ALD) 生长的氧化铝层布置为与衬底210接触的第一层220,可以实现改善的性能。绝缘体层220还可包括在ALD层顶部上的PECVD层。

[0085] 半导体装置200的至少一个绝缘体层220、240可以包括等离子体增强化学气相沉积 (PECVD) 层,例如原硅酸四乙酯 (TEOS)。

[0086] 半导体装置200的至少一个绝缘体层211可以包括旋涂聚酰亚胺层。

[0087] 在一个实施例中,第一绝缘体层220和第二绝缘体层240中的至少一个包括布置在硅衬底层210上方的负静电荷原子层沉积 (ALD) 生长的氧化铝层,以及第三绝缘体层211包括布置在原子层沉积 (ALD) 生长的氧化铝层上方的旋涂聚酰亚胺层。

[0088] 至少一个绝缘体层220、240的静电荷在至少一个绝缘体层211、220、240与硅衬底层210之间的界面处产生耗尽或累积区域。

[0089] 在一个实施例中,导电焊盘可以连接到至少一个金属层230、231、250、251元件,以电耦合到半导体装置200的集成无源器件 (IPD)。半导体装置200的金属层焊盘例如可以耦合到集成无源器件 (IPD) 端子。

[0090] 绝缘体层211、220、240影响装置200的RF性能。应当选择与高电阻率硅衬底210接触的第一绝缘体层220,使得第一绝缘体层220具有与硅衬底210的掺杂剂相反的静电荷。然后,第一绝缘体层220内的静电荷将在硅110和第一绝缘体250之间的界面处产生耗尽区域。这种耗尽区域防止射频(RF)信号在这个界面被发射。

[0091] 存在改善半导体装置200的RF性能的不同方法。首先,可以通过布置与衬底层210相比具有相反静电荷的绝缘体层220来产生耗尽区域。第二,绝缘体层220的厚度例如可以相对于衬底210和绝缘体层220的材料和形成方法来优化。第三,取决于实施方式,可以选择具有最小静电荷的绝缘体层220。也可以应用不同方法的组合。

[0092] 例如,就辐射探测器而言,与高电阻率p型硅接触的负静电荷层ALD氧化铝将产生减小的泄漏电流。对于集成无源器件(IPD),可以达到相同的效果。

[0093] 在一个实施例中,可以使用不同的绝缘体沉积方法来产生不同的RF性能。可以例如利用具有最小静电荷的薄氧化物层220来优化RF性能。

[0094] 还应注意,可能消耗IPD部件上第一绝缘体层220的所有工艺都可能使RF性能变差。例如,衬底210的热氧化(高温)不会使衬底210的性能变差,但是如果氧化物随后被刻蚀掉并且衬底210被再次氧化,则性能可能会变弱。通过贯穿本说明书和图2至图5公开的不同实施例可以避免这种情况。

[0095] 在一个实施例中,应当选择与高电阻率硅210接触的第一绝缘体层220以具有与高电阻率硅相反的静电荷。

[0096] 在一个实施例中,第二绝缘体层240可以具有最小的静电荷,并且厚度可以保持很小。

[0097] 在一个实施例中,半导体装置200包括衬底210、集成无源器件(IPD)金属层元件230、231、250、251、第一绝缘体层220、第二绝缘体层240和第三绝缘体层211。电介质材料可以被用于绝缘体层中的至少一层。

[0098] 在一个实施例中,可以使用特殊的高电阻率硅衬底210来完成集成无源器件(IPD)处理。这种具有新颖的隔离层(钝化层)的高电阻率硅衬底210的行为不一定与标准硅晶片相同。

[0099] 与集成无源器件(IPD)衬底210接触的绝缘体层220的厚度和材料类型对装置200的性能有影响。特别是,RF性能受到影响。

[0100] 在一些实施方式中,衬底210可以包括玻璃或硅衬底。集成无源器件(IPD)和隔离电介质层被示出在衬底210的第一表面(例如,顶表面)上。在一些实施方式中,集成无源器件(IPD)和隔离电介质层被布置在衬底210的第二表面(例如,底表面)上或这两个表面上。

[0101] 在一个实施例中,集成无源器件(IPD)可以是电容器、电感器和电阻器中的至少一种。应当注意,图2示出了集成无源器件(IPD)的概念表示。

[0102] 集成无源器件(IPD)工艺可以包括基本构造块,例如高品质因数(Q)电感器、电容器和传输线。适用于利用集成无源器件(IPD)实现的高Q部件和电路可以包括,例如,电容器、电感器、平衡-不平衡变换器、滤波器、匹配网络、天线、天线阵列和反馈网络。

[0103] 半导体装置200可以例如在金属层元件230、231、250、251之间包括薄膜电阻器或金属-绝缘体-金属(MIM)电容器。此外,例如,可以提供铜金属层用于高质量因子传输线和无源部件。金属层可以由聚酰亚胺层211隔开,并且同一金属层的不同金属层元件可以由第

二聚酰亚胺材料隔开。作为进一步的步骤,可以沉积倒装芯片凸块以允许将部件组装成模块。

[0104] SiO_2 可以用作IPD工艺的电介质材料,但是如果需要更高的电容密度,也可以使用其他材料。例如, Ta_2O_5 , HfO 或 ZrO_2 的介电常数为25、16和20。可以根据应用选择薄膜电阻器层的电阻。例如,标准工艺薄膜电阻器的电阻适合匹配的RF端接,电阻器适用于电阻性Wilkinson功率分配器。诸如RF MEMS偏置电路之类的应用需要优选高于500欧姆的电阻值。

[0105] 在实施例中,负静电荷ALD氧化铝(氧化铝层)可以被用作与高电阻率硅接触的第一绝缘体层220,并且PECVD TEOS可以被用于ALD的顶部。

[0106] 图3示出了根据本发明另一实施例的半导体装置300。半导体装置300可以包括例如多金属层集成无源器件(IPD)设备。

[0107] 半导体装置300可以包括适用于多种RF应用以及从甚高频(VHF)到毫米波频率的多用途技术。半导体装置200可以进一步包括在不同金属层之间的薄膜电阻器、金属电感器和金属绝缘体金属(MIM)电容器。

[0108] 半导体装置300包括:硅衬底层210,硅衬底层210的至少一部分被掺杂有一导电类型的掺杂剂;以及形成在硅衬底层210上方的至少一个绝缘体层211、220、240、312,其中至少一个绝缘体层220和硅衬底层210的掺杂剂具有相反的电荷。

[0109] 在一个实施例中,半导体装置300包括硅衬底层210,硅衬底层210的至少一部分被掺杂有一导电类型的掺杂剂;以及形成在硅衬底层210上方的第一绝缘体层220,其中第一绝缘体层220和硅衬底层210的掺杂剂具有相反的电荷。

[0110] 可以基于硅衬底层210及其掺杂特性来选择第一绝缘体层220。

[0111] 例如,如果硅衬底层210被选择为p型硅衬底,则第一绝缘体层220被选择为包括负静电荷。

[0112] 在一个实施例中,选择第一绝缘体层220以使得第一绝缘体层220具有与硅衬底210的掺杂剂相反的静电荷。然后,第一绝缘体层220内的静电荷将在硅衬底210和第一绝缘体层220之间的界面处创建耗尽区域。这样的耗尽区域防止射频(RF)信号在该界面处被传输。

[0113] 例如,就辐射探测器而言,与高电阻率p型硅接触的负静电荷层ALD氧化铝/氮化铝将产生减小的泄漏电流。对于集成无源器件(IPD),可以达到相同的效果。

[0114] 替代地,例如,可以使用与高电阻率的n型硅接触的正静电荷层ALD氧化铝/氮化铝。

[0115] 在一个实施例中,硅衬底210包括p型硅,并且第一绝缘体层220(例如,单独或与第二绝缘体层240结合)包括诸如ALD氧化铝(Al_2O_3)、PECVD氧化物和PECVD氮化物的材料,以相对于硅衬底210而言产生相反的静电荷。

[0116] 在一个实施例中,例如,可以基于第一绝缘体层220的静电荷和衬底层210的特性来确定第一绝缘体层220的厚度。因此,通过相对于衬底210优化第一绝缘体层220的厚度,可以改善装置300的操作,尤其是RF特性。

[0117] 在一个实施例中,用于生长第一绝缘体层220的方法可以影响层220的静电荷,并且因此还影响装置300的性能。

[0118] 例如,通过使用PECVD硅烷工艺/氧化来生长第一绝缘体层220的PECVD氧化物,例

如,如果使用热氧化物,则第一绝缘体层220的静电荷较高。

[0119] 在一个实施例中,第一绝缘体层220可以被理解为钝化层。

[0120] 在一个实施例中,可以确定第一绝缘体层220(钝化层)的组成和厚度,并且第一绝缘体层220(钝化层)的组成和厚度取决于衬底层210,例如硅衬底。第一绝缘体层220(钝化层)可以包括多个层。多个层可以是绝缘体层和扩散阻挡层中的至少一层,并且可以使用多个系统、器件或装置来生长这些层。

[0121] 在一个实施例中,半导体装置300包括布置在硅衬底层210和第一金属层230之间第一绝缘体层220。第一绝缘体层220可以覆盖衬底层210的上表面的至少一部分,例如衬底层210的面向第一金属层230的下表面的部分。

[0122] 在一个实施例中,半导体装置300包括布置在第一金属层230和第二金属层231之间的第二绝缘体层240。第二绝缘体层240可以覆盖第一金属层230的至少一部分,例如第一金属层230上表面的面对第二金属层231下表面的部分。

[0123] 第二绝缘体层240的至少一部分可以在第一金属层230元件与第三金属层250、251元件之间中断,以提供元件230、251之间的连接,其中第三金属层250、251布置在第二金属层231上方。

[0124] 在一个实施例中,半导体装置300包括布置在第二绝缘体层240上方的第三绝缘体层211。第三绝缘体层211可在第二金属层231与第三金属层250、251之间延伸。第三绝缘体层211可以覆盖第二绝缘体层240和第二金属层231元件的至少一部分。第三绝缘体层211的至少一部分可以在第一金属层230元件与第三金属层250、251元件之间中断,以提供元件230、251之间的连接。第三绝缘体层211的至少一部分可以在第二金属层231元件和第三金属层250、251元件之间中断,以提供元件231、250之间的连接。

[0125] 在一个实施例中,第二金属层231元件可以被布置在第三绝缘体层211内,使得第二金属层231元件的下表面与第三绝缘体层211的下表面以及第二绝缘体层240的上表面齐平,如图3所示。

[0126] 在一个实施例中,至少一个阻挡层可以被形成为在至少一个金属层的表面上延伸的金属层230、231、250、251元件。

[0127] 阻挡层可以包括低压化学气相沉积氮化物 (LPCVD SiN) 或等离子体增强化学气相沉积氮化物 (PECVD SiN)。

[0128] 至少一个绝缘体层220可以包括原子层沉积 (ALD) 生长的氧化铝层。

[0129] 半导体装置200的至少一个绝缘体层220、240可以包括等离子体增强化学气相沉积 (PECVD) 层,例如原硅酸四乙酯 (TEOS)。

[0130] 半导体装置200的至少一个绝缘体层211可以包括旋涂聚酰亚胺层。

[0131] 在一个实施例中,第一绝缘体层220和第二绝缘体层240中的至少一项包括布置在硅衬底层210上方的负静电荷原子层沉积 (ALD) 生长的氧化铝层,以及第三绝缘体层211包括布置在原子层沉积 (ALD) 生长的氧化铝层上方的旋涂聚酰亚胺层。

[0132] 至少一个绝缘体层220、240的静电荷在至少一个绝缘体层211、220、240与硅衬底层210之间的界面处产生耗尽区域。

[0133] 在一个实施例中,半导体装置300包括布置在第三绝缘体层211上方的第四绝缘体层312。第四绝缘体层312可以覆盖第三金属层250、251元件,并且还可以如所示那样在元件

250、251之间水平延伸。第四绝缘体层312可以覆盖第三绝缘体层211的至少一部分。可以中断第四绝缘体层312的至少一部分,以通过第四绝缘体层提供与至少一个金属层250、251元件的连接。例如,可以针对第三金属层250、251元件和倒装凸块351之间的连接焊盘350来布置对于第四绝缘体层312的中断,以提供到半导体装置300的外部连接。

[0134] 在一个实施例中,半导体装置300的第四绝缘体层312可以包括等离子体增强化学气相沉积(PECVD)层,例如原硅酸四乙酯(TEOS)或一些其他电介质材料。

[0135] 在一个实施例中,导电焊盘350、351可以连接至至少一个金属层230、231、250、251元件,以电耦合至半导体装置300的集成无源器件(IPD)。半导体装置300的金属层焊盘可以例如耦合至集成无源器件(IPD)端子。

[0136] 绝缘体层211、220、240、312中的至少一个可以影响到装置300的RF性能。应当选择与高电阻率硅衬底210接触的第一绝缘体层220,使得第一绝缘体层220具有与硅衬底210的掺杂剂相反的静电荷。然后,第一绝缘体层220内的静电荷将在硅110和第一绝缘体250之间的界面处创建耗尽区域。这种耗尽区域防止射频(RF)信号从该界面处被传输。

[0137] 存在改善半导体装置300的RF性能的不同方法。首先,可以通过布置与衬底层210相比具有相反静电荷的绝缘体层220来产生耗尽区域。第二,例如,可以根据衬底210和绝缘体层220的材料和形成方法优化绝缘体层220的厚度。第三,根据实施方式,可以选择具有最小静电荷的绝缘体层220。也可以应用不同方法的组合。

[0138] 例如,就辐射探测器而言,与高电阻率p型硅接触的负静电荷层ALD氧化铝将产生减小的泄漏电流。对于集成无源器件(IPD)来讲,可以达到相同的效果。

[0139] 在一个实施例中,可以使用不同的绝缘体沉积方法来产生不同的RF性能。例如可以利用具有最小静电荷的薄氧化物层220来优化RF性能。

[0140] 还应注意,可能消耗IPD部件上的第一绝缘体层220的所有工艺都可能使RF性能变差。例如,衬底210的热氧化(高温)不会使衬底210的性能变差,但是如果氧化物随后被刻蚀掉并且衬底210被再次氧化,则性能可能会变弱。通过贯穿本说明书和图2至图5公开的不同实施例可以避免这种情况。

[0141] 在一个实施例中,应当选择与高电阻率硅210接触的第一绝缘体层220以具有与高电阻率硅相反的静电荷。

[0142] 在一个实施例中,第二绝缘体层240可以具有最小的静电荷,并且厚度可以保持较小。

[0143] 在一个实施例中,半导体装置300包括衬底210、集成无源器件(IPD)金属层元件230、231、250、251、第一绝缘体层220、第二绝缘体层240、第三绝缘体层211和第四绝缘体层312。此外,包括了导电焊盘和/或倒装凸块350、351。电介质材料可以被用于绝缘体层中的至少一层。

[0144] 在一个实施例中,可以使用特殊的高电阻率硅衬底210来完成集成无源器件(IPD)处理。这种具有新颖绝缘体(钝化)层的高电阻率硅衬底210的行为不一定与标准硅晶片相同。

[0145] 与集成无源器件(IPD)衬底210接触的绝缘体层220的厚度和材料类型对装置200的性能有影响。特别是影响RF性能。

[0146] 在一些实施方式中,衬底210可以包括玻璃或硅衬底。在衬底210的第一表面(例

如,顶表面)上示出了集成无源器件(IPD)和隔离电介质层。在一些实施方式中,在衬底210的第二表面(例如,底表面)或这两个表面上布置集成无源器件(IPD)和隔离电介质层。

[0147] 在一个实施例中,集成无源器件(IPD)可以是电容器、电感器和电阻器中的至少一个。应当注意,图3示出了集成无源器件(IPD)的概念表示。

[0148] 集成无源器件(IPD)工艺可以包括基本构造块,例如高质量因子(Q)电感器、电容器和传输线。适用于利用集成无源器件(IPD)实现的高Q部件和电路可以包括,例如,电容器、电感器、平衡-不平衡变换器、滤波器、匹配网络、天线、天线阵列和反馈网络。

[0149] 半导体装置300可以例如在金属层元件230、231、250、251、350、351之间包括薄膜电阻器或金属-绝缘体-金属(MIM)电容器。此外,例如,可以提供铜金属层用于高质量因子传输线和无源部件。金属层可以由聚酰亚胺层211、312隔开,并且同一金属层的不同金属层元件可以由第二聚酰亚胺材料隔开。作为进一步的步骤,可以沉积倒装芯片凸块以允许将部件组装成模块。

[0150] SiO_2 可以用作IPD工艺的电介质材料,但是如果需要更高的电容密度,也可以使用其他材料。例如, Ta_2O_5 、 HfO 或 ZrO_2 的介电常数为25、16和20。可以根据应用选择薄膜电阻器层的电阻。例如,标准工艺薄膜电阻器的电阻适合匹配的用于电阻性Wilkinson功率分配器的电阻器和RF端接。诸如RF MEMS偏置电路之类的应用需要的电阻值优选高于500欧姆。

[0151] 在一个实施例中,负静电荷ALD氧化铝可以用作与高电阻率硅接触的第一绝缘体层220,并且PECVD TEOS可以在ALD的顶部使用。

[0152] 在一个实施例中,半导体装置200、300包括硅衬底层210,硅衬底层210的至少一部分被掺杂有一导电类型(例如p型)的掺杂剂,并且第一绝缘体层220形成在硅衬底层210上方,其中第一绝缘体层220和硅衬底层210的掺杂剂具有相反的电荷。第一绝缘体层220可以是多种材料的组合。第一绝缘体层220可以包括ALD氧化铝层(例如, Al_2O_3)、绝缘体氧化物和绝缘体氮化物。

[0153] 绝缘体氧化物可以包括例如硅烷氧化物、TEOS氧化物或热氧化物。例如,通过使用PECVD硅烷工艺/氧化来生长第一绝缘体层220的PECVD氧化物,与例如使用热氧化物相比,第一绝缘体层220的静电荷更高。

[0154] 绝缘体氮化物可以包括例如PECVD或LPCVD氮化物(SiN)。

[0155] 在一个实施例中,第一绝缘体层220是ALD氧化铝层(例如, Al_2O_3)、包含PECVD氧化物(硅烷工艺/氧化)的绝缘体氧化物和包含PECVD氮化物(SiN)作为阻挡层的绝缘体氮化物的组合。

[0156] 在一个实施例中,绝缘体层220、240、211、312中的至少两个可以被提供为包括不同材料或子层220、240的集成绝缘体层。

[0157] 图4示出了根据本发明实施例的方法的流程图。

[0158] 在步骤410中开始用于制造包括钝化的硅衬底的半导体装置的方法。在步骤420中,提供硅衬底。该步骤可以包括例如将硅衬底置于典型的反应器工具的反应空间中,例如一种适合执行ALD型工艺的工具。硅衬底层的至少一部分被掺杂有一导电类型的掺杂剂。在步骤430中,在硅衬底层上沉积钝化层,其中,钝化层和硅衬底层的掺杂剂具有相反的电荷。如在不同实施例中所公开的,钝化层可以包括第一绝缘体层。在步骤440中,在钝化层上方形成至少一个金属层。在步骤450中,执行沉积另外的绝缘体层,例如,第二层、第三层和第

四层,以及形成另外的金属层,例如第二层和第三层。在步骤460,方法结束。

[0159] 图5示出了根据本发明实施例的另一种方法的流程图。

[0160] 在步骤510中开始制造包括钝化的硅衬底的半导体装置的方法。在步骤520中,提供硅衬底。该步骤可以包括例如将硅衬底置于典型的反应器工具的反应空间中,例如一种适合进行ALD型工艺的工具。硅衬底层的至少一部分被掺杂有一导电类型的掺杂剂。在步骤530中,在硅衬底层上沉积钝化层,其中,钝化层和硅衬底层的掺杂剂具有相反的电荷。在步骤540中,在钝化层上方形成金属层。可选地,可以关于金属层沉积阻挡层。在步骤550中,在金属层上方形成至少一个绝缘体层。在步骤560中,例如形成另外的金属层,例如第二层和第三层,并且沉积另外的绝缘体层以提供集成无源器件(IPD)元件,其中至少一个绝缘体层的至少一部分布置在至少两个金属层之间。在步骤570中,可以为该装置生成导电焊盘和/或倒装凸块。在步骤580中,方法结束。

[0161] 在一个实施例中,钝化层包括氧化铝,并且形成在硅衬底的表面上,以通过在钝化层和导电电极之间制作阻挡层来免受钝化层和导电电极之间化学相互作用造成的影响。

[0162] 通过使钝化层在反应空间中暴露于两种或更多种不同前体的交替重复的表面反应,可以在钝化层上沉积阻挡层,该阻挡层包括钛和氧、钽和氧、锆和氧、铪和氧、或它们任何组合、或它们与铝和氧的任何组合,其中前体中的至少一个是氧的前体,并通过在阻挡层上制作包括铝浆的层,而在沉积在钝化层上的阻挡层上形成导电电极。

[0163] 随后可以将反应空间抽真空至适于形成包含氧化铝的钝化层的压力。反应空间可以使用例如机械真空泵抽至合适的压力,或者在大气压ALD系统和/或工艺的情况下,可以设置气流以保护沉积区不受大气影响。也可以通过所使用的方法将硅衬底加热至适合于形成钝化层的温度。可以通过例如气密的负载锁定系统或仅通过装料口将硅衬底引入反应空间。可以通过例如也加热整个反应空间的电阻加热元件来加热硅衬底。

[0164] 在硅衬底和反应空间达到目标温度和其他适于沉积的条件之后,可以调节硅表面,使得钝化沉积物可以基本上直接沉积在硅表面上。对要在其上沉积钝化层的硅表面的这种调节可以包括化学净化硅膜的表面以除去杂质和/或氧化物。当硅表面已通过氧化环境例如当将暴露的硅表面从一种沉积工具传输到另一种沉积工具而导入反应空间时,去除氧化物是特别有益的。鉴于本说明书的说明,从硅膜的表面去除杂质和/或氧化物的工艺细节对于本领域技术人员来讲将是显而易见的。在本发明的一些实施例中,调节可在非原位进行,即在适合于ALD型工艺的工具外部进行。

[0165] 在对硅衬底进行调节之后,可以开始将沉积表面交替暴露于不同的前体化学物质,从而在硅衬底上直接形成钝化层(包括例如氧化铝)。由于相应的前体与沉积表面的吸附反应,沉积表面对前体的每次暴露导致在沉积表面上形成额外的沉积物。

[0166] 典型的适合于ALD型沉积的反应器包括用于将载气例如氮气或氩气引入反应空间的系统,使得在引入下一前体化学物质进入反应空间之前,可以将过量的化学物质和反应副产物从反应空间中清除。该特征与汽化前体的受控剂量一起使得能够将衬底表面交替地暴露于前体,而不会在反应空间或反应器的其他部分中大量混杂不同的前体。在实践中,载气通常在整个沉积过程中连续流过反应空间,并且仅将各种前体与载气交替引入反应空间。

[0167] 通过沉积表面暴露于不同前体的次数,可以控制硅衬底上的钝化层的厚度。增大

钝化层的厚度直到达到目标厚度,之后沉积至少一个绝缘体层。

[0168] 在本发明的一个实施例中,在钝化层的沉积刚刚结束之后,在同一沉积工具中以ALD型工艺进行绝缘体层的沉积。在这种情况下,绝缘体层的沉积可以简单地通过将前体化学物质从用于钝化层沉积的前体化学物质改变为适合于绝缘体层沉积的前体化学物质而开始。

[0169] 在一个实施例中,键合引线封装包括堆叠在管芯上的集成无源器件(IPD)。管芯可以布置在引线框上。引线框可以是引脚栅格阵列(PGA)封装、四方扁平无引线(QFN)封装或其他封装。引线框可以包括第一焊盘,并且可以安装在PCB上。中间层可以布置在集成无源器件(IPD)和管芯之间,并将集成无源器件(IPD)连接到管芯。集成无源器件(IPD)、管芯和中间层可以代替集成无源器件(IPD)和管芯。

[0170] 在一个实施例中,半导体装置包括第一衬底。衬底可以是掺杂的P-抽头或N-抽头衬底。第二衬底可以不被掺杂并且被配置用于无源器件。第二衬底可以具有在其上形成的一个或多个金属化层。第二衬底可具有布置在第二衬底上和/或第二衬底下方的任何数量的金属化层和/或绝缘体层。金属化层可以包括无源器件、无源器件的一部分和/或互连器件(例如,耦合器、跳线、迹线等)。例如,第二衬底可以具有比第一衬底和PCB更高的电阻率。

[0171] 集成无源器件(IPD)包括绝缘体层或第二衬底、以及金属化层。绝缘体层或第二衬底布置在金属化层之间。绝缘体层或第二衬底可以包括过孔。过孔可以是玻璃通孔(TGV)或硅通孔(TSV)。过孔可以将第一金属化层和/或第一金属化层上的无源器件连接到第二金属化层和/或第二金属化层上的无源器件。每个无源器件可以在集成无源器件(IPD)的一层或多层上实现。

[0172] 作为示例,在IPD中实现电感。电感可包括金属化层和一些过孔中的迹线(或导电元件)。任何电感都可以在IPD的各层中实现。由于在多层上具有导电元件的电感器的配置,由电感器产生的磁场可以被引导在横跨IPD的方向上。这防止了由电感产生的磁场影响有源器件和/或管芯中的相应信号,从而减少了有源器件受到的干扰。如果要在IPD中将电感实现为平面结构,则电感可能会产生垂直于管芯并指向管芯的磁场,这将导致干扰。

[0173] 附加的焊盘可以布置在IPD上。焊盘可以通过键合引线连接到第一焊盘。焊盘可以连接到金属化层和/或金属化层中的无源器件。

[0174] 在不以任何方式限制下面出现的权利要求的范围、解释或应用的情况下,本文公开的一个或多个示例实施例的技术效果是表面钝化硅衬底的提高的射频(RF)性能。本文公开的一个或多个示例实施例的另一技术效果是集成无源器件(IPD)的改进的制造工艺。本文公开的一个或多个示例实施例的另一技术效果是提供了一种可靠且紧凑的半导体装置。

[0175] 尽管在独立权利要求中陈述了本发明的各个方面,但是本发明的其他方面包括来自所描述的实施例和/或从属权利要求的特征与独立权利要求特征的其他组合,而不仅仅是在权利要求书中明确列出的这些组合。

[0176] 在此还应注意,尽管以上描述了本发明的示例实施例,但是这些描述不应以限制性的意义来理解。而是,在不脱离所附权利要求书所限定的本发明范围的情况下,可以进行多种变型和修改。

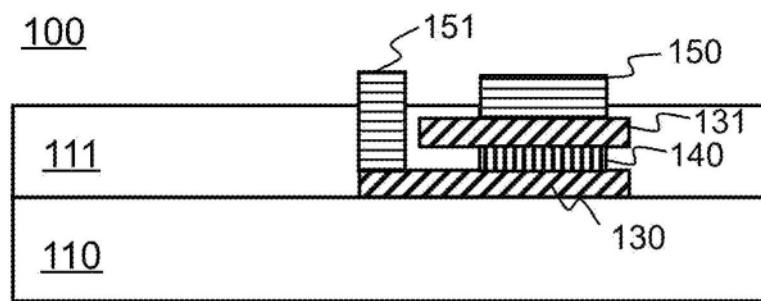


图1

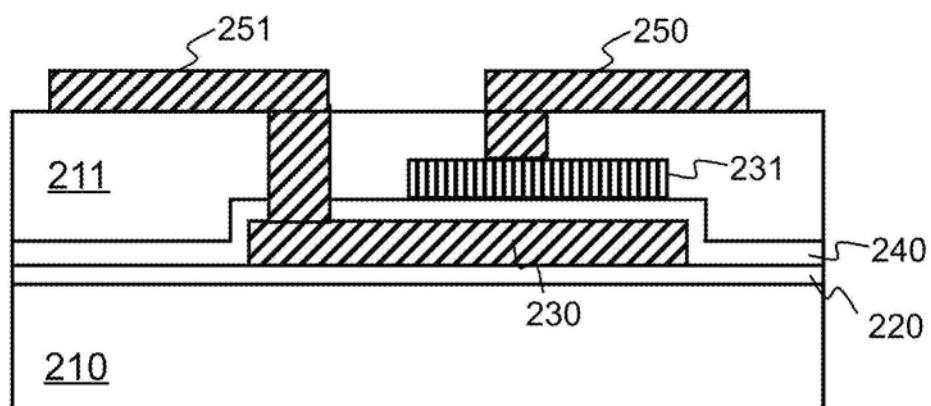
200

图2

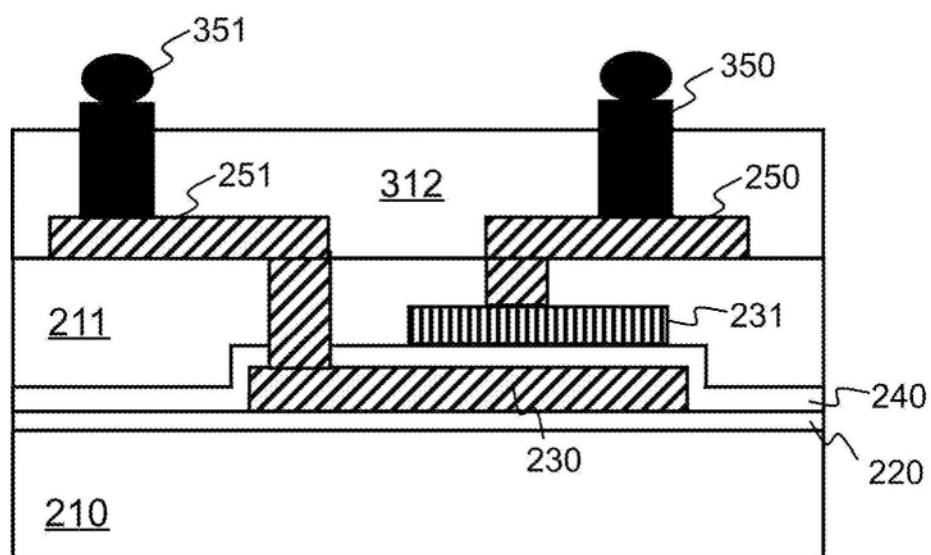
300

图3

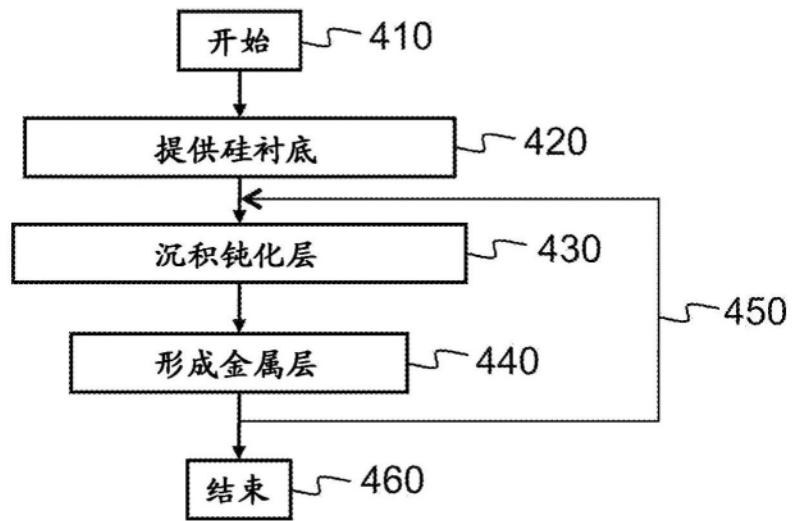


图4

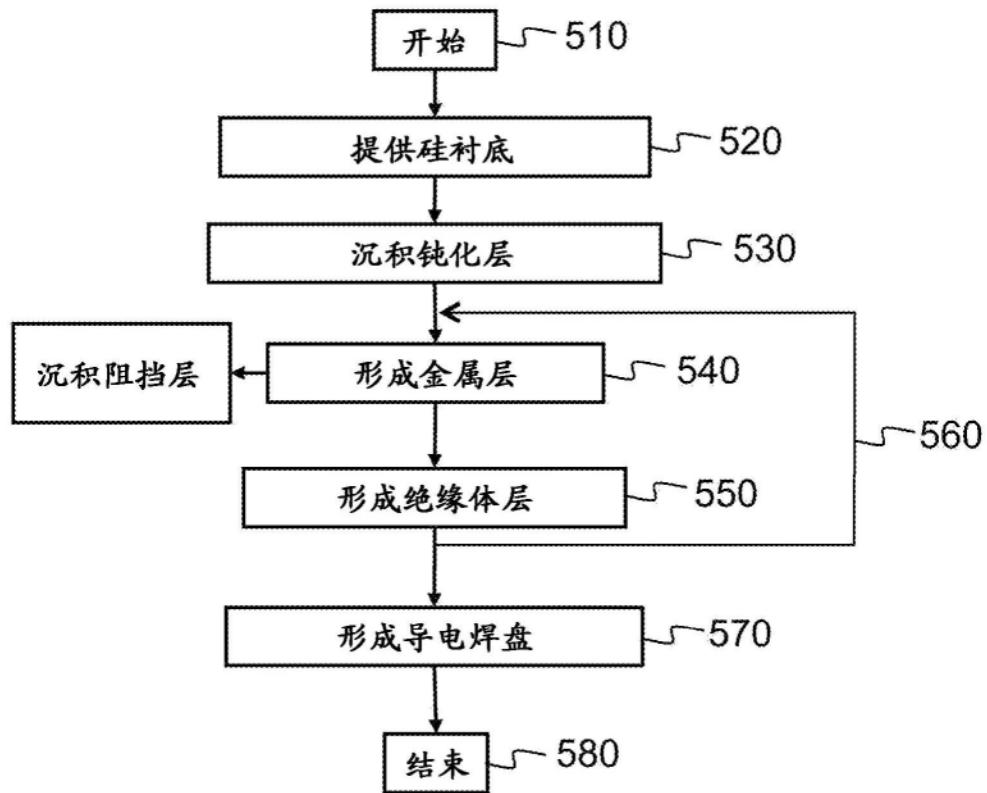


图5