

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2004-349714
(P2004-349714A)

(43) 公開日 平成16年12月9日(2004.12.9)

(51) Int. Cl.⁷
H01L 23/12

F I
H01L 23/12 N

テーマコード (参考)

審査請求 未請求 請求項の数 3 O L (全 6 頁)

<p>(21) 出願番号 特願2004-177959 (P2004-177959)</p> <p>(22) 出願日 平成16年6月16日 (2004. 6. 16)</p> <p>(62) 分割の表示 特願2001-542386 (P2001-542386) の分割</p> <p>原出願日 平成12年12月4日 (2000. 12. 4)</p> <p>(31) 優先権主張番号 09/453, 007</p> <p>(32) 優先日 平成11年12月2日 (1999. 12. 2)</p> <p>(33) 優先権主張国 米国 (US)</p>	<p>(71) 出願人 500271546 インテル・コーポレーション INTEL CORPORATION アメリカ合衆国 95051 カリフォルニア、サンタ・クララ、ウォルシュ・アベニュー 2625</p> <p>(74) 代理人 100088454 弁理士 加藤 紘一郎</p> <p>(72) 発明者 サンクマン, ボブ アメリカ合衆国 アリゾナ州 85044 フェニックス イースト・ビヤース・ロード 4753</p> <p>(72) 発明者 アジミ, ハミド アメリカ合衆国 アリゾナ州 85248 チャンドラー ウェスト・ビーチナット・ドライブ 945</p>
--	--

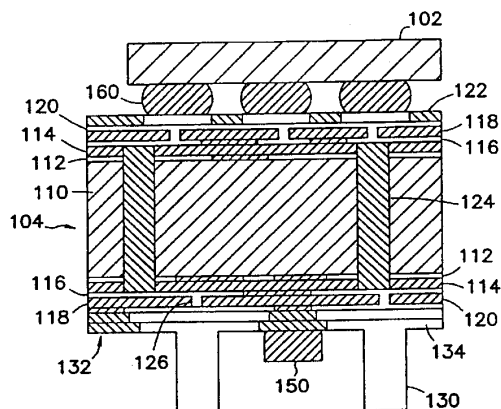
(54) 【発明の名称】 集積回路パッケージ

(57) 【要約】 (修正有)

【課題】 多層基板において外部回路との電氣的及び物理的接続性を得るための基板結合技術を提供する。

【解決手段】 基板104は、隔離された導電層間に設けた導電性ビア126を有する。ビア124は、導電層を分離する絶縁層を貫通するようにレーザーにより形成する。T字形ピンより成る外部への相互接続部は、集積回路パッケージの基板104にはんだ付けする。集積回路102は、フリップチップ法により基板に固着可能である。

【選択図】 図2



【特許請求の範囲】

【請求項 1】

集積回路基板を形成する方法であって、
絶縁基板層の上に第 1 の導電層を形成し、
第 1 の導電層の上に内部の第 1 の絶縁層を形成し、
レーザーを用いて内部の第 1 の絶縁層に第 1 のビアを形成することにより、第 1 の導電層を露出させ、

第 1 の内部の絶縁層の上に第 2 の導電層を形成して、この第 2 の導電層が第 1 のビアの内側表面を覆い、内部の第 1 の絶縁層を通る導電パスが形成されるようにするステップより成る集積回路基板の形成方法。

10

【請求項 2】

第 2 の導電層の上に内部の第 2 の絶縁層を形成し、
レーザーを用いて内部の第 2 の絶縁層に第 2 のビアを形成することにより、第 2 の導電層を露出させ、

内部の第 2 の絶縁層に第 3 の導電層を形成して、この第 3 の導電層が第 2 のビアの内側表面を覆い、内部の第 2 の絶縁層を通る導電パスが形成されるようにするステップをさらに含む請求項 1 の方法。

【請求項 3】

第 1 及び第 2 のビアは実質的に整列関係にある請求項 2 の方法。

【発明の詳細な説明】

20

【技術分野】

【0001】

本発明は、一般的に、集積回路に関し、さらに詳細には、集積回路の実装に関する。

【背景技術】

【0002】

集積回路 (IC) は、1 またはそれ以上の機能を有する回路を形成するために、電子コンポーネントを導電接続部によりリンクしたものである。IC は通常、チップまたはダイと呼ぶシリコン片に形成する。シリコンダイは、板状のシリコンウェハに形成可能であり、ウェハの表面に一連の製造ステップを施して同一の IC パターンを形成する。IC は、ダイ間の境界となる、ウェハ表面の繰り返しパターンのスクライプライン (ソウラインとも呼ぶ) により互いに分離する。各ダイに 1 つの IC が形成される。製造プロセスの一段階で、ダイをスクライプラインに沿ってウェハから切り離し、各ダイを基板にボンディングして IC パッケージを形成する。

30

【0003】

基板は、IC パッケージのダイに機械的支持を与え、IC との間で信号を送受信し、IC の動作時発生する熱を伝達することができる、比較的平坦で剛性の構造を有する。基板は、キャリアとも呼ばれる。基板は、IC が、IC パッケージの他の回路及び IC パッケージに接続された回路と信号を交換できるように、ダイ上のボンディングパッドにそれぞれ接続された導電リードを有する。IC に組み込めことが容易でない抵抗やキャパシタのような別の素子も、IC パッケージの上部または下部に固着することができる。IC パッケージは、コンピュータやセルラー電話のような装置を形成するために相互接続された IC パッケージのシステムより成る回路板アセンブリに適用することができる。

40

【0004】

ダイを IC パッケージの基板にボンディングする方法に、フリップチップボンディングと呼ばれるものがある。フリップチップボンディングの 1 つの方式は、controlled collapse chip connection または C4 法として知られている。フリップチップボンディングは、ウェハの相互接続をする際、はんだバンプをダイ上のボンディングパッドの上に配置する。その後、ウェハをダイシングしてダイを切り離す。そして各ダイを裏返し (即ち、フリップして)、基板上のボンディングパッドまたははんだバンプの対応パターンと整列させる。はんだバンプを接合して、ダイと、基板との間に一連のはんだコラムが形成される

50

ように、第2のリフロー操作を行なう。はんだコラムは、I/O信号を伝送し、電力を供給するための、ダイのICと、基板との間の導電接続部またはリードとして働く。

【0005】

マイクロエレクトロニクス製品の集積度が増加し、機能及び性能が向上するにつれて、実装技術の複雑さがそれに正比例して増加する。例えば、シリコンプロセスがより精細なサイズに進化したため、高いシステムクロック速度と、早い立ち上がり時間を実現できるマイクロプロセッサの設計が可能になった。

【0006】

その結果、集積度レベルと、プロセッサチップのような回路と、基板との間の相互接続部の密度が飛躍的に増加した。従って、外部回路との電氣的及び物理的接続性を得るための集積回路の基板結合技術は、相互接続部の密度の増加につれてますます大きな挑戦課題を提供する。

10

【0007】

上記の理由により、また当業者が本願明細書を読んで理解すれば明らかになる下記の他の理由により、相互接続部の密度が高い新しい基板技術が求められている。

【発明の概要】

【0008】

本発明により解決される集積回路の実装に関する上記及び他の問題は、以下の説明を読んで理解すれば明らかになるであろう。

【0009】

20

1つの実施例において、集積回路パッケージは、集積回路のダイと、有機多層基板と、T字形導電ピンとより成る。有機多層基板は、絶縁基体層と、絶縁基体層の上部及び下部上にそれぞれ形成された第1の導体層、第1の絶縁層及び第2の導体層とより成る。T字形導電ピンは、基板の下部上の最も外側の導体層にはんだ付けされている。

【0010】

別の実施例において、マイクロプロセッサパッケージは、マイクロプロセッサのダイと、有機多層基板と、T字形導電ピンとより成る。有機多層基板は、絶縁基体層と、絶縁基体層の上部及び下部上に形成された第1の導体層と、第1の導体層上に形成された第1の絶縁層と、第1の絶縁層上に形成された第2の導体層と、第2の導体層上に形成された第2の絶縁層と、第2の絶縁層上に形成された第3の導体層とより成る。かくして、有機多層基板は少なくとも11個の層より成り、そのうち6個の層は導電材料より形成されている。T字形導電ピンは、基板の下部上の第3の導体層にはんだ付けされている。

30

【0011】

さらに別の実施例として、集積回路基板を製造する方法が提供される。この方法は、絶縁基体層上に第1の導体層を形成し、第1の導体層上に第1の絶縁層を形成し、レーザーにより内部の第1の絶縁層に第1のビアを形成して第1の導体層を露出させ、内部の第1の絶縁層上に第2の導体層を形成するステップより成る。第2の導体層は、第1のビアの内側表面を被覆することにより、第1の絶縁層を介する導電パスを形成する。

【実施例】

【0012】

40

本発明の以下の詳細な説明において、本願の一部であり、本発明の特定の実施例を例示する添付図面を参照する。これらの実施例は、当業者が本発明を実施できるように十分に詳しく記載されている。他の実施例も可能であり、本発明の範囲から逸脱することなく論理的、機械的及び電氣的な設計変更を行うことができる。従って、以下の詳細の説明は限定的な意味でとらえるべきでなく、本発明の範囲は頭書の特許請求の範囲によってのみ決定される。

【0013】

図1は、集積回路パッケージ100の単純化した斜視図である。このパッケージは、少なくとも1つの集積回路のダイ102と、基板104とを有する。基板は、下方に延びて外部回路との電氣的接続を可能にする導電ピン106を有する。図示のパッケージは、以

50

下に詳述する特徴を有する。特に、ここで説明する相互接続用ピンは、相互接続用ピンが基板に挿入されるパッケージと比較すると、導体に大きな延伸空間を与える。

【0014】

図2は、本発明の一実施例の部分断面図である。基板104は、共通構造を形成する複数の層より成る。一実施例において、基板は、有機絶縁基体層110を有する。この絶縁基体層の上部の上には、銅のような導電材料の導体層112がある。導体層112は、絶縁材料より成る内部の第1の絶縁層114により覆われている。第2の導体層116は、内部の第1の絶縁層114の上部に設けられる。絶縁材料より成る内部の第2の絶縁層118は、第2の導体層116の上部の上に形成され、第3の導体層120により覆われている。第3の導体層は、はんだの配置を制御するために、はんだマスク122により覆われた外部の層でもよい。同様の導体-絶縁-導体-絶縁-導体層は、絶縁基体層110の下部にも形成される。

10

【0015】

導体層は、導電トレースまたはパスを形成するようにパターン化されている。絶縁基体層を介する多数の導体層の相互接続は、メッキ通孔(PTH)124を通して行う。一実施例において、このメッキ通孔の形成は、ドリルまたはレーザーにより基体層、第1の導体層及び第1の絶縁層を穿孔して行う。これらの通孔には、第2の導体層116を形成する際、導電材料によりメッキを施す。第1、第2及び第3の導体層間には、メッキした別のビア126を設けることができる。メッキ通孔及びビアは共に、パッケージの導体の延伸を容易にするために使用する。

20

【0016】

伝統的に、光リソグラフィは、基板へのビアの形成に利用可能である。光リソグラフィプロセスを使用すると、最終的に基板へ高密度の相互接続部の形成を不可能にする2つの問題点が発生する。その第1は、ビアサイズの制約である。市販の感光性材料は、小さなビアサイズとなると、限られた分解能しか有しない。第2の制約は、感光性材料の機械的性質、湿分吸収、及び誘電定数の組み合わせにある。本発明では、レーザーを用いてビアを形成することにより、従来技術の問題点を克服する。

【0017】

レーザー法は、10マイクロメートルまたはそれ以下の直径のビアを形成することができる。これとは対照的に、光リソグラフィ材料は、50-60マイクロメートルのビアが限界である。さらに、レーザー法は、スキップビアの形成を可能にする。スキップビアは、図4に示すように、第3の層により分離された2つの導電層の接続に使用する。スキップビア174は、導電層112と、120とを、中間の導電層116をスキップしながら接続する。導電層116は、その層と、ビアとの間の電氣的接触を阻止するためにスキップビアの箇所形成したクリアランス領域を有する。このようにして、スキップビアを、密度の高い導体の延伸を可能にし、空間を節約し、ループインダクタンスを減少させるために使用することができる。さらに、絶縁材料の選択肢に非感光性の絶縁材料を加えることができる。光リソグラフィによりパッケージに使用する絶縁材料よりも安価な幾つかの絶縁材料を使用することができる。

30

【0018】

製造時、第1の導電層112を、絶縁基体層110上に形成する。この製造プロセスは、供給者が実施することが可能である。こうすると、導体層を予め形成した絶縁基体層を供給することができる。第1の導体層は、所望の相互接続部またはトレースを形成するようにパターン化される。その後、内部の第1の絶縁層114をパターン化された第1の導体層上に形成する。次いで、メッキ通孔124のためのビアを形成する。これらのビアは、機械的な穿孔またはレーザーカッティングの何れかにより形成可能である。その後、第2の導体層116を基板の両側に形成する。これらの層を形成する際、ビアの内側表面を被覆し、基板を貫通する導電パスを得る。メッキされたビアの内部のコアには、あとで、エポキシまたは他の同様な材料を充填する。充填材料は、絶縁性または導電性材料の何れかである。第2の導電層上に、導電材料より成る第2の被覆を形成する。即ち、第2の付

40

50

着プロセスにより、第2の導体層の厚さを増加させ、メッキ通孔の端部を被覆する。メッキ通孔の端部を被覆すると、後述するように、第2のビア126の形成が可能になる。その後、第2の導体層をパターン化して、選択されたトレースを形成する。

【0019】

次いで、第2の絶縁層118を第2の導電層の上に形成し、第3の導電層120を形成する。小さなビア126を、レーザーにより第2の絶縁層及び第3の導電層に形成して、第2の導電層を露出させる。同様に、その下の第1の導電層を露出させるためにビアを形成することができる。図3を参照して、ビア170はビア126と積重状であり、ビア172は、第1と、第2の導電層の間に位置する。ビアを被覆して導電パスを形成するために二次的なメッキ操作を行う。その後、第3の層をパターン化する。

10

【0020】

メッキ通孔の端部を被覆すると、第2のビアを、メッキ通孔と実質的に直線上に並べることが可能になる。このようにビアを積み重ねることにより、導体延伸の複雑さが減少する。

【0021】

上述した絶縁層と導体層とのサンドイッチ構造は、基板の1つの実施例であるが、他の積層基板も可能である。例えば、絶縁基体層に関して非対称の基板を提供することもできる。

【0022】

一実施例において、絶縁基体層110はガラス補強材料より成る。中間の第1及び第2の絶縁層は、エポキシ樹脂の2つの層により形成してもよい。

20

【0023】

導電性の相互接続用ピン130は、基板104の下部132に固着する。図示のように、これらのピンはT字形で、平坦な頭部134を有する。これらのピンは、1つの実施例では、はんだ材料により第3の導電層120に固着する。1つの実施例では、このはんだはPbSn合金より成る。しかしながら、PbSn、AgSnまたはSbSn合金のような他の異なる合金でもよく、それらに限定されない。この構成は、より伝統的なピン固着法とは異なる。例えば、ピンを基板にろう付けしたセラミック基板が提供されている。また、典型的な有機多層基板は、ピンを受容するために基板に孔を穿孔したものである。即ち、ピンを孔に挿入し、導電層に固着する。本発明の基板は、有機基板が多数の導電層を有し、ピンを外側の導電層にはんだ付けした点が異なる。上述したように、本発明の相互接続用ピンは、相互接続用ピンを基板に挿入するパッケージと比較すると大きな導体延伸空間を与える。

30

【0024】

別の実施例において、SnAg共晶はんだをピンの接合の用いることができる。さらに別の実施例では、SnSbはんだを選択できることが研究により判明している。

【0025】

上述した特徴に加えて、外側の導電層120上に設けたパッドに減結合キャパシタ150を付加することが可能である(図2でが、キャパシタの電氣的接続は図示しない)。これらのキャパシタは、コネクタピン間に位置して、集積回路に過渡的電荷に対する保護を与える。伝統的なパッケージでは、キャパシタを基板のピン側に配置しない。しかしながら、ピン装着用のパッドを設けることにより、パッケージのピン側のキャパシタまたは他のコンポーネントのためのはんだパッドを設けることができる。

40

【0026】

上述したように、集積回路のダイ102は、フリップチップ法により基板104の上に固着する。このダイは任意タイプの回路でよいが、1つの実施例では、マイクロプロセッサ回路である。当業者に知られているように、ダイを裏返しにして、基板上のボンディングパッド又ははんだバンプのパターンに整列させる。ダイの上のはんだバンプを接合して、ダイと、基板との間に一連のはんだコラムを形成するために、リフロー操作を実施する。はんだコラムは、I/O信号を伝送する、ダイのICと、基板との間の導電接続部ま

50

たはリードとして働く。

【結論】

【0027】

有機多層基板を有する集積回路パッケージが提供される。基板は、隔離された導電層間に設けた導電性ビアを有する。これらのビアは、導電層を分離する絶縁層を貫通するようにレーザーを用い、また、内部のコア層を接続するように機械式ドリルを用いて形成する。T字形ピンより成る外部への相互接続部は、集積回路パッケージの基板にはんだ付けする。集積回路は、フリップチップ法により基板に固着可能である。

【0028】

特定の実施例を図示説明したが、当業者は、特定の実施例の代わりに同一目的を達成する任意の構成を使用できることが分かるであろう。本願は、本発明の任意の変形例又は設計変更を包含するものと意図されている。従って、本発明は、特許請求の範囲及びその均等物によってのみ限定されることが明らかである。

10

【図面の簡単な説明】

【0029】

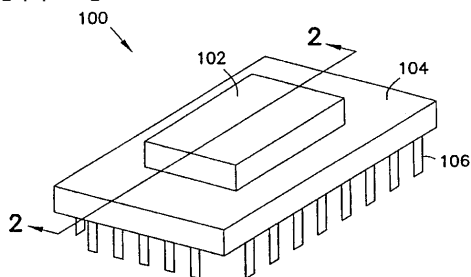
【図1】 図1は、本発明の集積回路パッケージの斜視図である。

【図2】 図2は、図1の集積回路パッケージの一実施例の断面図である。

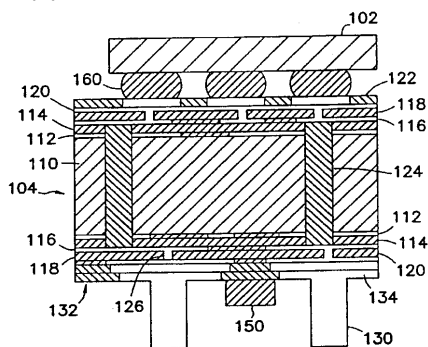
【図3】 図3は、図1の集積回路パッケージの別の実施例の断面図である。

【図4】 図4は、図1の集積回路パッケージの別の実施例の断面図である。

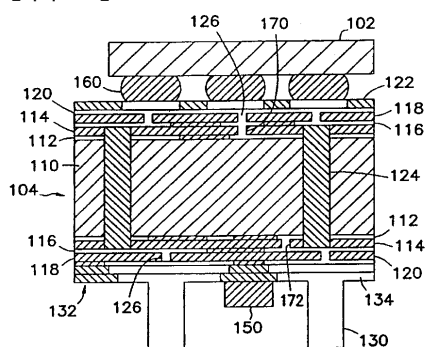
【図1】



【図2】



【図3】



【図4】

