



(12)发明专利申请

(10)申请公布号 CN 106935597 A

(43)申请公布日 2017.07.07

(21)申请号 201710149453.4

(22)申请日 2017.03.14

(71)申请人 京东方科技集团股份有限公司
地址 100015 北京市朝阳区酒仙桥路10号
申请人 北京京东方显示技术有限公司

(72)发明人 贵炳强 曲连杰 齐永莲 赵合彬
邱云

(74)专利代理机构 北京中博世达专利商标代理
有限公司 11274

代理人 申健

(51)Int.Cl.

H01L 27/12(2006.01)

H01L 21/77(2017.01)

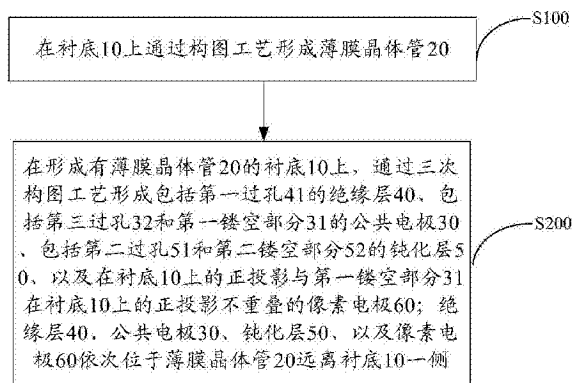
权利要求书3页 说明书7页 附图8页

(54)发明名称

一种阵列基板及其制备方法、显示面板

(57)摘要

本发明提供一种阵列基板及其制备方法、显示面板,涉及显示技术领域,可减小透明导电层与有源层之间的寄生电容。所述阵列基板,包括:衬底、设置在所述衬底上的薄膜晶体管,还包括设置在所述薄膜晶体管远离所述衬底一侧的包括第一镂空部分的公共电极;所述薄膜晶体管的有源层包括源电极区、漏电极区和沟道区,所述第一镂空部分在所述衬底上的正投影至少覆盖所述沟道区在所述衬底上的正投影。



1. 一种阵列基板,包括:衬底、设置在所述衬底上的薄膜晶体管,其特征在于,还包括设置在所述薄膜晶体管远离所述衬底一侧的包括第一镂空部分的公共电极;

所述薄膜晶体管的有源层包括源电极区、漏电极区和沟道区,所述第一镂空部分在所述衬底上的正投影至少覆盖所述沟道区在所述衬底上的正投影。

2. 根据权利要求1所述的阵列基板,其特征在于,所述第一镂空部分在所述衬底上的正投影覆盖所述有源层在所述衬底上的正投影。

3. 根据权利要求1所述的阵列基板,其特征在于,所述第一镂空部分在所述衬底上的正投影覆盖所述有源层和所述薄膜晶体管的源电极在所述衬底上的正投影。

4. 根据权利要求1所述的阵列基板,其特征在于,还包括设置在所述薄膜晶体管和所述公共电极之间的包括第一过孔的绝缘层、以及依次设置在所述公共电极远离所述衬底一侧的包括第二过孔和第二镂空部分的钝化层和在所述衬底上的正投影与所述第一镂空部分在所述衬底上的正投影不重叠的像素电极;

所述公共电极还包括第三过孔;

所述第一镂空部分在所述衬底上的正投影与所述第二镂空部分在所述衬底上的正投影重叠;所述第一过孔在所述衬底上的正投影、所述第二过孔在所述衬底上的正投影和所述第三过孔在所述衬底上的正投影重叠,所述第三过孔的尺寸大于等于所述第一过孔尺寸,且大于所述第二过孔的尺寸;

其中,所述像素电极通过所述第一过孔、所述第二过孔、所述第三过孔与所述薄膜晶体管的漏电极电连接。

5. 一种显示面板,其特征在于,包括权利要求1-4任一项所述的阵列基板。

6. 一种阵列基板的制备方法,其特征在于,包括:

在衬底上通过构图工艺形成薄膜晶体管;

在形成有所述薄膜晶体管的衬底上,通过三次构图工艺形成包括第一过孔的绝缘层、包括第三过孔和第一镂空部分的公共电极、包括第二过孔和第二镂空部分的钝化层、以及在所述衬底上的正投影与所述第一镂空部分在所述衬底上的正投影不重叠的像素电极;所述绝缘层、所述公共电极、所述钝化层、以及所述像素电极依次位于所述薄膜晶体管远离所述衬底一侧;

所述薄膜晶体管的有源层包括源电极区、漏电极区和沟道区,所述第一镂空部分在所述衬底上的正投影至少覆盖所述沟道区,所述第一镂空部分在所述衬底上的正投影与所述第二镂空部分在所述衬底上的正投影重叠;所述第一过孔在所述衬底上的正投影、所述第二过孔在所述衬底上的正投影和所述第三过孔在所述衬底上的正投影重叠,所述第三过孔的尺寸大于等于所述第一过孔尺寸,且大于所述第二过孔的尺寸;

其中,所述像素电极通过所述第一过孔、所述第二过孔、所述第三过孔与所述薄膜晶体管的漏电极电连接。

7. 根据权利要求6所述的制备方法,其特征在于,所述通过三次构图工艺形成包括第一过孔的绝缘层、包括第三过孔和第一镂空部分的公共电极、包括第二过孔和第二镂空部分的钝化层、以及在所述衬底上的正投影与所述第一镂空部分在所述衬底上的正投影不重叠的像素电极,具体包括:

在形成有所述薄膜晶体管的衬底上,形成绝缘膜层;

在形成有所述绝缘膜层的衬底上,通过一次构图工艺形成包括所述第三过孔的公共电极;

采用干法刻蚀对所述第三过孔下方的所述绝缘膜层进行刻蚀,形成包括所述第一过孔的所述绝缘层;

在形成有所述绝缘层和所述公共电极的衬底上,通过一次构图工艺形成包括所述第二过孔和所述第二镂空部分的所述钝化层;

在形成有所述钝化层的衬底上,通过一次构图工艺形成在所述衬底上的正投影与所述第一镂空部分在所述衬底上的正投影不重叠的所述像素电极,并在所述公共电极上形成所述第一镂空部分。

8. 根据权利要求7所述的制备方法,其特征在于,所述在形成有所述钝化层的衬底上,通过一次构图工艺形成在所述衬底上的正投影与所述第一镂空部分在所述衬底上的正投影不重叠的所述像素电极,并在所述公共电极上形成所述第一镂空部分,具体包括:

在形成有所述钝化层的衬底上形成透明导电薄膜,并形成光刻胶;

利用掩模板对光刻胶进行曝光,显影后形成光刻胶完全保留部分和光刻胶完全去除部分;所述光刻胶完全去除部分至少与待形成的所述第一镂空部分对应,且与待形成的所述第一镂空部分对应的所述光刻胶完全去除部分的尺寸大于待形成的所述第一镂空部分的尺寸;

对所述透明导电薄膜进行刻蚀,并采用过刻方式对所述公共电极膜层进行刻蚀,形成在所述衬底上的正投影与所述第一镂空部分在所述衬底上的正投影不重叠的所述像素电极,并在所述公共电极上形成所述第一镂空部分;

采用剥离工艺去除所述光刻胶完全保留部分的光刻胶。

9. 根据权利要求6所述的制备方法,其特征在于,所述通过三次构图工艺形成包括第一过孔的绝缘层、包括第三过孔和第一镂空部分的公共电极、包括第二过孔和第二镂空部分的钝化层、以及在所述衬底上的正投影与所述第一镂空部分在所述衬底上的正投影不重叠的像素电极,具体包括:

在形成有所述薄膜晶体管的衬底上,形成钝化膜层;

在形成有所述绝缘膜层的衬底上,通过一次构图工艺形成包括所述第三过孔的公共电极;

采用干法刻蚀对所述第三过孔下方的所述绝缘膜层进行刻蚀,形成包括所述第一过孔的所述绝缘层;

在形成有所述绝缘层和所述公共电极的衬底上,通过一次构图工艺形成包括所述第二过孔和所述第二镂空部分的所述钝化层;

采用湿法刻蚀对所述第二镂空部分下方的所述公共电极进行刻蚀,在所述公共电极上形成所述第一镂空部分;

在形成有所述钝化层的衬底上,通过一次构图工艺形成在所述衬底上的正投影与所述第一镂空部分在所述衬底上的正投影不重叠的所述像素电极。

10. 根据权利要求6-9任一项所述的制备方法,其特征在于,所述在衬底上通过构图工艺形成薄膜晶体管,包括:

在衬底上通过一次构图工艺形成包括栅极的栅金属层,并形成栅钝化层;

在形成有所述栅钝化层的衬底上通过一次构图工艺形成有源层、包括源电极、漏电极的源漏金属层。

一种阵列基板及其制备方法、显示面板

技术领域

[0001] 本发明涉及显示技术领域,尤其涉及一种阵列基板及其制备方法、显示面板。

背景技术

[0002] 近年来,随着各种显示技术,如LCD(Liquid Crystal Display,液晶显示器)显示、OLED(Organic Light-Emitting Diode,有机发光二极管)显示、柔性显示、透明显示等的不断发展,采用大尺寸、高分辨率显示面板的产品层出不穷。

[0003] 现有的显示面板包括阵列基板,如图1所示,阵列基板上包括设置在衬底10上的薄膜晶体管20和公共电极30,由于公共电极30在衬底10上的正投影覆盖薄膜晶体管20的有源层21在衬底10上的正投影,从而影响了有源层21上电子的迁移率,造成薄膜晶体管20阈值电压的稳定性变差,从而影响薄膜晶体管的性能。

发明内容

[0004] 本发明的实施例提供一种阵列基板及其制备方法、显示面板,可减小透明导电层与有源层之间的寄生电容。

[0005] 为达到上述目的,本发明的实施例采用如下技术方案:

[0006] 第一方面,提供一种阵列基板,包括:衬底、设置在所述衬底上的薄膜晶体管,还包括设置在所述薄膜晶体管远离所述衬底一侧的包括第一镂空部分的公共电极;所述薄膜晶体管的有源层包括源电极区、漏电极区和沟道区,所述第一镂空部分在所述衬底上的正投影至少覆盖所述沟道区在所述衬底上的正投影。

[0007] 优选的,所述第一镂空部分在所述衬底上的正投影覆盖所述有源层在所述衬底上的正投影。

[0008] 优选的,所述第一镂空部分在所述衬底上的正投影覆盖所述有源层和所述薄膜晶体管的源电极在所述衬底上的正投影。

[0009] 优选的,所述阵列基板还包括设置在所述薄膜晶体管和所述公共电极之间的包括第一过孔的绝缘层、以及依次设置在所述公共电极远离所述衬底一侧的包括第二过孔和第二镂空部分的钝化层和在所述衬底上的正投影与所述第一镂空部分在所述衬底上的正投影不重叠的像素电极;所述公共电极还包括第三过孔;所述第一镂空部分在所述衬底上的正投影与所述第二镂空部分在所述衬底上的正投影重叠;所述第一过孔在所述衬底上的正投影、所述第二过孔在所述衬底上的正投影和所述第三过孔在所述衬底上的正投影重叠,所述第三过孔的尺寸大于等于所述第一过孔尺寸,且大于所述第二过孔的尺寸;其中,所述像素电极通过所述第一过孔、所述第二过孔、所述第三过孔与所述薄膜晶体管的漏电极电连接。

[0010] 第二方面,提供一种显示面板,包括第一方面所述的阵列基板。

[0011] 第三方面,提供一种阵列基板的制备方法,包括:在衬底上通过构图工艺形成薄膜晶体管;在形成有所述薄膜晶体管的衬底上,通过三次构图工艺形成包括第一过孔的绝缘

层、包括第三过孔和第一镂空部分的公共电极、包括第二过孔和第二镂空部分的钝化层、以及在所述衬底上的正投影与所述第一镂空部分在所述衬底上的正投影不重叠的像素电极；所述绝缘层、所述公共电极、所述钝化层、以及所述像素电极依次位于所述薄膜晶体管远离所述衬底一侧；所述薄膜晶体管的有源层包括源电极区、漏电极区和沟道区，所述第一镂空部分在所述衬底上的正投影至少覆盖所述沟道区，所述第一镂空部分在所述衬底上的正投影与所述第二镂空部分在所述衬底上的正投影重叠；所述第一过孔在所述衬底上的正投影、所述第二过孔在所述衬底上的正投影和所述第三过孔在所述衬底上的正投影重叠，所述第三过孔的尺寸大于等于所述第一过孔尺寸，且大于所述第二过孔的尺寸；其中，所述像素电极通过所述第一过孔、所述第二过孔、所述第三过孔与所述薄膜晶体管的漏电极电连接。

[0012] 可选的，所述通过三次构图工艺形成包括第一过孔的绝缘层、包括第三过孔和第一镂空部分的公共电极、包括第二过孔和第二镂空部分的钝化层、以及在所述衬底上的正投影与所述第一镂空部分在所述衬底上的正投影不重叠的像素电极，具体包括：在形成有所述薄膜晶体管的衬底上，形成绝缘膜层；在形成有所述绝缘膜层的衬底上，通过一次构图工艺形成包括所述第三过孔的公共电极；采用干法刻蚀对所述第三过孔下方的所述绝缘膜层进行刻蚀，形成包括所述第一过孔的所述绝缘层；在形成有所述绝缘层和所述公共电极的衬底上，通过一次构图工艺形成包括所述第二过孔和所述第二镂空部分的所述钝化层；在形成有所述钝化层的衬底上，通过一次构图工艺形成在所述衬底上的正投影与所述第一镂空部分在所述衬底上的正投影不重叠的所述像素电极，并在所述公共电极上形成所述第一镂空部分。

[0013] 优选的，所述在形成有所述钝化层的衬底上，通过一次构图工艺形成在所述衬底上的正投影与所述第一镂空部分在所述衬底上的正投影不重叠的所述像素电极，并在所述公共电极上形成所述第一镂空部分，具体包括：在形成有所述钝化层的衬底上形成透明导电薄膜，并形成光刻胶；利用掩模板对光刻胶进行曝光，显影后形成光刻胶完全保留部分和光刻胶完全去除部分；所述光刻胶完全去除部分至少与待形成的所述第一镂空部分对应，且与待形成的所述第一镂空部分对应的所述光刻胶完全去除部分的尺寸大于待形成的所述第一镂空部分的尺寸；对所述透明导电薄膜进行刻蚀，并采用过刻方式对所述公共电极膜层进行刻蚀，形成在所述衬底上的正投影与所述第一镂空部分在所述衬底上的正投影不重叠的所述像素电极，并在所述公共电极上形成所述第一镂空部分；采用剥离工艺去除所述光刻胶完全保留部分的光刻胶。

[0014] 可选的，所述通过三次构图工艺形成包括第一过孔的绝缘层、包括第三过孔和第一镂空部分的公共电极、包括第二过孔和第二镂空部分的钝化层、以及在所述衬底上的正投影与所述第一镂空部分在所述衬底上的正投影不重叠的像素电极，具体包括：在形成有所述薄膜晶体管的衬底上，形成钝化膜层；在形成有所述绝缘膜层的衬底上，通过一次构图工艺形成包括所述第三过孔的公共电极；采用干法刻蚀对所述第三过孔下方的所述绝缘膜层进行刻蚀，形成包括所述第一过孔的所述绝缘层；在形成有所述绝缘层和所述公共电极的衬底上，通过一次构图工艺形成包括所述第二过孔和所述第二镂空部分的所述钝化层；采用湿法刻蚀对所述第二镂空部分下方的所述公共电极进行刻蚀，在所述公共电极上形成所述第一镂空部分；在形成有所述钝化层的衬底上，通过一次构图工艺形成在所述衬底上

的正投影与所述第一镂空部分在所述衬底上的正投影不重叠的所述像素电极。

[0015] 基于上述,优选的,所述在衬底上通过构图工艺形成薄膜晶体管,包括:在衬底上通过一次构图工艺形成包括栅极的栅金属层,并形成栅钝化层;在形成有所述栅钝化层的衬底上通过一次构图工艺形成有源层、包括源电极、漏电极的源漏金属层。

[0016] 本发明实施例提供一种阵列基板及其制备方法、显示面板,通过在公共电极上设置第一镂空部分,并使第一镂空部分在衬底上的正投影至少覆盖有源层的沟道区。这样一来,在沟道区对应位置处不设置公共电极,既可以降低公共电极对有源层沟道区上电子迁移率的影响,从而提高薄膜晶体管阈值电压的稳定性,又可以避免公共电极与沟道区产生寄生电容,从而提高薄膜晶体管的性能。

附图说明

[0017] 为了更清楚地说明本发明实施例或现有技术中的技术方案,下面将对实施例或现有技术描述中所需要使用的附图作简单地介绍,显而易见地,下面描述中的附图仅仅是本发明的一些实施例,对于本领域普通技术人员来讲,在不付出创造性劳动的前提下,还可以根据这些附图获得其他的附图。

[0018] 图1为现有技术提供一种阵列基板的结构示意图;

[0019] 图2为本发明实施例提供一种阵列基板的结构示意图一;

[0020] 图3为本发明实施例提供一种阵列基板的结构示意图二;

[0021] 图4为本发明实施例提供一种阵列基板的结构示意图三;

[0022] 图5为本发明实施例提供一种阵列基板的结构示意图四;

[0023] 图6为本发明实施例提供一种阵列基板制备方法的流程示意图一;

[0024] 图7为本发明实施例提供一种阵列基板制备方法的流程示意图二;

[0025] 图8(a)-图8(e)为本发明实施例提供一种阵列基板的制备过程示意图;

[0026] 图9为本发明实施例提供一种阵列基板制备方法的流程示意图三;

[0027] 图10为本发明实施例提供一种阵列基板的结构示意图五。

[0028] 附图标记

[0029] 10-衬底;20-薄膜晶体管;21-有源层;211-源电极区;212-漏电极区;213-沟道区;22-源电极;23-漏电极;30-公共电极;31-第一镂空部分;32-第三过孔;40-绝缘层;41-第一过孔;50-钝化层;51-第二过孔;52-第二镂空部分;60-像素电极。

具体实施方式

[0030] 下面将结合本发明实施例中的附图,对本发明实施例中的技术方案进行清楚、完整地描述,显然,所描述的实施例仅仅是本发明一部分实施例,而不是全部的实施例。基于本发明中的实施例,本领域普通技术人员在没有做出创造性劳动前提下所获得的所有其他实施例,都属于本发明保护的范围。

[0031] 除非另作定义,此处使用的技术术语或者科学术语应当为本领域技术人员所理解的通常意义。本发明专利申请说明书以及权利要求书中使用的“第一”、“第二”以及类似的词语并不表示任何顺序、数量或者重要性,而只是用来区分不同的组成部分。同样,“一个”、“一”或者“该”等类似词语也不表示数量限制,而是表示存在至少一个,“包括”或者“包含”

等类似的词语指出现该词前面的元件或者物件涵盖出现在该词后面列举的元件或者物件及其等同,而不排除其他元件或者物件。

[0032] 本发明实施例提供一种阵列基板,如图2所示,包括:衬底10、设置在衬底10上的薄膜晶体管20,还包括设置在薄膜晶体管20远离衬底10一侧的包括第一镂空部分31的公共电极30;薄膜晶体管20的有源层21包括源电极区211、漏电极区212和沟道区213,第一镂空部分31在衬底10上的正投影至少覆盖沟道区213在衬底10上的正投影。

[0033] 需要说明的是,第一,薄膜晶体管20包括栅极、栅绝缘层、半导体有源层、源电极和漏电极。

[0034] 其中,根据半导体有源层材料的不同,所述薄膜晶体管20可以为非晶硅薄膜晶体管、多晶硅薄膜晶体管、金属氧化物薄膜晶体管、有机薄膜晶体管等。在此基础上,所述薄膜晶体管20还可以为交错型、反交错型、共面型、或反共面型等。

[0035] 第二,有源层21与源电极对应的区域为源电极区211,与漏电极对应的区域为漏电极区212。

[0036] 第三,第一镂空部分31在衬底10上的正投影至少覆盖沟道区213在衬底10上的正投影,即如图2所示,公共电极30在衬底10上的正投影至少与沟道区213在衬底10上的正投影没有交叠的部分。

[0037] 其中,覆盖是指第一镂空部分31在衬底10上的正投影大于等于沟道区213在衬底10上的正投影。

[0038] 本发明实施例提供一种阵列基板,通过在公共电极30上设置第一镂空部分31,并使第一镂空部分31在衬底10上的正投影至少覆盖有源层21的沟道区213。这样一来,在沟道区213对应位置处不设置公共电极,既可以降低公共电极30对有源层21沟道区213上电子迁移率的影响,从而提高薄膜晶体管20阈值电压的稳定性,又可以避免公共电极30与沟道区213产生寄生电容,从而提高薄膜晶体管20的性能。

[0039] 可选的,如图3所示,第一镂空部分31在衬底10上的正投影覆盖有源层21在衬底10上的正投影。

[0040] 本发明实施例通过使第一镂空部分31在衬底10上的正投影覆盖有源层20在衬底10上的正投影,可使公共电极30与有源层20无交叠,既可以降低公共电极30对有源层20电子迁移率的影响,又可以避免公共电极30与源电极区211的源电极和漏电极区212的漏电极产生寄生电容。

[0041] 可选的,如图4所示,第一镂空部分31在衬底10上的正投影覆盖有源层21和薄膜晶体管20的源电极22在衬底10上的正投影。

[0042] 本发明实施例通过使第一镂空部分31在衬底10上的正投影覆盖有源层21和薄膜晶体管20的源电极22在衬底10上的正投影,既可以消除公共电极30与有源层20沟道区213的寄生电容,又能消除公共电极30与有源层21和源电极22之间的寄生电容,进一步提高薄膜晶体管的性能。

[0043] 优选的,如图5所示,所述阵列基板还包括设置在薄膜晶体管20和公共电极30之间的包括第一过孔41的绝缘层40、以及依次设置在公共电极30远离衬底10一侧的包括第二过孔51和第二镂空部分52的钝化层50和在衬底10上的正投影与第一镂空部分31在衬底10上的正投影不重叠的像素电极60;公共电极30还包括第三过孔32;第一镂空部分31在衬底10

上的正投影与第二镂空部分52在衬底10上的正投影重叠;第一过孔41在衬底10上的正投影、第二过孔51在衬底10上的正投影和第三过孔32在衬底10上的正投影重叠,第三过孔32的尺寸大于等于第一过孔41尺寸,且大于第二过孔51的尺寸;其中,像素电极60通过第一过孔41、第二过孔51、第三过孔32与薄膜晶体管20的漏电极23电连接。

[0044] 其中,第一镂空部分31在衬底10上的正投影与第二镂空部分52在衬底10上的正投影可以重合;也可以是第二镂空部分52在衬底10上的正投影落入第一镂空部分31在衬底10上的正投影内;还可以是第一镂空部分31在衬底10上的正投影落入第二镂空部分52在衬底10上的正投影内。但像素电极60在衬底10上的正投影与第一镂空部分31在衬底10上的正投影没有交叠的部分,即在第一镂空部分31对应位置处没有像素电极60。

[0045] 此外,本领域技术人员应该明白,像素电极60通过第一过孔41、第二过孔51、第三过孔32与薄膜晶体管20的漏电极23电连接,则第一过孔41在衬底10上的正投影、第二过孔51在衬底10上的正投影和第三过孔32在衬底10上的正投影必然落入漏电极23在衬底10上的正投影内。

[0046] 再者,如图5所示,为避免公共电极30与漏电极23电连接,第三过孔32的尺寸应大于等于第一过孔41尺寸;为避免公共电极30与像素电极60电连接,第三过孔32的尺寸应大于第二过孔51的尺寸,以使得像素电极60与漏电极23电连接时,和公共电极30之间有钝化层50相隔。

[0047] 另外,本领域技术人员应该明白,公共电极30与像素电极60同在阵列基板上,且公共电极30在下平铺一整层,像素电极60在上应为梳齿状。

[0048] 本发明实施例还提供一种显示面板,包括上述阵列基板。

[0049] 其中,显示面板为液晶显示面板(Liquid Crystal Display,简称LCD)时,其包括上述阵列基板、对盒基板以及设置在二者之间的液晶层。对盒基板可以包括黑矩阵和彩膜。此处,彩膜可以设置在对盒基板上,也可设置在阵列基板上。

[0050] 本发明实施例提供的显示面板包括上述任一种阵列基板,其有益效果与上述阵列基板的有益效果相同,此处不再赘述。

[0051] 本发明实施例还提供一种阵列基板的制备方法,如图6所示,包括:

[0052] S100、在衬底10上通过构图工艺形成薄膜晶体管20。

[0053] 其中,所述薄膜晶体管20包括栅极、栅绝缘层、半导体有源层、源电极和漏电极。当然在形成所述栅极的同时还可以形成与所述栅极电连接的栅线(图中未标识出)、位于阵列基板周边区域的栅线引线(图中未标识出)等;在形成所述源电极和漏电极的同时还可以形成与源电极电连接的数据线(图中未标识处)、位于阵列基板周边区域的数据线引线等。

[0054] 此处,不对所述薄膜晶体管20的制备过程进行限定。其中,在形成半导体有源层、包括源电极、漏电极的源漏金属层时例如可以通过两次构图工艺形成,具体包括:先通过一次构图工艺处理形成半导体有源层,然后在形成有半导体有源层的基板上再通过一次构图工艺处理形成包括源电极、漏电极、数据线、数据线引线的源漏金属层。其中,在两次构图工艺中,均采用普通掩模板进行曝光。在此情况下,根据实际情况可以不形成数据线引线下方、且与所述半导体有源层同层的图案。

[0055] 当然,根据所述薄膜晶体管20的结构,也可以通过一次构图工艺处理形成半导体有源层、包括源电极、漏电极的源漏金属层时,具体可以为:在一次构图工艺中,采用半阶或

灰阶掩模板进行曝光,从而形成半导体有源层和包括源电极、漏电极、数据线、数据线引线的源漏金属层。

[0056] S200、如图5所示,在形成有薄膜晶体管20的衬底10上,通过三次构图工艺形成包括第一过孔41的绝缘层40、包括第三过孔32和第一镂空部分31的公共电极30、包括第二过孔51和第二镂空部分52的钝化层50、以及在衬底10上的正投影与第一镂空部分31在衬底10上的正投影不重叠的像素电极60;绝缘层40、公共电极30、钝化层50、以及像素电极60依次位于薄膜晶体管20远离衬底10一侧。

[0057] 其中,薄膜晶体管20的有源层21包括源电极区211、漏电极区212和沟道区213,第一镂空部分31在衬底10上的正投影至少覆盖沟道区213,第一镂空部分31在衬底10上的正投影与第二镂空部分51在衬底10上的正投影重叠;第一过孔41在衬底10上的正投影、第二过孔51在衬底10上的正投影和第三过孔32在衬底10上的正投影重叠,第三过孔32的尺寸大于等于第一过孔41尺寸,且大于第二过孔51的尺寸;像素电极60通过第一过孔41、第二过孔51、第三过孔31与薄膜晶体管10的漏电极23电连接。

[0058] 本发明实施例提供一种阵列基板的制备方法,通过三次构图工艺形成依次位于薄膜晶体管20远离衬底10一侧的绝缘层40、包括第一镂空部分31的公共电极层30、钝化层50、以及像素电极层60,减少了构图工艺的次数,节省成本,提高生产效率。

[0059] 可选的,如图7所示,通过三次构图工艺形成包括第一过孔41的绝缘层40、包括第三过孔32和第一镂空部分31的公共电极30、包括第二过孔51和第二镂空部分52的钝化层50、以及在衬底10上的正投影与第一镂空部分31在衬底10上的正投影不重叠的像素电极60,具体包括:

[0060] S210、如图8(a)所示,在形成有薄膜晶体管20的衬底10上,形成绝缘膜层42。

[0061] 其中,薄膜晶体管20包括栅极、栅绝缘层、有源层、源电极以及漏电极。在薄膜晶体管20远离衬底10一侧形成绝缘膜层42。

[0062] S220、如图8(b)所示,在形成有绝缘膜层42的衬底10上,通过一次构图工艺形成包括第三过孔32的公共电极30。

[0063] S230、如图8(c)所示,采用干法刻蚀对第三过孔32下方的绝缘膜层42进行刻蚀,形成包括第一过孔41的绝缘层40。

[0064] 此时,以包括第三过孔32的公共电极30为作为保护,对第三过孔32下方的绝缘膜层42进行刻蚀,形成第一过孔41。

[0065] S240、如图8(d)所示,在形成有绝缘层40和公共电极30的衬底10上,通过一次构图工艺形成包括第二过孔51和第二镂空部分52的钝化层50。

[0066] S250、如图8(e)所示,在形成有钝化层50的衬底10上,通过一次构图工艺形成在衬底10上的正投影与第一镂空部分31在衬底10上的正投影不重叠的像素电极60,并在公共电极30上形成第一镂空部分31。

[0067] 此时,对像素电极60图案化后,刻蚀液通过钝化层50上的第二镂空部分52对公共电极30继续刻蚀,形成第一镂空部分31。第一镂空部分31的图案与第二镂空部分52的图案相同。

[0068] 具体的,在形成有钝化层50的衬底10上,通过一次构图工艺形成在衬底10上的正投影与第一镂空部分31在衬底10上的正投影不重叠的像素电极60,并在公共电极30上形成

第一镂空部分31,具体包括:

[0069] S251、在形成有钝化层50的衬底10上形成透明导电薄膜,并形成光刻胶。

[0070] S252、利用掩模板对光刻胶进行曝光,显影后形成光刻胶完全保留部分和光刻胶完全去除部分;光刻胶完全去除部分至少与待形成的第一镂空部分31对应,且与待形成的第一镂空部分31对应的光刻胶完全去除部分的尺寸大于待形成的第一镂空部分31的尺寸。

[0071] S253、对透明导电薄膜进行刻蚀,并采用过刻方式对公共电极进行刻蚀,形成在衬底10上的正投影与第一镂空部分31在衬底10上的正投影不重叠的像素电极60,并在公共电极30上形成第一镂空部分31。

[0072] S254、采用剥离工艺去除光刻胶完全保留部分的光刻胶。

[0073] 可选的,如图9所示,通过三次构图工艺形成包括第一过孔41的绝缘层40、包括第三过孔32和第一镂空部分31的公共电极30、包括第二过孔51和第二镂空部分52的钝化层50、以及在衬底10上的正投影与第一镂空部分31在衬底10上的正投影不重叠的像素电极60,具体包括:

[0074] S201、如图8(a)所示,在形成有薄膜晶体管20的衬底10上,形成钝化膜层42。

[0075] S202、如图8(b)所示,在形成有绝缘膜层42的衬底10上,通过一次构图工艺形成包括第三过孔32的公共电极30。

[0076] S203、如图8(c)所示,采用干法刻蚀对第三过孔32下方的绝缘膜层42进行刻蚀,形成包括第一过孔41的绝缘层40。

[0077] S204、如图8(d)所示,在形成有绝缘层40和公共电极30的衬底10上,通过一次构图工艺形成包括第二过孔51和第二镂空部分52的钝化层50。

[0078] S205、如图10所示,采用湿法刻蚀对第二镂空部分52下方的公共电极30进行刻蚀,在公共电极30上形成第一镂空部分31。

[0079] 其中,公共电极30的材料为透明导电材料,薄膜晶体管的漏电极的材料为金属导电材料,两者材料不同,在对公共电极30进行刻蚀时,不会对漏电极产生影响。

[0080] S206、如图8(e)所示,在形成有钝化层50的衬底10上,通过一次构图工艺形成在衬底10上的正投影与第一镂空部分31在衬底10上的正投影不重叠的像素电极60。

[0081] 基于上述,优选的,在衬底10上通过构图工艺形成薄膜晶体管20,包括:

[0082] 在衬底10上通过一次构图工艺形成包括栅极的栅金属层,并形成栅钝化层。

[0083] 在形成有栅钝化层的衬底上通过一次构图工艺形成有源层、包括源电极、漏电极的源漏金属层。

[0084] 以上所述,仅为本发明的具体实施方式,但本发明的保护范围并不局限于此,任何熟悉本技术领域的技术人员在本发明揭露的技术范围内,可轻易想到变化或替换,都应涵盖在本发明的保护范围之内。因此,本发明的保护范围应以所述权利要求的保护范围为准。

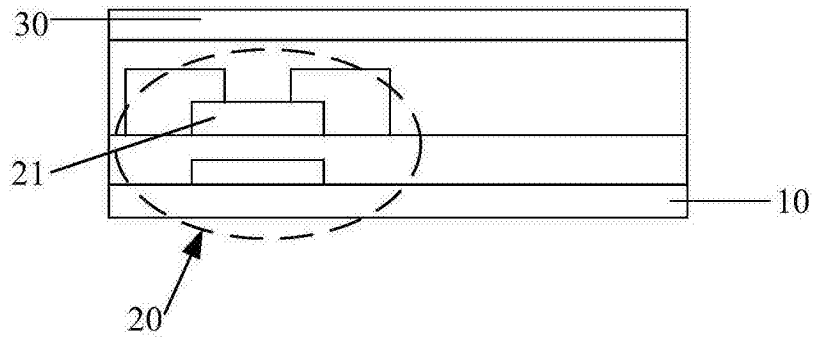


图1

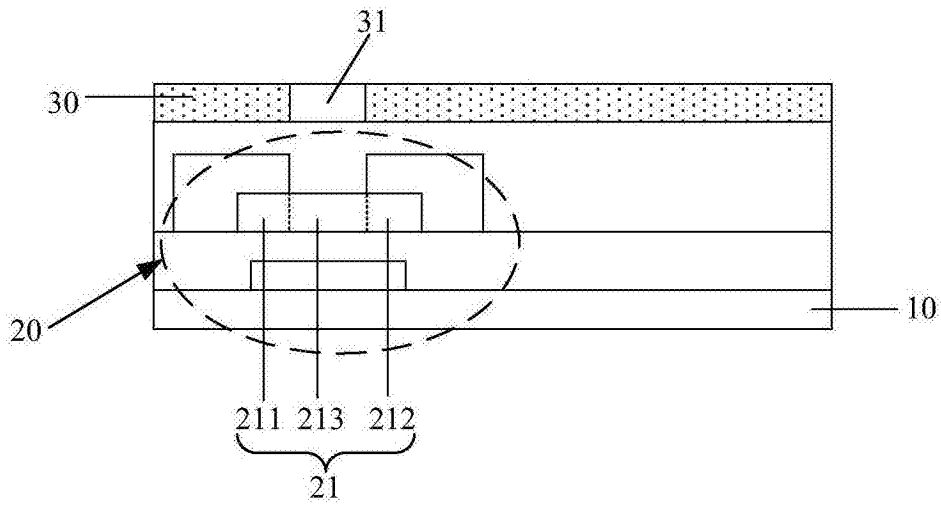


图2

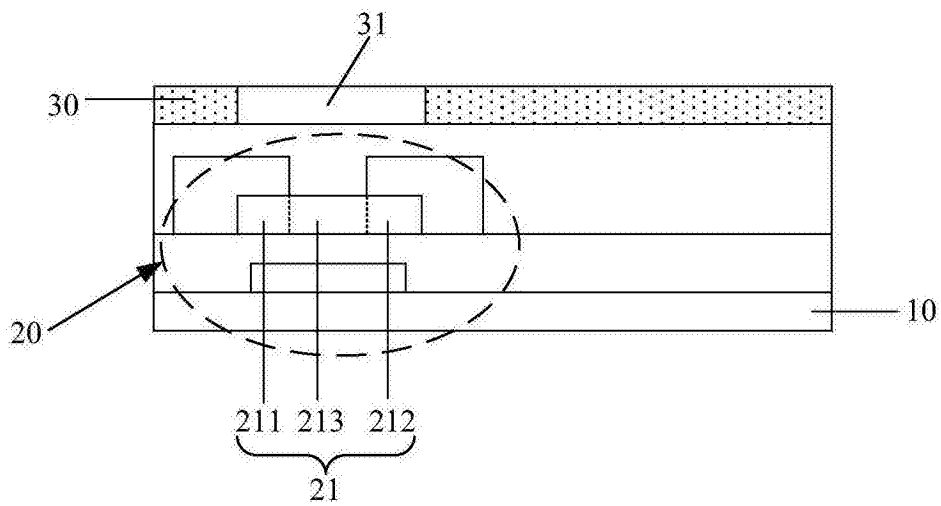


图3

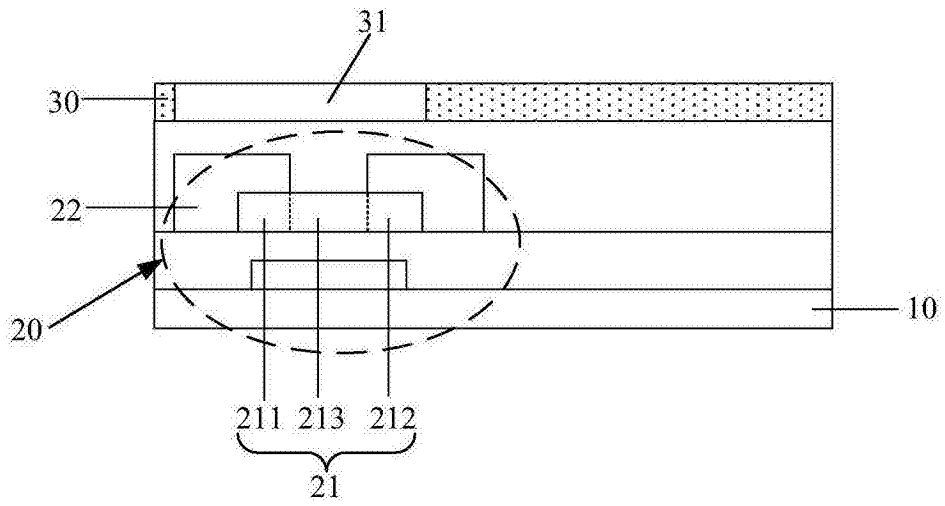


图4

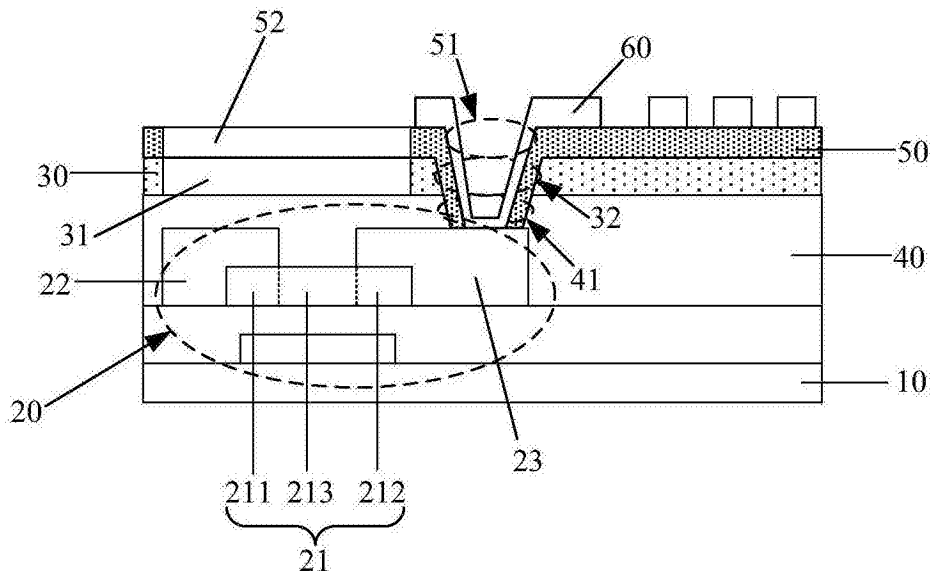


图5

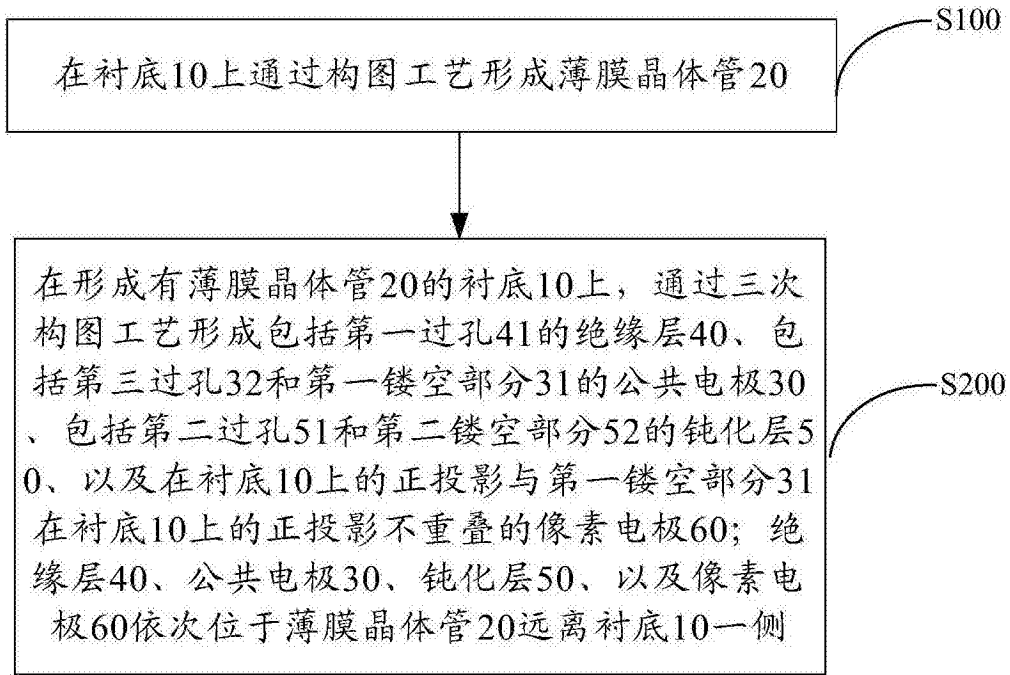


图6

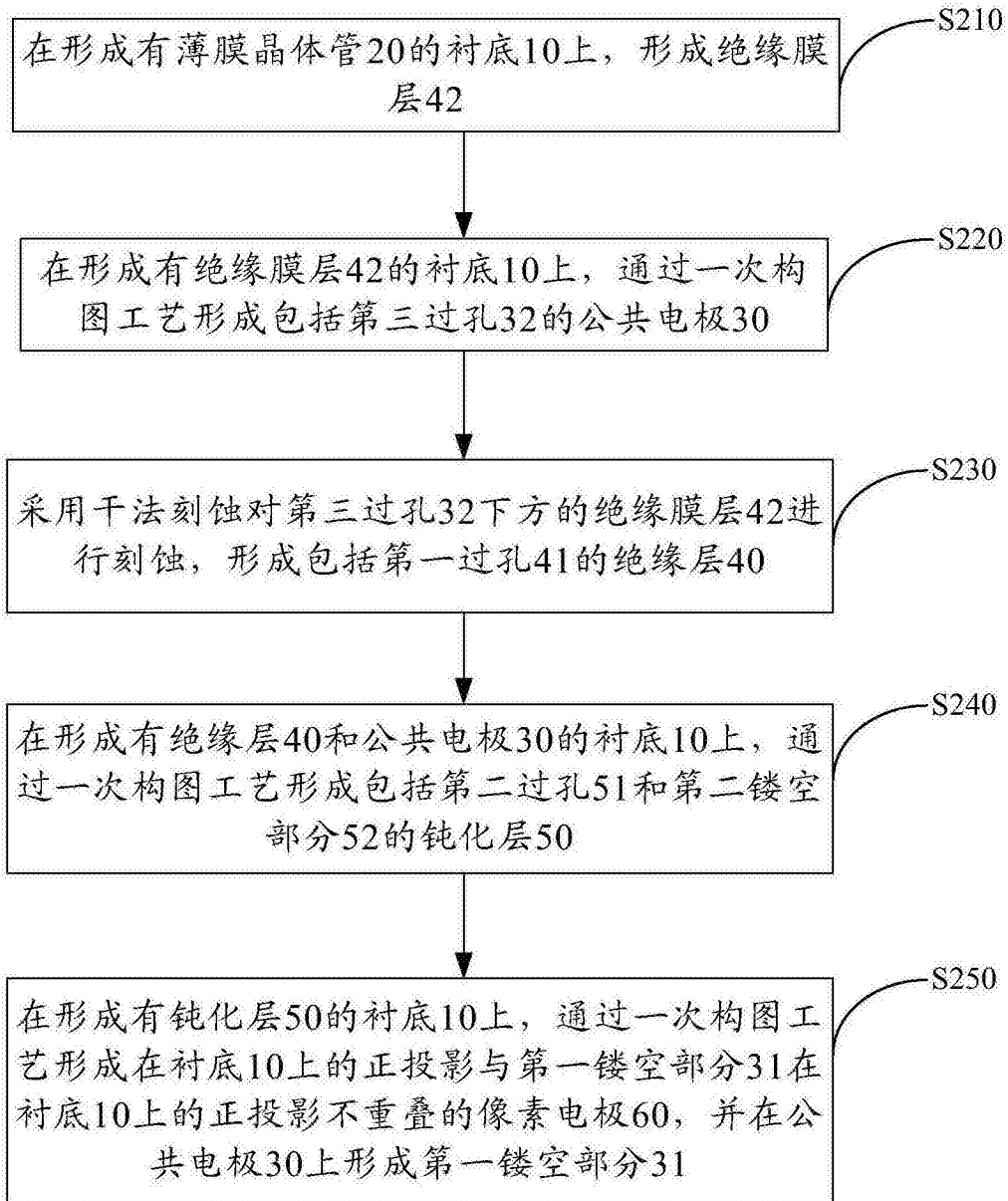


图7

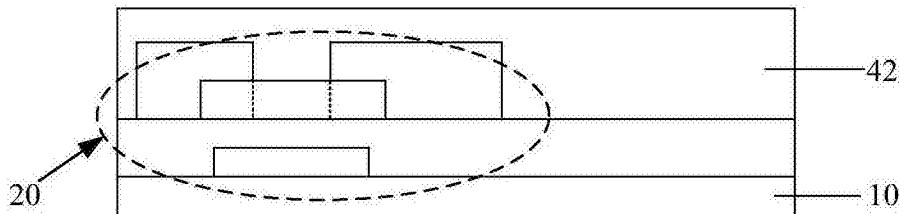


图8(a)

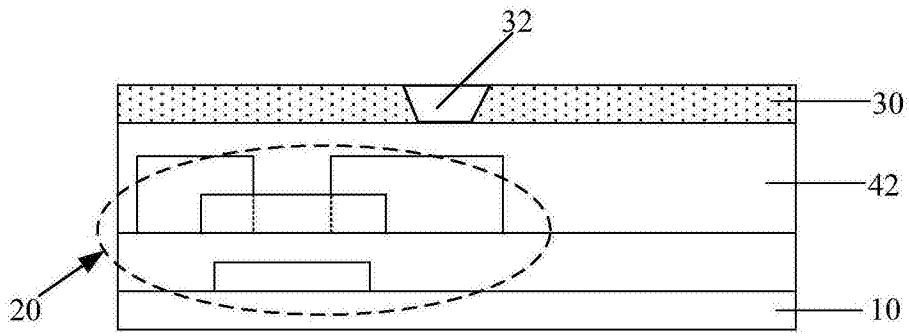


图8 (b)

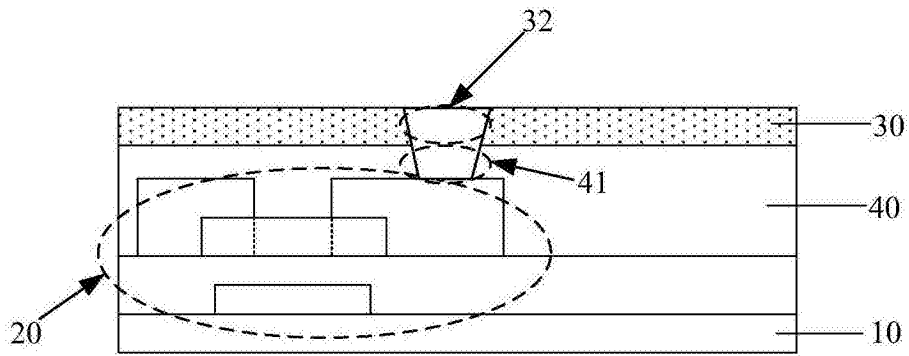


图8 (c)

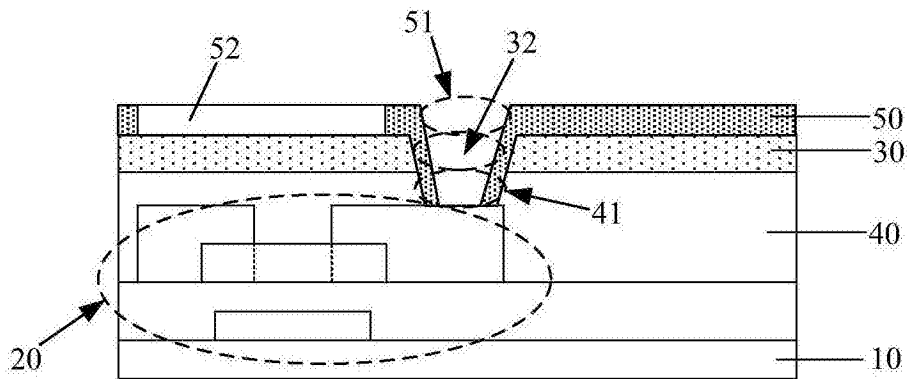


图8 (d)

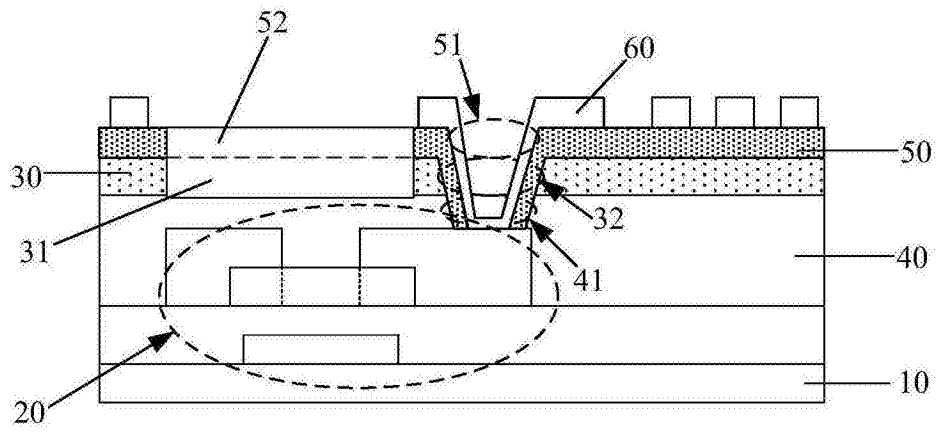


图8(e)

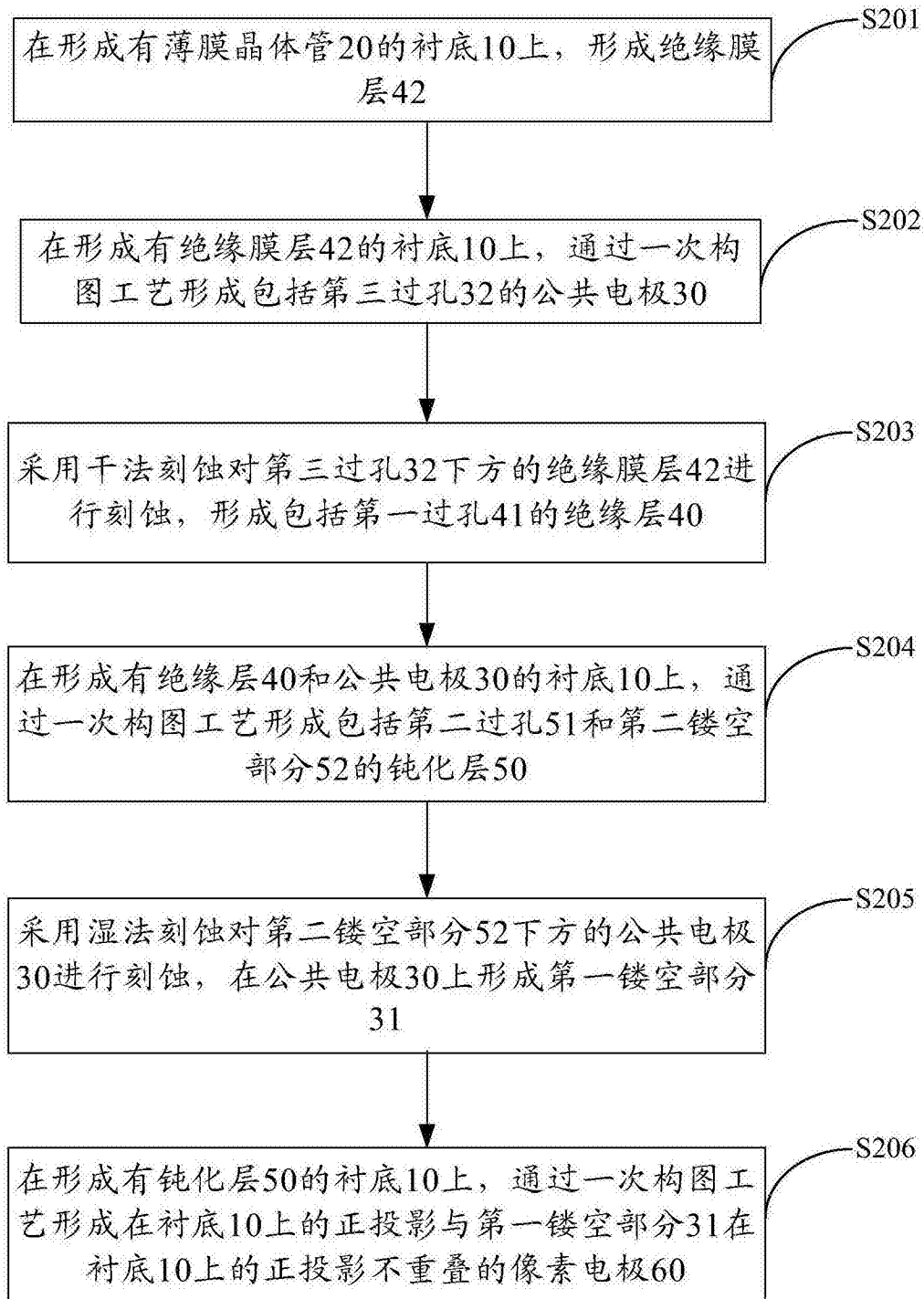


图9

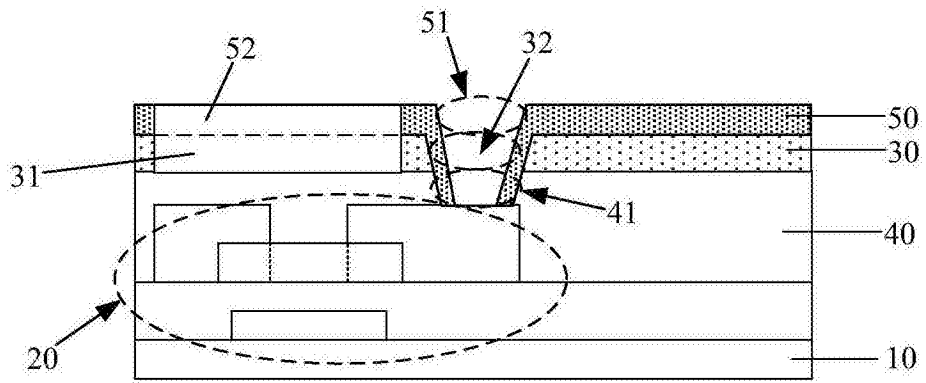


图10