

	(19) 대한민국특허청(KR) (12) 공개특허공보(A)	(11) 공개번호 10-2012-0100128 (43) 공개일자 2012년09월12일
(51) 국제특허분류(Int. Cl.) H01L 51/00 (2006.01) H05B 33/08 (2006.01)		(71) 출원인 고려대학교 산학협력단 서울 성북구 안암동5가 1
(21) 출원번호 10-2011-0018810	(22) 출원일자 2011년03월03일 심사청구일자 2011년03월03일	(72) 발명자 최종호 서울특별시 성북구 성북로4길 52, 110동 1505호 (돈암동, 한신아파트) 안민준 경상남도 창원시 진해구 용원남로7번길 21, 덕일빌라 402호 (용원동) (뒷면에 계속)
		(74) 대리인 특허법인충현

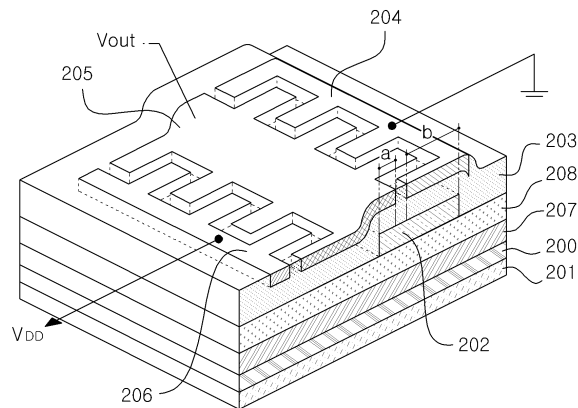
전체 청구항 수 : 총 14 항

(54) 발명의 명칭 스위칭이 우수한 유기 인버터 회로의 제조방법

(57) 요약

본 발명은 유기 인버터 회로의 제조방법에 관한 것으로 보다 상세하게는 공기 중에서도 전계 이동도의 균형이 우수할 뿐 아니라 논리 회로의 1과 0에 해당하는 스위칭 커짐 및 꺼짐 (switching ON/switching OFF)이 효과적이고, 이력현상 (hysteresis)이 적은 유기 인버터 회로의 제조방법을 제공하는 것이다.

대표도 - 도2d



(72) 발명자

서훈석

서울특별시 성북구 안암로 145, 자연계캠퍼스 아산
이학관 324호 (안암동5가, 고려대학교)

장영

서울특별시 성북구 안암로 145, 자연계캠퍼스 아산
이학관 324호 (안암동5가, 고려대학교)

오정도

서울특별시 마포구 신촌로 162, 캠프 21 오피스텔
809호 (대흥동, 캠프21오피스텔)

이 발명을 지원한 국가연구개발사업

과제고유번호 20100014418

부처명 한국연구재단

연구사업명 중견연구자지원_핵심연구

연구과제명 기체상 유기 과도화학종의 반응과 활용에 관한 연구

주관기관 고려대학교 산학협력단

연구기간 2010.05.01 ~ 2011.04.30

특허청구의 범위

청구항 1

- 1) 기관의 하부에 입력전극을 형성하는 단계;
- 2) 상기 기관의 상부에 유전층을 형성하는 단계;
- 3) 제1 노즐을 구비한 제1 도가니 및 제2 노즐을 구비한 제2 도가니를 포함 하는 클러스터 빔 증착 챔버 내부에 상기 기관을 삽입하는 단계;
- 4) 전자수송층 화합물을 상기 제1 도가니 내부에 넣고 전압 인가 방식에 의하여 가열함으로써 증기화하고, 상기 증기화된 화합물을 상기 제1 노즐을 통하여 상기 클러스터 빔 증착 챔버 내부에 공급함으로써 상기 기관의 유전층의 상부면 중 선택된 일부영역에 n-채널 금속 산화막 반도체 트랜지스터의 전자 수송층을 증착하는 단계;
- 5) 정공수송층 화합물을 상기 제2 도가니 내부에 넣고 전압 인가방식에 의하여 가열함으로써 증기화하고, 상기 증기화된 화합물을 제 2 노즐을 통하여 상기 클러스터 빔 증착 챔버 내부에 공급함으로써 상기 일부영역에 형성된 전자 수송층이 공기와 접촉되지 않도록 전자수송층을 감싸도록 p-채널 금속 산화막 반도체 트랜지스터의 정공 수송층을 증착하는 단계;및
- 6) 상기 정공 수송층의 상부에 접지전극, 출력전극 및 공급전극을 형성하는 단계를 포함하는 스위칭이 우수한 유기 인버터 회로의 제조방법.

청구항 2

제1항에 있어서,

상기 기관은 n형 실리콘기관; 또는 폴리에테르술폰(PES, polyethersulphone), 폴리아크릴레이트(PAR, polyacrylate), 폴리에테르 이미드(PEI, polyetherimide), 폴리에틸렌 나프탈레이트(PEN, polyethylenenapthalate), 폴리에틸렌 테레프탈레이트(PET, polyethyleneterephthalate), 폴리페닐렌 설파이드(polyphenylene sulfide: PPS), 폴리아릴레이트(polyallylate), 폴리이미드(polyimide), 폴리카보네이트(PC), 셀룰로오스 트리 아세테이트(TAC) 및 셀룰로오스아세테이트 프로피오네이트(cellulose acetate propionate: CAP)로 이루어진 군으로부터 선택되는 어느 하나의 플라스틱 기관인 것을 특징으로 하는 스위칭이 우수한 유기 인버터 회로의 제조방법.

청구항 3

제1항에 있어서,

상기 2) 단계와 3) 단계 사이에 유전층의 상부면에 PMMA 절연층을 형성하는 단계를 더 포함하는 것을 특징으로 하는 스위칭이 우수한 유기 인버터 회로의 제조방법.

청구항 4

제1항 또는 제2항에 있어서,

상기 전자 수송층의 증착두께는 PMMA 절연층이 형성되어 있는 경우 130 ~ 170Å이고 PMMA 절연층이 형성되지 않은 경우 160 ~ 200Å이며, 정공 수송층의 증착두께는 270 ~ 330Å인 것을 특징으로 하는 스위칭이 우수한 유기 인버터 회로의 제조방법.

청구항 5

제1항에 있어서,

상기 전자 수송층의 증착속도는 1.0 ~ 2.0 Å/s 이고, 정공 수송층의 증착속도는 0.5 ~ 1.0 Å/s인 것을 특징으로 하는 스위칭이 우수한 유기 인버터 회로의 제조방법.

청구항 6

제1항에 있어서,

상기 전자 수송층의 수직하는 상부에 상기 접지전극 및 출력전극의 일부 또는 전부가 형성되는 것을 특징으로 하는 스위칭이 우수한 유기 인버터 회로의 제조방법.

청구항 7

제1항에 있어서,

상기 전자수송층은 *N,N'*-디트리데실페릴렌-3,4,9,10-테트라카르복실리다이미드(*N,N'*-ditridecylperylene-3,4,9,10-tetracarboxylic diimide)이고, 정공수송층은 펜타센 (Pentacene)인 것을 특징으로 하는 스위칭이 우수한 유기 인버터 회로의 제조방법.

청구항 8

제1항에 있어서,

상기 6) 단계에서 생성된 접지전극과 출력전극 및 공급전극이 포함하는 두 트랜지스터 각각의 소스와 드레인 전극 사이 채널너비는 160 ~ 200 μm, 채널길이는 100 ~ 200 μm인 것을 특징으로 하는 유기 인버터 회로의 제조방법.

청구항 9

제1항에 있어서,

상기 4) 단계와 5) 단계는 순차적으로 수행되거나 동시에 수행되는 것을 특징으로 하는 스위칭이 우수한 유기 인버터 회로의 제조방법.

청구항 10

기판의 하부에 형성된 입력전극; 상기 기판의 상부에 형성된 절연층과 유기막; 및 상기 유기막의 상부에 형성된 접지전극과 출력전극 및 공급전극을 포함하는 유기 인버터 회로에 있어서, 상기 유기막은 절연층의 상부면 중 선택된 일부영역에 전자 수송층이 형성되고, 상기 전자 수송층이 공기와 접촉되지 않도록 전자 수송층을 감싸면서 정공수송층이 형성되는 스위칭이 우수한 유기 인버터 회로.

청구항 11

제10항에 있어서,

상기 절연층은 이산화실리콘 (SiO₂)과 폴리메틸메타크릴레이트 (PMMA)가 순차적으로 적층된 것을 특징으로 하는 스위칭이 우수한 유기 인버터 회로.

청구항 12

제11항에 있어서,

상기 폴리메틸메타크릴레이트 (PMMA)의 두께는 140 ~ 160 Å인 것을 특징으로 하는 스위칭이 우수한 유기 인버터 회로.

청구항 13

제10항에 있어서,

상기 전자 수송층의 수직하는 상부면에 상기 접지전극 및 출력전극의 일부 또는 전부가 형성되는 것을 특징으로 하는 스위칭이 우수한 유기 인버터 회로.

청구항 14

제10항에 있어서,

상기 전자수송층은 N,N' -디트리테실페틸렌-3,4,9,10-테트라카복실딕디이미드(N,N' -ditridecylperylene-3,4,9,10-tetracarboxylic diimide)이고, 정공수송층은 펜타센 (Pentacene)인 것을 특징으로 하는 스위칭이 우수한 유기 인버터 회로.

명세서

기술분야

[0001] 본 발명은 유기 인버터 회로의 제조방법에 관한 것으로 보다 상세하게는 공기 중에서도 전계 이동도의 균형이 우수할 뿐 아니라 논리 회로의 1과 0에 해당하는 스위칭 켜짐 및 꺼짐 (switching ON/switching OFF)이 효과적 이고, 이력현상 (hysteresis)이 적은 유기 인버터 회로의 제조방법을 제공하는 것이다.

배경기술

[0002] 최근 유기 전계장-효과 트랜지스터(Organic Field-effect Transistor : OFET)의 성능이 급속히 향상되고, 그 응용성에 이목이 집중되면서 라디오 전파 식별 태그 (Radio Frequency Identification : RFID Tags), 플렉시블 디스플레이 (Flexible Display), 액티브-메트릭스 디스플레이 (Active-matrix Display) 등의 분야에서 유기 전계장-효과 트랜지스터 (OFET)를 이용한 유기전자 소자에 대한 연구가 활발히 진행되어 왔다.

[0003] 특히, 라디오 주파수 식별 태그 (RFID Tags)는 사람이나 물건을 일반적으로 125kHz, 13.56MHz 또는 800~900MHz 정도의 주파수를 이용하여 특징지어 주는 것으로 이것의 태그 (Tag) 내에 마이크로칩 (Microchip)이 내장되어 많은 정보를 저장할 수 있다. 라디오 전파 식별 태그 (RFID Tags)에는 개인의 소지와 동시에 정보를 가지는 태그 (Tags)와 그 정보를 분석하는 태그 리더 (Tag Reader), 이들 둘 사이의 정보와 전원을 주고받는 태그 안테나 (Tag antenna), 그리고 정보를 받아들이는 태그 저장소 (Tag station)로 구성된다. 즉, 라디오 주파수 식별 태그 (RFID Tags)가 정보를 보유하고 있는 태그 (Tags)에서 정보를 안테나 (Antenna)를 통하여 리더 (Reader)에게 전달하고, 전달된 정보는 컴퓨터를 통하여 분석하게 된다. 이 때, 태그 (Tags)와 안테나 (Antenna) 사이에 라디오 주파수 (RF)가 사용되어 무선으로 정보 전달을 한다. 또, 안테나 (Antenna)에는 용도에 따라 패드 안테나(Antenna)와 게이트 안테나 (Antenna)가 사용되어 지는데 리더 (Reader)와 연결된 이들 안테나 (Antenna)를 통하여 태그 (Tags)에 라디오 주파수 (RF)를 이용하여 전원이 공급되기 때문에 태그 (Tags) 내부에 전원 소자를 갖추고 있을 필요도 없다.

[0004] 이러한 라디오 전파 식별 태그 (RFID Tags)의 필요성에 의해서 초저가 유기 라디오 주파수 식별 태그 (RFID Tags)의 개발을 위해 유기 반도체 전자소자 중, 전계 효과 트랜지스터 (OFET)를 이용하여 태그 (Tags)를 구성하는 핵심회로인 인버터 (Inverters), 논리 회로 (Logic Circuits), 링 발진기 (Ring Oscillator), 정류기 등 유기 집적 회로(Organic Integrated Circuits)를 설계 제작하고 그 특성을 분석함으로써 유기 라디오 주파수 식별 태그 (RFID Tags)의 가능성에 대한 연구가 활발한 것이다. 따라서, 두 개의 전계장 효과 트랜지스터로 구성되어 유기 집적 회로에서 가장 기본적인 소자 단위가 되는 인버터에 대한 연구는 도전적이고 중요한 과제라고 할 수 있다.

[0005] 상보성 금속 산화막 반도체 (CMOS)를 기반으로 한 유기 반도체 전자회로인 유기 인버터 (Organic Inverter)에 있어서 일반적인 실리콘 (silicon) 전자소자는 분리된 n-형 트랜지스터 (n-type transistor)와 p-형 트랜지스터 (p-type transistor)를 연결하고 그들의 주 전하 사이에서 관계하는 상보적 전류 흐름 작용을 이용하여 회로 (circuits)를 제작하고 있다. 하지만 대부분의 n-형 (n-type) 유기 반도체는 공기 중에 안정하지 않고 전하 이동도가 p-형 (p-type)에 비해 낮아서 상보성 금속 산화막 반도체 (CMOS) 기반의 전자 회로 (Electronic Circuits)를 제작하는데 사용할 수 있는 n-형 물질의 범위에 한계가 있어 다양한 n-형 물질을 사용하여 그들의 특성을 구현하는데 제약이 있었다.

[0006] 한편, 이력현상이란 소자를 구동할 때 외부의 전압에 의해 어떤 특성의 변화가 순방향으로 진행했을 때와 역방향으로 진행했을 때 나온 두 그래프가 일치하지 않는 현상이다. 좋은 성능의 소자는 두 그래프의 차이가 거의 없어야 하나, 종래의 유기 인버터 회로는 이력현상이 나타나는 문제가 있었다.

[0007]

발명의 내용

해결하려는 과제

[0008] 본 발명은 상술한 문제점을 해결하기 위해 안출된 것으로, 본 발명의 첫번째 해결하려는 과제는 공기 중에서 우수한 전계 이동도를 바탕으로 잡음에 대한 여유(Good Noise Margin)가 크고 낮은 전압(Low-Voltage)에 대하여 반전(Inverting) 변화가 급격하여 높은 획득(Gain)을 갖는 위치칭(Switching)이 빨라 전력 소모가 낮은(Low Static Power consumer) 인버터 회로(Inverter Circuit)의 제조방법 및 이를 통해 제조된 인버터 회로를 제공하는 것이다.

[0009] 본 발명의 두번째 해결하려는 과제는 유기 물질(Semiconductor)과 절연층(Dielectric Layer) 사이의 경계면(Interface)에서 생기는 전하 이동의 결함(charge Trapping Defect)을 줄여 입력단 전압(Input Voltage)에 대한 이력현상(Hysteresis)의 감소할 수 있는 인버터 회로를 제공하는 것이다.

과제의 해결 수단

[0010] 상술한 첫번째 해결하려는 과제를 달성하기 위하여 본 발명의 유기 인버터 회로의 제조방법은, 1) 기판의 하부에 입력전극을 형성하는 단계; 2) 상기 기판의 상부에 유전층을 형성하는 단계; 3) 제1 노즐을 구비한 제1 도가니 및 제2 노즐을 구비한 제2 도가니를 포함 하는 클러스터 빔 증착 챔버 내부에 상기 기판을 삽입하는 단계; 4) 전자수송층 화합물을 상기 제1 도가니 내부에 넣고 전압 인가 방식에 의하여 가열함으로써 증기화하고, 상기 증기화된 화합물을 상기 제1 노즐을 통하여 상기 클러스터 빔 증착 챔버 내부에 공급함으로써 상기 기판의 유전층의 상부면 중 선택된 일부영역에 n-채널 금속 산화막 반도체 트랜지스터의 전자 수송층을 증착하는 단계; 5) 정공수송층 화합물을 상기 제2 도가니 내부에 넣고 전압 인가방식에 의하여 가열함으로써 증기화하고, 상기 증기화된 화합물을 제 2 노즐을 통하여 상기 클러스터 빔 증착 챔버 내부에 공급함으로써 상기 일부영역에 형성된 전자 수송층이 공기와 접촉되지 않도록 전자수송층을 감싸도록 p-채널 금속 산화막 반도체 트랜지스터의 정공 수송층을 증착하는 단계; 및 6) 상기 정공 수송층의 상부에 접지전극, 출력전극 및 공급전극을 형성하는 단계를 포함한다.

[0011] 본 발명의 바람직한 일실시예에 따르면, 상기 기판은 n형 실리콘기판; 또는 폴리에테르술폰(PES, polyethersulphone), 폴리아크릴레이트(PAR, polyacrylate), 폴리에테르 이미드(PEI, polyetherimide), 폴리에틸렌 나프탈레이트(PEN, polyethylenenapthalate), 폴리에틸렌 테레프탈레이트(PET, polyethyleneterephthalate), 폴리페닐렌 설파이드(polyphenylene sulfide: PPS), 폴리알릴레이트(polyallylate), 폴리이미드(polyimide), 폴리카보네이트(PC), 셀룰로오스 트리 아세테이트(TAC) 및 셀룰로오스 아세테이트 프로피오네이트(cellulose acetate propionate: CAP)로 이루어진 군으로부터 선택되는 어느 하나의 플라스틱 기판일 수 있다.

[0012] 본 발명의 두번째 과제를 달성하기 위하여 상기 2) 단계와 3) 단계 사이에 유전층의 상부면에 PMMA 절연층을 형성하는 단계를 더 포함할 수 있다.

[0013] 본 발명의 바람직한 또 다른 일실시예에 따르면, 상기 전자 수송층의 증착두께는 PMMA 절연층이 형성되어 있는 경우 130 ~ 170 Å이고 PMMA 절연층이 형성되지 않은 경우 160 ~ 200 Å이며, 정공 수송층의 증착두께는 270 ~ 330 Å일 수 있다.

[0014] 본 발명의 바람직한 또 다른 일실시예에 따르면, 상기 전자 수송층의 증착속도는 1.0 ~ 2.0 Å/s 이고, 정공 수송층의 증착속도는 0.5 ~ 1.0 Å/s일 수 있다.

[0015] 본 발명의 바람직한 또 다른 일실시예에 따르면, 상기 전자 수송층의 수직하는 상부면에 상기 접지전극 및 출력전극의 일부 또는 전부가 형성될 수 있다.

[0016] 본 발명의 바람직한 또 다른 일실시예에 따르면, 상기 전자수송층은 N,N'-디트리데실페릴렌-3,4,9,10-테트라카르복실디이미드(N,N'-ditridecylperylene-3,4,9,10-tetracarboxylic diimide)이고, 정공수송층은 펜타센(Pentacene)일 수 있다.

[0017] 본 발명의 바람직한 또 다른 일실시예에 따르면, 상기 6) 단계에서 생성된 접지전극과 출력전극 및 공급전극이 포함하는 두 트랜지스터 각각의 소스와 드레인 전극 사이 채널너비는 160 ~ 200 nm, 채널길이는 100 ~ 200 μm일 수 있다.

[0018] 본 발명의 바람직한 또 다른 일실시예에 따르면, 상기 4) 단계와 5) 단계는 순차적으로 수행되거나 동시에 수행될 수 있다.

[0019] 본 발명의 바람직한 또 다른 일실시예에 따르면, 기판의 하부에 형성된 입력전극; 상기 기판의 상부에

형성된 절연층과 유기막; 및 상기 유기막의 상부에 형성된 접지전극과 출력전극 및 공급전극을 포함하는 유기 인버터 회로에 있어서, 상기 유기막은 절연층의 상부면 중 선택된 일부영역에 전자 수송층이 형성되고, 상기 일부영역에 형성된 전자 수송층이 공기와 접촉되지 않도록 전자수송층을 감싸도록 정공수송층이 형성되는 유기 인버터 회로를 제공한다.

[0020] 본 발명의 바람직한 또 다른 일실시예에 따르면, 상기 절연층은 이산화실리콘 (SiO_2)과 폴리메틸메타크릴레이트 (PMMA)가 순차적으로 적층될 수 있으며, 이 경우 상기 폴리메틸메타크릴레이트 (PMMA)의 두께는 140 ~ 160 Å일 수 있다.

[0021] 본 발명의 바람직한 또 다른 일실시예에 따르면, 상기 전자 수송층의 수직하는 상부면에 상기 접지전극 및 출력전극의 일부 또는 전부가 형성될 수 있다.

[0022] 본 발명의 바람직한 또 다른 일실시예에 따르면, 상기 전자수송층은 N,N' -디트리데실페릴렌-3,4,9,10-테트라카르복실리디이미드(N,N' -ditridecylperylene-3,4,9,10-tetracarboxylic diimide)이고, 정공수송층은 펜타센 (Pentacene)일 수 있다.

발명의 효과

[0023] 본 발명의 유기 인버터 회로는 n-채널 금속 산화막 반도체 (NMOS) 트랜지스터와 p-채널 금속 산화막 반도체 (PMOS) 트랜지스터 각각을 출력 전극으로 연결시켜서 제조된 전형적인 상보적 금속 산화막 반도체 회로로서, p-형 유기 화합물이 p-채널 금속 산화막 반도체 (PMOS) 트랜지스터를 형성함과 동시에 먼저 형성되어 있는 n-채널 금속 산화막 반도체 (NMOS) 트랜지스터의 n-형 유기 반도체 물질의 공기 중 불안정성을 보완하기 위해 n-채널 금속 산화막 반도체 (NMOS) 트랜지스터의 상부를 덮어 n-채널 금속 산화막 반도체 (NMOS) 트랜지스터가 공기중에 노출되지 않도록 설계되었다. 이와 같은 구조적인 변형 과정을 통해, n-형 유기물질의 공기에 대한 불안정성을 해소함으로써 공기 중에서도 정공의 전계 이동도와 균형을 이루는 전자의 그것을 얻을 수 있었음은 물론이고 이에 따른 상보적 작용의 전류 흐름으로서 두 트랜지스터에 대해 분명한 1과 0의 논리 레벨을 유도하였다. 따라서, 인가된 공급전압의 절반 영역에 해당하는 이상적인 문턱 전압에서 켜짐 (ON)과 꺼짐 (OFF)에 대한 빠른 스위칭 (switching)과 잡음에 대한 여유 (Good Noise Margin)가 비교적 크고 높은 획득 (gain)을 가지는 특성을 구현하였다. 또한, 전자 회로에서 스캔 (scan)되는 바이어스 (bias) 방향에 따라 그 특성의 경로가 다르게 나타나는 것이 일반적인 현상인데, 본 발명에서는 그러한 이력현상 (hysteresis)을 감소시키기 위해 유기물질과 친화성이 큰 고분자 물질을 n형 실리콘 기판 상부에 형성되어 있는 유기막 위에 표면 처리하여 유기막과 유기물질 사이의 경계면에 생기는 전하 이동 결함 밀도 (charge trapping defect density)를 줄임으로서 인가되는 전압의 두 방향에 대해 이력현상 (hysteresis)을 거의 보이지 않는 특성을 도출하였다.

도면의 간단한 설명

[0024] 도 1은 본 발명에 따른 증기화 장치 (NCBD)를 도시한 단면도이다.

도 2a는 본 발명의 바람직한 일실시예에 따른 이산화실리콘 (SiO_2) 유전층 이 형성되어 있을 경우 유기 상보성 금속 산화막 반도체 인버터 회로의 단면에 대한 개략도이고, 도 2b는 본 발명의 바람직한 일실시예에 따른 고분자 절연물질 폴리메틸메타크릴레이트 (PMMA) 절연층이 형성되어 있을 경우 유기 상보성 금속 산화막 반도체 인버터 회로의 단면에 대한 개략도이며, 도 2c는 본 발명의 바람직한 일실시예에 따른 인버터 회로의 사시도이다.

도 3은 본 발명의 바람직한 일실시예에 따른 인버터 회로의 구성요소인 트랜지스터의 소스전극과 드레인전극의 도면이다.

도 4a는 본 발명의 바람직한 일실시예에 따른 이산화실리콘 (SiO_2) 유전층 이 형성되어 있을 경우에 나타나는 유기 상보성 금속 산화막 반도체 인버터 회로의 전류-전압 특성에 대한 출력 (output) 특성을 나타낸 그래프이다. 도 4b는 고분자 절연물질 폴리메틸메타크릴레이트 (PMMA) 절연층이 형성되어 있을 경우에 나타나는 유기 상보성 금속 산화막 반도체 인버터 회로의 전류-전압 특성에 대한 출력 (output) 특성을 나타낸 그래프이다.

도 5a, 5b는 본 발명의 바람직한 일실시예에 따른 이산화실리콘 (SiO_2) 유전층이 형성되어 있을 경우에 나타나는 유기 상보성 금속 산화막 반도체 인버터 회로의 전류-전압 특성에 대한 이동 (transfer) 특성을 나타내는 그

래프이다. 도 5c 및 5d는 고분자 절연물질 폴리메틸메타크릴레이트 (PMMA) 절연층이 형성되어 있을 경우에 나타나는 유기 상보성 금속 산화막 반도체 인버터 회로의 전류-전압 특성에 대한 이동 (transfer) 특성을 나타내는 그래프이다.

도 6a는 본 발명의 바람직한 일실시예에 따른 이산화실리콘 (SiO₂) 유전층 이 형성되어 있을 경우에 나타나는 유기 상보성 금속 산화막 반도체 인버터 회로의 입력전압에 대한 출력전압 함수값을 1과 0의 논리값에 해당하는 스위칭 특성으로 나타내는 그래프 (VTC ; voltage transfer characteristics)이고, 도 6b는 고분자 절연물질 폴리메틸메타크릴레이트 (PMMA) 절연층이 형성되어 있을 경우에 나타나는 유기 상보성 금속 산화막 반도체 인버터 회로의 입력전압 대비 출력전압의 특성을 나타내는 그래프(VTC)이다.

발명을 실시하기 위한 구체적인 내용

[0025] 이하, 본 발명을 첨부된 도면을 참조하여 보다 상세히 설명한다.

[0026] 상술한 바와 같이, 유기 인버터 회로에 있어서, n-형 유기 반도체 물질은 공기 중에 불안정한 특성을 보이는 것이 대부분이며 따라서 이것을 분리된 트랜지스터로 제작하여 상보성 금속 산화막 반도체 인버터 (CMOS inverter)의 특성을 유도하기 어려운 문제가 있었다. 또한 실리콘 기판의 전자 회로에서 유기막 표면에 산재된 전하 이동의 결함 (charge trapping defect)으로 인해 이력현상 (hysteresis)이 발생하는 문제가 있었다.

[0027] 이에 본 발명에서는 공기 중에서도 두 전하 사이의 전계 이동도 균형이 우수할 뿐 아니라 스위칭 (switching)이 뛰어나서 높은 획득 (gain)값을 가지며 이력현상이 적은 유기 인버터 회로 제조방법을 제공하여 상술한 문제점의 해결을 모색하였다. 구체적으로, 일실시예에 따른 유기 인버터 회로의 제조방법은, 1) 기판의 하부에 입력전극(게이트 전극)을 형성하는 단계; 2) 상기 기판의 상부에 유전층을 형성하는 단계; 3) 제1 노즐을 구비한 제1 도가니 및 제2 노즐을 구비한 제2 도가니를 포함 하는 클러스터 빔 증착 챔버 내부에 상기 기판을 삽입하는 단계; 4) 전자수송층 화합물을 상기 제1 도가니 내부에 넣고 전압 인가 방식에 의하여 가열함으로써 증기화하고, 상기 증기화된 화합물을 상기 제1 노즐을 통하여 상기 클러스터 빔 증착 챔버 내부에 공급함으로써 상기 기판의 유전층의 상부면 중 선택된 일부영역에 n-채널 금속 산화막 반도체 트랜지스터의 전자 수송층을 증착하는 단계; 5) 정공수송층 화합물을 상기 제2 도가니 내부에 넣고 전압 인가방식에 의하여 가열함으로써 증기화하고, 상기 증기화된 화합물을 제 2 노즐을 통하여 상기 클러스터 빔 증착 챔버 내부에 공급함으로써 상기 일부영역에 형성된 전자 수송층이 공기와 접촉되지 않도록 전자수송층을 감싸도록 p-채널 금속 산화막 반도체 트랜지스터의 정공 수송층을 증착하는 단계; 및 6) 상기 정공 수송층의 상부에 접지전극, 출력전극 및 공급전극을 형성하는 단계를 포함하는 스위칭 (switching)이 우수한 유기 인버터 회로의 제조방법을 제공한다.

[0028] 먼저, 본 발명에서 사용되는 진공증착장비를 도 1을 참조하여 설명하면, 진공챔버의 내상측에 기판홀더 (130)가 피증착물인 기판(미도시)를 고정하고, 내하측에는 지지대(101)의 상부에 가열수단으로서 전열선이 구비된 2개의 도가니(102, 103)를 배치하며 상기 도가니(102, 103)의 상부에는 노즐을 구비한 덮개가 형성되어서 상기 도가니(102, 103)는 상부의 노즐을 제외하고는 밀폐된 형상을 가지게 되고, 그 내부에는 증착되는 유기물을 각각 위치시킨다. 또한, 증착이 완료된 증착 유기물 박막의 두께를 측정하기 위하여 설치된 두께 모니터(100)는 증착 유기물의 증착 속도와 두께를 각각 Å/s와 kÅ 단위로 나타내며 상기 박막의 두께를 모니터링하고 적절한 두께를 조절할 수 있도록 한다. 또한, 셔터(110)를 상기 기판과 도가니(102, 103)의 중간에 위치시켜서 외부에서 열고 닫을 수 있도록 구비되어 있으며 처음에는 닫힌 상태로서, 정제되지 않은 불순물이 증착되는 것을 방지하고 일정한 증착 속도에 도달했을 때 외부에서 회전시켜서 열 수 있도록 마련된다.

[0029] 다음, 상술한 본 발명의 유기 상보성 금속 산화막 반도체 인버터 (Organic Complementary Metal Oxide Semiconductor Inverter)의 제조방법을 보다 상세히 설명하면, 1) 단계로서 기판의 하부에 게이트 전극 (또는 입력 전극)을 형성하는 단계로서 당업계에서 통상 사용하는 방법인 이상 특별하게 한정되지 않는다. 이 때 사용 가능한 기판은 n형 실리콘기판, 또는 폴리에테르술폰(PES, polyethersulphone), 폴리아크릴레이트(PAR, polyacrylate), 폴리에테르 이미드(PEI, polyetherimide), 폴리에틸렌 나프탈레이트(PEN, polyethylenenaphthalate), 폴리에틸렌 테레프탈레이트(PET, polyethyleneterephthalate), 폴리페닐렌 설파이드(polyphenylene sulfide: PPS), 폴리아릴레이트(polyallylate), 폴리이미드(polyimide), 폴리카보네이트(PC),

셀룰로오스 트리 아세테이트(TAC) 및 셀룰로오스아세테이트 프로피오네이트(cellulose acetate propionate: CAP)로 이루어진 균으로부터 선택되는 어느 하나의 플라스틱 기판일 수 있다.

[0030] 다음, 2) 단계로서 상기 기판의 상부에 유전층을 형성한다. 이 경우 바람직하게는 기판의 표면은 열산화법에 의하여 형성된 이산화실리콘 (SiO_2)으로 이루어진 유전체층을 형성할 수 있으며 그 두께는 바람직하게는 $1000\text{\AA}$ ~ $3000\text{\AA}$ 일 수 있으나 이에 제한되는 것은 아니다.

[0031] 한편, 2) 단계 이후 상기 유전층의 상부에 절연층으로서 고분자 물질인 폴리메틸메타크릴레이트 (PMMA)를 형성할 수 있다. 이를 통해 전자 이동 결함 밀도 (charge trapping defect density)를 줄임으로서 인가되는 전압의 두 방향에 대해 이력현상 (hysteresis)을 방지할 수 있다. 한편 폴리메틸메타크릴레이트 절연층 (PMMA layer)의 두께는 $140\text{\AA}$ ~ $160\text{\AA}$ 일 수 있다. 만일 폴리메틸메타크릴레이트 절연층의 두께가 $140\text{\AA}$ 미만이면, PMMA 효과가 미비하기 때문에 SiO_2 절연층일 경우와 유사하게 이력현상이 크게 나타나는 문제가 발생할 수 있고, $160\text{\AA}$ 을 초과하면 입력전압 대비 출력전압의 특성에서 게인 (Gain) 값이 현저하게 떨어지는 문제가 발생할 수 있다.

[0032] 구체적으로 폴리메틸메타크릴레이트 (PMMA)를 $4000 \sim 8000\text{rpm}$ 에서 1 ~ 5분 동안 스핀 코팅 (spin coating)하여 상기 기판을 표면 처리할 수 있으며, 이 단계가 끝나면 기판을 진공 오븐 (vacuum oven)에서 $95 \sim 105^\circ\text{C}$ 까지 가열시켜 30분 ~ 2시간 동안 유지시킨 후 같은 조건에서 실온으로 냉각시키는 과정을 거칠 수 있으나 이에 제한되지 않는다.

[0033] 다음, 3) 단계로서 제1 노즐을 구비한 제1 도가니 및 제2 노즐을 구비한 제2 도가니를 포함하는 클러스터 빔 증착 챔버 내부에 상기 기판을 삽입한다. 구체적으로 상기 도가니의 재질은 후술하는 전자수송층 화합물 및 정공수송층 화합물을 가열하는 경우 상기 화합물들이 흡착되거나 반응하지 않는 재질이면 특별하게 제한할 것은 아니나, 고온으로 가열이 가능하고 고온에서도 열변형이 적은 흑연(graphite)이 바람직하다. 아울러, 상기 도가니의 형태는 밀폐되어 그 상부에 노즐을 가진 덮개가 구비될 수 있는 한 특별하게 제한할 것은 아니나 바람직하게는 박막의 형성이 용이한 스핀코팅이 유리하다. 한편, 상기 노즐은 상기 화합물들이 승화되어 기판을 향해 배출되는 통로로서 그 직경은 바람직하게는 $0.5 \sim 1.5\text{mm}$ 일 수 있다. 만일 도가니에 구비된 노즐의 직경이 0.5mm 미만인 경우에는 후술하는 클러스터화된 증기 입자가 노즐을 통과하기 어려우므로 바람직하지 못하고, 1.5mm 를 초과하는 경우에는 클러스터 분자가 너무 커져서 이동할 때의 고른 박층이 형성되기 어렵기 때문에 바람직하지 못하다. 따라서 직경이 0.5 내지 1.5mm 인 노즐을 통과하면서 발생된 운동에너지는 고른 박막을 형성하기 위하여 이동(migration)에 필요한 에너지를 공급할 수 있는 것이다. 그러므로 상기 이동 에너지에 의하여 증착 단계에서 가온하지 않고 실온에서 증착시킬 수 있다는 장점이 있다.

[0034] 다음, 4) 단계로서 전자수송층 화합물을 상기 제1 도가니 내부에 넣고 전압 인가 방식에 의하여 가열함으로써 증기화하고, 상기 증기화된 화합물을 상기 제1 노즐을 통하여 상기 클러스터 빔 증착 챔버 내부에 공급함으로써 상기 기판의 유전층의 상부면 중 선택된 일부영역에 n-채널 금속 산화막 반도체 트랜지스터의 전자 수송층을 증착한다.

[0035] 구체적으로 n-채널 금속 산화막 반도체 트랜지스터의 전자 수송층은 공기중에서 불안정하여 지속적으로 노출시켰을 경우에는 이동도가 급격히 떨어져서 전체적으로 인버터 소자의 특성을 저하시키는 문제가 발생하는 경우가 있었다. 이에 본 발명의 일구현예에 따르면 상기 기판의 유전층의 상부면 중 선택된 일부영역에 n-채널 금속 산화막 반도체 트랜지스터의 전자 수송층을 증착하며 상기 2) 단계 이후 PMMA 절연층을 유전층상에 형성한 경우에는 PMMA 절연층의 상부면 중 선택된 일부영역에 n-채널 금속 산화막 반도체 트랜지스터의 전자 수송층을 증착한다. 다시 말해, 기판의 유전층 또는 절연층의 상부면 전체에 전자 수송층이 증착되는 것이 아니라 선택된 일부영역(바람직하게는 절반정도의 영역)에 전자 수송층이 증착되는 것이다. 이를 위하여 기판의 유전층(또는 절연층) 중 전자 수송층이 증착되지 않는 부분은 알루미늄 호일을 덮고, 전자 수송층이 증착되는 부분은 알루미늄 호일을 덮지 않은 상태에서 전자 수송층의 증착을 진행한 후 알루미늄 호일을 벗겨내면 알루미늄 호일이 덮혀있지 않은 부분만 전자 수송층이 선별적으로 증착하게 되나 이에 제한되지 않으며 다양한 방법에 의해 전자 수송층을 선별적으로 증착할 수 있다.

- [0036] 한편, 본 발명에서는 상기 전자 수송층에 사용되는 물질로서 일반적으로 n형 물질에 사용되어지는 Alq₃, TCNQ 등을 사용할 수 있으나 바람직하게는 N',N'-디트리테실페릴렌-3,4,9,10-테트라카르복실리디이미드 화합물을 사용한다. 상기 화합물은 p형 물질인 펜타센, 테트라센, 티오펜 올리고머 등 통상의 정공 수송층의 형성에 사용되던 화합물과 비교하여 n형 트랜지스터의 전계이동도가 우수할 뿐 아니라 HOMO와 LUMO의 에너지 차이가 다른 p형 물질과 잘 매치되어 상보적인 인버팅(inverting) 작용이 나타날 수 있는 메커니즘에 적합한 물질이다. 나아가 일반적으로 n형 물질에 사용되어지는 Alq₃, TCNQ 등을 사용하는 것에 비하여 현저히 향상된 전계이동도를 나타낸다.
- [0037] 이를 위하여 바람직하게는 6 ~ 13.5V의 전압을 인가할 수 있다. 만일 6V 미만의 전압을 인가하는 경우에는 유기물이 승화되지 않아 증착이 원활하게 이루어지지 않는 문제가 발생할 수 있고, 13.5V를 초과하면 증착속도를 제어하지 못하는 문제가 발생할 수 있다.
- [0038] 구체적으로, 진공상태에서 상기 N',N'-디트리테실페릴렌-3,4,9,10-테트라카르복실리디이미드 화합물을 가열하면 상변화에 의하여 기체로 승화하게 되고 승화된 화합물 입자들은 제1 도가니 내부를 유동하게 된다. 유동하는 상기 입자들은 도가니의 상부에 형성된 노즐을 통과하게 되는데, 상기 노즐의 작은 구멍(hole)을 통과하기 때문에 상부로 향하는 운동을 하는 즉, 한 방향의 운동에너지를 가진 상태의 입자들만이 노즐을 통과할 수 있게 된다. 따라서, 상기 도가니의 내부에서 증기화된 입자들은 도가니 내부에서 유동하며 서로 부딪치며 약한 분자간 인력으로 클러스터(cluster)를 형성하게 되고, 상부로 향하는 방향성을 가진 상기 클러스터들만이 균일하고 일정한 운동에너지를 가지고, 빔(beam)의 형태로 노즐을 통과하여 진공챔버의 내상측을 향하여 진행하게 된다. 이렇게 상부로 향하는 방향성을 가지고 동시에 균일하고 일정한 운동에너지를 가진 클러스터는 진공챔버의 내상측에 배치된 기관의 하부에 충돌을 하게 되고, 충돌에 의하여 상기 클러스터의 약한 분자간 인력이 깨지게 되며 동시에 잔여의 운동에너지에 의하여 충돌된 주변의 빈 자리를 찾아 증착되어서 결국 형성되는 박막의 두께가 균일하게 되어, 결정성이 우수해진다.
- [0039] 이에 반하여 종래의 물리기상증착(PVD)법 또는 OMBD법에 의하면, 증착하고자 하는 상기 유기분자들이 특정한 방향성을 가지고 진공챔버내에서 운동하는 것이 아니라 접시모양 또는 그릇모양의 보트(boat)가 가열됨에 따라서 진공상태인 주변환경으로 직접 증발되는 현상이 발생된다. 이는 본 발명에 의한 클러스터빔 증착에서의 클러스터와는 다른 것으로 약한 인력으로 유기분자들이 뭉쳐져서 클러스터를 형성할 수 없게 된다. 즉, 진공상태인 주변으로 다양한 각도의 방향성을 가지고 또한 넓은 분포 크기의 운동에너지를 가진 유기분자들이 승화되는 것이다. 따라서, 넓은 범위의 운동에너지를 가진 입자들이 여러 방향으로부터 많거나 또는 적게 증착되어 기관의 하부에는 그 표면이 거친 섬(island)의 형태를 가지게 된다. 따라서, 증착되는 유기분자들로 이루어진 표면은 거칠어지게 되어 결정도(crystalline)가 떨어져서 전계이동도(mobility)가 저감된다.
- [0040] 한편, 상기 제1 도가니의 온도는 바람직하게는 257 ~ 297℃일 수 있다. 만일 제1 도가니 내부온도가 257℃ 미만인 경우에는 상기 화합물이 증기화되기 어려울 뿐만 아니라, 평평한 기관에서 열중합이 일어나기 위해 필요한 충분한 에너지를 공급할 수 없기 때문에는 유기박막이 형성되기 어렵고, 297℃를 초과하는 경우에는 불안정한 상태의 프리폴리머 라디칼이 형성되기 때문에 박막을 형성한 물질의 화학적 조성이 변성된 형태일 수 있고 표면의 거칠기도 열악해지기 때문에 바람직하지 않다.
- [0041] 이후 상기 유전체층의 상부에 상기 클러스터가 증착되어 전자 수송층이 형성된다. 구체적으로 상기 승화되어 도가니의 노즐을 통과한 클러스터는 진공챔버의 내상측으로 진행하며 기관의 하부에 충돌하게 된다. 충돌된 클러스터는 약한 분자간 결합력이 깨지며 원래 승화된 유기 입자로 되며 주변의 빈 자리로 이동하여 기관과 결합하게 된다. 또한, 클러스터를 증착하기 전에 기관의 표면에 계면활성제를 적층할 수 있다. 또한, 상기 화합물을 이용하는 경우에는 전자수송층의 두께가 150 내지 180Å일 수 있다. 두께가 150Å 일 때에는, 폴리메틸메타크릴레이트 고분자 절연층을 상기 기관의 유기막 표면에 처리한 경우에 증착되는 예이며, 180Å 일 경우는, 별도의 고분자 물질의 처리가 없이 이산화실리콘(SiO₂) 유전체층만 형성되어 있는 기관에 증착될 때의 예이다. 또한, 상기 클러스터의 증착속도는 1.0 내지 2.0Å/S인 것이 바람직한데, 증착속도가 1.0Å미만인 때에는 박막의 증착속도가 너무 느리기 때문에 유기박막이 제대로 형성되기 어렵고 2.0Å을 초과하는 경우에는 제조된 유기박막의 거칠기가 열악해질 수 있다.
- [0042] 한편, 클러스터 빔 증착시에 상기 기관을 가열하지 않는 것이 바람직하며, 보다 바람직하게는 증기화된 클러스터는 20 내지 30℃의 실온에서 증착되어 유기막을 형성할 수 있다. 만일, 기관을 가열하면 가열시 필요한 생산원가가 증가할 뿐만 아니라 대형화에 따라서 기관 전체의 온도균일성을 공정조건으로 수립하기 까다로운 단점이

있다.

- [0043] 다음, 5) 단계로서, 정공수송층 화합물을 상기 제2 도가니 내부에 넣고 전압 인가방식에 의하여 가열함으로써 증기화하고, 상기 증기화된 화합물을 제 2 노즐을 통하여 상기 클러스터 빔 증착 챔버 내부에 공급함으로써 상기 일부영역에 형성된 전자 수송층이 공기와 접촉되지 않도록 전자수송층을 감싸도록 p-채널 금속 산화막 반도체 트랜지스터의 정공 수송층을 증착한다.
- [0044] 구체적으로 상기 4) 단계에서 전자 수송층은 기판 상에 선택적으로 일부 영역에 형성되므로 정공 수송층은 상기 전자 수송층이 공기와 접촉되지 않도록 전자 수송층의 상부면을 감싸면서 증착된다. 그 결과 정공 수송층의 증착두께는 균일하게 이루어지나, 하부의 전자 수송층이 일부분에만 형성되므로 전자 수송층에 대응하는 정공 수송층의 영역은 전자 수송층의 두께만큼 높게 증착되고, 전자 수송층이 형성되지 않은 영역에서는 정공 수송층이 기판의 유전층(또는 절연층) 상에 형성된다. 따라서, 전체적인 높이가 전자 수송층이 형성된 영역이 불룩하게 솟아오른 형상일 수 있다.
- [0045] 한편, 이 때 사용되는 제2 도가니의 재질, 노즐의 두께 등의 조건은 모두 상기 4) 단계와 동일하므로 이하에서는 4) 단계와 상이한 부분을 중심으로 서술하기로 한다.
- [0046] 구체적으로 본 발명의 정공 수송층을 형성하는 물질은 테트라센, MEH-PPV, BP3T, 루브렌 등을 사용할 수 있으나 가장 바람직하게는 펜타센 (Pentacene) 화합물을 사용한다. 상기 화합물을 사용하는 경우 테트라센, MEH-PPV, BP3T, 루브렌 등에 비하여 상술한 본 발명의 전자 수송층에 사용된 *N,N'*-디트리테실페릴렌-3,4,9,10-테트라카르복실리디이미드 화합물과의 적합성이 우수하며 트랜지스터의 전계이동도가 현저히 향상된다. 본 발명의 펜타센 화합물의 장점은 전계이동도가 우수할 뿐 아니라 HOMO와 LUMO의 에너지 차이가 다른 p형 물질과 잘 매치되어 상보적인 인버팅 (inverting) 작용이 나타날 수 있는 메카니즘에 적합한 물질이다. 나아가 일반적으로 n형 물질에 사용되어지는 Alq3, TCNQ 등을 사용하는 것에 비하여 현저히 향상된 전계이동도를 나타낸다.
- [0047] 한편, 상기 제2 도가니의 온도는 바람직하게는 227 ~ 247℃일 수 있다. 만일 제 2 도가니 내부온도가 227℃ 미만인 경우에는 상기 화합물이 증기화되기 어려울 뿐만 아니라, 평평한 기판에서 열충합이 일어나기 위해 필요한 충분한 에너지를 공급할 수 없기 때문에 정공 수송층이 형성되기 어렵고, 247℃를 초과하는 경우에는 불안정한 상태의 프리폴리머 라디칼이 형성되기 때문에 박막을 형성한 물질의 화학적 조성이 변성된 형태일 수 있고 표면의 거칠기도 열악해지기 때문에 바람직하지 않다.
- [0048] 또한, 상기 화합물을 이용하는 경우에는 고분자 물질을 상기 기판에 처리하였을 때와 하지 않았을 때 모두 정공 수송층의 두께가 300Å일 수 있다. 300Å을 미만 또는 초과 시, 전기적 특성을 저하시킬 수 있다. 또한, 상기 클러스터의 증착속도는 0.5 내지 1.0Å/S인 것이 바람직한데, 증착속도가 0.5Å미만인 때에는 박막의 증착속도가 너무 느리기 때문에 유기박막이 제대로 형성되기 어렵고 1.0Å을 초과하는 경우에는 제조된 정공 수송층의 거칠기가 열악해질 수 있다. 또한 상기 4) 단계에서는 화합물을 증기화시키기 위하여 8 ~ 13.5 V의 전압을 인가할 수 있다.
- [0049] 한편, 상기 4) 단계와 5) 단계는 순차적으로 수행될 수 있다. 본 발명에서는 전자 수송층 형성을 한 후에 정공 수송층을 형성하였다. 이는 전자 수송층으로 사용한 페릴렌 물질은 공기중에 노출되면 쉽게 특성이 저하되기 때문에 소자의 안정성을 위해 의도적으로 먼저 형성시킴으로써 공기와의 노출을 차단시킨 것이다.
- [0050] 다음, 6) 단계로서 상기 정공 수송층의 상부에 접지전극, 출력전극 및 공급 전극을 형성한다. 형성되는 세 가지의 전극은 통상의 방법을 통해 형성될 수 있으며, 바람직하게는 상기 4) 단계 및 5) 단계에서 생성된 트랜지스터에 각각에 대한 소스전극과 드레인 전극의 채널너비는 160 ~ 200 μm, 채널길이는 100 ~ 200 μm일 수 있다.
- [0051] 상술한 제조방법을 통해 제조된 유기 인버터 회로를 설명하면, 도 2a는 본 발명의 바람직한 일구현예에 따른 유기 상보성 금속 산화막 반도체 인버터 회로의 단면을 개략적으로 나타내는 도면이다. 도 2a를 참조하면, 본 발명의 바람직한 일실시예에 따른 유기 인버터 회로는 평평한 기판 (200)의 상부에 유전층(207)이 형성되고 상기 유전층(207)의 상부 중 선택된 일부 영역에 n-채널 금속 산화막 반도체 (NMOS) 트랜지스터의 전자 수송층 (202)이 형성된다. 상기 전자 수송층 (202)의 상부에는 상기 전자 수송층(202)을 외부의 공기로부터 차단하기 위하

여 정공 수송층 (203)이 전자 수송층(202)를 감싸면서 형성된다. 또한, 통상적으로 사용되는 전극으로서 입력 (201) 전극이 상기 기판 (200)의 하부에 구비되고, 접지전극 (204), 출력전극 (205) 및 공급전극 (206)이 상기 정공 수송층 (203)의 상부에 적층된 구조이다.

[0052] 도 2b는 본 발명의 바람직한 일구현예에 따른 유기 상보성 금속 산화막 반도체 인버터 회로의 단면을 개략적으로 나타내는 도면으로서, 도 2a와 다른 부분을 중심으로 설명하면, 상기 유전층(207)의 상부면에 절연층(208)이 형성되고, 상기 절연층(207)의 상부 중 일부 영역에 전자 수송층(202)이 형성된다.

[0053] 도 2c는 상기 도 2b의 사시도로서 절연층(208)의 상부면의 일부 영역에 전자 수송층(202)이 형성되고, 상기 전자 수송층(202)이 공기와 접촉하지 않도록 정공 수송층(203)이 전자 수송층(202)를 밀폐시킨다. 상기 정공 수송층의 상부면에 접지전극(204), 출력전극 (205) 및 공급전극 (206)이 형성된다.

[0054] 도 2d는 상기 도 2c의 단면도로서, 기판을 기준으로 상기 전자 수송층(202)의 수직하는 상부에 상기 접지전극 (204) 및 출력전극(205)의 일부 또는 전부가 형성된다. 도 2d 에서 a는 전자 수송층의 수직하는 상부에 형성된 출력전극(205)의 일부영역을 나타내며, b는 전자 수송층의 수직하는 상부에 형성된 접지전극(204)의 일부영역을 나타낸다.

[0055] 도 3은 본 발명에서 사용되는 바람직한 소스전극과 드레인 전극의 일실시예로서 소스전극 (300)과 드레인 전극 (310)은 모두 Au 재질이며 소스전극 (300) 및 드레인 전극 (310)의 길이는 12 ~ 15 mm이다. 한편 소스 전극 (300)과 드레인 전극 (310)은 각각 전극에서 연장된 복수개의 전극연장부 (320, 321)가 형성된다. 그러나 소스전극 (300)에서 형성된 전극연장부 (320)는 드레인 전극 (310)과는 이격되어 있으며 마찬가지로 드레인 전극 (310)에서 형성된 전극연장부 (321)는 소스 전극과 대략 100 ~ 200 μ m 정도 이격될 수 있다. 상기 전극 연장부 (320, 321)의 길이는 바람직하게는 3 ~ 4mm이고 전극연장부 (320, 321) 사이의 간격은 100 ~ 200 μ m일 수 있다.

[0056] 한편 본 발명의 인버터의 동작원리는 상기 언급한 내용에 따라, 전자와 정공 사이의 전류 흐름에서 상보적인 작용을 이용한 것으로 인버터를 구성하고 있는 두 종류의 트랜지스터인 n- 및 p-채널 금속 산화막 반도체 각각이 입력단 및 공급전극에 인가되는 바이어스에 의한 전위차 즉, 전압 차이로 인해 켜짐 (switching ON) 과 꺼짐 (switching OFF)의 구동을 함으로써 인버팅 (invertng) 또는 스위칭 (switching) 현상을 보이며 동작하게 되는 것이다. 이것은 인가되는 플러스 또는 마이너스 전압에 따라 제 1 사분면과 제 3 사분면에 그 특성을 나타낼 수 있다. 상기의 구동특성을 위해서는 첫째, 상기 기판의 하단에 형성된 입력전극에 0 ~ +40 V의 바이어스를 인가하고 또한 이 입력전극에 주어진 전압에 따라 p-채널 금속 산화막 반도체 트랜지스터의 상단의 공급전극에 +40 V를 인가함과 동시에 n-채널 금속 산화막 반도체 트랜지스터 상부의 전극은 접지시킴으로서 제 1 사분면의 특성을 유도할 수 있다. 두 번째로는 상기 인가된 전압과는 반대로, 입력전극에 0 ~ -40 V를 인가하고 이번에는 p-채널 금속 산화막 반도체 트랜지스터의 상단 전극은 접지시키고 n-채널 금속 산화막 반도체 트랜지스터의 상단 공급전극에 -40 V를 인가함으로써 제 3 사분면의 특성이 도출될 수 있다.

[0057] 결국 본 발명의 제조방법을 통해 제조된 유기 상보성 금속 산화막 반도체 인버터 회로는 상기 동작원리의 이상적인 특성을 유도하기 위해 공기 노출에 불안정한 전자 수송층의 특정한 유기 화합물을 최소의 공정과정을 통하여 보완하려 구조적 변형으로 설계되었으며, 또한 전자 회로에서 종종 나타나는 이력현상 (hysteresis)을 감소시키고자 고분자 물질을 절연층으로서 사용하여 발전적인 특성을 구현해낼 수 있다.

[0058] 이하 본 발명의 바람직한 실시예를 들어 본 발명을 더욱 상세하게 설명하나 본 발명이 이에 의해 제한되는 것은 아니다.

[0059] <실시예 1>

[0060] 1-(1) 입력 전극 형성

[0061] 먼저 세정된 n형 실리콘기판의 하부에 알루미늄 (Al)을 이용하여 두께 1000 Å으로 입력 전극을 형성하였다.

- [0062] 1-(2) 유전층의 형성
- [0063] 입력 전극이 형성된 기판의 상부에 열산화방법을 이용하여 이산화규소 (SiO_2)를 두께 2000 Å으로 증착하였다.
- [0064] 1-(3) 고분자 절연층의 형성
- [0065] 이산화규소 (SiO_2) 2000 Å이 증착되어 형성된 유전층의 표면에 스핀 코팅 (spin coating)방법으로 고분자 물질인 폴리메틸메타크릴레이트 (PMMA)를 처리하여 두께 150 Å이 되도록 하였다.
- [0066] 1-(4) 전자 수송층 증착
- [0067] 배플 (baffle)이 달린 10인치 디퓨전펌프 (diffusion pump)를 이용하여 진공 챔버내의 진공도를 평균 1×10^{-5} Torr로 유지하며, 상부에 직경 1mm의 노즐이 형성된 덮개를 구비한 흑연(graphite)소재의 제1 도가니를 진공챔버의 내하측에 위치시키고 n형 실리콘기판의 이산화규소가 적층된 면을 아래로 하여 상기 진공챔버의 내상측에 배치하였다. 이때, 상기 n형 실리콘기판과 제1 도가니와의 이격된 거리는 190mm이다. 다음으로, 상기 제1 도가니의 내부에 N,N' -디트리테실페틸렌-3,4,9,10-테트라카르복실릭 디이미드를 투입하고 가열온도 277°C, 증착속도는 1.5 Å/sec의 조건으로 유전층 표면에 폴리메틸메타크릴레이트 (PMMA)가 코팅되어있는 경우 150 Å 두께의 전자 수송층을 증착하였다.
- [0068] 도 2b의 구조를 갖는 전자수송층을 증착하기 위하여 샘플 표면에 N,N' -디트리테실페틸렌-3,4,9,10-테트라카르복실릭 디이미드가 증착되는 위치를 제외한 나머지 부분에 16μm 두께의 알루미늄 호일을 이용하여 둘러싼 후에 테이핑과정을 수행하였다. 일반적으로 인버터 소자를 만들 때 이용되는 샘플의 크기는 가로 1.8 cm, 세로 2.0 cm 이다. 그 중에서 절반은 p-형 반도체가 증착되는 부분이고 나머지 절반인 가로 0.9cm, 세로 2.0 cm에 n형 반도체가 증착되게 된다. 공기와의 접촉을 완전 차단하기 위해서 p형 부분 전체와 n형 부분 가장자리를 0.1 cm 정도를 알루미늄 호일로 감싸게 된다. 여기서 기판온도의 온도는 20°C를 유지하였다. 증착이 완료되면 챔버의 진공을 깨고 알루미늄 호일을 제거하고 다시 진공을 유지하였다.
- [0069] 1-(5) 정공 수송층 증착
- [0070] 제2 도가니의 내부에 펜타센 (pentacene)을 투입하고 8 ~ 13.5 V의 전압을 인가하여 가열온도 220°C, 증착속도는 0.5 ~ 1.0 Å/sec의 조건으로 300Å 두께의 정공 수송층을 증착하였다.
- [0071] 1-(6) 접지전극과 공급전극 및 출력전극 형성
- [0072] 다음으로, 니켈 (Ni)재질이며 각 트랜지스터에 해당하는 소스와 드레인 전극 사이의 채널너비는 181 μm, 채널길이는 150 μm인 섀도우 마스크 (shadow mask)와 전극소재로서 금 (Au)을 사용하여 진공증착법으로 접지전극과 공급 전극 및 출력전극을 동시에 형성하여 도 2b의 구조를 갖는 유기 인버터 회로를 제조하였다.
- [0073] <실시예 2>
- [0074] PMMA 절연층이 형성되지 않고 전자수송층의 두께가 180Å인 것을 제외하고는 실시예 1과 동일하게 실시하여 도 2a의 구조를 갖는 유기 인버터 회로를 제조하였다.
- [0075] <실시예 3>
- [0076] 정공 수송층으로서 α, ω-Dihexylsexithiophene(DH6T)를 사용한 것을 제외하고는 실시예 1과 동일하게 실시하여 유기 인버터 회로를 제조하였다.

- [0077] <실시예 4>
- [0078] 전자 수송층으로서 *N,N'*-bis(2-phenylethyl)perylene-3,4:9:10-bis-dicarboximide(BPE-PTCDI)을 사용한 것을 제외하고는 실시예 1과 동일하게 실시하여 유기 인버터 회로를 제조하였다.
- [0079] <실시예 5>
- [0080] PMMA 절연층의 두께가 120 Å 인 것을 제외하고는 실시예 1과 동일하게 실시하여 유기 인버터 회로를 제조하였다.
- [0081] <실시예 6>
- [0082] PMMA 절연층의 두께가 220 Å 인 것을 제외하고는 실시예 1과 동일하게 실시하여 유기 인버터 회로를 제조하였다.
- [0083] <비교예 1>
- [0084] 알루미늄 호일을 사용하지 않고 전자 수송층을 증착하여 전자 수송층이 PMMA 절연층의 전영역에 고르게 증착된 것을 제외하고는 실시예 1과 동일하게 실시하여 유기 인버터 회로를 제조하였다.
- [0085] <실험예>
- [0086] 실시예 1 ~ 6 및 비교예 1의 유기 인버터 회로에 대하여 하기와 같은 물성을 평가하여 그 결과를 표 1에 나타내었다. 구체적으로, 실시예 1에서 제조된 유기 상보성 금속 산화막 반도체 인버터를 공기중에서 전기적 특성을 측정하여 도 4 및 도 5에 나타내었다. 도 4는 전형적인 양극성 유기발광 트랜지스터의 드레인 스위프(drain sweep) 곡선을 나타내는 것으로서 게이트의 전압에 따라서 정공과 전자가 어떻게 이동하는지를 나타내는 그래프이다. 예를들어 V_{DS} 에 음의 전압을 인가하였을 경우 게이트의 전압이 0 V일 때는 전자가 우선적으로 주입이 되는 것을 볼 수 있고 게이트의 음의 전압이 커질 수록 정공의 역할이 나타나는 것을 볼 수 있다.
- [0087] 구체적으로 도 4a는 실시예 2의 이산화실리콘 (SiO_2) 유전층이 형성되어 있을 경우에 나타나는 유기 상보성 금속 산화막 반도체 인버터 회로의 전류-전압 특성에 대한 출력(output) 특성을 나타낸 그래프이다. 도 4b는 실시예 1과 같이 고분자 절연물질 폴리메틸메타크릴레이트(PMMA) 절연층이 형성되어 있을 경우에 나타나는 유기 상보성 금속 산화막 반도체 인버터 회로의 전류-전압 특성에 대한 출력(output) 특성을 나타낸 그래프이다.
- [0088] 상기 도 4a 및 4b의 그래프의 결과 SiO_2 유전층일 때와 PMMA 절연층이 더 형성되었을 때의 그래프의 형태는 비슷하다. 두 그래프의 차이점은 SiO_2 유전층일 때 V_{DS} 가 0 ~ 40V, V_{GS} 가 30V 이상일 경우에 도 4a의 I_{DS} 그래프의 형태는 전류가 증가하다가 포화되지 않고 약간 아래쪽으로 떨어지는 것을 볼 수 있다. 그러나 PMMA 절연층이 형성되었을 경우에는 정상적인 트랜지스터의 transfer 특성을 보여주고 있다. 이는 PMMA 층이 일반적으로 전자 트랩을 막아주는 역할을 하기 때문에 I_{DS} 그래프가 떨어지지 않고 포화형태로 나타난다.
- [0089] 도 5는 게이트 스위프(gate sweep) 곡선, 즉, 전계이동도(μ , cm^2/Vs), 전류점멸비($I_{ON/OFF}$), 문턱전압(V_T , V)의 값은 하기 <수학식 1>에 의해서 유도할 수 있다. 그래프에서 보면 정공과 전자의 흐르는 속도가 균형이 잘 맞춰져 있는 것을 알 수 있다. 또한 빛이 나오는 영역은 음의 전압이 커짐에 따라서 빛의 세기도 커져가는 것을 알 수 있다.

[0090] 수학적식 1

$$\mu = \frac{2L(I_{DS})}{WC_i(V_{GS} - V_T)^2}$$

[0091]

[0092] 단, 상기 수학적식 1에서 L은 드레인과 소스 사이 채널의 너비(μm)이고 I_{DS} 는 소스와 드레인 전극 사이에 흐르는 전류이며 W는 소스와 드레인 전극 사이 채널의 길이이고 C_i 는 유전층으로 사용되는 이산화규소의 전 기용량이고 단위는 nF/cm^2 이다. V_{GS} 는 소스와 게이트 전극 사이의 전압(볼트)이이고 V_T 은 문턱전압이다

[0093] 구체적으로 도 5a, 5b는 실시예 2의 이산화실리콘 (SiO_2) 유전층이 형성되어 있을 경우에 나타나는 유기 상보성 금속 산화막 반도체 인버터 회로의 전류-전압 특성에 대한 이동 (transfer) 특성을 나타내는 그래프이다. 도 5c 및 5d는 실시예 1의 고분자 절연물질 폴리메틸메타크릴레이트 (PMMA) 절연층이 형성되어 있을 경우에 나타나는 유기 상보성 금속 산화막 반도체 인버터 회로의 전류-전압 특성에 대한 이동 (transfer) 특성을 나타내는 그래프이다.

[0094] 상기 도 5a, 5b의 transfer 그래프는 5c, 5d의 경우보다 hysteresis가 더 크게 나타난 것을 볼 수 있다. 이는 PMMA 층이 hysteresis를 줄여준다 볼 수 있다. 전류-전압 특성을 확인할 때, V_{GS} 값을 범위를 두고 V_{DS} 값을 고정 하여 측정하는데 순방향으로 진행했을 때와 역방향으로 진행했을 때 나온 두 그래프가 일치하지 정도를 확인하였는데 PMMA 층을 형성한 소자에서 hysteresis가 줄었고 특히 +전압 부분에서 더 큰 차이를 보여주고 있다.

[0095] 도 6a는 실시예 2의 이산화실리콘 (SiO_2) 유전층이 형성되어 있을 경우에 나타나는 유기 상보성 금속 산화막 반도체 인버터 회로의 입력전압에 대한 출력전압 함수값을 1과 0의 논리값에 해당하는 스위칭 특성으로 나타내는 그래프 (VTC ; voltage transfer characteristics)이고, 도 6b는 실시예 1의 고분자 절연물질 폴리메틸메타크릴레이트 (PMMA) 절연층이 형성되어 있을 경우에 나타나는 유기 상보성 금속 산화막 반도체 인버터 회로의 입력 전압 대비 출력전압의 특성을 나타내는 그래프(VTC)이다.

[0096] 상기 transfer 특성과 마찬가지로 상기 도 6b의 인버터 특성 그래프는 6a보다 이력현상(hysteresis)가 작게 나오는 것을 확인할 수 있다. 이 결과 역시 PMMA 층에 의한 소자의 안정성이 증가되어 순방향으로 진행했을 때와 역방향으로 진행했을 때 소자의 회복능력이 빨라지는 것을 알 수 있다. 그러므로 PMMA 층을 형성한 소자가 더 좋은 성능을 보이는 인버터라고 할 수 있다.

표 1

[0097]

	전계이동도 (홀수송층) (cm^2/Vs)	전계이동도 (전자수송층) (cm^2/Vs)	Gain	OVS (V)	이력현상 여부
실시예 1	0.38	0.19	14	39	거의 없음
실시예 2	0.20	0.12	14	39	작게 나타남
실시예 3	0.04	0.13	6	30	작게 나타남
실시예 4	0.20	0.08	8	34	작게 나타남
실시예 5	0.30	0.15	13	36	거의 없음
실시예 6	0.28	0.14	12	35	거의 없음
비교예 1	0.35	0.11	13	32	작게 나타남

[0098] 표 1을 통해 알 수 있듯이, 본 발명의 구조를 갖는 실시예 1이 이를 갖지 않는 비교예 1에 비하여 전계 이동도, OVS 및 이력현상이 현저하게 우수한 것을 확인할 수 있다. 또한, 홀수송층과 전자수송층을 특정한 화합 물의 조합으로 구성한 실시예 1, 2의 인버터 회로가 이를 채용하지 아니한 실시예 3, 4에 비하여 높은 계인값

및 출력전압이 공급전압인 40V 에 상응하는 값을 얻을 수 있었다.

[0099] 한편, PMMA 절연층의 두께가 소정범위를 만족하지 않는 실시예 5, 6의 경우 이를 만족하는 실시예 1에 비하여 낮은 물성값을 보이는 것을 알 수 있다.

산업상 이용가능성

[0100] 본 발명은 유기물의 고유 특성을 이용하여 그들의 상보적인 작용으로 구동되는 유기 상보성 금속 산화물 반도체 인버터 회로의 공기 중에서도 우수한 구동 특성을 나타내는 것으로 빠르고 안정적인 스위칭 현상에 기반을 두어 유기 반도체의 모든 범위에 제반하는 유기 집적 전기 회로와 논리 회로 및 RFID 산업에 대단히 유용한 발명이다.

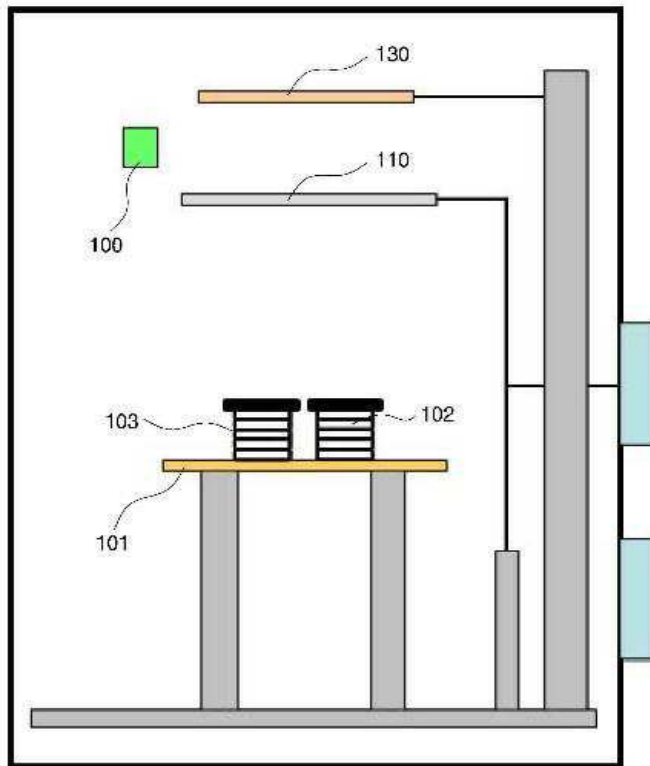
부호의 설명

[0101]

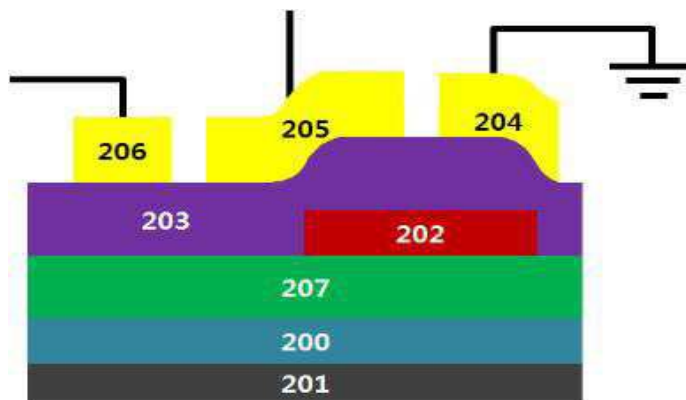
100 : 모니터	101 : 지지대
102 : 제 1 도가니	103 : 제 2 도가니
110 : 서터	130 : 기판 홀더
200 : 기판	201 : 입력 전극
202 : 전자 수송층	203 : 정공 수송층
204 : 접지 전극	205 : 출력 전극
206 : 공급 전극	207 : 유전체층
208 : 절연층	
300 : 소스 전극	310 : 드레인 전극
320 : 소스 전극 연장부	321 : 드레인 전극 연장부

도면

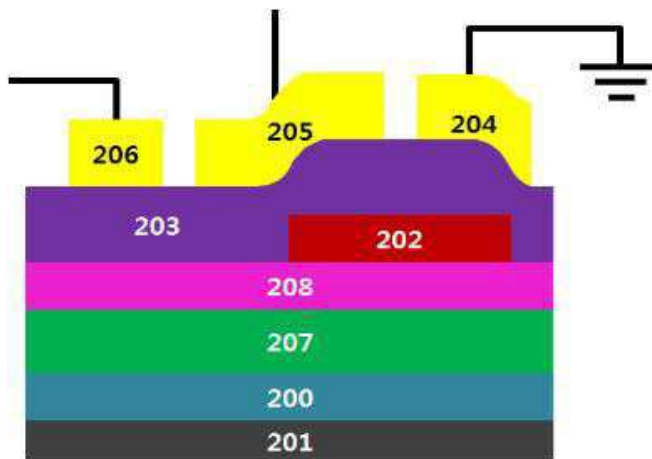
도면1



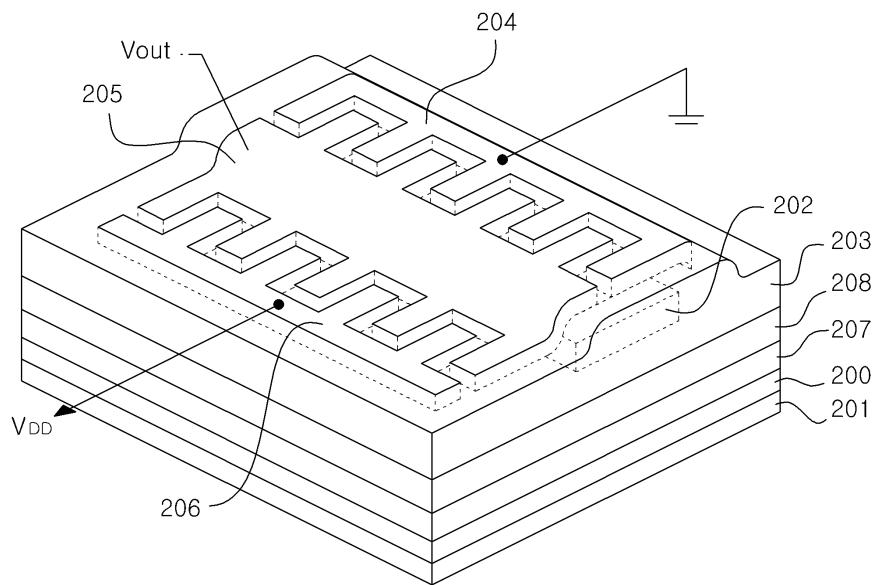
도면2a



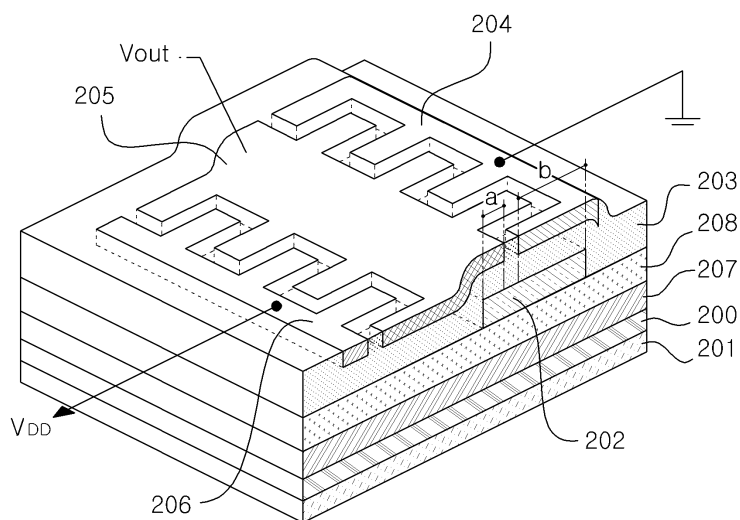
도면2b



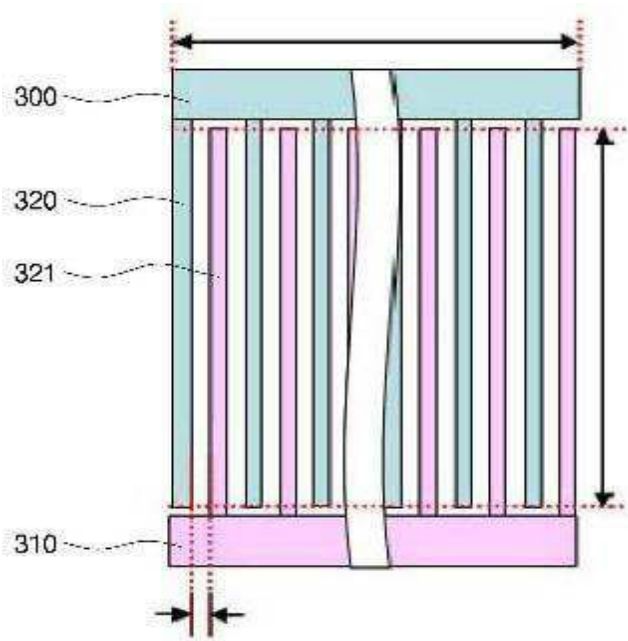
도면2c



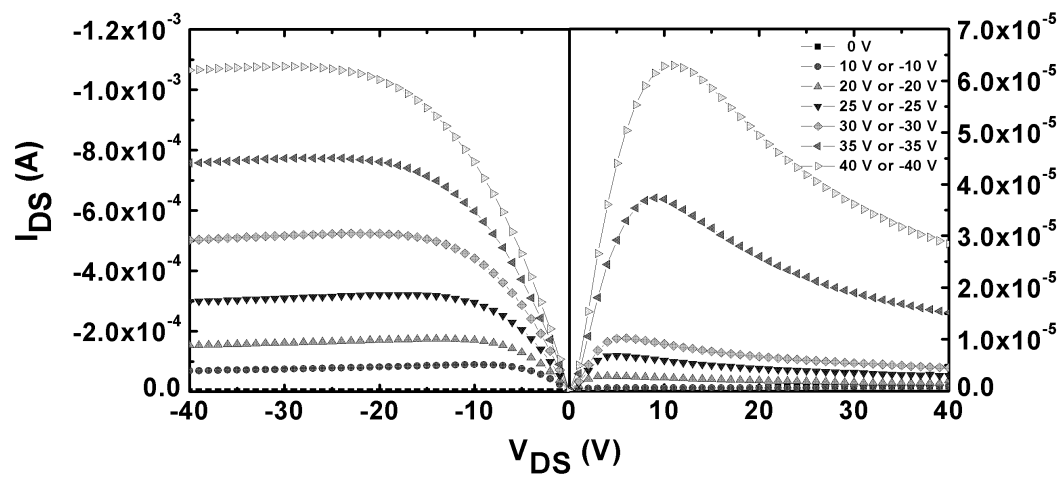
도면2d



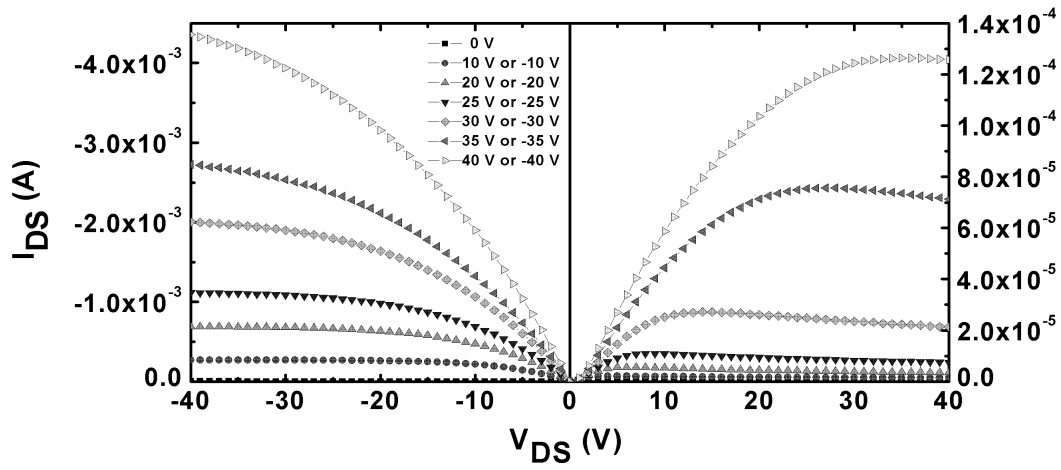
도면3



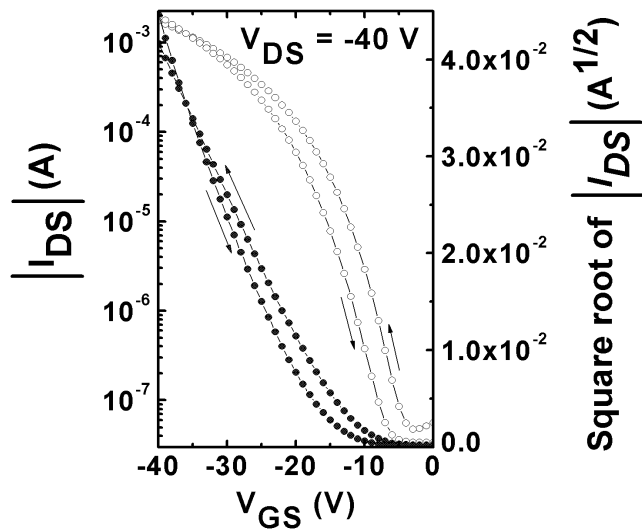
도면4a



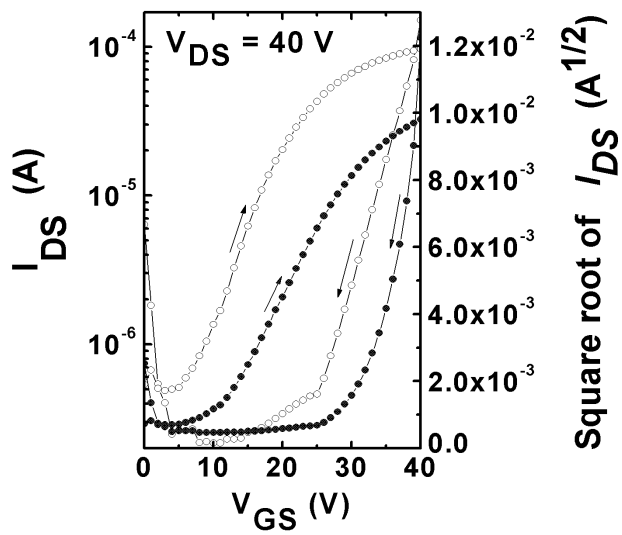
도면4b



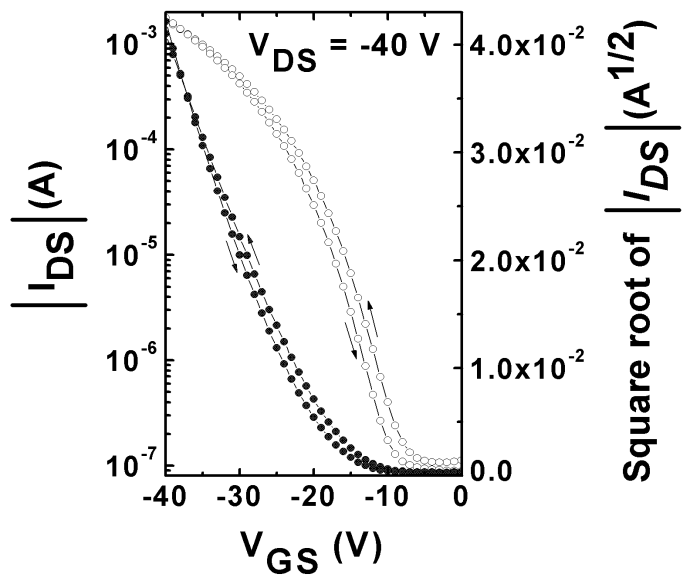
도면5a



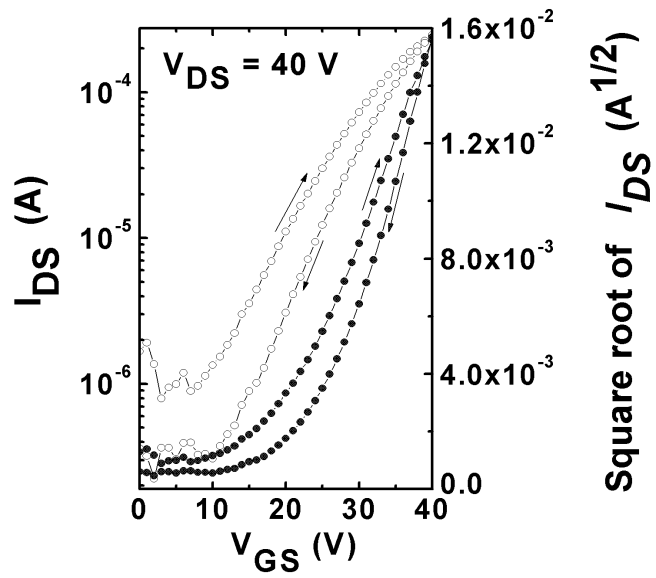
도면5b



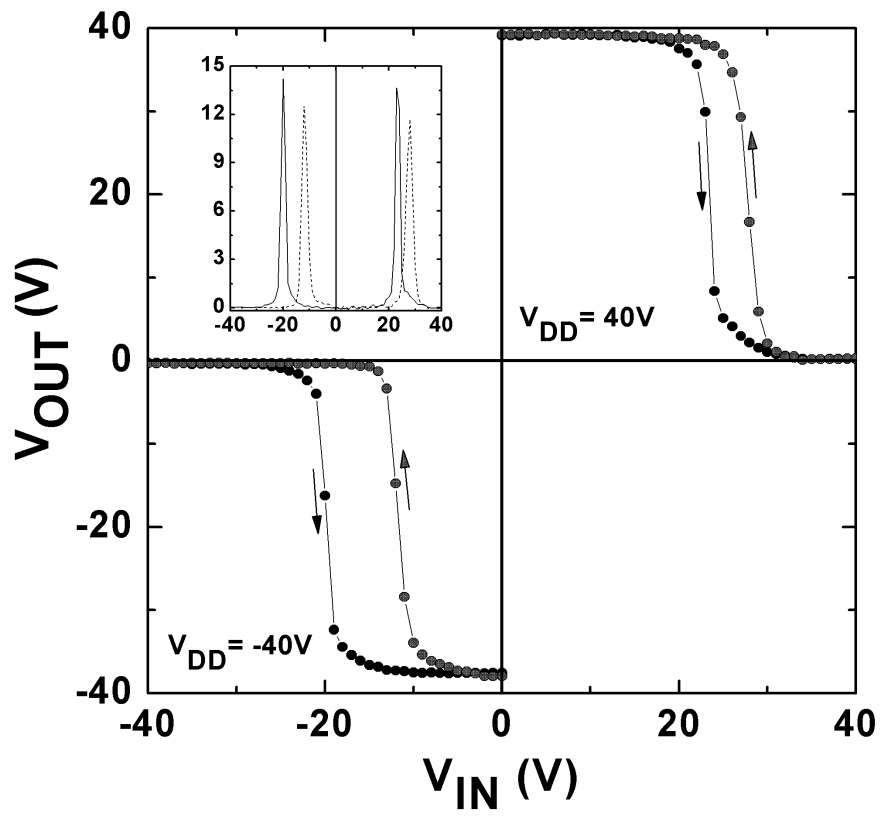
도면5c



도면5d



도면6a



도면6b

