(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2017-0123511
(43) 공개일자 2017년11월08일

(51) 국제특허분류(Int. Cl.)
*H01L 21/8234* (2006.01) *H01L 21/84* (2006.01)
*H01L 27/12* (2006.01) *H01L 29/10* (2006.01)
*H01L 29/66* (2006.01) *H01L 29/78* (2006.01)
(52) CPC특허분류
*H01L 21/823412* (2013.01)
*H01L 21/823487* (2013.01)
(21) 출원번호 10-2016-0053257
(22) 출원일자 2016년04월29일
심사청구일자 2016년04월29일

(71) 출원인
**고려대학교 산학협력단**
서울특별시 성북구 안암로 145, 고려대학교 (안암동5가)
(72) 발명자
**김철우**
서울특별시 강남구 선릉로 221, 401동 1003호 (도곡동, 도곡렉슬아파트)
(74) 대리인
**심경식, 홍성욱**

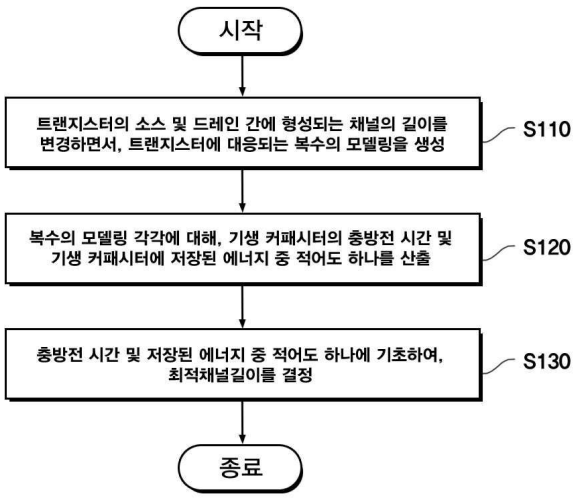
전체 청구항 수 : 총 10 항

(54) 발명의 명칭 **유사문턱전압에서 동작하는 트랜지스터의 채널 길이 결정 방법 및 그 방법이 적용된 트랜지스터**

## (57) 요 약

유사문턱전압에서 동작하는 트랜지스터의 채널 길이 결정 방법을 제공한다. 본 발명의 일 실시예에 따른 유사문턱전압에서 동작하는 트랜지스터의 채널 길이 결정 방법은 상기 트랜지스터의 소스(source) 및 드레인(drain) 간의 거리로서, 상기 소스 및 상기 드레인 간을 이동하는 전자 또는 정공에 의해 형성되는 채널의 길이를 변경하면서, 상기 트랜지스터에 대응되는 복수의 모델링을 생성하는 단계; 상기 복수의 모델링 각각에 대해, 각 단자 간에 형성되는 기생 커패시터(parasitic capacitor)의 충방전 시간 및 상기 기생 커패시터에 저장된 에너지 중 적어도 하나를 산출하는 단계; 및 상기 충방전 시간 및 상기 에너지 중 적어도 하나에 기초하여, 상기 트랜지스터를 가장 효율적으로 동작하도록 하는 최적채널길이를 결정하는 단계를 포함한다.

*대 표 도* - 도1



(52) CPC특허분류
*H01L 21/84* (2013.01)
*H01L 27/1203* (2013.01)
*H01L 29/1054* (2013.01)
*H01L 29/66795* (2013.01)
*H01L 29/7842* (2013.01)
*H01L 29/785* (2013.01)

이 발명을 지원한 국가연구개발사업
과제고유번호 10052716
부처명 산업통상자원부
연구관리전문기관 한국산업기술평가관리원
연구사업명 전자정보디바이스산업원천기술개발산업
연구과제명 스마트 센서 SoC용 초저전압 회로 및 IP 설계 기술 개발
기 여 율 1/1
주관기관 연세대학교
연구기간 2015.06.01 ~ 2016.05.31

# 명 세 서

## 청구범위

### 청구항 1

유사문턱전압에서 동작하는 트랜지스터의 채널 길이를 결정하는 방법에 있어서,

상기 트랜지스터의 소스(source) 및 드레인(drain) 간의 거리로서, 상기 소스 및 상기 드레인 간을 이동하는 전자 또는 정공에 의해 형성되는 채널의 길이를 변경하면서, 상기 트랜지스터에 대응되는 복수의 모델링을 생성하는 단계;

상기 복수의 모델링 각각에 대해, 각 단자 간에 형성되는 기생 커패시터(parasitic capacitor)의 충방전 시간 및 상기 기생 커패시터에 저장된 에너지 중 적어도 하나를 산출하는 단계; 및

상기 충방전 시간 및 상기 에너지 중 적어도 하나에 기초하여, 상기 트랜지스터를 가장 효율적으로 동작하도록 하는 최적채널길이를 결정하는 단계

를 포함하는 것을 특징으로 하는 유사문턱전압에서 동작하는 트랜지스터의 채널 길이 결정 방법.

### 청구항 2

제1항에 있어서,

상기 최적채널길이를 결정하는 단계는

상기 충방전 시간 및 상기 에너지를 이용하여 산출된 EDP(energy delay product)가 최소가 되도록 하는 채널의 길이를 상기 최적채널길이로 결정하는 것을 특징으로 하는 유사문턱전압에서 동작하는 트랜지스터의 채널 길이 결정 방법.

### 청구항 3

제2항에 있어서,

상기 EDP는 수학식 1을 이용하여 산출되는 것을 특징으로 하는 유사문턱전압에서 동작하는 트랜지스터의 채널 길이 결정 방법.

[수학식 1]

$$EDP = Energy \times Delay$$

여기서, EDP는 상기 최적채널길이를 결정하기 위한 파라미터값이고, Energy는 상기 기생 커패시터에 저장된 에너지이고, Delay는 상기 기생 커패시터를 충전 및 방전하는데 소요되는 시간이다.

### 청구항 4

제1항에 있어서,

상기 유사문턱전압은

상기 트랜지스터의 문턱전압으로부터 소정 범위 이내인 것을 특징으로 하는 유사문턱전압에서 동작하는 트랜지스터의 채널 길이 결정 방법.

### 청구항 5

제1항에 있어서,

상기 모델링은

상기 채널의 길이 및 폭에 기초하여, 문턱전압 및 각 단자 간의 기생 커패시턴스(parasitic capacitance)가 결

정되는 것을 특징으로 하는 유사문턱전압에서 동작하는 트랜지스터의 채널 길이 결정 방법.

**청구항 6**

소스 및 드레인 간을 이동하는 전자 또는 정공에 의해 형성되는 채널의 길이가

각 단자 간에 형성되는 기생 커패시터의 충방전 시간 및 상기 기생 커패시터에 저장된 에너지 중 적어도 하나에 기초하여, 가장 효율적으로 동작하는 최적채널길이로 결정된 것을 특징으로 하는 유사문턱전압에서 동작하는 트랜지스터.

**청구항 7**

제6항에 있어서,

상기 최적채널길이는

상기 충방전 시간 및 상기 에너지를 이용하여 산출된 EDP가 최소가 되도록 하는 채널의 길이인 것을 특징으로 하는 유사문턱전압에서 동작하는 트랜지스터.

**청구항 8**

제7항에 있어서,

상기 EDP는 수학식 1을 이용하여 산출되는 것을 특징으로 하는 유사문턱전압에서 동작하는 트랜지스터.

[수학식 1]

$$EDP = Energy \times Delay$$

여기서, EDP는 상기 최적채널길이를 결정하기 위한 파라미터값이고, Energy는 상기 기생 커패시터에 저장된 에너지이고, Delay는 상기 기생 커패시터를 충전 및 방전하는데 소요되는 시간이다.

**청구항 9**

제6항에 있어서,

상기 유사문턱전압은

상기 트랜지스터의 문턱전압으로부터 소정 범위 이내인 것을 특징으로 하는 유사문턱전압에서 동작하는 트랜지스터.

**청구항 10**

제6항의 트랜지스터를 적어도 하나 포함하는 것을 특징으로 하는 유사문턱전압에서 동작하는 로직게이트.

## *발명의 설명*

### *기 술 분 야*

[0001] 본 발명은 유사문턱전압에서 동작 속도가 향상된 트랜지스터의 채널 길이 결정 방법에 관한 것이다. 또한, 유사문턱전압에서 동작 속도가 향상되는 트랜지스터 및 그 트랜지스터로 구성된 로직게이트에 관한 것이다.

### *배 경 기 술*

[0002] IoT(Internet of Things)용 디바이스나 바이오 메디컬 디바이스 등은 동일한 조건에서 더 오랜 시간 동안 작동하기 위해 저전력을 요구한다. 이때, 저전력으로 동작하는 회로를 설계하는 방법에는 여러 가지가 있다. 그 중에서 동작 전압을 낮추어서 회로를 설계하는 방법은 가장 직관적이고 그 효과가 우수하다.

[0003] 특히, 디지털 회로의 경우는 동작 전압을 낮춤으로써 그 낮아진 전압의 제곱에 해당하는 비율로 소모 전력을 줄일 수 있다. 하지만, 동작 전압을 줄일 경우, 디지털 회로의 동작 속도 또한 현저하게 저하되는 문제가 있다.

[0004] 따라서, 동작 전압을 낮추면서도 최소한의 동작 속도를 확보할 수 있으며, 디지털 회로에 탑재되어 사용될 수

있는 트랜지스터 및 로직게이트에 대한 필요성이 대두되고 있다.

[0005] 관련 선행기술로는 한국등록특허 제10-0714761호(발명의 명칭: 균일한 채널 두께와 분리된 게이트들을 갖는 스트레인드-채널 FIN FET, 공개일자: 2005년 3월 4일)가 있다.

## 발명의 내용

### 해결하려는 과제

[0006] 본 발명은 유사문턱전압에서 동작하는 트랜지스터에 대하여 동작 속도가 향상되도록 하는 채널의 길이를 결정하는 방법 및 그 방법이 적용된 트랜지스터를 제공하고자 한다.

[0007] 또한, 본 발명은 그 방법이 적용된 트랜지스터를 포함하는 로직게이트를 제공하고자 한다.

### 과제의 해결 수단

[0008] 상기 목적을 달성하기 위해, 본 발명에서 제공하는 유사문턱전압에서 동작하는 트랜지스터의 채널 길이를 결정하는 방법은 상기 트랜지스터의 소스(source) 및 드레인(drain) 간의 거리로서, 상기 소스 및 상기 드레인 간을 이동하는 전자 또는 정공에 의해 형성되는 채널의 길이를 변경하면서, 상기 트랜지스터에 대응되는 복수의 모델링을 생성하는 단계; 상기 복수의 모델링 각각에 대해, 각 단자 간에 형성되는 기생 커패시터(parasitic capacitor)의 충방전 시간 및 상기 기생 커패시터에 저장된 에너지 중 적어도 하나를 산출하는 단계; 및 상기 충방전 시간 및 상기 에너지 중 적어도 하나에 기초하여, 상기 트랜지스터를 가장 효율적으로 동작하도록 하는 최적채널길이를 결정하는 단계를 포함한다.

[0009] 바람직하게는, 상기 최적채널길이를 결정하는 단계는 상기 충방전 시간 및 상기 에너지를 이용하여 산출된 EDP(energy delay product)가 최소가 되도록 하는 채널의 길이를 상기 최적채널길이로 결정할 수 있다..

[0010] 바람직하게는, 상기 EDP는 수학식 1을 이용하여 산출될 수 있다.

[0011] [수학식 1]

[0012] $$EDP = Energy \times Delay$$

[0013] 여기서, EDP는 상기 최적채널길이를 결정하기 위한 파라미터값이고, Energy는 상기 기생 커패시터에 저장된 에너지이고, Delay는 상기 기생 커패시터를 충전 및 방전하는데 소요되는 시간이다.

[0014] 바람직하게는, 상기 유사문턱전압은 상기 트랜지스터의 문턱전압으로부터 소정 범위 이내일 수 있다.

[0015] 바람직하게는, 상기 모델링은 상기 채널의 길이 및 폭에 기초하여, 문턱전압 및 각 단자 간의 기생 커패시턴스(parasitic capacitance)가 결정될 수 있다.

[0016] 또한, 상기 목적을 달성하기 위해, 본 발명에서 제공하는 유사문턱전압에서 동작하는 트랜지스터는 소스 및 드레인 간을 이동하는 전자 또는 정공에 의해 형성되는 채널의 길이가 각 단자 간에 형성되는 기생 커패시터의 충방전 시간 및 상기 기생 커패시터에 저장된 에너지 중 적어도 하나에 기초하여, 가장 효율적으로 동작하는 최적채널길이로 결정된다.

[0017] 바람직하게는, 상기 최적채널길이는 상기 충방전 시간 및 상기 에너지를 이용하여 산출된 EDP가 최소가 되도록 하는 채널의 길이일 수 있다.

[0018] 바람직하게는, 상기 EDP는 수학식 1을 이용하여 산출될 수 있다.

[0019] [수학식 1]

[0020] $$EDP = Energy \times Delay$$

[0021] 여기서, EDP는 상기 최적채널길이를 결정하기 위한 파라미터값이고, Energy는 상기 기생 커패시터에 저장된 에너지이고, Delay는 상기 기생 커패시터를 충전 및 방전하는데 소요되는 시간이다.

[0022] 바람직하게는, 상기 유사문턱전압은 상기 트랜지스터의 문턱전압으로부터 소정 범위 이내일 수 있다.

[0023] 또한, 상기 목적을 달성하기 위해, 본 발명에서 제공하는 유사문턱전압에서 동작하는 로직게이트는 상기 최적채

널길이를 가지는 트랜지스터를 적어도 하나 포함한다.

## 발명의 효과

[0024] 본 발명은 유사문턱전압에서 동작하는 트랜지스터가 동작 속도를 극대화하는 채널의 길이를 갖도록 함으로써, 트랜지스터의 전력 소모를 감소시키면서도 트랜지스터가 향상된 동작 속도를 갖게 되는 효과가 있다.

[0025] 또한, 그와 같은 트랜지스터를 이용하여 구현된 로직게이트 역시 낮은 전력 소모와 향상된 동작 속도를 갖게 되는 효과가 있다.

## 도면의 간단한 설명

[0026] 도 1은 본 발명의 일 실시예에 따른 유사문턱전압에서 동작하는 트랜지스터의 채널 길이 결정 방법을 설명하기 위하여 도시한 흐름도이다.

도 2는 본 발명의 일 실시예에 따른 트랜지스터의 채널의 길이에 따른 EDP값의 그래프를 설명하기 위해 도시한 도면이다.

도 3은 본 발명의 일 실시예에 따른 트랜지스터의 채널의 길이(50nm, 120nm)에 따른 31단 인버터 발진기의 동작 주파수를 설명하기 위해 도시한 도면이다.

도 4은 본 발명의 일 실시예에 따른 트랜지스터의 채널의 길이와 폭을 설명하기 위하여 도시한 도면이다.

도 5는 본 발명의 일 실시예에 따른 트랜지스터의 기생 커패시터를 설명하기 위하여 도시한 도면이다.

## 발명을 실시하기 위한 구체적인 내용

[0027] 본 발명은 다양한 변경을 가할 수 있고 여러 가지 실시예를 가질 수 있는 바, 특정 실시예들을 도면에 예시하고 상세한 설명에 상세하게 설명하고자 한다. 그러나, 이는 본 발명을 특정한 실시 형태에 대해 한정하려는 것이 아니며, 본 발명의 사상 및 기술 범위에 포함되는 모든 변경, 균등물 내지 대체물을 포함하는 것으로 이해되어야 한다. 각 도면을 설명하면서 유사한 참조부호를 유사한 구성요소에 대해 사용하였다.

[0028] 제1, 제2, A, B 등의 용어는 다양한 구성요소들을 설명하는데 사용될 수 있지만, 상기 구성요소들은 상기 용어들에 의해 한정되어서는 안 된다. 상기 용어들은 하나의 구성요소를 다른 구성요소로부터 구별하는 목적으로만 사용된다. 예를 들어, 본 발명의 권리 범위를 벗어나지 않으면서 제1 구성요소는 제2 구성요소로 명명될 수 있고, 유사하게 제2 구성요소도 제1 구성요소로 명명될 수 있다. 및/또는 이라는 용어는 복수의 관련된 기재된 항목들의 조합 또는 복수의 관련된 기재된 항목들 중의 어느 항목을 포함한다.

[0029] 어떤 구성요소가 다른 구성요소에 "연결되어" 있다거나 "접속되어" 있다고 언급된 때에는, 그 다른 구성요소에 직접적으로 연결되어 있거나 또는 접속되어 있을 수도 있지만, 중간에 다른 구성요소가 존재할 수도 있다고 이해되어야 할 것이다. 반면에, 어떤 구성요소가 다른 구성요소에 "직접 연결되어" 있다거나 "직접 접속되어" 있다고 언급된 때에는, 중간에 다른 구성요소가 존재하지 않는 것으로 이해되어야 할 것이다.

[0030] 본 출원에서 사용한 용어는 단지 특정한 실시예를 설명하기 위해 사용된 것으로, 본 발명을 한정하려는 의도가 아니다. 단수의 표현은 문맥상 명백하게 다르게 뜻하지 않는 한, 복수의 표현을 포함한다. 본 출원에서, "포함하다" 또는 "가지다" 등의 용어는 명세서상에 기재된 특징, 숫자, 단계, 동작, 구성요소, 부품 또는 이들을 조합한 것이 존재함을 지정하려는 것이지, 하나 또는 그 이상의 다른 특징들이나 숫자, 단계, 동작, 구성요소, 부품 또는 이들을 조합한 것들의 존재 또는 부가 가능성을 미리 배제하지 않는 것으로 이해되어야 한다.

[0031] 다르게 정의되지 않는 한, 기술적이거나 과학적인 용어를 포함해서 여기서 사용되는 모든 용어들은 본 발명이 속하는 기술 분야에서 통상의 지식을 가진 자에 의해 일반적으로 이해되는 것과 동일한 의미를 가지고 있다. 일반적으로 사용되는 사전에 정의되어 있는 것과 같은 용어들은 관련 기술의 문맥 상 가지는 의미와 일치하는 의미를 가지는 것으로 해석되어야 하며, 본 출원에서 명백하게 정의하지 않는 한, 이상적이거나 과도하게 형식적인 의미로 해석되지 않는다.

[0032] 이하, 본 발명에 따른 바람직한 실시예를 첨부된 도면을 참조하여 상세하게 설명한다.

[0033] 도 1은 본 발명의 일 실시예에 따른 유사문턱전압에서 동작하는 트랜지스터의 채널 길이 결정 방법을 설명하기 위하여 도시한 흐름도이다.

[0034] 유사문턱전압(near threshold voltage)은 트랜지스터를 동작시키기 위한 최소 전압인 문턱전압(threshold voltage)으로부터 소정 범위 이내의 전압을 나타낸다. 예컨대, 문턱전압으로부터 0.1V 이내의 전압을 유사문턱전압이라고 할 수 있다.

[0035] 유사문턱전압이 인가되었을 때 트랜지스터는, 문턱전압의 3~4배의 크기를 갖는 일반적인 전압이 인가되었을 때보다 낮은 전력 소모량을 나타낸다. 그러나, 그 반면에, 트랜지스터의 동작에 지연(delay)이 발생할 수 있으며, 특히 고속의 동작이 요구되는 환경에서는 문제가 될 수 있다.

[0036] 단계 S110에서는, 채널 길이 결정 장치가 트랜지스터의 소스(source) 및 드레인(drain) 간의 거리로서, 그 소스 및 드레인 간을 이동하는 전자 또는 정공에 의해 형성되는 채널의 길이를 변경하면서, 그 트랜지스터에 대응되는 복수의 모델링을 생성한다.

[0037] 예컨대, 트랜지스터가 금속 산화막 반도체 전계효과 트랜지스터인 MOSFET(MOS field-effect transistor)인 경우, MOSFET의 동작에 필요한 전압이 인가되어 동작할 수 있다. 그 때, MOSFET의 소스와 드레인 간에는 전자(electron) 또는 정공(hole)이 이동하기 시작하고, 그 이동에 의해 n채널 또는 p채널이 형성될 수 있다. 채널 길이 결정 장치가 그 채널의 길이를 변경하면서, 각 변경된 채널 길이에 대응되는 트랜지스터의 모델링을 생성할 수 있다. 한편, 소스와 드레인 간의 채널 길이가 변경될 때, 그에 대응되도록 게이트의 길이도 함께 변경될 수 있다.

[0038] 종래에, 트랜지스터의 채널 길이는 트랜지스터 제작 공정에서 제공하는 최소의 채널 길이를 사용하는 것이 일반적이었다. 예컨대, 60nm 제작 공정에서는 60nm를 트랜지스터의 채널 길이로 사용하였다. 그러나, 그 채널 길이를 갖는 트랜지스터는 일반적인 전압이 인가될 경우에는 고속 동작이 가능하지만, 유사문턱전압이 인가될 경우에는 지연이 발생하여 고속 동작이 어려운 문제가 있었다.

[0039] 한편, 채널 길이 결정 장치가 변경하는 채널의 길이는 트랜지스터의 제작 공정과 관련하여 결정될 수 있다. 예컨대, 60nm 제작 공정인 경우에는, 채널 길이 결정 장치가 60nm부터 20nm단위로 길이를 증가시키면서 240nm까지 대응되는 복수의 모델링을 생성할 수 있다.

[0040] 이때, 모델링은 컴퓨터, 스마트폰 및 태블릿 등을 이용하여 생성될 수 있으며, MOSFET을 모델링하는데 필요한 각종 파라미터(예, 채널의 길이, 채널의 폭, 유효이동도, 단위면적당 게이트 산화층의 정전용량, 게이트 및 소스간 전압, 문턱전압 등)를 입력받아, 그 입력에 대응되는 모델링이 생성될 수 있다. 그리고, 채널 길이 결정 장치가 그 모델링된 트랜지스터를 컴퓨터, 스마트폰 및 태블릿 등에서 동작시켜 실제 트랜지스터의 동작을 시뮬레이션할 수 있다.

[0041] 한편, 도 4를 참조하면, PMOS 및 NMOS로 구성되는 인버터의 레이아웃(layout)에서 채널의 길이(length) 및 폭(width)의 위치를 확인할 수 있다. 이때, 도 4에 표시된 길이 및 폭은 각각 채널의 길이 및 채널의 폭을 나타낸다.

[0042] 다른 실시예에서는, 생성된 모델링은 채널의 길이 및 폭에 기초하여, 문턱전압 및 각 단자 간의 기생 커패시턴스(parasitic capacitance)가 결정될 수 있다.

[0043] 트랜지스터가 유사문턱전압에서 동작할 시, 그 트랜지스터의 문턱전압은 채널의 길이가 증가함에 따라 감소할 수 있다. 이는, 일정하지 않은 도핑(doping)때문에 발생하는 역단채널효과(reverse short channel effect)로 인한 것일 수 있다.

[0044] 또한, 트랜지스터의 기생 커패시턴스는 그 트랜지스터의 면적(즉, 채널의 길이와 폭의 곱)에 비례할 수 있다. 따라서, 채널의 길이 또는 폭이 증가하는 경우, 기생 커패시턴스도 함께 증가할 수 있다.

[0045] 즉, 트랜지스터의 모델링은 유사문턱전압에서 채널의 길이 및 폭에 기초하여 문턱전압 및 기생 커패시턴스 값이 결정되는 특징을 반영할 수 있도록 생성될 수 있다.

[0046] 도 3을 참조하면, 채널의 폭이 1um로 고정되었을 때, 채널의 길이가 60nm 및 120nm인 MOSFET을 사용한 인버터로 구성된 31단의 Ring Oscillator에 대하여, 공급전압에 따른 동작주파수의 그래프를 확인할 수 있다. 특히, 공급전압이 0.6V 이하로 유사문턱전압인 경우, 채널의 길이가 120nm인 MOSFET을 사용한 인버터 발진기의 동작주파수가 60nm의 경우보다 더 높은 것을 확인할 수 있다. 즉, 채널의 길이가 길어짐에 따라서, 동작주파수가 높아진 것이다.

[0047] 이하에서, 채널의 길이가 증가함에 따라 동작주파수가 높아진 원인을 분석한다.

[0048] MOSFET의 채널의 길이가 60nm에서 120nm로 증가함에 따라, 기생 커패시턴스는 커질 수 있으나, 문턱전압은 역단채널효과에 의해 감소할 수 있다. 그리고, 수학식 1을 참조하면, 유사문턱전압에서는 문턱전압의 감소에 따른 전류 증가 효과가 기생 커패시턴스의 증가에 따른 전류 감소 효과보다 더 커서 결과적으로 MOSFET에 더 많은 전류가 흐르게 되고, 동작 속도가 향상될 수 있다.

[0049] 보다 자세하게는, 채널 길이가 증가할 때, 문턱전압의 감소에 따른 전류 증가 효과인 $(V_{GS}-V_{TH})^2$이 채널 길이의 증가에 따른 전류 감소 효과인 W/L보다 더 커서 결과적으로 MOSFET의 전류는 더 많이 흐르게 된다. 또한, MOSFET의 전류의 크기 및 동작 속도 간의 비례 관계로 인해, 동작 속도 역시 향상될 수 있다.

[0050] [수학식 1]

[0051] $$I_D=\frac{1}{2}\mu_n C_{ox}\frac{W}{L}(V_{GS}-V_{TH})^2$$

[0052] 여기서, $I_D$는 MOSFET의 드레인에 흐르는 전류의 크기이고, $\mu_n$은 유효 이동도이고, W는 채널의 폭이고, L은 채널의 길이이고, $C_{ox}$는 단위면적당 게이트 산화층의 정전용량이고, $V_{GS}$는 게이트 및 소스 간 전압이고, $V_{TH}$은 문턱전압이다.

[0053] 단계 S120에서는, 채널 길이 결정 장치가 그 복수의 모델링 각각에 대해, 각 단자 간에 형성되는 기생 커패시터(parasitic capacitor)의 충방전 시간 및 그 기생 커패시터에 저장된 에너지 중 적어도 하나를 산출한다.

[0054] 예컨대, 도 5를 참조하면, MOSFET 트랜지스터의 동작 시, 각 단자 간에 형성되는 기생 커패시터를 확인할 수 있다. 기생 커패시터는 의도하지 않게 트랜지스터의 동작 과정에서 생성되는 커패시터를 의미하며, 트랜지스터의 동작 속도를 제한하는 역할을 수행한다. 즉, 기생 커패시터를 충방전하기 위한 시간이 더 소요되어, 동작 속도에 제한 요소가 될 수 있다.

[0055] 도 5(a)에서 $C_1$ 및 $C_2$는 각각 소스 및 드레인과 바디 간의 커패시터이다. $C_3$는 채널과 바디 간의 커패시터이다. $C_4$ 및 $C_5$는 각각 소스 및 드레인과 게이트 간의 커패시터이다. $C_6$는 게이트와 채널 간의 커패시터이다.

[0056] 도 5(b)에서 $C_{GS}$는 게이트 및 소스 간의 커패시터이다. $C_{GB}$는 게이트 및 바디 간의 커패시터이다. $C_{SB}$는 소스 및 바디 간의 커패시터이다. $C_{DB}$는 드레인 및 바디 간의 커패시터이다. $C_{GD}$는 게이트 및 드레인 간의 커패시터이다.

[0057] 이때, 기생 커패시터의 충방전 시간은 트랜지스터를 동작시키기 위해 소요되는 지연 시간의 일종으로 볼 수 있으며, 기생 커패시터에 저장된 에너지 역시 트랜지스터를 동작시킬 때 발생하는 에너지 손실의 일종으로 볼 수 있다.

[0058] 즉, 채널 길이 결정 장치가 변경된 채널 길이에 따라서 생성된 복수의 모델링 각각을 동작시키면서, 기생 커패시터로 인한 지연 시간과 기생 커패시터에 저장된 에너지를 산출할 수 있다.

[0059] 마지막으로 단계 S130에서는, 채널 길이 결정 장치가 그 충방전 시간 및 에너지 중 적어도 하나에 기초하여, 그 트랜지스터를 가장 효율적으로 동작하도록 하는 최적채널길이를 결정한다.

[0060] 상술한 바와 같이, 기생 커패시터의 충방전 시간은 지연 시간의 일종이고, 기생 커패시터에 저장된 에너지는 에너지 손실의 일종으로 볼 수 있으므로, 채널 길이 결정 장치는 복수의 모델링 각각에서, 충방전 시간(즉, 지연 시간)이 짧으면서 저장된 에너지도 적은 채널 길이를 최적채널길이로 결정할 수 있다.

[0061] 즉, 채널 길이 결정 장치가, 트랜지스터의 지연 시간이 짧고, 에너지 손실이 적을 때, 그 트랜지스터가 보다 효율적으로 동작하는 것으로 판단할 수 있다.

[0062] 다른 실시예에서는, 채널 길이 결정 장치가 최적채널길이를 결정할 때, 충방전 시간 및 에너지를 이용하여 산출된 EDP(energy delay product)가 최소가 되도록 하는 채널의 길이를 최적채널길이로 결정할 수 있다.

[0063] EDP는 에너지와 딜레이의 곱으로 산출되는 값으로, 유사문턱전압에서 동작하는 트랜지스터의 효율을 평가하기 위한 지표로 이용될 수 있다.

[0064] 예컨대, EDP 산출 시 사용되는 에너지는 충전된 기생 커패시터에 저장된 에너지(단위 : J)일 수 있다. 또한,

EDP 산출 시 사용되는 딜레이는 기생 커패시터가 충방전되는 시간(단위 : s)일 수 있다.

[0065] 이때, 트랜지스터가 유사문턱전압에서 동작하는 경우, 기생 커패시터에 저장된 에너지는 결국 사용되지 않고 손실되는 에너지이고, 기생 커패시터의 충방전 시간은 불필요하게 소요되는 시간이므로, 채널 길이 결정 장치는 EDP가 최소가 되도록 하는 채널의 길이를 최적채널길이로 결정할 수 있다.

[0066] 보다 자세하게는, 도 2를 참조하면, 산출된 EDP값이 최소가 되는 채널의 길이는 140nm이므로, 최적채널길이는 140nm가 될 수 있다. 참고로, 도 2는 31단의 Ring Oscillator를 구성하여 인버터에 포함된 트랜지스터의 채널 길이를 증가시키면서 각각의 채널 길이에 대한 EDP를 산출한 결과이다.

[0067] 또 다른 실시예에서는, EDP는 수학식 2을 이용하여 산출될 수 있다.

[0068] [수학식 2]

[0069] $$EDP = Energy \times Delay$$

[0070] 여기서, EDP는 최적채널길이를 결정하기 위한 파라미터값이고, Energy는 기생 커패시터에 저장된 에너지이고, Delay는 기생 커패시터를 충전 및 방전하는데 소요되는 시간이다.

[0071] 이때, 기생 커패시터에 저장된 에너지는 J(줄)의 단위를 가지며, 기생 커패시터를 충전 및 방전하는데 소요되는 시간은 s(초)의 단위를 가지므로 EDP는 J·s의 단위를 가질 수 있다.

[0072] 이와 같이, 유사문턱전압에서 동작하는 트랜지스터가 동작 속도를 극대화하는 채널의 길이인 최적채널길이를 갖도록 함으로써, 트랜지스터의 전력 소모를 감소시키면서도 트랜지스터가 향상된 동작 속도를 갖게 되는 효과를 얻을 수 있다.

[0073] 유사문턱전압에서 동작하는 트랜지스터는 소스 및 드레인 간을 이동하는 전자 또는 정공에 의해 형성되는 채널의 길이가 각 단자 간에 형성되는 기생 커패시터의 충방전 시간 및 상기 기생 커패시터에 저장된 에너지 중 적어도 하나에 기초하여, 가장 효율적으로 동작하는 최적채널길이로 결정된다.

[0074] 다른 실시예에서는, 최적채널길이는 충방전 시간 및 에너지를 이용하여 산출된 EDP가 최소가 되도록 하는 채널의 길이일 수 있다.

[0075] 또 다른 실시예에서는, EDP는 수학식 3을 이용하여 산출될 수 있다.

[0076] [수학식 3]

[0077] $$EDP = Energy \times Delay$$

[0078] 여기서, EDP는 최적채널길이를 결정하기 위한 파라미터값이고, Energy는 기생 커패시터에 저장된 에너지이고, Delay는 기생 커패시터를 충전 및 방전하는데 소요되는 시간이다.

[0079] 또 다른 실시예에서는, 유사문턱전압은 트랜지스터의 문턱전압으로부터 소정 범위 이내일 수 있다.

[0080] 유사문턱전압에서 동작하는 로직게이트는 최적채널길이를 채널 길이로 가지는 트랜지스터를 적어도 하나 포함한다.

[0081] 여기서, 로직게이트는 주로 MOSFET과 같은 트랜지스터을 이용하여 구현되는 논리 연산 회로이다. 그 종류로는 AND, OR, NOT, NAND, NOR, XOR 및 XNOR 게이트 등이 있으나, 이에 한정되는 것은 아니다.

[0082] 이때, 최적채널길이를 채널 길이로 가지며, 유사문턱전압에서 동작하는 트랜지스터를 적어도 하나 포함하는 로직게이트는 그 트랜지스터와 마찬가지로 유사문턱전압에서 고속으로 동작하는 특징을 나타낼 수 있다.

[0083] 또한, 이와 같은 트랜지스터 또는 로직게이트로 구성되며 유사문턱전압에서 동작하는 스탠다드 라이브러리 셀(standard library cell)을 설계하는 경우, 스탠다드 라이브러리 셀의 전력소모를 감소시킬 수 있을 뿐만 아니라 동작 속도도 기존보다 향상시킬 수 있는 효과가 있다.

[0084] 한편, 상술한 본 발명의 실시예들은 컴퓨터에서 실행될 수 있는 프로그램으로 작성가능하고, 컴퓨터로 읽을 수 있는 기록매체를 이용하여 상기 프로그램을 동작시키는 범용 디지털 컴퓨터에서 구현될 수 있다.

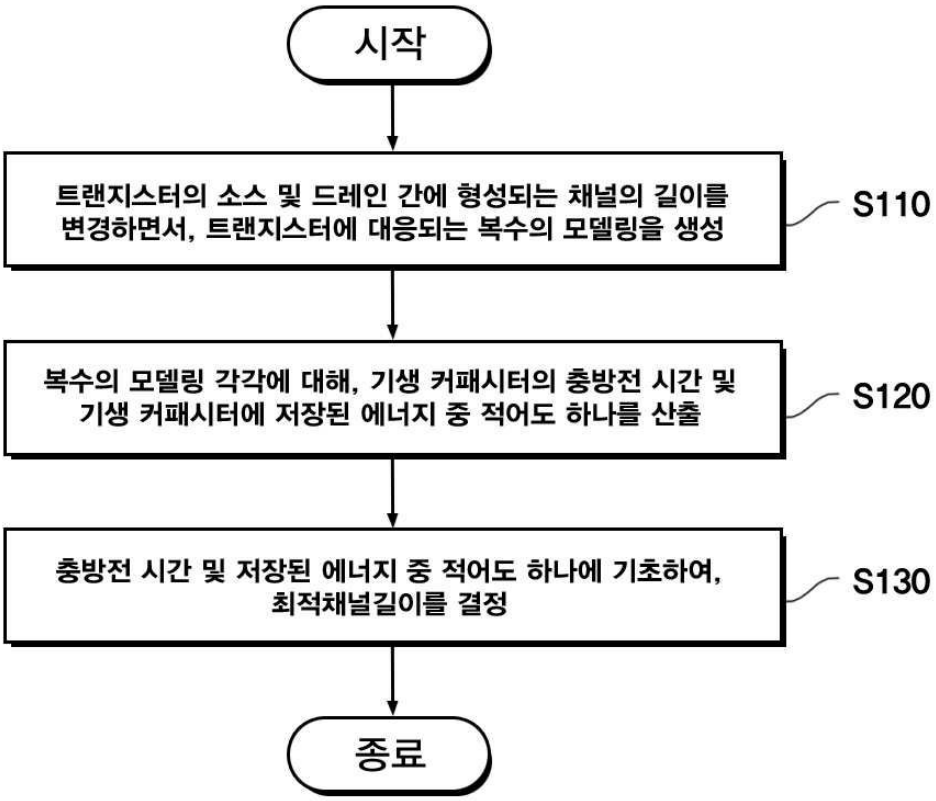
[0085] 상기 컴퓨터로 읽을 수 있는 기록매체는 마그네틱 저장매체(예를 들면, 롬, 플로피 디스크, 하드디스크 등), 광

학적 판독 매체(예를 들면, 시디롬, 디브이디 등) 를 포함한다.

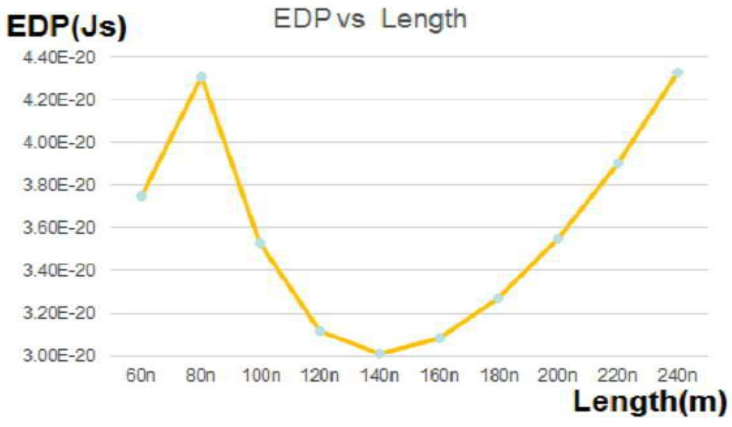
[0086] 이제까지 본 발명에 대하여 그 바람직한 실시예들을 중심으로 살펴보았다. 본 발명이 속하는 기술 분야에서 통상의 지식을 가진 자는 본 발명이 본 발명의 본질적인 특성에서 벗어나지 않는 범위에서 변형된 형태로 구현될 수 있음을 이해할 수 있을 것이다. 그러므로 개시된 실시예들은 한정적인 관점이 아니라 설명적인 관점에서 고려되어야 한다. 본 발명의 범위는 전술한 설명이 아니라 특허청구범위에 나타나 있으며, 그와 동등한 범위 내에 있는 모든 차이점은 본 발명에 포함된 것으로 해석되어야 할 것이다.

## 도면

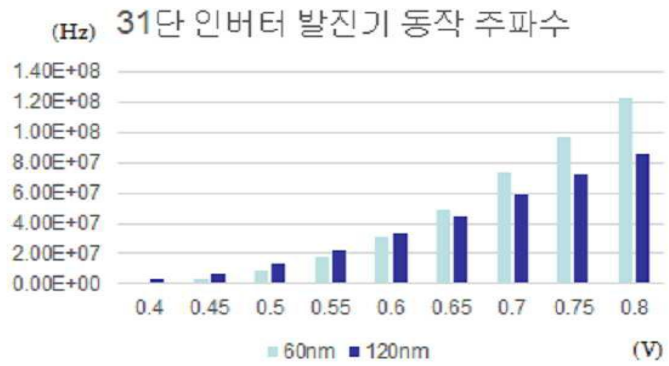
### 도면1



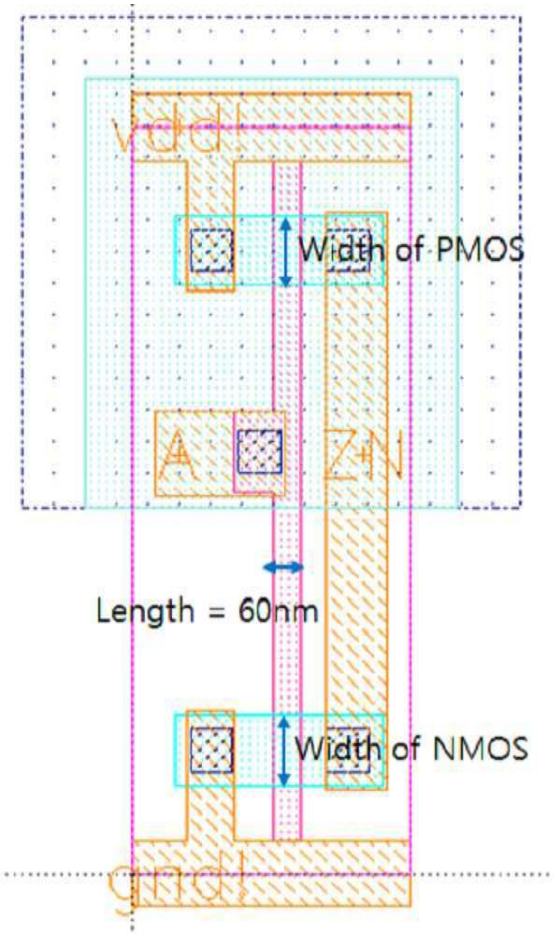

### 도면2



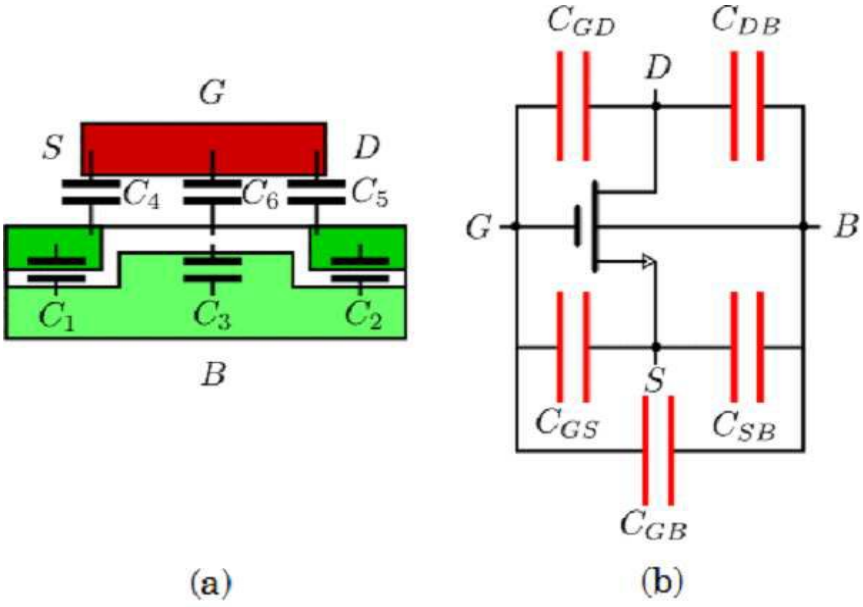
도면3


(Hz)
31단 인버터 발진기 동작 주파수
1.40E+08
1.20E+08
1.00E+08
8.00E+07
6.00E+07
4.00E+07
2.00E+07
0.00E+00
0.4
0.45
0.5
0.55
0.6
0.65
0.7
0.75
0.8
60nm
120nm
(V)

도면4


vdd!
Width of PMOS
A
ZN
Length = 60nm
Width of NMOS
gnd!

도면5




(a) (b)