



(21)申請案號：112112149

(22)申請日：中華民國 112 (2023) 年 03 月 30 日

(51)Int. Cl. :

H01L41/00 (2013.01)H01L41/35 (2013.01)H01L21/762 (2006.01)H03H9/02 (2006.01)

(30)優先權：2022/03/30 法國 2202900

(71)申請人：法商梭意泰科公司 (法國) SOITEC (FR)
法國

(72)發明人：考米隆 拉斐爾 CAULMILONE, RAPHAEL (FR)；艾利伯特 弗雷德里克 ALLIBERT, FREDERIC (FR)；柏崔德 伊莎貝 BERTRAND, ISABELLE (FR)

(74)代理人：陳長文；朱淑尹；李允中

申請實體審查：無 申請專利範圍項數：9 項 圖式數：4 共 21 頁

(54)名稱

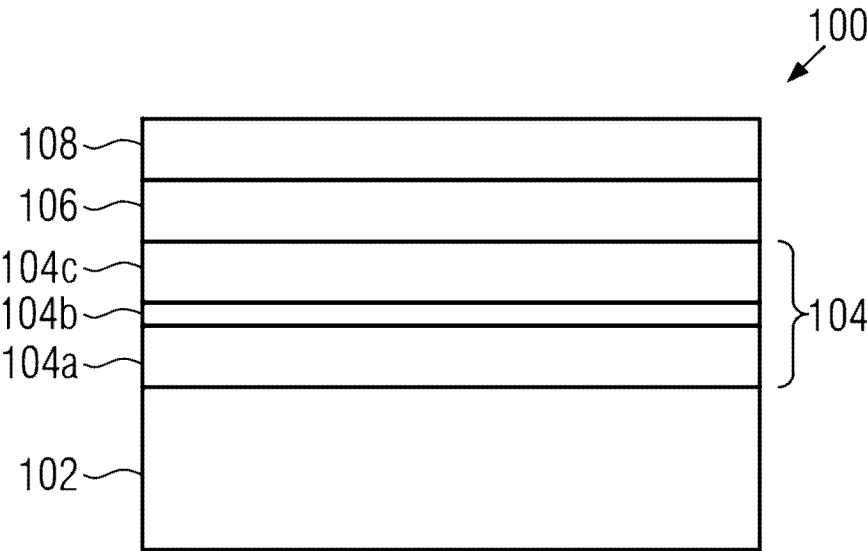
壓電絕緣體 (P O I) 基板及製造壓電絕緣體基板之方法

(57)摘要

本發明係關於一種壓電絕緣體(POI)基板，其包括：支撐基板(102)、特定而言矽基基板；壓電層(108)、特定而言鉭酸鋰(LTO)層或鉬酸鋰(LNO)層；介電層(106)、特定而言氧化矽層，其夾於該壓電層(108)與該支撐基板(102)之間；陷獲結構(104)，其夾於該介電層(106)與該支撐基板(102)之間。該 POI 基板之特徵在於該陷獲結構(104)包括每次藉由介電中間層(104b)分開之至少兩個陷獲層(104a、104c)。本發明亦係關於一種用於製造壓電絕緣體(POI)基板之方法。

The invention relates to a piezoelectric-on-insulator (POI) substrate comprising: a support substrate (102), in particular a silicon-based substrate, a piezoelectric layer (108), in particular a layer of lithium tantalate (LTO) or of lithium niobate (LNO), a dielectric layer (106), in particular a silicon oxide layer, sandwiched between the piezoelectric layer (108) and the support substrate (102), a trapping structure (104) sandwiched between the dielectric layer (106) and the support substrate (102). The POI substrate is characterized in that the trapping structure (104) comprises at least two trapping layers (104a, 104c) separated each time by a dielectric intermediate layer (104b). The invention also relates to a process for the manufacture of a piezoelectric-on-insulator (POI) substrate.

指定代表圖：



【圖1】

- 符號簡單說明：
- 100:壓電絕緣體基板
 - 102:支撐結構/支撐基板
 - 104:陷獲結構
 - 104a:陷獲層/第一陷獲層/層
 - 104b:介電中間層/陷獲層、中間層
 - 104c:陷獲層/第二陷獲層
 - 106:介電層/層
 - 108:壓電層



【發明摘要】

【中文發明名稱】

壓電絕緣體（POI）基板及製造壓電絕緣體基板之方法

【英文發明名稱】

PIEZOELECTRIC-ON-INSULATOR (POI) SUBSTRATE AND
PROCESS FOR THE MANUFACTURE OF A PIEZOELECTRIC-ON-
INSULATOR (POI) SUBSTRATE

【中文】

本發明係關於一種壓電絕緣體(POI)基板，其包括：支撐基板(102)、特定而言矽基基板；壓電層(108)、特定而言鉍酸鋰(LTO)層或鉕酸鋰(LNO)層；介電層(106)、特定而言氧化矽層，其夾於該壓電層(108)與該支撐基板(102)之間；陷獲結構(104)，其夾於該介電層(106)與該支撐基板(102)之間。該POI基板之特徵在於該陷獲結構(104)包括每次藉由介電中間層(104b)分開之至少兩個陷獲層(104a、104c)。本發明亦係關於一種用於製造壓電絕緣體(POI)基板之方法。

【英文】

The invention relates to a piezoelectric-on-insulator (POI) substrate comprising: a support substrate (102), in particular a silicon-based substrate, a piezoelectric layer (108), in particular a layer of lithium tantalate (LTO) or of lithium niobate (LNO), a dielectric layer (106), in particular a silicon oxide layer, sandwiched between the piezoelectric layer (108) and the support substrate (102), a trapping structure (104) sandwiched between the dielectric layer (106) and the support substrate

(102). The POI substrate is characterized in that the trapping structure (104) comprises at least two trapping layers (104a, 104c) separated each time by a dielectric intermediate layer (104b). The invention also relates to a process for the manufacture of a piezoelectric-on-insulator (POI) substrate.

【指定代表圖】

圖1

【代表圖之符號簡單說明】

100:壓電絕緣體基板

102:支撐結構/支撐基板

104:陷獲結構

104a:陷獲層/第一陷獲層/層

104b:介電中間層/陷獲層、中間層

104c:陷獲層/第二陷獲層

106:介電層/層

108:壓電層

【發明說明書】

【中文發明名稱】

壓電絕緣體（POI）基板及製造壓電絕緣體基板之方法

【英文發明名稱】

PIEZOELECTRIC-ON-INSULATOR (POI) SUBSTRATE AND
PROCESS FOR THE MANUFACTURE OF A PIEZOELECTRIC-ON-
INSULATOR (POI) SUBSTRATE

【技術領域】

【0001】本發明係關於一種壓電絕緣體(POI)基板，其依次包括支撐基板、陷獲結構、介電層及壓電層，且亦係關於一種用於製造此POI基板之方法。

【先前技術】

【0002】此類基板係當前技術中已知的。諸如感測器或濾波器之裝置係在壓電層中及/或其上產生。

【0003】陷獲結構使減少與支撐基板與介電層之間的界面處之副效應有關之損耗成為可能。此係由於在支撐基板與介電層之間插入之陷獲層用以減小自由載子之密度且防止費米能階(Fermi level)之變化。此導致支撐基板中較高且恆定之電阻率，此使得可減少副效應，諸如信號之衰減、諧波信號之產生或直接耦合。

【0004】然而，觀察到，在製造POI基板之背景下或在隨後之熱處理期間，壓電層之金屬元素(諸如，鋰)可擴散穿過介電層及陷獲結構，遠至與支撐基板之界面。此等金屬元素之累積降低陷獲結構之效能品質且因此負面地影響對副效應之抑制。

【發明內容】

【0005】 因此，本發明之目標係減少金屬元素擴散穿過POI基板之結構之有害效應。

【0006】 本發明之目標係藉由壓電絕緣體(POI)基板達成，該壓電絕緣體基板包括：支撐基板、特定而言矽基基板；壓電層、特定而言鉮酸鋰(LTO)層或鉬酸鋰(LNO)層；介電層、特定而言氧化矽層，其夾在該壓電層與該支撐基板之間；陷獲結構，其夾在該介電層與該支撐基板之間，該壓電絕緣體基板之特徵在於該陷獲結構包括至少兩個陷獲層，該等陷獲層藉由介電中間層彼此分開。在兩個陷獲層之間利用介電層將陷獲結構分成至少兩個陷獲層使得在該等陷獲層之間的界面處隔離由金屬元素造成之污染之一部分成為可能，中間層由此降低金屬元素在陷獲結構與支撐結構之間之界面處之累積位準。因此，可有效地減少副效應。支撐基板較佳可具有大於或等於500 $\Omega\cdot\text{cm}$ 之電阻率。

【0007】 根據一個實施例，POI基板之陷獲層可基於多晶或非晶或多孔矽或基於碳化矽(SiC)。此類層有效地減少副效應。

【0008】 根據一個實施例，POI基板之介電中間層可係氧化矽層、特定而言天然氧化矽層或藉由化學氣相沈積(CVD)沈積之層或藉由熱氧化獲得之層。氧化矽易於產生且同時可觀察到所擴散金屬元素在陷獲結構之中間層之界面處之累積。

【0009】 根據一個實施例，POI基板之介電中間層可具有等於或小於5 nm、特定而言等於或小於1 nm之厚度。即使此類低厚度之層亦在減少副效應上展示效應。

【0010】 根據一個實施例，至少兩個陷獲層中之至少兩者可具有一

或多種不同之物理性質、特定而言晶粒大小。因此，進一步改良對副效應之抑制成為可能。

【0011】根據一個實施例，POI基板之每一陷獲層可具有相同厚度。根據一個替代方案，POI基板之至少一個陷獲層可具有與其他陷獲層不同之厚度。此使最佳化POI基板之性質成為可能。

【0012】根據一個實施例，POI基板之陷獲結構可具有等於或小於5 μm 、較佳地等於或小於2 μm 之厚度。因此，即使利用較當前技術中薄之陷獲結構，亦可能獲得令人滿意之副效應之減少。

【0013】本發明之目標亦係藉由用於製造壓電絕緣體(POI)基板之方法達成，該方法如上所述且包括以下階段：提供支撐基板、特定而言矽基板；提供包括壓電層之基板、特定而言包括鉬酸鋰(LTO)或鋯酸鋰(LNO)之基板；在該支撐基板上方形形成陷獲結構；在包括壓電層之該基板上方及/或在該陷獲結構上方形成介電層、特定而言氧化矽層；組裝包括壓電層之該基板與該支撐基板，使得該介電層及該陷獲結構夾在該壓電層與該支撐基板之間；該方法之特徵在於形成該陷獲結構之階段包括形成第一陷獲層，在該第一陷獲層上形成介電中間層及在該介電中間層上形成第二陷獲層。利用此方法可獲得基板，該基板使有效地減少金屬元素朝向支撐基板擴散之負效應成為可能。

【0014】根據一個實施例，用於製造壓電基板之方法可額外包括以下階段：在壓電層內部形成弱化區，及沿該弱化區實施斷裂以在該組裝階段之後將該壓電層之一部分與包括該壓電層之該基板之剩餘部分分離，以將該壓電層之該部分轉移至該支撐基板上。此方法使工業化製造根據本發明之POI基板成為可能。

【圖式簡單說明】

【0015】 本發明及其優點隨後將藉助於作為實例給出之有利實施例且在以下附圖之支援下更詳細地闡釋，在該等附圖中，參考編號鑑別本發明之特徵。

【0016】 [圖1]圖解性地表示根據本發明之第一實施例之壓電絕緣體(POI)基板。

【0017】 [圖2]圖解性地表示根據本發明之第二實施例之壓電絕緣體(POI)基板。

【0018】 [圖3]圖解性地表示根據本發明之第三實施例之壓電絕緣體(POI)基板。

【0019】 [圖4]圖解性地表示根據本發明之第四實施例之用於製造壓電絕緣體(POI)基板之方法。

【實施方式】

【0020】 所闡述實施例僅構成可能組態且應牢記，如上文所闡述之個別特性在實施本發明期間可彼此獨立地提供或可完全省略。

【0021】 [圖1]圖解性地表示根據本發明之第一實施例之壓電絕緣體(POI)基板100。

【0022】 壓電絕緣體基板100包括支撐基板102。在此第一實施例中，支撐基板102係矽基基板、特定而言單晶矽晶圓。支撐基板較佳具有大於或等於500 $\Omega\cdot\text{cm}$ 之電阻率。

【0023】 陷獲結構104配置於支撐基板102上方。陷獲結構104可與支撐基板102直接接觸。陷獲結構104具有等於或小於5 μm 、較佳地等於或小於2 μm 之厚度。

【0024】根據第一實施例，陷獲結構104包括三個層：第一陷獲層104a、介電中間層104b及第二陷獲層104c。

【0025】陷獲層104a、104c係基於多晶或非晶或多孔矽或基於碳化矽(SiC)。較佳地，該等陷獲層係藉由低壓化學氣相沈積(LPCVD)沈積之層。在此實施例中，兩個陷獲層104a、104c具有相同厚度。

【0026】介電中間層104b可係氧化矽層、較佳地天然氧化矽層。根據替代形式，介電中間層亦可藉由化學氣相沈積(CVD)或藉由熱氧化形成。介電中間層104b較佳具有較陷獲層104a、104b小之厚度、特定而言係等於或小於5 nm、尤其等於或小於1 nm之厚度。

【0027】介電層106配置於陷獲結構104上方，特定而言直接配置於該陷獲結構上。介電層106較佳地係基於氧化矽之層。介電層106較佳具有介於100 nm與1 μ m之間、特定而言介於200 nm與700 nm之間的厚度。介電層106可藉由CVD沈積或任何其他適當沈積方法形成。

【0028】壓電層108配置於介電層106上方、特定而言直接配置於該介電層上。該壓電層較佳地係鈮酸鋰(LTO)層或鈮酸鋰(LNO)層。壓電層108通常具有介於200 nm與1 μ m之間之厚度。

【0029】根據替代形式，兩個陷獲層104a及104c可具有一或多種不同之物理性質，諸如晶粒大小。

【0030】在兩個陷獲層104a、104c之間利用介電中間層104b將陷獲結構104分成至少兩個陷獲層104a、104c使得在陷獲層104a、104c與中間層104b之間的界面處隔離由金屬元素造成之污染之一部分成為可能，從而降低金屬元素在陷獲結構104與支撐結構102之間之界面處之濃度。因此，抑制副效應之減少得到補償。

【0031】[圖2]圖解性地表示根據本發明之第二實施例之壓電絕緣體(POI)基板200。

【0032】壓電絕緣體基板200包括第一實施例之支撐基板102、介電層106及壓電層108。省略對此等層及其性質之新闡述且參考上文結合第一實施例對其進行之闡述。

【0033】第一實施例與第二實施例之唯一差別在於使用另一陷獲結構204。

【0034】在第二實施例中，陷獲結構204總共包括五個陷獲層204a、204c、204e、204g及204i。中間介電層204b、204d、204f及204h每次插入於兩個陷獲層之間。

【0035】陷獲層204a、204c、204e、204g及204i係以與第一實施例之陷獲層104a及104c相同之方式產生且該等陷獲層具有與此等層相同之物理性質。特定而言，該等陷獲層全部具有相同厚度，尤其全部具有0.2 μm 或更小之厚度。

【0036】同樣，介電中間層204b、204d、204f及204h係以與第一實施例之介電中間層104b相同之方式產生且該等介電中間層具有與此層相同之物理性質。特定而言，該等介電中間層全部具有相同厚度，尤其全部具有幾十奈米(幾埃)、特定而言1奈米或更少(10埃或更少)之厚度。

【0037】藉由增加陷獲結構204中之界面，可進一步降低金屬元素(特定而言，鋰)在第一陷獲層204a與支撐基板102之間的界面處之濃度，此乃因金屬元素被陷獲於每一界面處。因此，到達與支撐基板102之界面處之金屬元素之量較具有較少界面之結構中少。

【0038】根據替代形式，或多或少之陷獲層及介電中間層可取決於

視為既定應用可接受的金屬元素之濃度位準而設置於陷獲結構中。

【0039】[圖3]圖解性地表示根據本發明之第三實施例之壓電絕緣體(POI)基板300。

【0040】壓電絕緣體基板300包括第一實施例之支撐基板102、介電層106及壓電層108。將不再闡述此等層及其性質，但參考其在第一實施例中之闡述。

【0041】第一實施例與第三實施例間之唯一差別在於使用另一陷獲結構304。

【0042】在此實施例中，陷獲結構304包括數個陷獲層304a、304c、304e、304g、304i及304k，如在第二實施例中，該等陷獲層由介電中間層304b、304d、304f、304h及304j分開。

【0043】介電中間層304b、304d、304f、304h及304j係如第一或第二實施例中產生且具有相同厚度，舉例而言幾十奈米(幾埃)、特定而言1奈米或更少(10埃或更少)。

【0044】另一方面，儘管數個薄陷獲層304c、304e、304g、304i及304k全部具有相同厚度(舉例而言，0.1 μm 或更小)，但陷獲層304a較厚，特定而言具有0.5 μm 或更大之厚度。

【0045】藉由增加陷獲結構304中之界面，可如第二實施例中減少第一陷獲層304a與支撐基板102之間的界面處之金屬元素(特定而言，鋰)之濃度。與支撐基板102之界面處之層304a較厚且因此保留其陷獲性質。

【0046】根據替代形式，或多或少之陷獲層及介電中間層可取決於視為既定應用可接受的金屬元素之累積位準而設置在陷獲結構中。

【0047】[圖4]圖解性地表示根據本發明之第四實施例之用於製造壓

電絕緣體(POI)基板之方法，以獲得如上文結合圖1所闡述之第一實施例之POI基板100。已用於闡述圖1之POI基板100之參考編號再次用於闡述該方法。

【0048】用於製造壓電絕緣體(POI)基板100之方法開始於階段I)：提供支撐基板102、特定而言矽基基板、尤其單晶矽晶圓。

【0049】根據本發明之此第四實施例，階段II)提供陷獲結構104在支撐基板102之自由表面120上之形成。

【0050】陷獲結構104之形成開始於藉由低壓化學氣相沈積(LPCVD)產生之第一陷獲層104a之形成。根據替代形式，該形成可藉由熱生長技術或藉由物理氣相沈積(PVD)實施。

【0051】在支撐基板102上形成之陷獲層104a係基於多晶、非晶或多孔矽或基於碳化矽之層。陷獲層104a之厚度等於或小於 $2.5\ \mu\text{m}$ 、特定而言等於或小於 $1\ \mu\text{m}$ 。

【0052】隨後，在第一陷獲層104a上形成介電中間層104b。介電中間層104b可係氧化矽層、較佳地天然氧化矽層。根據替代形式中之一者，介電中間層係藉由化學氣相沈積(CVD)或藉由熱氧化形成。介電中間層104b較佳具有較第一陷獲層104a小之厚度，特定而言小於 $5\ \text{nm}$ 、尤其小於 $1\ \text{nm}$ 之厚度。

【0053】為了完成陷獲結構104之形成，第二陷獲層104c以與第一陷獲層104a相同之方式且特定而言以相同厚度形成於介電中間層104b上。

【0054】根據替代形式，兩個陷獲層104a及104c可形成有一或多種不同之物理性質，諸如晶粒大小。根據另一替代形式，兩個陷獲層104a及104c可基於在上文提及之彼等材料中之不同材料。舉例而言，層104a可

由多孔矽製成且層104c由多晶矽製成。

【0055】在階段III)期間，在第二陷獲層104c之自由表面122上形成介電層106a。介電層106a較佳地係藉由化學氣相沈積(CVD)或藉由物理氣相沈積(PVD)形成之氧化矽層。根據替代形式，層106a係藉由多晶矽之氧化形成。

【0056】介電層106a較佳具有等於或小於1 μm 、特定而言等於或小於700 nm之厚度。

【0057】可在沈積介電層106a之後實施熱處理以便使其緻密化。

【0058】在階段IV)期間，提供包括壓電層126之基板124、特定而言包括鉮酸鋰(LTO)或鉬酸鋰(LNO)之基板124。在此實施例中，壓電層126配置於基底基板128上方。在替代中，壓電層126係體層且整體形成基板124。

【0059】在階段V)期間，在壓電層126之自由表面130上產生第二介電層106b、特定而言氧化矽層。此層係以與在階段III)期間形成之介電層106a相同之方式產生。選擇厚度使得兩個介電層106a及106b之厚度總和介於100 nm與1 μm 之間、特定而言介於200 nm與700 nm之間。

【0060】根據替代形式，在形成介電層106b之前可對包括壓電層之基板124之自由表面130實施一或多個階段之表面處理。舉例而言，可實施表面活化處理，諸如電漿處理及/或基於臭氧之處理。

【0061】在階段VI)期間，將在階段V)之後獲得之基板124與在組裝階段III)中獲得之支撐基板102組裝在一起以便形成支撐基板：包括壓電層總成132之基板。

【0062】實施組裝以使介電層106a與106b直接接觸。較佳地藉由分

子附著實施該組裝。

【0063】一旦兩個基板經組裝，即實施使總成132薄化之階段VII)，以獲得具有較薄壓電層108之POI基板100，如圖1中所圖解說明。

【0064】舉例而言，該薄化階段可在組裝階段VI)之前藉由銑削或藉由在壓電層126中形成弱化區之階段實施，以便將待轉移至支撐基板102上之壓電層108定界且斷裂。形成弱化區之此階段係藉由在壓電層126中植入原子或離子實體實施。原子或離子植入可以如下方式實施：弱化區位於壓電層126內部且將待自壓電層126之剩餘部分轉移之壓電層108定界。隨後，藉由在壓電層126之弱化區處供應熱及/或機械能而隨後實施將總成132斷裂之階段，以便獲得壓電絕緣體(POI)基板100。

【0065】根據替代形式，支撐基板102與基板124之間之結合亦可在陷獲結構104與介電層106b之間(亦即不實施階段III))或在介電層106a與壓電層126之間實施。

【0066】在產生上文提及之層中之一或多者之前，可實施清潔、刷洗或拋光正下方表面之一或多個階段以便移除顆粒及灰塵之存在。

【0067】亦可應用該方法以獲得分別結合圖2及圖3闡述之本發明之第二及第三實施例之POI基板200及300。

【符號說明】

【0068】

100:壓電絕緣體基板

102:支撐結構/支撐基板

104:陷獲結構

104a:陷獲層/第一陷獲層/層

104b:介電中間層/陷獲層/中間層

104c:陷獲層/第二陷獲層

106:介電層/層

106a:介電層/層

106b:第二介電層/介電層

108:壓電層

120:自由表面

122:自由表面

124:基板

126:壓電層

128:基底基板

130:自由表面

132:壓電層總成/總成

200:壓電絕緣體基板

204:陷獲結構

204a:第一陷獲層/陷獲層

204b:中間介電層/介電中間層

204c:陷獲層

204d:介電中間層/中間介電層

204e:陷獲層

204f:中間介電層/介電中間層

204g:陷獲層

204h:介電中間層/中間介電層

204i:陷獲層

300:壓電絕緣體基板

304:陷獲結構

304a:第一陷獲層/陷獲層/層

304b:介電中間層

304c:陷獲層

304d:介電中間層

304e:陷獲層

304f:介電中間層

304g:陷獲層

304h:介電中間層

304i:陷獲層

304j:介電中間層

304k:陷獲層

【發明申請專利範圍】

【請求項1】

一種壓電絕緣體(POI)基板，其包括：
支撐基板(102)、特定而言矽基基板，
壓電層(108)、特定而言鉮酸鋰(LTO)層或鉬酸鋰(LNO)層，
介電層(106)、特定而言氧化矽層，其夾在該壓電層(108)與該支撐基板(102)之間，

陷獲結構(104)、其夾在該介電層(106)與該支撐基板(102)之間，

該壓電絕緣體(POI)基板之特徵在於

該陷獲結構(104)包括至少兩個陷獲層(104a、104c)，該等陷獲層(104a、104c)藉由介電中間層(104b)彼此分開，且該至少兩個陷獲層(104a、104c)中之至少兩者具有不同之物理性質，特定而言晶粒大小。

【請求項2】

如請求項1之壓電絕緣體(POI)基板，其中該等陷獲層(104a、104c)係基於多晶及/或非晶及/或多孔矽及/或基於碳化矽(SiC)。

【請求項3】

如請求項1或2之壓電絕緣體(POI)基板，其中該介電中間層(104b)係氧化矽層、特定而言天然氧化矽層或藉由化學氣相沈積(CVD)沈積之層或藉由熱氧化獲得之層。

【請求項4】

如請求項1至3中任一項之壓電絕緣體(POI)基板，其中該(等)介電中間層(104b)具有等於或小於5 nm、特定而言等於或小於1 nm之厚度。

【請求項5】

如請求項1至4中任一項之壓電絕緣體(POI)基板，其中每一陷獲層(104a、104c)具有相同厚度。

【請求項6】

如請求項1至5中任一項之壓電絕緣體(POI)基板，其中至少一個陷獲層(304a)具有與其他陷獲層(304c、304e、304g、304i、304k)不同之厚度，特定而言，直接設置於該支撐基板上之該陷獲層(304a)較該(等)其他陷獲層厚。

【請求項7】

如請求項1至6中至少一項之壓電絕緣體(POI)基板，其中該陷獲結構(104)具有等於或小於5 μm 、較佳地等於或小於2 μm 之厚度。

【請求項8】

一種用於製造如請求項1至7中任一項之壓電絕緣體(POI)基板之方法，該方法包括以下階段：

提供支撐基板、特定而言矽基基板，

提供包括壓電層之基板、特定而言包括鉍酸鋰(LTO)或鈮酸鋰(LNO)之基板，

在該支撐基板上方形形成陷獲結構，

在包括壓電層之該基板上及/或在該陷獲結構上方形成介電層、特定而言氧化矽層，

組裝包括壓電層之該基板與該支撐基板，使得該介電層及該陷獲結構夾於該壓電層與該支撐基板之間，

該方法之特徵在於形成該陷獲結構之階段包括：

形成第一陷獲層，在該第一陷獲層上形成介電中間層且在該介電中

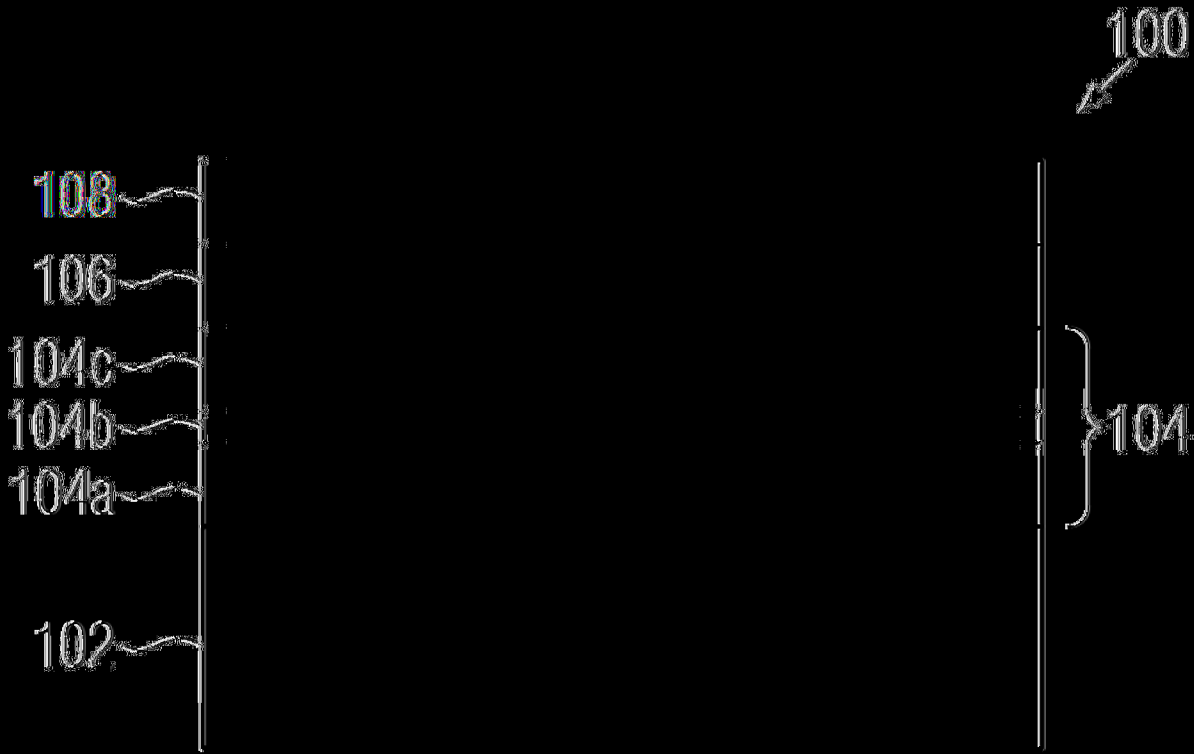
間層上形成第二陷獲層，該兩個陷獲層具有不同之物理性質，特定而言晶粒大小。

【請求項9】

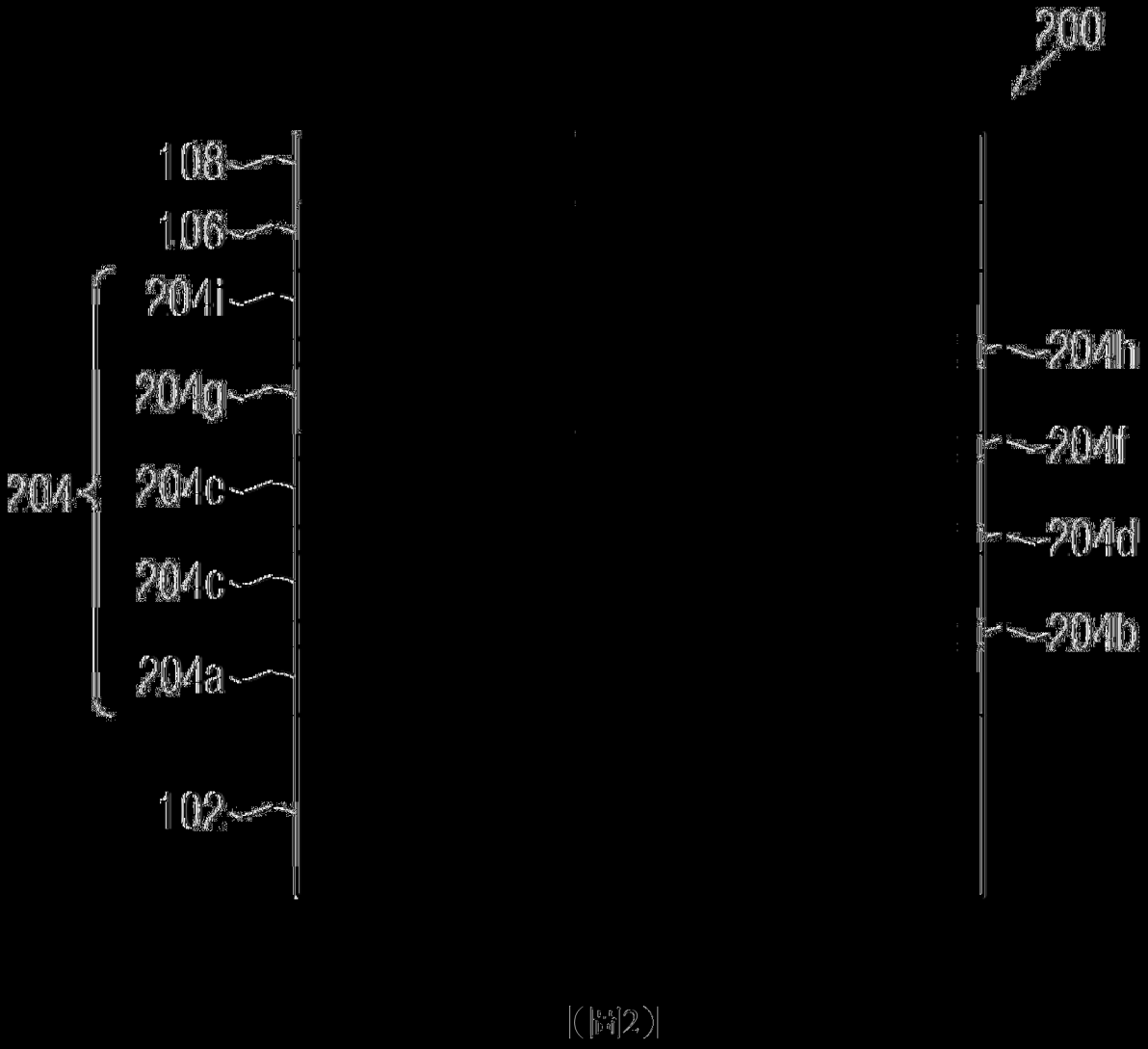
如請求項8之用於製造壓電基板之方法，其此外包括以下階段：

在該壓電層內部形成弱化區，及

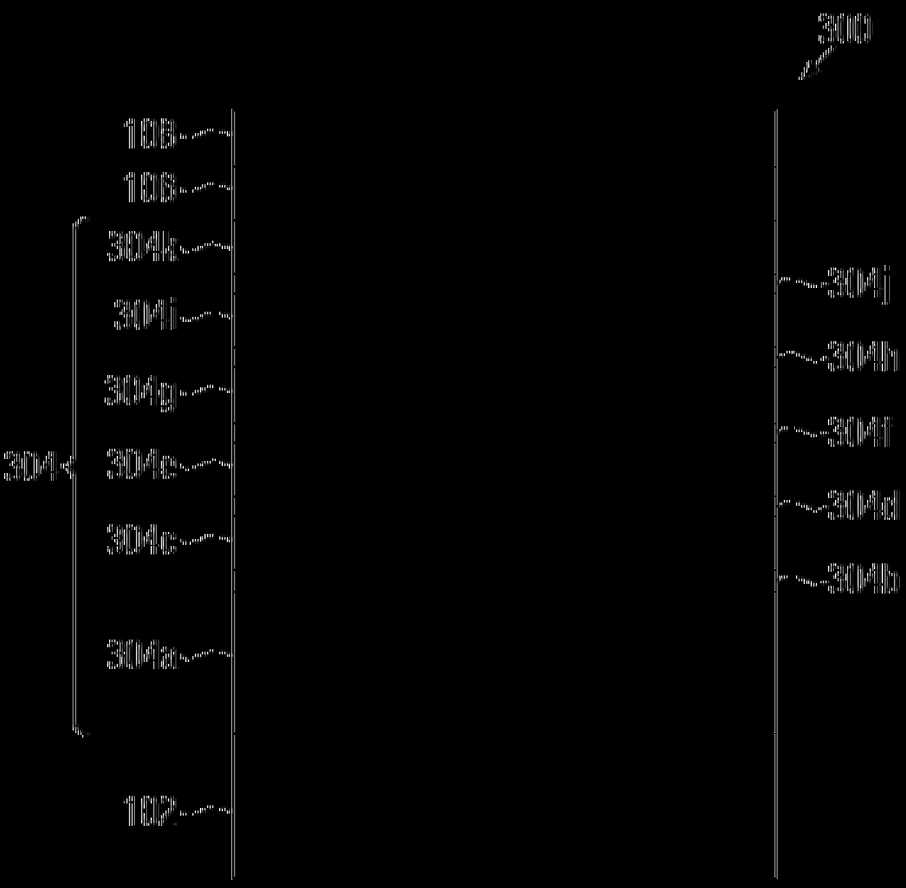
沿著該弱化區實施斷裂以便在該組裝階段之後將該壓電層之一部分與包括該壓電層之該基板之剩餘部分分離，以便將該壓電層之該部分轉移至該支撐基板上。



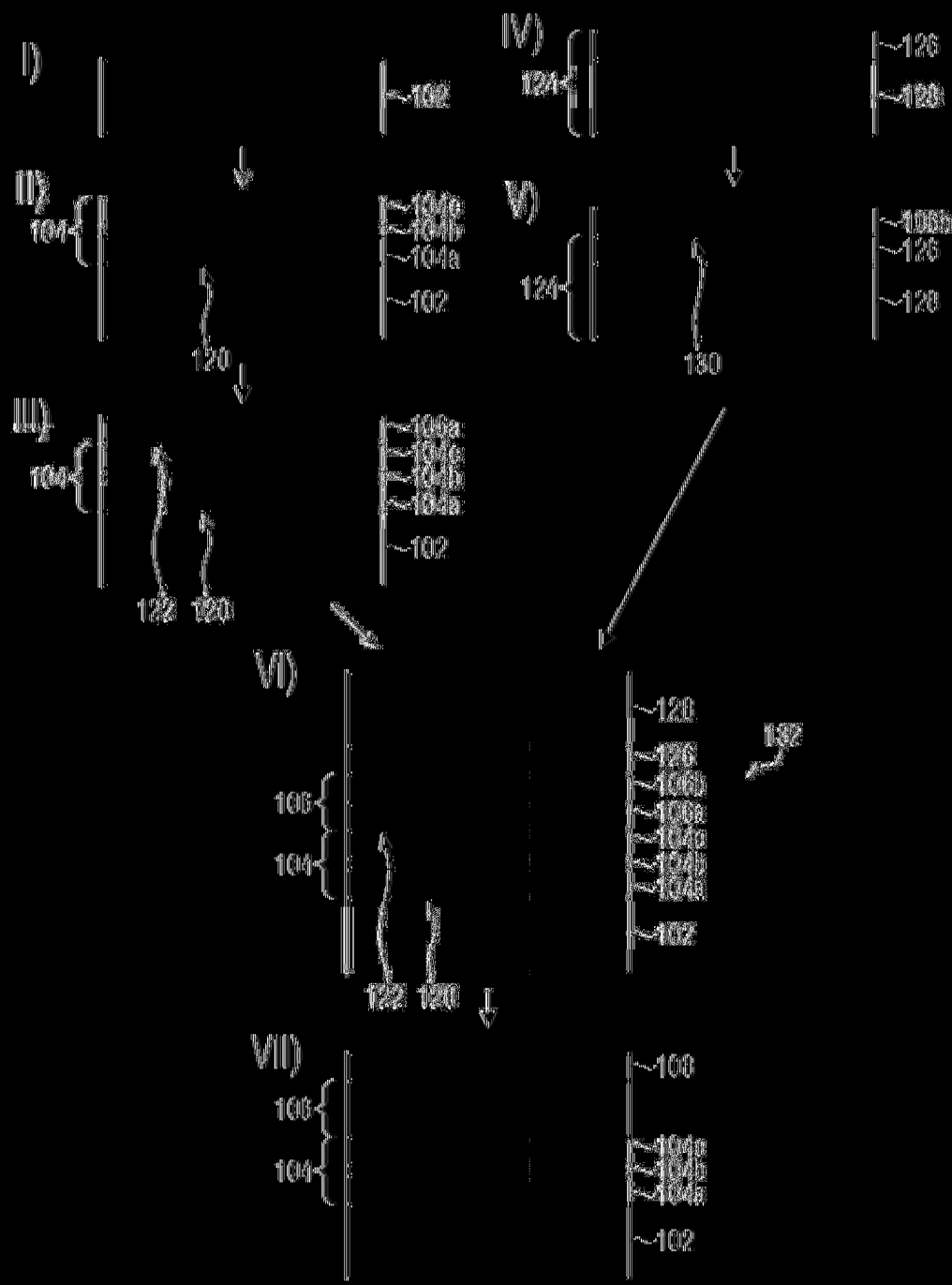
|(圖1)|



|(112)|2|



|(13)|



[(圖4)]