

發明專利說明書

(本說明書格式、順序及粗體字，請勿任意更動，※記號部分請勿填寫)

※ 申請案號：92122729

※ 申請日期：92/08/19

※IPC 分類：G11C 7/00

壹、發明名稱：(中文/英文)

(中文) 記憶裝置中過度抹除位元之復原方法

(英文) METHOD OF RECOVERING OVERERASED BITS IN A MEMORY DEVICE

貳、申請人：(共 1 人)

姓名或名稱：(中文/英文)

(中文) 艾特梅爾公司

(英文) ATMEL CORPORATION

代表人：(中文/英文)

朱莉·Y·瑪-斯皮諾拉 / Julie Y. Mar-Spinola

住居所或營業所地址：(中文/英文)

(中文) 美國加州聖荷西市奧查德林蔭大道 2325 號

(英文) 2325 Orchard Parkway, San Jose, California 95131, USA

國籍：(中文) 美國 (英文) USA

參、發明人：(共 1 人)

姓名：(中文/英文)

丹納特·I·馬尼 / Danut I. Manea

住居所地址：(中文/英文)

(中文) 美國加州庫帕提諾市洛德里吉斯道 20012A 號

(英文) 20012A Rodrigues Avenue, Cupertino, California 95014, USA

國籍：(中文) 羅馬尼亞 (英文) Romania

肆、聲明事項：

本案係符合專利法第二十條第一項 第一款但書或 第二款但書規定之期間，其日期為： 年 月 日。

◎本案申請前已向下列國家（地區）申請專利 主張國際優先權：

【格式請依：受理國家（地區）；申請日；申請案號數 順序註記】

1. 美國；2002/09/04；10/235,265

2.

3.

4.

5.

主張國內優先權（專利法第二十五條之一）：

【格式請依：申請日；申請案號數 順序註記】

1.

2.

主張專利法第二十六條微生物：

國內微生物 【格式請依：寄存機構；日期；號碼 順序註記】

國外微生物 【格式請依：寄存國名；機構；日期；號碼 順序註記】

熟習該項技術者易於獲得，不須寄存。

玖、發明說明：

【發明所屬之技術領域】

本發明係關於半導體記憶體裝置，特別係關於記憶體裝置中過度抹除位元之復原方法。

【先前技術】

在習知每單元一位元 (single bit per cell) 之記憶體裝置中，記憶體單元可呈現二種資訊儲存狀態之其中之一者，不是一開啟狀態 (on-state) 就是一關閉狀態 (off-state)。此種開啟或關閉之組合，可定義一位元之資訊。在雙位準 (bi-level) 記憶體中，由於單元僅能具有二種不同臨界電壓值 V_t ，在讀取操作期間，僅需檢測定址電晶體是否為導通。其一般作法，係比較以預定汲極至源極和閘極至源極電壓偏壓之記憶體電晶體所流經之電流、與相同偏壓條件下之一參考電晶體所流經之電流，其可直接利用電流模式檢測、或在一電流至電壓轉換後利用電壓模式檢測。

在程式化一典型每單元一位元之快閃記憶體單元時，係將一高電位 (例如，約 9-12 伏特) 施加至單元的控制閘極，源極端接地，而汲極端連接至約 5 伏特之電壓。此操作可在一陣列中進行，其方法為選擇性地將脈衝施加至連接控制閘極之字元線，並偏壓連接汲極之位元線。此即為習知技術之程式化快閃記憶體單元的熱電子注入法。熱電子注入係用於移除浮動閘極中的電荷，因此改變浮動閘極電晶體之臨界電壓。藉由將高電壓放置於控制閘極上，可於通

道中產生電子流，而某些熱電子被注入至浮動閘極上，使浮動閘極的電位變得更負。因此，注入趨於飽和，而一浮動閘極電晶體之臨界電壓亦產生相同趨勢。記憶體單元電晶體之狀態的讀取或檢測，係藉由將一操作電壓（例如，約 4-6 伏特）放置於其控制閘極上，並將 0.5-1 伏特放置於汲極上，然後偵測源極與汲極間流通的電流位準，以確認單元係處於何種記憶體狀態。

多位準記憶體裝置之程式化與檢測方法較為複雜，典型需要 $2^n - 1$ 個電壓參考，其中 n 係為單元中所儲存的位元數。參照圖 9，顯示一習知技術多位準記憶體裝置之範例，其每單元具有二位元，對應於四種記憶體位準，具有三個電壓參考。第一記憶體位準 121 以二進位數字 11 表示，其係為記憶體單元無電荷之狀態。記憶體位準 124 中，記憶體單元係為完全充電，其係以二進位數字 00 表示。（此處及本文中所使用的「無電荷」與「完全充電」等詞彙係用於說明之目的，而非意圖限制。例如，(11) 狀態可具有微量電荷，而 (00) 狀態可具有少於絕對最大電荷量之電荷。）介於未充電狀態 (11)121 與完全充電狀態 (00)124 之間者，係為第一中間位準 122 與第二中間位準 123，第一中間位準 122 係以二進位數字 10 表示，其中記憶體單元具有小量電荷，第二中間位準 123 係以二進位數字 01 表示，其中記憶體單元具有多於 10 狀態之電荷，但並未完全充電。顯示於記憶體單元之各記憶體狀態之間的臨界電壓 (V_t) 係表示記憶體單元狀態之間轉態所需的臨界電壓。如前所

述，對於具有四種記憶體位準之二位元單元，係有三個電壓參考 111、112、113。例如，在臨界電壓 2.5 伏特處，記憶體狀態係位於參考位準 111，單元之狀態將會從 11 狀態轉變成 10 狀態。在臨界電壓 $V_t=3.5$ 伏特處，記憶體單元係位於參考位準 112，單元之狀態將會從 10 狀態轉變成 01 狀態。在臨界電壓 $V_t=4.5$ 伏特處，記憶體單元係位於參考位準 113，單元之狀態將會從 01 狀態轉變成 00 狀態。圖 9 所示之臨界電壓值僅為舉例說明，實際 V_t 值係取決於記憶體單元之結構。

實施多位準非揮發性記憶體單元的主要困難之一，在於能夠精確地程式化單元，亦即，在單元電晶體之浮動閘極上，放置恰好可獲得目標臨界值所需的電荷量。習知技術中用來處理精確電荷放置問題的慣用方法，係使用一種逐一單元 (cell-by-cell) 之程式化與檢驗方法。在程式化與檢驗方法中，程式化操作係分割成數個部分步驟，且單元係在每一步驟之後被檢測，以確認是否達到目標臨界電壓，若未達到則繼續進行程式化。由於在程式化期間每一單元係獨立地控制，此種技術可允許同時程式化一整個位元組或甚至數個位元組。此程序可確保達到目標 V_t ，其允許的精確度為有限程式化步驟使用的固有量化。然而，此過程可能非常冗長，且必須藉由晶片上 (on-chip) 邏輯電路來控制。

一典型之程式化與檢驗技術係例示於圖 10。如圖 10 所示，記憶體單元之程式化，係藉由一程式化與檢驗電壓脈

衝之交替序列來執行。每一程式化脈衝之電壓 130 係隨著時間 132 而遞增增加，直到達到期望目標電壓為止。檢驗脈衝之電壓位準在整個程式化程序中均維持定值。例如，如圖所示，在第一檢驗脈衝 151 之後，執行第一程式化脈衝 141，然後接著是檢驗脈衝 152。次一遞增增加電位之程式化脈衝 142 被施加，接著是一檢驗脈衝 153，接著是一第三程式化脈衝 143，其電壓從前一程式化脈衝增加，接著是次一檢驗脈衝 154，以此類推，直到最後程式化脈衝 147 被施加，以使得單元達到期望記憶體狀態之臨界電壓。如圖 10 所示，圖形的形狀類似一階梯狀，此種程式化方法即習知技術一般所熟知之階梯式閘極電壓斜坡程式化 (staircase gate voltage ramp programming)。此種階梯式方法被揭示於許多專利中，例如包括美國專利第 5,043,940 號、第 5,268,870 號、第 5,293,560 號及第 5,434,825 號。

快閃記憶體單元之電子抹除通常係為一全域操作，其係施加於一記憶體陣列的整個區塊。每一區段具有其內部源極線及其用於切換此線的電路。執行抹除時，一高電場係提供於單元之源極與浮動閘極之間，藉由富爾諾罕穿隧效應 (Fowler-Nordheim tunneling) 而從浮動閘極拉出負電荷。典型地，抹除操作之達成方法，係在浮動閘極上放置一大負電壓，例如 -10V，並在源極上放置一正電壓，例如 6V。

圖 11 例示一多位準記憶體裝置之理想臨界電壓分佈。

每一記憶體位準之 V_t 分佈係呈典型鐘形曲線，在單元分佈曲線的中央的目標 V_t 處具有最大單元數量，當電壓從目標 V_t 往二側遠離時，單元數量遞減。狀態 10、01 與 00 的單元分佈曲線 172、173、174 彼此相似，且較 11 狀態之曲線 171 窄許多。這是因為，11 狀態係為抹除狀態，11 狀態之曲線 171 係由抹除機構所產生，而，其他狀態 10、01、00 係由程式化演算法所產生。此 V_t 分佈在單一位元記憶體裝置亦類似，除了其具有一抹除狀態且僅具有一程式化狀態。

抹除快閃記憶體單元的一項問題，在於單元電流分佈的不一致。由於氧化物層厚度的差異、晶粒相對於晶圓中央的位置、及其他因素，並非每一記憶體單元均在相同的臨界電壓抹除。因此，由於某些記憶體單元之抹除快於其他記憶體單元，所以較快抹除之記憶體單元會變得過度抹除。這是因為快閃記憶體中的抹除機構不會自己停止；只要抹除電壓仍施加於記憶體單元，電子就會持續地從浮動閘極移除，抹除脈衝不會在正確的時間停止。由於抹除操作會一直持續到抹除區段中的所有記憶體單元均已被抹除，因此，某些記憶體單元會被過度抹除。

圖 12 例示此種過度抹除位元之概念。單元分佈曲線 171 代表一理想曲線，其中目標臨界電壓 186（或大部分單元隨著抹除操作結束之臨界電壓）係為 2V。抹除不足（undererase）臨界電壓 185（或一單元被抹除之最大臨界電壓）係為 2.5 伏特。過度抹除臨界電壓 184 係顯示為 1.5 伏特。如上述說明，當抹除一很大之記憶體單元陣列

時，很難控制單元分佈。通常，分佈曲線較類似曲線 181。在此情況中，由於陣列中某些單元之抹除快於其他記憶體單元，許多記憶體單元 183 已被過度抹除。由於抹除機構會一直操作，直到陣列中的最後記憶體單元被抹除到超過抹除不足臨界電壓 185 為止，因此，較快之單元 183 會變得過度抹除。

記憶體單元的過度抹除是不令人所樂見的，且可能導致故障，這是由於若記憶體陣列包含有空乏 (depleted) 單元，則記憶體陣列將無法被正確讀取，因為連接至一空乏單元之相同位元線的所有單元將會被讀取成 "1" (無論該單元之實際內容)。

在習知技術中，已發展出不同軟體程式化技術，藉由復原過度抹除位元來解決此問題。例如，可將一小定量電壓施加於字元線上，例如 1.5V，然後執行一軟體程式化操作，將低於 1.5V 之單元進行程式化回到過度抹除臨界值。然而，所有已提出之軟體程式化復原技術均耗費時間與電力，這是不令人所樂見的。其他用於復原過度抹除位元之技術涉及產生一個別參考電流。此亦為不令人所樂見者，因為其非使用既有之參考單元，因此較為複雜且耗費電力。

【發明內容】

本發明之目的在於提供一種記憶體單元中過度抹除位元之復原方法，其不需要軟體程式化技術，且不需要產生一個別參考電流。

本發明之另一目的在於提供一種記憶體單元中過度抹

除位元之復原方法，其速度較快且耗費較少電力。

上述目的可藉由一種記憶體裝置中（特別是多位準記憶體裝置）過度抹除位元之復原方法而達成，其中，一對參考電流於內部產生，以界定一對應於記憶體單元抹除狀態或“11”狀態之電流窗。第一參考電流界定電流窗之最高電流，而第二參考電流界定電流窗之最低電流。然後，確認記憶體陣列中的哪些記憶體單元之浮動閘極上之電荷量所對應之一導通電流係大於第一參考電流。此群組之記憶體單元係處於一過度抹除狀態。然後，複數個交替之程式化與檢驗脈衝被施加至每一過度抹除記憶體單元，以便將過度抹除單元程式化至抹除狀態。程式化脈衝的電壓位準係相同於將記憶體單元程式化至其他記憶體狀態（諸如“10”、“01”、“00”）之電壓位準。因此，本方法使用既有之程式化方法，並以相同於其他記憶體狀態的方式將“11”狀態程式化。這可達到快速且較為準確的過度抹除位元之復原。本方法亦不需要軟體程式化或產生個別參考電流，其有助於節省電力及簡化程序。

【實施方式】

參照圖 1，本發明之方法之第一步驟 301 係為產生一對參考電流，以界定一電流窗，對應於記憶體單元完全抹除之狀態。圖 2 顯示用於四位準記憶體單元陣列之參考、讀取與檢驗電流位準。本發明不限於四位準記憶體單元陣列，亦可使用於單一位元記憶體單元，以及其他型式之記憶體單元陣列，例如具有 8、16 或其他數量記憶體單元狀

態之記憶單元陣列。提供四種參考電流位準 I_R ，用於各記憶體狀態。其分別標示為 I_{R00} 、 I_{R01} 、 I_{R10} 與 I_{R11} ，用於四記憶體狀態 "00"、"01"、"10" 與 "11"。典型地，狀態 "11" 係對應於完全抹除狀態，狀態 "00" 係對應於完全程式化狀態，而 "01" 與 "10" 對應於中間狀態。

在四種記憶體狀態中，完全抹除狀態具有最少的電荷（實質上為零）儲存於非揮發性記憶體單元電晶體結構之浮動閘極上，並具有最低的臨界電壓與最大的導通電流。在四種狀態中，完全程式化狀態具有最多的電荷儲存於浮動閘極上，並具有最高的臨界電壓（通常大於讀取操作期間所施加之閘極電壓）與最低的導通電流（可能為零）。中間狀態所具有的儲存電荷量係介於完全抹除狀態與完全程式化狀態之間，因此具有中間的臨界值與導通電流位準。

參考電流位準 I_{R00} 、 I_{R01} 、 I_{R10} 與 I_{R11} 係由程式化參考記憶體單元設定於各狀態之中央，與相鄰狀態之讀取邊界相距最遠處。

對於四狀態記憶體單元而言，相鄰狀態之間存在有三個讀取邊界。其為讀取電流位準 I_L 、 I_M 與 I_H （低、中、高）。 I_L 係為相鄰記憶體狀態 "00" 與 "01" 之間的邊界， I_M 係為相鄰記憶體狀態 "01" 與 "10" 之間的邊界，而 I_H 係為相鄰記憶體狀態 "10" 與 "11" 之間的邊界。本發明中，此等邊界位準較佳係定義為對應相鄰狀態之間的算數平均值。

$$I_L = (0.50)I_{R00} + (0.50)I_{R01};$$

$$I_M = (0.50)I_{R01} + (0.50)I_{R10}; \text{ 及}$$

$$I_{II} = (0.50)I_{R10} + (0.50)I_{R11}。$$

亦可使用略微高於或低於此等較佳值之讀取電流位準，邊距 (margin) 不需要恰為 0.50。然而，通常令人滿意的邊距係為實質上 50%，亦即，介於約 40%至 60%之間。例如，若使用 45%之邊距， $I_L = (0.55)I_{R00} + (0.45)I_{R01}$ 等，而讀取電流將略低於恰為 50%邊距之電流。(再者，三狀態邊界之邊距 I_L 、 I_M 、 I_{II} 不需恰為相等。) 在一典型記憶體單元讀取操作期間，感測放大器及一比較電路可比較一選定記憶體單元之導通電流與各讀取邊界電流位準，以確認記憶體單元係處於四狀態中的何者。此一讀取操作並非本發明之一部分，可藉由任何習知方法達成，對於一選定之多位準記憶體單元，利用本發明提供之 $(n-1)$ 個邊界電流位準，以確定 n 個記憶體狀態其中之一。

一典型程式化操作係由短程式化與檢驗步驟之序列所組成，直到一選定之記憶體單元達到期望之程式化狀態為止。為程式化，一邊距值 m 係使用於產生各狀態之允許電流值之窗 17。窗 17 之間的區域 15 係為禁止做為最終程式化狀態之電流位準。禁止區域 15 包括讀取邊界位準及一合適的邊距，以容許記憶體單元條件中的操作變異，例如溫度。因此，在本發明中，上與下窗位準係為程式化檢驗操作之多數記憶體狀態所建立。對於完全抹除狀態 "11"，上與下窗位準僅用於檢驗過度抹除之復原。對於完全程式化狀態 "00"，由於沒有過度程式化狀態，因此不需要下窗位準。因此，對於四種記憶體狀態，總共定義七個電流位準

I_{11H} 、 I_{11L} 、 I_{10H} 、 I_{10L} 、 I_{01H} 、 I_{01L} 、與 I_{00H} 。

$$I_{11H} = (1+m)I_{R11};$$

$$I_{11L} = (1-m)I_{R11} + (m)I_{R10};$$

$$I_{10H} = (1-m)I_{R10} + (m)I_{R11};$$

$$I_{10L} = (1-m)I_{R10} + (m)I_{R01};$$

$$I_{01H} = (1-m)I_{R01} + (m)I_{R10};$$

$$I_{01L} = (1-m)I_{R01} + (m)I_{R00}; \text{ 及}$$

$$I_{00H} = (1-m)I_{R00} + (m)I_{R01}。$$

邊距值 m 係小於所使用於界定另一讀取邊界的邊距（小於 50%，亦即，小於 0.5，若對於 I_L 、 I_M 與 I_H 係使用 50% 之較佳讀取邊距），且典型地係介於 0.05 與 0.375 之間。較佳為 0.10 與 0.25 之間之值。當預期有較大之操作變異時，較佳係採用較小之邊距值 m （具有較小之允許程式化窗 17 與較大之禁止區域 15），而，通常約 0.25 之值為適當的。本發明中，用於建立檢驗位準之類比電路方塊的較佳具體例，可允許選擇 0.125、0.25、或 0.375 之任何值做為邊距 m 。不同狀態的邊距值可不相同。

本發明中所使用之參考電流有許多可能的產生方式。在本發明之一具體例中，產生參考電流之步驟著重於界定完全抹除狀態 "11" 之上與下電流窗位準。然而，用於產生參考電流之電路係用於界定記憶體單元之所有狀態，其係參照圖 4-7 於後文中詳細說明。參照圖 3，一第一參考電流 I_{11H} 18 被產生，以界定一電流窗 12 之最高電流，並且一第二參考電流 I_{11L} 19 被產生，以界定一電流窗 12 之最低電

流。電流窗 12 界定一對應於完全抹除狀態 "11" 之第一參考位準。在讀取操作期間，在浮動閘極上之電荷量所對應之導通電流大於第一參考電流的任何記憶體單元，係處於過度抹除狀態 13。在浮動閘極上之電荷量所對應之導通電流介於第一參考電流與第二參考電流之間的任何記憶體單元，係處於抹除狀態 12。區域 16 係為介於抹除狀態與第一程式化狀態之間的禁止區域，如先前所述。藉由界定參考電壓 $I_{11L}18$ 與 $I_{11L}19$ ，可提供一目標窗，用以確認哪些記憶體單元為過度抹除。用於產生參考電流 18、19 之技術，係連同整個記憶體裝置之參考電流產生一併說明如下。

參照圖 4，參考電流 I_{R00} 、 I_{R01} 、 I_{R10} 與 I_{R11} 係使用一參考陣列 21 中的參考記憶體單元所產生。亦有其他的選擇，包括利用一單一參考單元來產生所有的參考電流，及利用一個別參考單元來產生各參考電流。（亦可能採用一中庸的選擇，以二個或更多個單元產生複數個參考電流，特別是具有 8 個或更多個狀態的情況。）以個別單元產生數個參考電流時，此等電流係由參考記憶體單元沿著線 23A-23D 透過開關 25 供應至參考電流輸出線 27A-27D，然後供應至與一類比電路方塊 53 相關聯之感測放大器 51。參考記憶體單元係由製造商預先程式化成各個狀態 "11"、"10"、"01" 與 "00"。這可界定各狀態之讀取與程式化窗之中心。

當使用一參考記憶體單元來產生複數個參考電流時，包括以單一參考記憶體單元來產生所有欲界定狀態之所有參考電流的情況，由參考記憶體單元所導通的電流係經由另

一線 33 而供應至一參考感測放大器 35，以產生一 BIAS 電壓用於一電流鏡電路 37。對於每單元四狀態之記憶體，單一參考記憶體單元係對應於完全抹除”11”狀態（最小浮動閘極電荷、最小臨界電壓、最大導通電流）。電流鏡電路 37 所產生之各參考電流係經由線 45A-45D 透過一組開關 47 而供應至參考電流輸出線 27A-27D，然後供應至與前述類比電路方塊 53 相關聯之感測放大器 51。只有一組開關 25 與 47 被設定可將電流傳遞至感測放大器 51，其係取決於使用一個或全部的參考記憶體單元來產生參考電流。

同時參照圖 4 與 5，參考感測放大器 35 與電流鏡電路 37 可從參考陣列 21 中狀態”11”之單一參考記憶體單元來產生複數個記憶體狀態之參考電流。單元導通電流 I_{cell} 從感測放大器 35 沿著線 33 通過 y-選擇傳輸電晶體 31 而流至參考記憶體單元。一典型感測放大器可包括一二極體連接 p-通道電晶體 61、一 n-通道電晶體、及一反向器 63，連接至參考記憶體單元 21（”11”），使得電流 I_{cell} 在 p-通道與 n-通道電晶體 61 與 62 之間的節點產生一 BIAS 電壓，以 BIAS 電壓產生一鏡電流 I_{cell} 流經 p-通道拉升電晶體 39（因為電晶體 61 與 39 具有相同汲極至閘極壓降）。一二極體連接 n-通道電晶體 41 係連接於電晶體 39 與接地之間，其閘極至源極壓降 V_{GS} 係取決於電晶體 41 所導通之鏡電流 I_{cell} 。此壓降係供應至其餘四個 n-通道電晶體 43A-43D 之閘極。電晶體 41 具有特定通道尺寸（為方便說明起見，以數字 8 表示）。電晶體 43A-43D 具有不同的通道尺寸，其中

最大者（非必要）係為與電晶體 41 相同尺寸（此處以數字 8、6、4 與 2 表示）。相同供應壓降 V_{GS} 可產生與其通道尺寸成比例之不同電流。在此處使用之範例中，流經尺寸 8（此例中係相等於電晶體 41 之通道尺寸）之電晶體 43A 的導通電流 I_{R11} 係等於 I_{cell} 。流經通道尺寸 6 之電晶體 43B 的導通電流 I_{R10} 係為 $\frac{3}{4}I_{cell}$ 。流經通道尺寸 4 之電晶體 43C 的導通電流 I_{R01} 係為 $\frac{1}{2}I_{cell}$ 。最後，流經通道尺寸 2 之電晶體 43D 的導通電流 I_{R00} 係為 $\frac{1}{4}I_{cell}$ 。所獲得之導通電流 I_{R11} 、 I_{R10} 、 I_{R01} 與 I_{R00} 如前述被放置於線 45A-45D 上。此等尺寸與電流值可分別藉由將電晶體 43A-43D 製造成任何期望尺寸組而選定。參考電流可不需要具有線性關係。甚至，期望 I_{R11} 與 I_{R10} 之間間隔大於其他參考電流之間間隔，這是由於初始電荷注入完全抹除記憶體浮動閘極之速度較快，而注入部分充電浮動閘極則較慢。在該種情況中，電晶體 43A-43D 之相對尺寸可約為 8、5、3 與 1。

參照圖 6，對於任何給定的參考電流 I_{Ri} ，可利用一電流鏡技術來產生某邊距值 m 之分數電流 $(1-m)I_{Ri}$ ，如同上述圖 4 與 5 中用於從一單一電流產生複數個參考電流者。同樣地，對於任何給定的參考電流 I_{Rj} ，亦可產生一分數電流 $(m)I_{Rj}$ 。在此技術中，二極體連接 p-通道電晶體 71 與 72 具有一第一通道尺寸（以數字 1 標示），其可產生一取決於輸入參考電流 I_{Ri} 或 I_{Rj} 之壓降。p-通道電晶體 73 與 74 之閘極分別連接至電晶體 71 與 72 之閘極-源極。電晶體 73 與 74 之通道尺寸相對於電晶體 71 與 72 之通道尺寸分別為

($1-m$)與(m)。由於橫跨電晶體 73 與 74 之汲極-開極壓降相同於對應橫跨電晶體 71 與 72，電晶體 73 與 74 可分別導通($1-m$) I_{Ri} 與(m) I_{Rj} 之電流。此等電流可利用一簡單連接而結合產生一電流($1-m$) $I_{Ri}+(m)$ I_{Rj} 。此一結合電流可同樣地利用一電流鏡與感測放大器元件 75-77 而感測，其操作係如同圖 5 中的元件 35 與 39 所說明者。在讀取或檢驗步驟期間，所產生的電流輸出可與來自一定址記憶體單元之電流相比較。對於讀取， $m=0.5$ ，而對於程式化檢驗操作， $m<0.5$ 。(圖 7 顯示一較佳具體例，其可允許一使用者從 0.125、0.25、0.375 與 0.5 中選擇任何 m 值，後者僅用於讀取操作期間。)再者，對於檢驗，一狀態之允許電流的下邊界使用 $j=i-1$ 。如前所述，完全程式化"00"狀態不具有下電流邊界。在一程式化檢驗操作期間，一狀態之允許電流的上邊界使用 $j=i+1$ ，除了完全抹除狀態"11"以外。對於完全抹除狀態"11"，藉由將三電流($1-m$) I_{R11} 、(m) I_{R11} 與再次(m) I_{R11} 相加而產生 $I_{11H}=(1+m)$ I_{R11} 。

參照圖 7，圖 4 之類比電路方塊 53 的一元件接收一狀態 i 之參考電流 I_{Ri} ，並產生一選定邊距值 m 之分數電流($1-m$) I_{Ri} 與(m) I_{Ri} ，使用於圖 6 中來產生如上述圖 2 界定讀取與檢驗電流。圖 7 中所顯示的元件被重複，使得每一參考電流 I_{R11} 、 I_{R10} 、 I_{R01} 與 I_{R00} 具有其個自之分數電流產生元件。需要從參考電流 I_{R00} 產生單一組分數電流($1-m$) I_{R00} 與(m) I_{R00} 。需要從參考電流 I_{R01} 、 I_{R10} 與 I_{R11} 產生分數電流($1-m$) I_{R01} 、(m) I_{R01} 、($1-m$) I_{R10} 、(m) I_{R10} 與

$(1-m)I_{R11}$ 中的二者。需要三組分數電流 $(m)I_{R11}$ ，一者用於檢驗電流 I_{11L} 中，二者用於檢驗電流 I_{11H} 中，以便獲得 $(1+m)I_{R11}$ 。由於讀取與檢驗電流位準永遠不會同時被需要，因此讀取電流位準 I_H 、 I_M 與 I_L 可分享產生檢驗位準所使用的相同電路元件，無須另外設置。當執行一讀取操作時，僅需將邊距值 m 切換成 0.50。

在圖 7 中，感測放大器包括一二極體連接 p-通道電晶體 81，其可導通供應參考電流 I_{R1} ，並產生一汲極-閘極壓降，並於線 82 上產生一對應 BIAS 電壓，其可驅動電晶體 83₁-83₈、84₁-84₈、85₁-85₄ 與 86₁-86₄ 之閘極。電晶體 81 之通道尺寸係由數字 8 所表示，其對應於所產生分數電流分數的分母。另外二組電晶體 83-86 各具有以數字 1 表示之通道尺寸，在此例中其具有感測放大器之電晶體 81 之電流導通 I_{R1} 的八分之一。每一組電晶體 83₁-83₈、84₁-84₈、85₁-85₄ 與 86₁-86₄ 之 p-通道源極之連接，係可根據一特定組中的主動電晶體數量，而產生一累積分數電流 $(1-m)I_{R1}$ 或 $(m)I_{R1}$ ，其中 m 在此例中係為 1/8、2/8、3/8 或 4/8。一組電晶體 91₁-91₄、92₁-92₄、93₁-93₄ 及 94₁-94₄ 係做為開關，其選擇性地連接或切斷某些電晶體 83₅-83₈、84₅-84₈、85₁-85₄ 與 86₁-86₄ 至電源供應線。此等開關係由提供至其電晶體之控制信號 ADD0-ADD3 與 SUB0-SUB3 所控制。額外的電晶體 89₁-89₄ 及 90₁-90₄ 係設置用於對稱，使得所有電流輸出路徑相同，但此等額外電晶體之閘極接地，而未接收控制信號。ADD0-ADD3 控制開關 93₁-93₄ 及 94₁-94₄，其

控制方式相反於對應 SUB0-SUB3 控制信號控制開關 91₁-91₄ 及 92₁-92₄。因此，當第一組中只有四個電晶體 83₁-83₄ 為主動，使 $(1-m)=4/8$ ，則對應組中的四電晶體 85₁-85₄ 將會為主動，使 $m=4/8$ ；當五個電晶體 83₁-83₅ 為主動，使 $(1-m)=5/8$ ，則只有三電晶體 85₂-85₄ 將會為主動，使 $m=3/8$ ；等等。這可確保實際實施時 $(1-m)+m=1$ 。然後，分數電流被結合，如先前參照圖 6 所說明者。圖 7 中的第二群電晶體 84₁-84₈、86₁-86₄、92₁-92₄ 與 94₁-94₄ 對於參考電流 I_{R00} 而言是不需要的，因為僅需要一組分數電流。

對於參考電流 I_{R11} ，圖 7 中的分數電流產生電路元件係加以修改，以包括一第三部分群組，其係由 BIAS 電壓驅動、並由 ADD0-ADD3 控制，方式相同於電晶體 85₁-85₄ 與 86₁-86₄。此一修改可提供三個 $(m)I_{R11}$ 之分數電流項，用以產生 $I_{11H}=(1+m)I_{R11}=(1-m)I_{R11}+(m)I_{R11}+(m)I_{R11}$ 。或者，圖 7 中之分數電流產生電路元件亦可修改成使控制信號 SUB0-SUB3 可獨立地供應至二群（列）電晶體，藉以使得（抹除）檢驗模式之操作中，電晶體 83₁-83₈ 供應 $(1)I_{R11}$ （此處 $i="11"$ ）而非 $(1-m)I_{R11}$ ，而電晶體 84₁-84₈ 仍然提供電流 $(1-m)I_{R11}$ 。這使得電路的第一群組或列可提供電流位準 $I_{11H}=(1+m)I_{R11}=(1)I_{R11}+(m)I_{R11}$ ，同時 I_{11L} 與 I_{10L} 仍然從電路的第二群組或列分別被供應電流分佈 $(1-m)I_{R11}$ 與 $(m)I_{R11}$ 。

再次參照圖 1，本發明之方法的次一步驟 302 係為確認記憶體陣列中的哪些記憶體單元已被過度抹除。其達成的

方法係以一般的方式讀取單元的內容，以確認記憶體單元的記憶體單元狀態。同樣地，如果讀取操作期間所讀取到的導通電流超過抹除狀態電流窗的最高參考電流，則記憶體單元被視為過度抹除。

然後，在步驟 303 中，過度抹除單元被程式化，直到所有過度抹除記憶體單元均處於抹除狀態為止。參照圖 8，所使用的程式化方法可為先前圖 10 所述之階梯式程式化方法。如圖 8 所示，程式化 241、242、243 與檢驗 251、252、253 脈衝之交替序列被施加至記憶體單元。各程式化脈衝之電壓 230 會隨著從過度抹除狀態 250 至抹除狀態 260 之時間 232 而遞增地增加。

【圖式簡單說明】

圖 1 係為本發明之方法的流程圖。

圖 2 係為各參考、讀取與檢驗之記憶體導通電流位準 I_{SD} 圖，在本發明中讀取與檢驗電流位準係從參考電流位準所產生。

圖 3 係為過度抹除與抹除記憶體位準之記憶體單元導通電流位準圖。

圖 4 係為本發明之方法中用於產生參考電流位準之電路的示意電路圖。

圖 5 係為圖 4 之細部電路部分的示意電路圖，其係用於選擇性地從單一參考記憶體單元產生參考電流位準。

圖 6 係為圖 4 類比電路方塊之部分示意電路圖，其係用於從供應參考電流產生讀取與檢驗電流位準。

圖 7 係為類比電路方塊之一元件的進一步詳細示意電路圖，其可以一選定邊距值 m 產生一供應參考電流之分數電流，供後續根據圖 5 之電路而使用於產生讀取與檢驗電流位準。

圖 8 係為本發明所使用之程式化與檢驗脈衝步驟的電壓對時間關係圖。

圖 9 顯示習知技術之具有四種記憶體狀態的二位元記憶體單元。

圖 10 顯示習知技術階梯式程式化方法的程式化與檢驗脈衝步驟的電壓對時間關係圖。

圖 11 係為習知技術之四狀態記憶體單元的臨界電壓分佈圖。

圖 12 係為習知技術之抹除狀態 "11" 之臨界電壓分佈曲線，其中某些單元被過度抹除。

(元件符號說明)

- 12 電流窗
- 13 過度抹除狀態
- 15 禁止區域
- 16 區域
- 17 窗
- 18 參考電流
- 19 參考電流
- 21 參考陣列
- 23 A - 23 D 線

- 25 開關
- 27A-27D 參考電流輸出線
- 31 y-選擇傳輸電晶體
- 33 線
- 35 參考感測放大器
- 37 電流鏡電路
- 39 p-通道拉升電晶體
- 41 二極體連接 n-通道電晶體
- 43A-43D n-通道電晶體
- 45A-45D 線
- 47 開關
- 51 感測放大器
- 53 類比電路方塊
- 61 二極體連接 p-通道電晶體
- 62 n-通道電晶體
- 63 反向器
- 71 二極體連接 p-通道電晶體
- 72 二極體連接 p-通道電晶體
- 73 p-通道電晶體
- 74 p-通道電晶體
- 75 電流鏡與感測放大器元件
- 76 電流鏡與感測放大器元件
- 77 電流鏡與感測放大器元件
- 81 二極體連接 p-通道電晶體

- 82 線
- 83₁-83₈ 電 晶 體
- 84₁-84₈ 電 晶 體
- 85₁-85₄ 電 晶 體
- 86₁-86₄ 電 晶 體
- 89₁-89₄ 電 晶 體
- 90₁-90₄ 電 晶 體
- 91₁-91₄ 電 晶 體
- 92₁-92₄ 電 晶 體
- 93₁-93₄ 電 晶 體
- 94₁-94₄ 電 晶 體
- 111 電 壓 參 考
- 112 電 壓 參 考
- 113 電 壓 參 考
- 121 第 一 記 憶 體 位 準 ; 未 充 電 狀 態
- 122 第 一 中 間 位 準
- 123 第 二 中 間 位 準
- 124 記 憶 體 位 準 ; 完 全 充 電 狀 態
- 130 電 壓
- 132 時 間
- 141 程 式 化 脈 衝
- 142 程 式 化 脈 衝
- 143 程 式 化 脈 衝
- 147 程 式 化 脈 衝

- 151 檢 驗 脈 衝
- 152 檢 驗 脈 衝
- 153 檢 驗 脈 衝
- 154 檢 驗 脈 衝
- 171 曲 線
- 172 曲 線
- 173 曲 線
- 174 曲 線
- 183 記 憶 體 單 元
- 184 過 度 抹 除 臨 界 電 壓
- 185 抹 除 不 足 臨 界 電 壓
- 186 目 標 臨 界 電 壓
- 241 程 式 化 脈 衝
- 242 程 式 化 脈 衝
- 243 程 式 化 脈 衝
- 251 檢 驗 脈 衝
- 252 檢 驗 脈 衝
- 253 檢 驗 脈 衝
- 301 步 驟
- 302 步 驟
- 303 步 驟

伍、中文發明摘要：

一種記憶體裝置中過度抹除位元之復原方法。在此方法中，一對參考電流於內部產生，以界定一對應於記憶體單元抹除狀態之電流窗。第一參考電流界定電流窗之最高電流，而第二參考電流界定電流窗之最低電流。然後，確認記憶體陣列中的哪些記憶體單元係處於過度抹除狀態，判定方法為讀取操作期間浮動閘極上之電荷量所對應之一導通電流係大於第一參考電流。然後，將過度抹除單元程式化，直到單元處於抹除狀態。

陸、英文發明摘要：

A method of recovering overerased bits in a memory cell. In the method, a pair of reference currents are internally generated to define a current window corresponding to the erased state of the memory cell. The first reference current defines the highest current of the current window and the second reference current defines the lowest current of the current window. Then, it is determined which of the memory cells in a memory array are in an overerased state by having an amount of charge on its floating gate that corresponds to a conduction current during a read operation that is greater than the first reference current. Then, the overerased cells are programmed until the cells are in the erased state.

柒、指定代表圖：

(一)本案指定代表圖為：第（ 1 ）圖。

(二)本代表圖之元件代表符號簡單說明：

無

捌、本案若有化學式時，請揭示最能顯示發明特徵的化學式：

無

拾、申請專利範圍：

1. 一種記憶體裝置中過度抹除位元之復原方法，其係於一抹除操作之後進行，該方法包含：

在記憶體裝置中產生一第一參考電流，該第一參考電流界定對應於一第一參考位準之一電流窗之最高電流，該第一參考位準界定一記憶體單元處於一抹除狀態之狀態；

從複數個記憶體單元確認一第一群組之記憶體單元，其浮動閘極上之電荷量所對應之一導通電流係大於第一參考電流，該第一群組之記憶體單元係處於一過度抹除狀態；及

施加複數個程式化脈衝至每一第一群組之記憶體單元，將一電荷量放置於該單元之浮動閘極上，直到導通電流小於第一參考電流，使得每一第一群組之記憶體單元從過度抹除狀態程式化至抹除狀態。

2. 如申請專利範圍第 1 項之方法，其又包含：

施加複數個檢驗脈衝至指定記憶體單元，每一該檢驗脈衝係以交替的方式施加於每一該程式化脈衝之後。

3. 如申請專利範圍第 1 項之方法，其中，該程式化脈衝之電壓遞增地增加，以穩定速度增加浮動閘極上之電荷量。

4. 如申請專利範圍第 1 項之方法，其又包含：

在記憶體裝置中產生一第二參考電流，該第二參考電流界定對應於第一參考位準之一電流窗之最低電流，該第一參考位準界定一記憶體單元處於抹除狀態之狀態。

5. 如申請專利範圍第 1 項之方法，其中，記憶體單元每單元具有二記憶體狀態。

6. 如申請專利範圍第 1 項之方法，其中，記憶體單元每單元具有四記憶體狀態。

7. 如申請專利範圍第 1 項之方法，其中，記憶體單元係為一多位準記憶體單元。

8. 如申請專利範圍第 1 項之方法，其中，確認第一群組之步驟包括讀取複數個記憶體單元，並比較每一讀取記憶體單元之導通電流與第一參考電流。

9. 一種記憶體裝置中過度抹除位元之復原方法，其係於一抹除操作之後進行，該方法包含：

在記憶體裝置中產生一第一參考電流，該第一參考電流界定對應於一第一參考位準之一電流窗之最高電流，該第一參考位準界定一記憶體單元處於一抹除狀態之狀態；

讀取複數個記憶體單元，以確認一第一群組之記憶體單元，其浮動閘極上之電荷量所對應之一導通電流係大於第一參考電流，該第一群組之記憶體單元係處於一過度抹除狀態；

施加複數個程式化脈衝至每一第一群組之記憶體單元，將一電荷量放置於該單元之浮動閘極上，直到導通電流小於第一參考電流，使得每一第一群組之記憶體單元從過度抹除狀態程式化至抹除狀態；及

施加複數個檢驗脈衝至指定記憶體單元，每一該檢驗脈衝係以交替的方式施加於每一該程式化脈衝之後。

10. 如申請專利範圍第 9 項之方法，其中，該程式化脈衝之電壓遞增地增加，以穩定速度增加浮動閘極上之電荷

量。

11. 如申請專利範圍第 9 項之方法，其又包含：

在記憶體裝置中產生一第二參考電流，該第二參考電流界定對應於第一參考位準之一電流窗之最低電流，該第一參考位準界定一記憶體單元處於抹除狀態之狀態。

12. 一種記憶體裝置中過度抹除位元之復原方法，其係於一抹除操作之後進行，該方法包含：

在記憶體裝置中產生一第一參考電流及一第二參考電流，該第一參考電流及該第二參考電流界定一電流窗，該電流窗界定一第一參考位準，該第一參考位準對應於一記憶體單元處於一抹除狀態之狀態，該第一參考電流界定電流窗之最高電流，而該第二參考電流界定電流窗之最低電流；

從複數個記憶體單元確認一第一群組之記憶體單元，其浮動閘極上之電荷量所對應之一導通電流係大於第一參考電流，該第一群組之記憶體單元係處於一過度抹除狀態；

施加複數個程式化脈衝至每一第一群組之記憶體單元，將一電荷量放置於該單元之浮動閘極上，該程式化脈衝之電壓遞增地增加，以穩定速度增加浮動閘極上之電荷量，直到導通電流小於第一參考電流，使得每一第一群組之記憶體單元從過度抹除狀態程式化至抹除狀態；及

施加複數個檢驗脈衝至指定記憶體單元，每一該檢驗脈衝係以交替的方式施加於每一該程式化脈衝之後。

13. 如申請專利範圍第 12 項之方法，其中，確認第一群

組之步驟包括讀取複數個記憶體單元，並比較每一讀取記憶體單元之導通電流與第一參考電流。

14. 如申請專利範圍第 12 項之方法，其中，記憶體單元係為一多位準記憶體單元。

15. 如申請專利範圍第 12 項之方法，其中，記憶體單元係為一每單元一位元記憶體裝置。

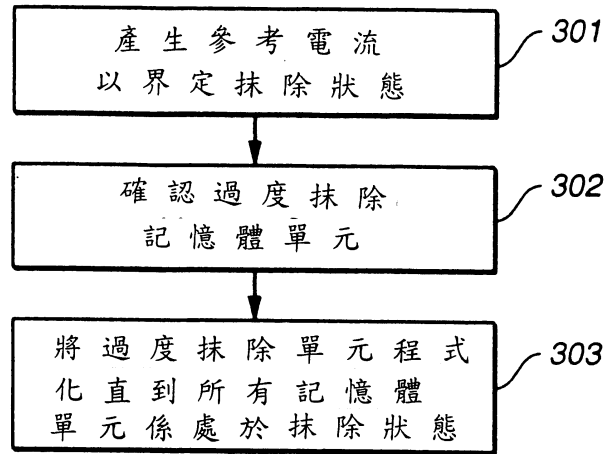


圖 1

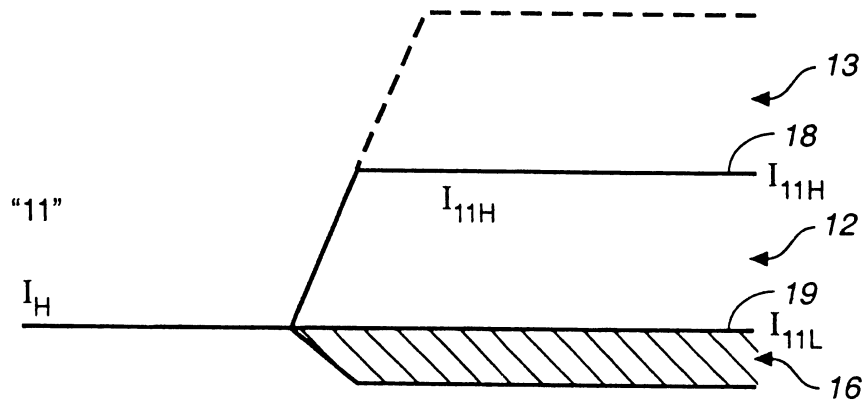


圖 3

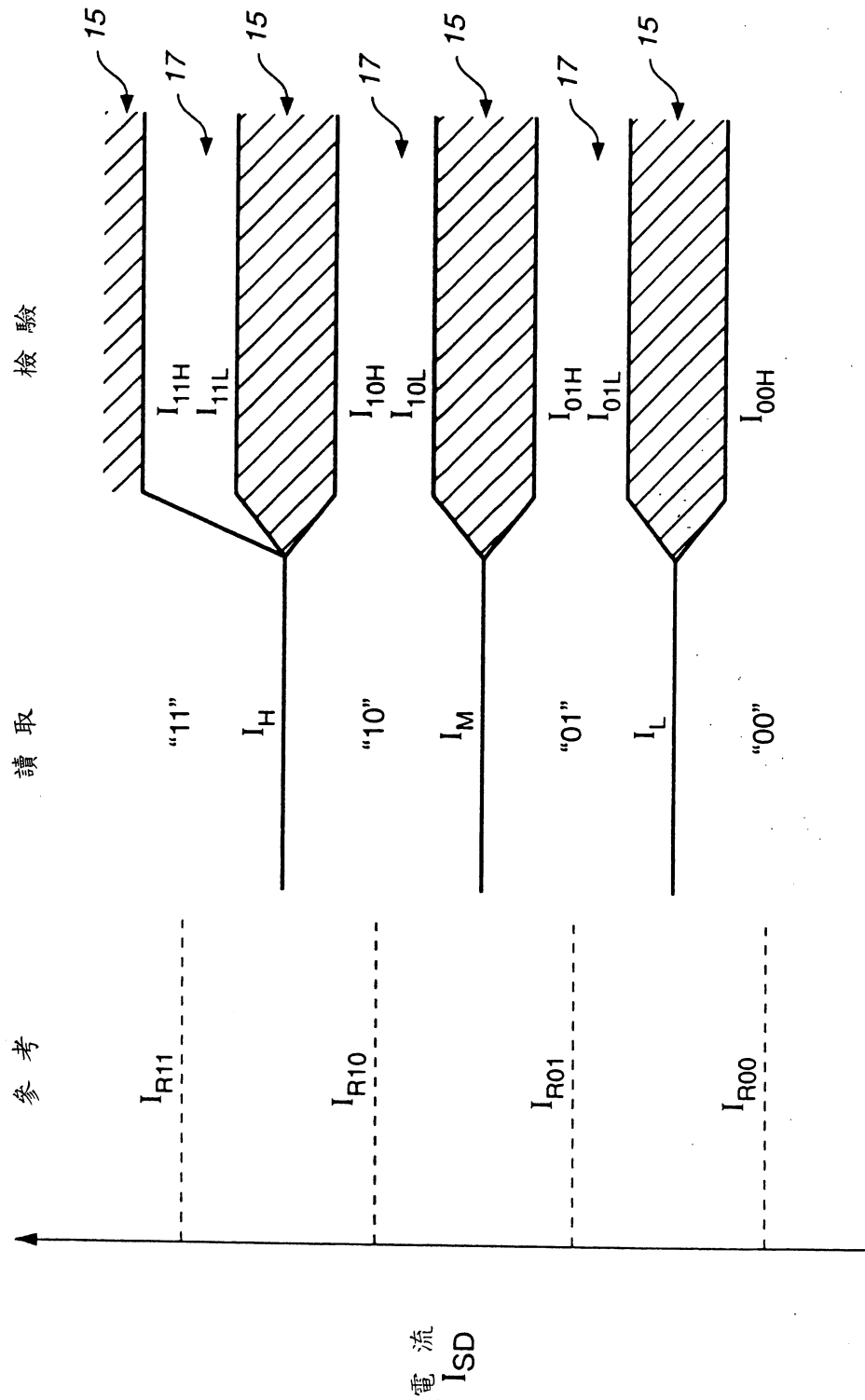


圖 2

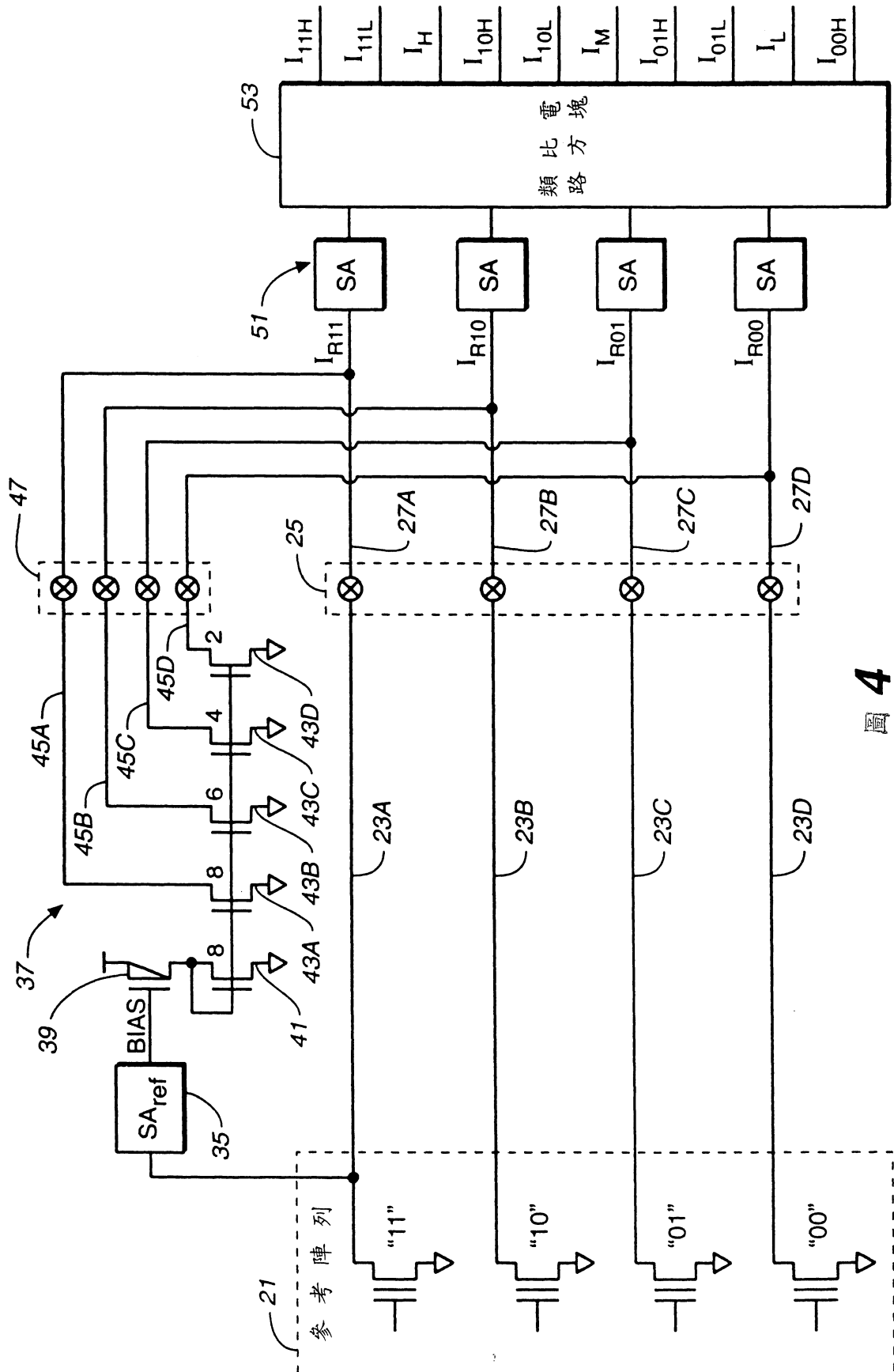


圖 4

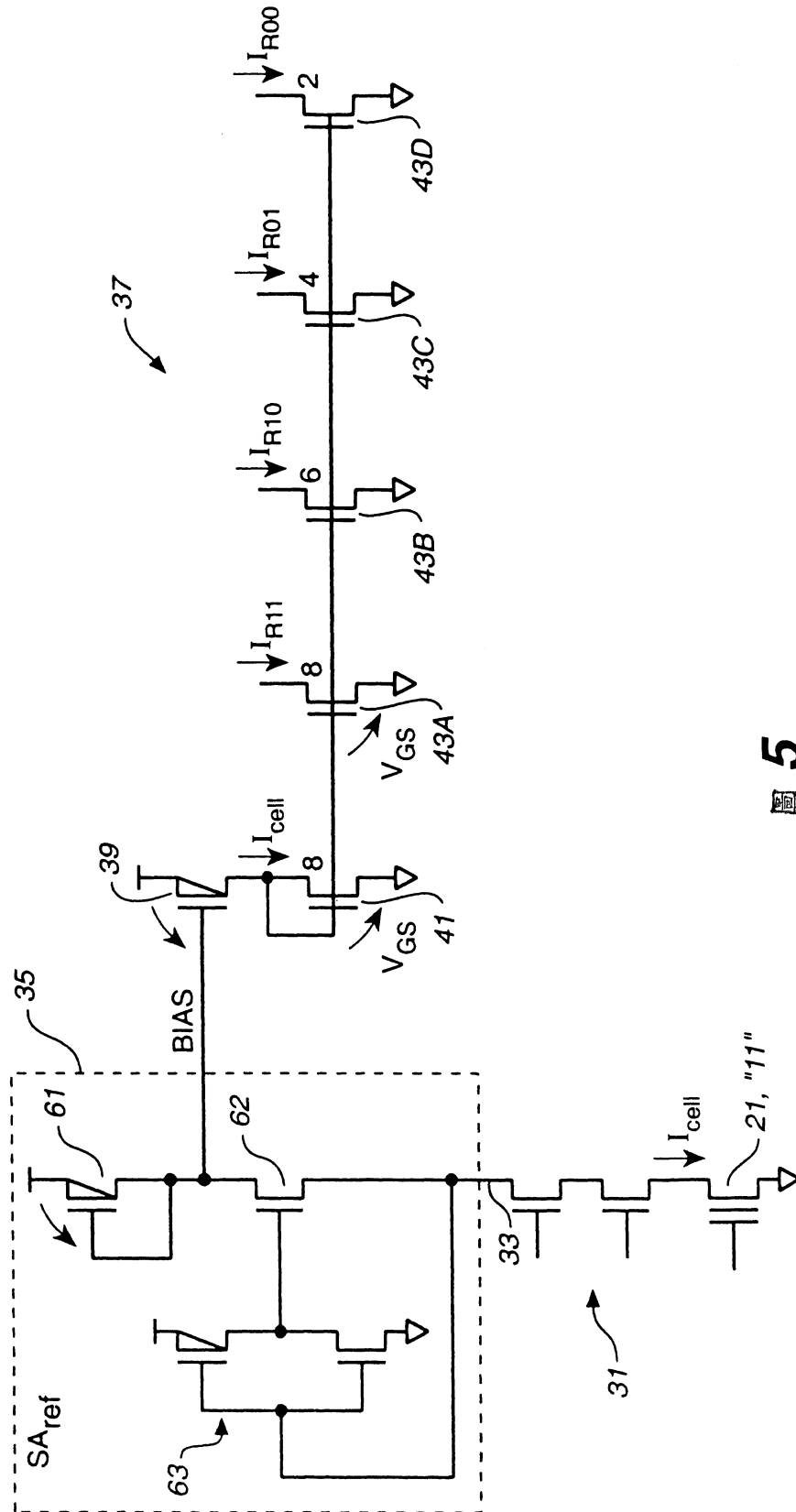


圖 5

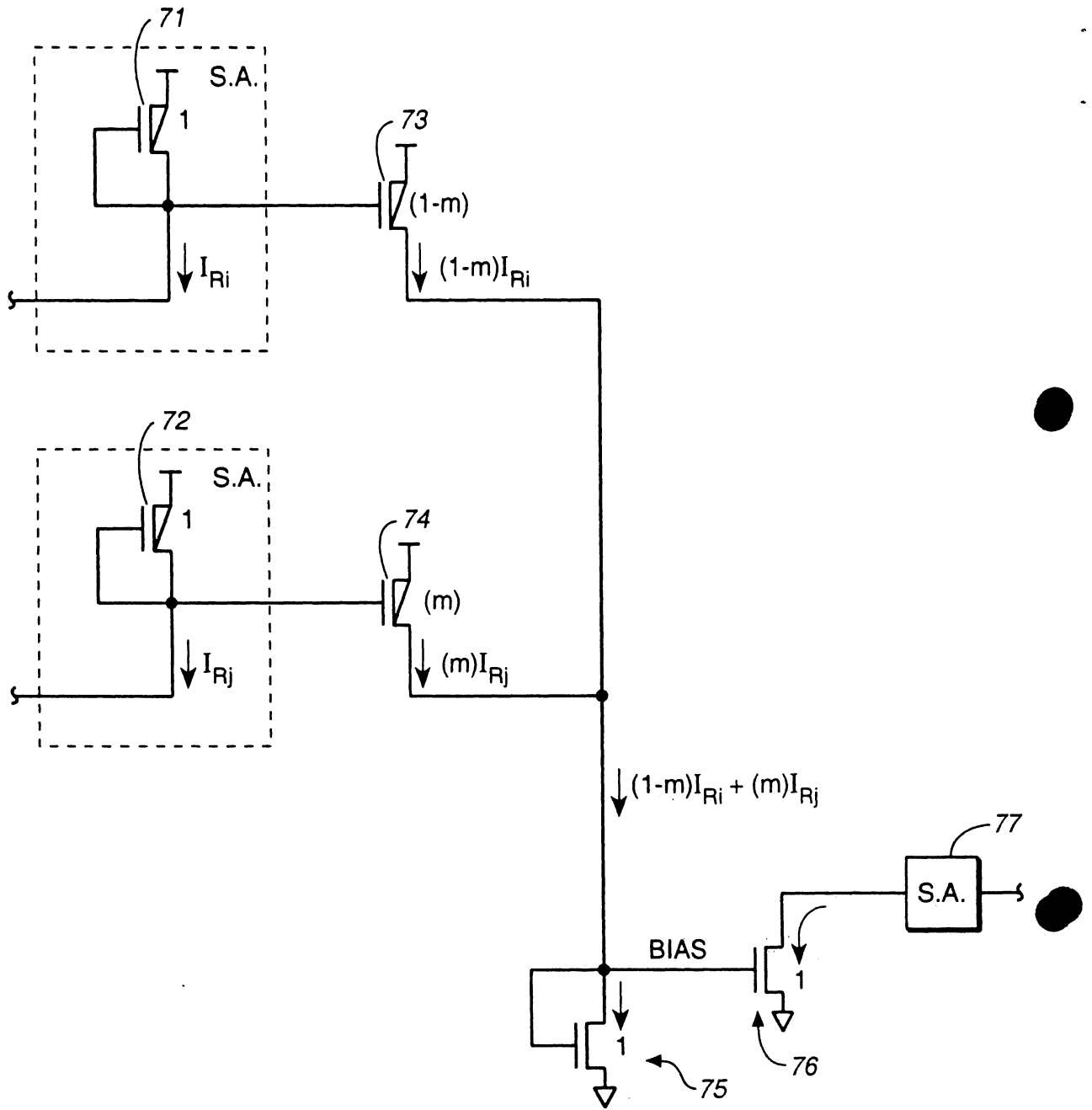
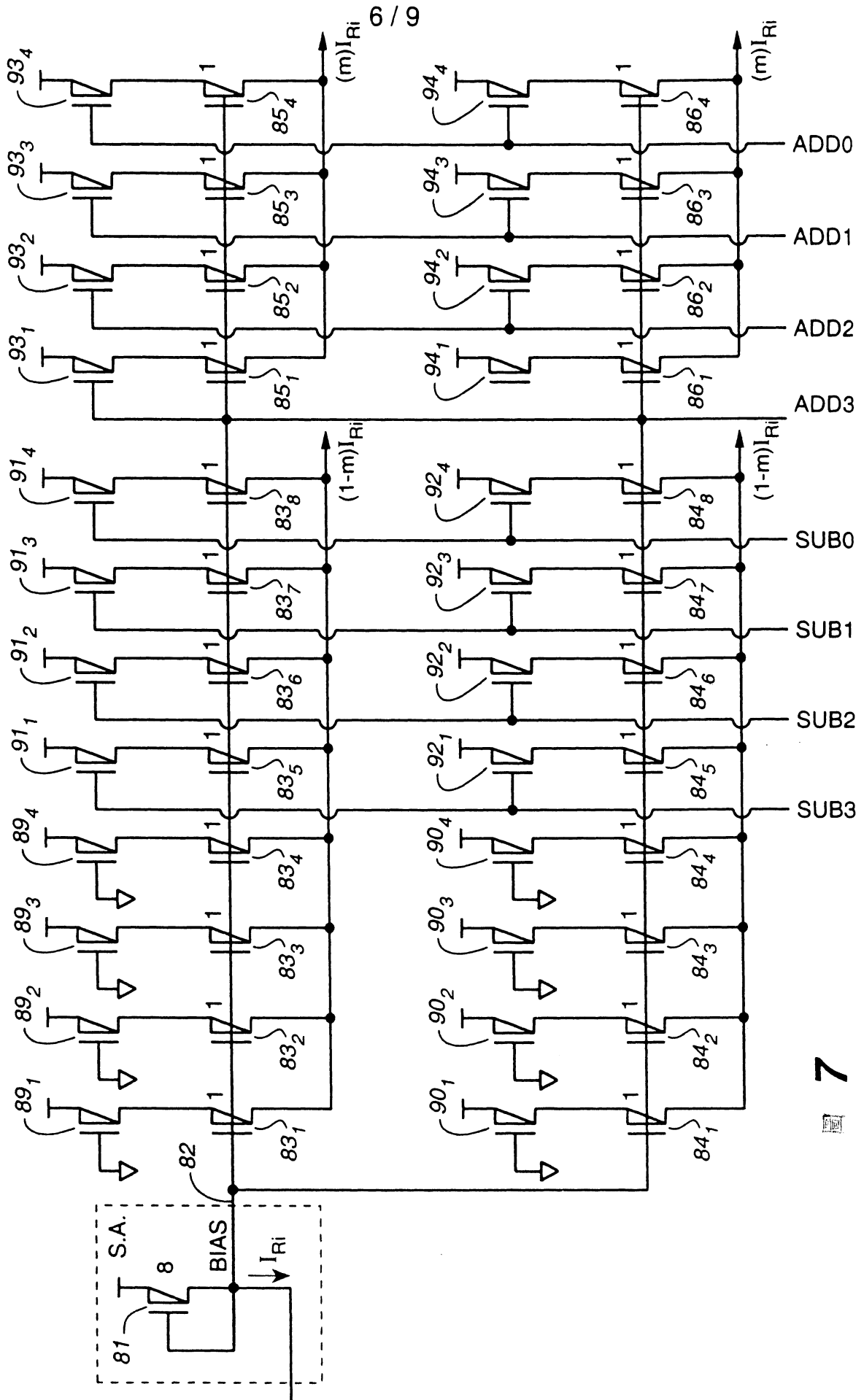


圖 6



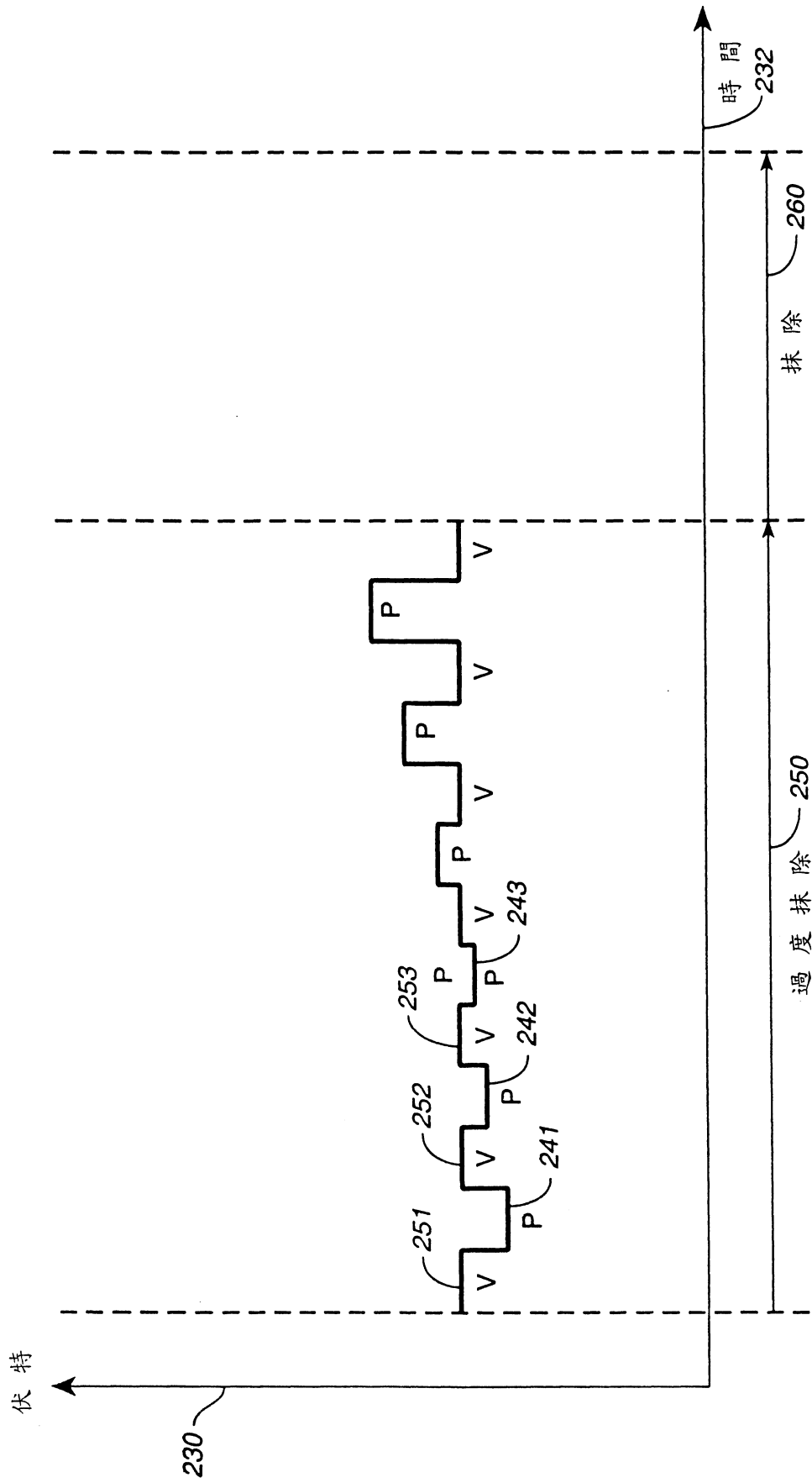


圖 8

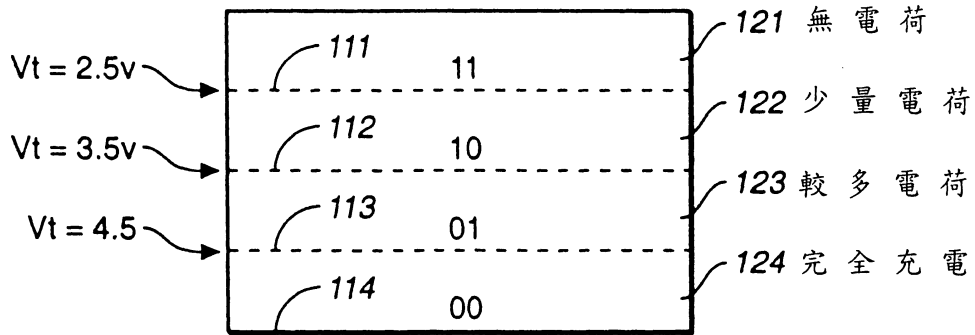


圖 9

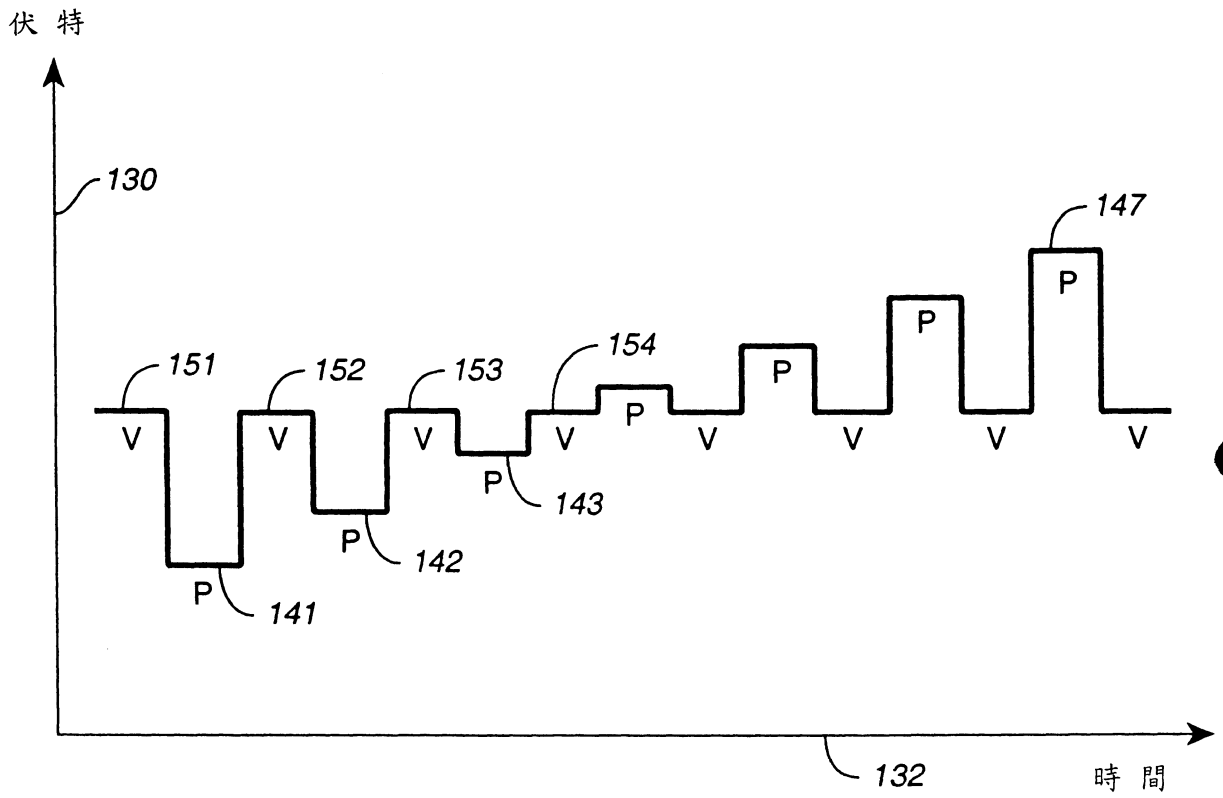


圖 10

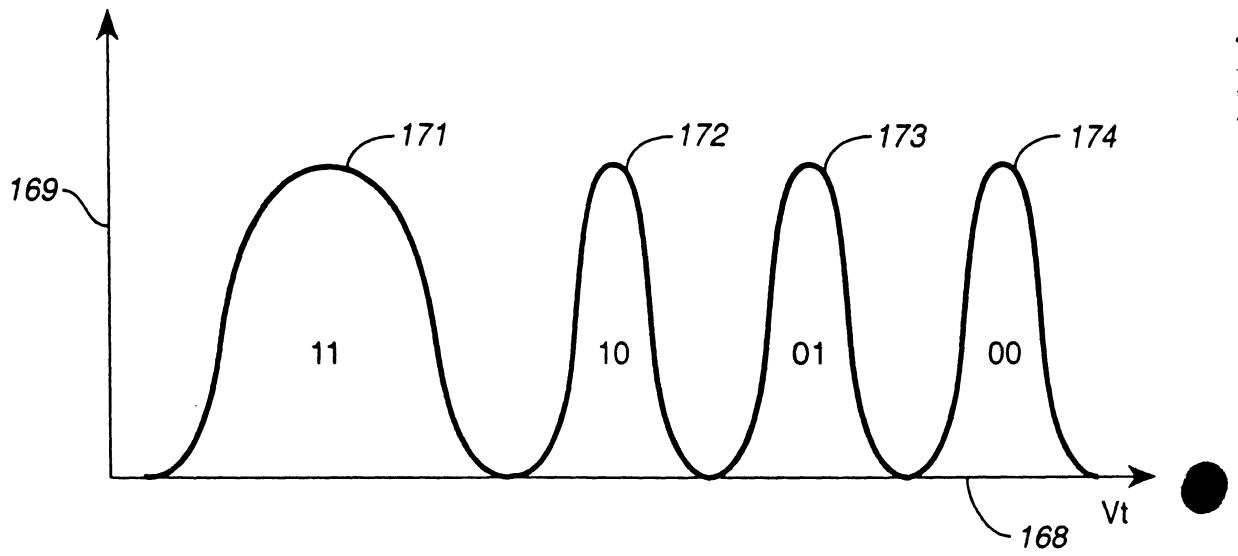


圖 11

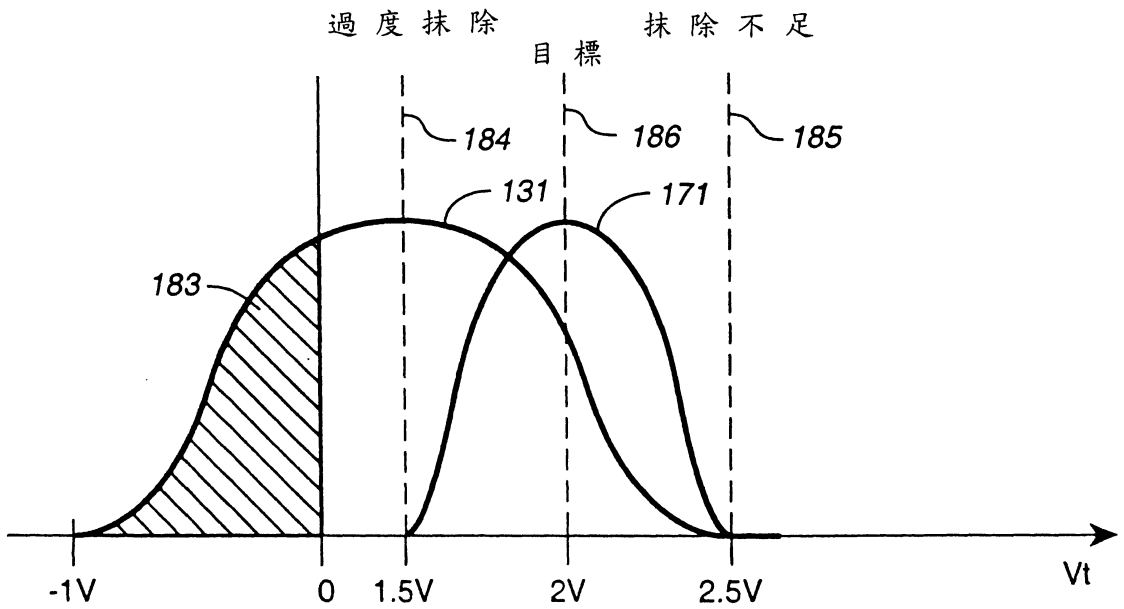


圖 12