

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2020-4973
(P2020-4973A)

(43) 公開日 令和2年1月9日(2020.1.9)

(51) Int.Cl.	F I	テーマコード (参考)
HO 1 L 25/16 (2006.01)	HO 1 L 25/16	5 F 1 4 2
HO 1 L 33/00 (2010.01)	HO 1 L 33/00	H

審査請求 未請求 請求項の数 13 O L (全 21 頁)

(21) 出願番号	特願2019-122320 (P2019-122320)	(71) 出願人	510284244 啓耀光電股▲分▼有限公司
(22) 出願日	令和1年6月28日 (2019.6.28)		台湾74148台南市新市區豊華村堤塘港路5號
(31) 優先権主張番号	107122662	(74) 代理人	100076831 弁理士 伊藤 捷雄
(32) 優先日	平成30年6月29日 (2018.6.29)	(72) 発明者	李 晉棠
(33) 優先権主張国・地域又は機関	台湾 (TW)		台湾74148台南市新市區豊華村堤塘港路5号
(31) 優先権主張番号	108107174	Fターム(参考)	5F142 AA82 BA02 DB54 EA02 EA06 EA10 EA18 EA34 GA02
(32) 優先日	平成31年3月5日 (2019.3.5)		
(33) 優先権主張国・地域又は機関	台湾 (TW)		

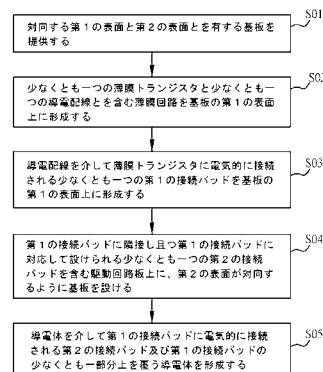
(54) 【発明の名称】 電子装置及びその製造方法

(57) 【要約】

【課題】 各種の製品サイズ及び機能に対応して個別の製造工程を設計する必要がなく、簡単な製造工程により低コスト製造が可能であり、応用面においても柔軟性を備えて多様に变化する製品要求に適用できる電子装置等を提供する。

【解決手段】 本発明は電子装置及びその製造方法を開示し、その製造方法は以下を備える：基板を提供する（S01）。少なくとも一つの薄膜トランジスタと少なくとも一つの導電配線とを含む薄膜回路を基板上に形成する（S02）。導電配線を介して薄膜トランジスタに電気的に接続される少なくとも一つの第1の接続パッドを基板上に形成する（S03）。第1の接続パッドに隣接し且つ第1の接続パッドに対応して設けられる少なくとも一つの第2の接続パッドを含む駆動回路板上に、基板を設ける（S04）。導電体を介して第1の接続パッドに電気的に接続される第2の接続パッド及び第1の接続パッドの少なくとも一部分上を覆う導電体を形成する（S05）。

【選択図】 図1



【特許請求の範囲】

【請求項 1】

電子装置であって、
 対向する第 1 の表面と第 2 の表面とを有する基板と、
 少なくとも一つの薄膜トランジスタと少なくとも一つの導電配線とを含み、前記基板の前記第 1 の表面上に設けられる薄膜回路と、
 前記基板の前記第 1 の表面上に設けられ、前記導電配線を介して前記薄膜トランジスタに電氣的に接続される少なくとも一つの第 1 の接続パッドと、
 少なくとも一つの第 2 の接続パッドを含み、この上に、前記第 2 の表面が対向するように前記基板を設け、且つ前記第 2 の接続パッドは前記第 1 の接続パッドに隣接するとともに、前記第 1 の接続パッドに対応して設けられる、駆動回路板と、
 前記第 2 の接続パッド及び前記第 1 の接続パッドの少なくとも一部分上を覆い、且つこれを介して前記第 2 の接続パッドは前記第 1 の接続パッドに電氣的に接続される、導電体と、
 を備えることを特徴とする電子装置。

10

【請求項 2】

複数の前記基板は前記駆動回路板上にアレイ配置されており、各前記基板は複数の前記薄膜回路と複数の前記第 1 の接続パッドとを有しており、各前記薄膜回路は対応する複数の前記第 1 の接続パッドに電氣的に接続され、前記駆動回路板は複数の前記第 2 の接続パッドを有しており、前記導電体は複数であり、各前記薄膜回路が対応するうちの一つの前記第 1 の接続パッドは前記駆動回路板のうちの一つの前記第 2 の接続パッドに、そのうちの一つの前記導電体を介して互いに電氣的に接続されており、このうち、二つの隣接する前記基板にそれぞれ設けられる二つの前記薄膜回路は、二つの前記第 1 の接続パッド及びその対応する少なくとも一つの前記第 2 の接続パッド、及び二つの前記導電体を介して互いに電氣的に接続されることを特徴とする請求項 1 に記載の電子装置。

20

【請求項 3】

複数の前記基板は前記駆動回路板上にアレイ配置されており、各前記基板は複数の前記薄膜回路と複数の前記第 1 の接続パッドとを有しており、各前記薄膜回路は対応する複数の前記第 1 の接続パッドに電氣的に接続され、前記駆動回路板は複数の前記第 2 の接続パッドを有しており、前記導電体は複数であり、各前記薄膜回路が対応するうちの一つの前記第 1 の接続パッドは前記駆動回路板のうちの一つの前記第 2 の接続パッドに、そのうちの一つの前記導電体を介して互いに電氣的に接続されており、このうち、二つの隣接する前記基板にそれぞれ設けられる二つの前記薄膜回路は、二つの前記第 1 の接続パッド及びその対応する少なくとも一つの前記第 2 の接続パッド、及び一つの前記導電体を介して互いに電氣的に接続されることを特徴とする請求項 1 に記載の電子装置。

30

【請求項 4】

前記基板はハードプレート又はソフトプレートであることを特徴とする請求項 1 ないし 3 のいずれか一項に記載の電子装置。

【請求項 5】

前記導電体の材料ははんだペースト、シルバーペースト、又は異方性導電性接着剤、又はそれらの組み合わせを含むことを特徴とする請求項 1 ないし 3 のいずれか一項に記載の電子装置。

40

【請求項 6】

前記薄膜回路上を覆う保護層を更に備えることを特徴とする請求項 1 ないし 3 のいずれか一項に記載の電子装置。

【請求項 7】

少なくとも一つの第 3 の接続パッドを更に含む前記駆動回路板上に設けられる表面実装素子を更に備えており、前記表面実装素子は前記第 2 の接続パッドを介して前記薄膜トランジスタに電氣的に接続され、且つ前記第 3 の接続パッドを介して前記駆動回路板の回路に電氣的に接続されることを特徴とする請求項 1 ないし 3 のいずれか一項に記載の電子装

50

置。

【請求項 8】

前記基板の前記第 1 の表面上に設けられ、前記導電配線を介して前記薄膜トランジスタに電氣的に接続される少なくとも一つの第 4 の接続パッドと、

前記基板の前記第 1 の表面上に設けられており、前記第 4 の接続パッドを介して前記薄膜トランジスタに電氣的に接続される一つの表面実装素子と、

を備えることを特徴とする請求項 1 ないし 3 のいずれか一項に記載の電子装置。

【請求項 9】

前記基板の前記第 1 の表面上に設けられ、前記導電配線を介して前記薄膜トランジスタに電氣的に接続される少なくとも一つの第 4 の接続パッドと、

前記基板の前記第 1 の表面上に設けられており、前記第 4 の接続パッドを介して前記薄膜トランジスタに電氣的に接続される少なくとも一つの機能性チップと、

を備えることを特徴とする請求項 1 ないし 3 のいずれか一項に記載の電子装置。

【請求項 10】

前記薄膜回路及び前記機能性チップ上を覆う保護層を更に備えることを特徴とする請求項 9 に記載の電子装置。

【請求項 11】

前記表面実装素子は少なくとも一つの発光ダイオードチップ又はマイクロ発光ダイオードチップを含むパッケージであることを特徴とする請求項 7 又は 8 に記載の電子装置。

【請求項 12】

前記機能性チップは発光ダイオードチップ又はマイクロ発光ダイオードチップであることを特徴とする請求項 9 又は 10 に記載の電子装置。

【請求項 13】

基板を提供するステップと、

少なくとも一つの薄膜トランジスタと少なくとも一つの導電配線とを含む薄膜回路を前記基板上に形成するステップと、

前記導電配線を介して前記薄膜トランジスタに電氣的に接続される少なくとも一つの第 1 の接続パッドを基板上に形成するステップと、

前記第 1 の接続パッドに隣接し且つ当該第 1 の接続パッドに対応して設けられる少なくとも一つの第 2 の接続パッドを含む駆動回路板上に、基板を設けるステップと、

導電体を介して前記第 1 の接続パッドに電氣的に接続される前記第 2 の接続パッド及び前記第 1 の接続パッドの少なくとも一部分上を覆う導電体を形成するステップから成ることを特徴とする、電子装置の製造方法。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は電子装置及びその製造方法に関する。

【背景技術】

【0002】

従来の光電装置の製造においては、いずれも基材上に複数の薄膜トランジスタを製作して薄膜トランジスタ基板を形成した後、更に薄膜トランジスタで対応する光電素子を駆動するようにしていた。有機発光ダイオード表示装置を例とすると、このような薄膜トランジスタで有機発光ダイオードの発光を駆動する手法を用いていたが、もし複数種類の異なる製品サイズ又は機能がある場合には、各々の種類の有機発光ダイオード装置の製品サイズ又は機能に対してそれぞれ対応する薄膜製造工程を設計しなければならず、しかも高価な薄膜トランジスタ製造工程や、マスク / 基板 / 材料等を使用しなければならず、多様に变化する製品要求には不向きであり、応用面においても柔軟性がなかった。

【発明の概要】

【発明が解決しようとする課題】

【0003】

10

20

30

40

50

本発明の目的は電子装置及びその製造方法を提供することにある。本発明は、各種の製品サイズ及び機能に対してそれぞれの製造工程を設計する必要がなく、簡単な製造工程により低コストで製造可能であると共に、更に応用面においても柔軟性を備え、多様に变化する製品要求に適用することを可能にせんとする。

【課題を解決するための手段】

【0004】

上記目的を達成するために、本発明に係る電子装置は、基板と、薄膜回路と、少なくとも一つの第1の接続パッドと、駆動回路板と、導電体を備える。基板は対向する第1の表面と第2の表面とを有する。薄膜回路は、少なくとも一つの薄膜トランジスタと少なくとも一つの導電配線とを含み、基板の第1の表面上に設けられる。第1の接続パッドは、基板の第1の表面上に設けられ、導電配線を介して薄膜トランジスタに電氣的に接続される。駆動回路板は、少なくとも一つの第2の接続パッドを含み、駆動回路板上に、第2の表面が対向するように基板を設け、且つ第2の接続パッドは第1の接続パッドに隣接するとともに、第1の接続パッドに対応して設けられる。導電体は、第2の接続パッド及び第1の接続パッドの少なくとも一部分上を覆い、且つ第2の接続パッドは導電体を介して第1の接続パッドに電氣的に接続される。

10

【0005】

一部の実施例において、複数の基板を駆動回路板上にアレイ配置し、各基板は複数の薄膜回路と複数の第1の接続パッドとを有しており、各薄膜回路は対応する複数の第1の接続パッドに電氣的に接続されており、駆動回路板は複数の第2の接続パッドを有しており、導電体は複数であり、各薄膜回路が対応するうちの一つの第1の接続パッドは駆動回路板のうちの一つの第2の接続パッドに、そのうちの一つの導電体を介して互いに電氣的に接続されており、二つの隣接する基板にそれぞれ設けられる二つの薄膜回路は、二つの第1の接続パッド及びその対応する少なくとも一つの第2の接続パッド、及び二つの導電体を介して互いに電氣的に接続される。

20

【0006】

一部の実施例において、複数の基板を駆動回路板上にアレイ配置し、各基板は複数の薄膜回路と複数の第1の接続パッドとを有しており、各薄膜回路は対応する複数の第1の接続パッドに電氣的に接続されており、駆動回路板は複数の第2の接続パッドを有しており、導電体は複数であり、各薄膜回路が対応するうちの一つの第1の接続パッドは駆動回路板のうちの一つの第2の接続パッドに、そのうちの一つの導電体を介して互いに電氣的に接続されており、二つの隣接する基板にそれぞれ設けられる二つの薄膜回路は、二つの第1の接続パッド及びその対応する少なくとも一つの第2の接続パッド、及び一つの導電体を介して互いに電氣的に接続される。

30

【0007】

一部の実施例において、基板はハードプレート又はソフトプレートである。

【0008】

一部の実施例において、導電体の材料ははんだペースト、シルバーペースト、又は異方性導電性接着剤、又はそれらの組み合わせを含む。

【0009】

一部の実施例において、電子装置は、薄膜回路上を覆う保護層を更に備える。

40

【0010】

一部の実施例において、電子装置は、少なくとも一つの第3の接続パッドを更に含む駆動回路板上に設けられ、第2の接続パッドを介して薄膜トランジスタに電氣的に接続され、且つ第3の接続パッドを介して駆動回路板の回路に電氣的に接続される表面実装素子を更に備える。

【0011】

一部の実施例において、電子装置は、少なくとも一つの第4の接続パッドと表面実装素子とを更に備える。少なくとも一つの第4の接続パッドは基板の第1の表面上に設けられ、導電配線を介して薄膜トランジスタに電氣的に接続される。表面実装素子は、基板の第

50

1の表面上に設けられており、第4の接続パッドを介して薄膜トランジスタに電氣的に接続される。

【0012】

一部の実施例において、電子装置は、少なくとも一つの第4の接続パッドと少なくとも一つの機能性チップとを更に備える。少なくとも一つの第4の接続パッドは基板の第1の表面上に設けられ、導電配線を介して薄膜トランジスタに電氣的に接続される。少なくとも一つの機能性チップは基板の第1の表面上に設けられており、第4の接続パッドを介して薄膜トランジスタに電氣的に接続される。

【0013】

一部の実施例において、電子装置は、薄膜回路及び機能性チップ上を覆う保護層を更に備える。

【0014】

一部の実施例において、表面実装素子は少なくとも一つの発光ダイオードチップ又はマイクロ発光ダイオードチップを含むパッケージである。

【0015】

一部の実施例において、機能性チップは発光ダイオードチップ又はマイクロ発光ダイオードチップである。

【0016】

そして、前記電子装置の製造方法において、基板を提供するステップと、少なくとも一つの薄膜トランジスタと少なくとも一つの導電配線とを含む薄膜回路を前記基板上に形成するステップと、前記導電配線を介して前記薄膜トランジスタに電氣的に接続される少なくとも一つの第1の接続パッドを基板上に形成するステップと、前記第1の接続パッドに隣接し且つ当該第1の接続パッドに対応して設けられる少なくとも一つの第2の接続パッドを含む駆動回路板上に、基板を設けるステップと、導電体を介して前記第1の接続パッドに電氣的に接続される前記第2の接続パッド及び前記第1の接続パッドの少なくとも一部分上を覆う導電体を形成するステップから成ることを特徴とする。

【発明の効果】

【0017】

上記の通り、本発明の電子装置及びその製造方法では、少なくとも一つの薄膜トランジスタと少なくとも一つの導電配線とを含む薄膜回路、及び少なくとも一つの第1の接続パッドを基板上に形成するとともに、導電体によって駆動回路板の第2の接続パッド及び基板の第1の接続パッドの少なくとも一部分上を覆い、第2の接続パッドは導電体を介して第1の接続パッドに電氣的に接続される設計とすることによって、本発明は、各種の製品サイズ及び機能に対してそれぞれの製造工程を設計する必要がないため、簡単な製造工程により低コストで製造可能であると共に、更に応用面における柔軟性を備え、多様に变化する製品要求に適用することができる。

【図面の簡単な説明】

【0018】

【図1】本発明の一実施例における電子装置の製造方法の手順ステップ概略図である。

【図2A】本発明の一実施例の電子装置の製造過程を示すレイアウト概略図である。

【図2B】本発明の一実施例の基板の断面概略図である。

【図2C】本発明の一実施例の電子装置の製造過程を示すレイアウト概略図である。

【図2D】本発明の一実施例の電子装置の製造過程を示すレイアウト概略図である。

【図2E】図2D中にて、2E-2E切断線で示す断面概略図である。

【図2F】図2D中にて、2F-2F切断線で示す断面概略図である。

【図2G】図2D中にて、2G-2G切断線で示す断面概略図である。

【図2H】一実施例の駆動回路板のレイアウト概略図である。

【図2I】一実施例の表面実装素子のレイアウト概略図である。

【図2J】本発明の一実施例の電子装置のレイアウト概略図である。

【図2K】図2Jの実施例を示す回路概略図である。

10

20

30

40

50

【図 3 A】本発明の異なる実施例の薄膜回路基板のレイアウト概略図である。

【図 3 B】本発明の異なる実施例の薄膜回路基板のレイアウト概略図である。

【図 4 A】本発明の異なる実施例の電子装置のレイアウト概略図である。

【図 4 B】本発明の異なる実施例の電子装置のレイアウト概略図である。

【図 4 C】本発明の異なる実施例の電子装置のレイアウト概略図である。

【図 5】本発明のさらなる一実施例の電子装置のレイアウト概略図である。

【図 6】本発明のさらなる一実施例の電子装置のレイアウト概略図である。

【発明を実施するための形態】

【0019】

以下にて関連する図面を参照して、本発明の好ましい実施例に係る電子装置及びその製造方法を説明するが、同じ構成要素には同じ符号を付して説明する。 10

【実施例】

【0020】

図 1 は本発明の一実施例における電子装置の製造方法の手順ステップ概略図である。図 1 に示すように、本発明の電子装置の製造方法は以下を備えることができる：対向する第 1 の表面と第 2 の表面とを有する基板を提供する（ステップ S 0 1）。少なくとも一つの薄膜トランジスタと少なくとも一つの導電配線とを含む薄膜回路を基板の第 1 の表面上に形成する（ステップ S 0 2）。導電配線を介して薄膜トランジスタに電氣的に接続される少なくとも一つの第 1 の接続パッドを基板の第 1 の表面上に形成する（ステップ S 0 3）。第 1 の接続パッドに隣接し且つ第 1 の接続パッドに対応して設けられる少なくとも一つの第 2 の接続パッドを含む駆動回路板上に、第 2 の表面が対向するように基板を設ける（ステップ S 0 4）。導電体を介して第 1 の接続パッドに電氣的に接続される第 2 の接続パッド及び第 1 の接続パッドの少なくとも一部分上を覆う導電体を形成する（ステップ S 0 5）。 20

【0021】

一部の実施例において、基板は絶縁基板であるか、又は導電性基板に絶縁層を追加したものとすることができる。一部の実施例において、基板はハードプレート又はソフトプレートとすることができる。もし基板がソフトプレートであるとき、後々に素子を後続の製造工程を通じてソフトプレート上にスムーズに形成することができるようにし、しかもこのソフトプレートを操作しやすくするために、まずソフトプレートを硬質キャリア板上に形成するとともに、その後のステップ中にて硬質キャリア板を除去する必要がある。もし基板がハードプレートである場合、この手順は必要としない。 30

【0022】

図 1 を参照するとともに図 2 A ないし図 2 K を合わせて参照しつつ、上記各々のステップの詳細な技術内容を説明する。このうち、図 2 A、図 2 C 及び図 2 D はそれぞれ本発明の一実施例の電子装置の製造過程を示すレイアウト概略図であり、図 2 B に示すものは一実施例の基板の断面概略図であり、図 2 E ないし図 2 G はそれぞれ図 2 D 中にて、2 E - 2 E 切断線、2 F - 2 F 切断線及び 2 G - 2 G 切断線で示す断面概略図であり、図 2 H は一実施例の駆動回路板のレイアウト概略図であり、図 2 I は一実施例の表面実装素子のレイアウト概略図であり、そして図 2 K は図 2 J の実施例を示す回路概略図である。 40

【0023】

まず、図 2 A に示すように、ステップ S 0 1 は、対向する第 1 の表面 S 1 と第 2 の表面 S 2 とを有する基板 2 1 を提供する作業を行うものである。ここで、第 1 の表面 S 1 は基板 2 1 の上面とし、第 2 の表面 S 2 は下面とすることができる。基板 2 1 の材質はガラス、樹脂、金属又はセラミックス、又は複合材質とすることができる。このうち、樹脂材質は可撓性を有するとともに、有機高分子材料を含み、有機高分子材料のガラス転移温度（Glass Transition Temperature、T_g）は例えば 250 ないし 600 の間とすることができる、好ましい温度範囲は例えば 300 ないし 500 の間とすることができる。このように高いガラス転移温度により、後続の製造工程にて（樹脂材質を含む）基板 2 1 上に直接薄膜製造工程を行って薄膜トランジスタ及びその他 50

の素子又は配線を形成することができる。前記した有機高分子材料は熱可塑性材料、例えばポリイミド (PI)、ポリエチレン (Polyethylene、PE)、ポリ塩化ビニル (Polyvinylchloride、PVC)、ポリスチレン (PS)、アクリル (アクリル酸、acrylic)、フルオロポリマー (Fluoropolymer)、ポリエステル繊維 (polyester) 又はナイロン (nylon) とすることができる。

【0024】

一部の実施例において、図2Bを参照するに、例えばまず軟質材料 (例えばPI) をコーティング (又は接着) 方式で硬質キャリア板4上に形成し、硬化 (熱硬化又は光硬化) の後、基板21 (ソフトプレート) を形成することができる。しかも、基板21 (ソフトプレート) を駆動回路板に設置するステップS04の前に、硬質キャリア板4を除去すればいい。硬質キャリア板4は例えばガラス板、セラミック板、金属板、又は石英板とすることができるが、これらに限定されない。

10

【0025】

続いて、図2Aを再度参照するに、ステップS02においては、少なくとも一つの薄膜トランジスタと少なくとも一つの導電配線222とを有する薄膜回路22を基板21の第1の表面S1上に形成する作業を実行する。本実施例は基板21上に二つの薄膜トランジスタ221a、221b及び複数本の導電配線222を形成し、且つ薄膜トランジスタ221a、221bは導電配線222を介して互いに電氣的に接続するものを例としている。ここで、例えば薄膜製造工程を用いて、基板21上に薄膜回路22及び導電配線222を形成することができる。薄膜トランジスタ221a、221b及び導電配線222は基板21上に直接形成して設けることができる。又は、薄膜トランジスタ221a、221b及び導電配線222は基板21上に間接的に形成してもよく、例えば両者の間にはバッファ層又は絶縁層を設けてもよいが、これらに限定されない。前記した薄膜製造工程は、低温ポリシリコン (LTPS) 製造工程、アモルファスシリコン (a-Si) 製造工程又は金属酸化物 (例えばIGZO) 半導体製造工程等を含むことができるが、本発明はこれらに限定されない。導電配線222の材料は金属 (例えばアルミニウム、銅、銀、モリブデン、チタン) 又はその合金により構成される単層又は多層構造を使用することができ、そして薄膜トランジスタ221a、221bの一部分、例えばソース又はドレインは導電配線222と同じ材料及び製造工程で製作することで、コストを削減することができる。一部の実施例において、導電配線222は直接又は間接的にその他の導電層を介して薄膜トランジスタ221a、221bに電氣的に接続されることができる。又は導電配線222は二つの薄膜トランジスタ221a、221bの間を互いに電氣的に接続する導電線としてもよい。又は、導電配線222は薄膜トランジスタ221a、221bとその他の素子とを電氣的に接続するリード線としてもよい。そして、二本の導電配線222の間は絶縁層により隔離されて、短絡を回避するが、本発明はこれに限定されない。前記した導電配線222は通称であって、基板21上に形成されている薄膜回路22中に存在して導電可能な膜層又は配線であれば、いずれも導電配線222と呼んでも良い。一部の実施例において、導電配線222は走査信号を伝送する配線 (走査線) 又はデータ信号を伝送する配線 (データ線) を含んでもよく、導電配線222の定義及びそれがカバーする範囲は電子装置の機能及び用途に応じて決定してもよい。

20

30

40

【0026】

続いて、図2Cに示すように、ステップS03においては、導電配線222を介して薄膜トランジスタ221a、221bに電氣的に接続される少なくとも一つの第1の接続パッド23を基板21の第1の表面S1上に形成する作業を実行する。本実施例は、基板21の第1の表面S1上に四つの第1の接続パッド23を形成しており、この四つの第1の接続パッド23は基板21の縁部に位置するとともに、それぞれ導電配線222の一部を覆うことで、第1の接続パッド23がそれぞれ導電配線222を介して薄膜トランジスタ221a、221bに電氣的に接続される。第1の接続パッド23の材料は例えば銅、銀又は金、又はそれらの組み合わせ、又はその他の適した導電材料であるが、これらに限定

50

されない。一部の実施例において、より厚めの第1の接続パッド23を製作するために、例えば電気めっき、プリント、又は蒸着剥離パターンニング(Lift-off patterning)製造工程方式で導電配線222上に第1の接続パッド23を製作することができる。他の一部の実施例において、薄膜製造工程を用いて第1の接続パッド23を製作してもよいが、これに限定されない。また、第1の接続パッド23の製造工程(ステップS03)と薄膜回路22の製造工程(ステップS02)とは入れ替えてもよい。言い換えるならば、先に薄膜トランジスタ221a、221b及び導電配線222の製造工程を行った後、次に第1の接続パッド23の製造工程を行うか、又は反対でもよいが、本発明では限定しない。

【0027】

図2Dを参照するに、基板21に薄膜回路22を形成するステップS02の後に、本実施例の製造方法は、更に以下を備えることができる：薄膜回路22上を覆う保護層24を形成することで、薄膜回路基板2を構成する。ここで、保護層24は樹脂転写成形(Resin Transfer Molding)又は密封接着剤ディスプレイング又はその他の適した方式で薄膜回路22を覆うことで、水分又は異物が薄膜回路22内に入り込みその特性が損なわれないように保護することができる。一部の実施例において、例えばLTPS製造工程で薄膜回路22を製作すると同時に保護層24を形成することで、コストを削減することができる。一部の実施例において、第1の接続パッド23を形成するステップS03の後に更に保護層24を形成してもよいが、本発明はこれに限定されない。

【0028】

本実施例の保護層24は第1の接続パッド23の一部を覆っているが、第1の接続パッド23において保護層24で覆われていない部分は、後続にて導電体を介して対応する第2の接続パッドとの電気的な接続用とすることができる。また、保護層24の一部は選択的に第1の接続パッド23を覆っているか、または第1の接続パッド23を覆っていない構成とすることができる。一部の実施例において、もし保護層24が第1の接続パッド23の周辺のみにあるか、またはさらに第1の接続パッド23の周辺まで伸びるのであれば、隣接する異なる信号の第1の接続パッド23が導電体の拡散作用による短絡を回避することができる。また、本実施例において、図2Eないし図2Gのように、基板21上に薄膜トランジスタ221a、221b、導電配線222、第1の接続パッド23及び保護層24を形成する以外に、薄膜回路22は更にその他の膜層、例えば絶縁層27、28、及び/又はその他のバッファ層を含むことができる。

【0029】

この後、更にステップS04を実行するが、図2D及び図2Hに示すように、基板21の第1の表面S1上の第1の接続パッド23に隣接し且つ第1の接続パッド23に対応して設けられる少なくとも一つの第2の接続パッド31を含む駆動回路板3(図2H参照)上に、第2の表面S2が対向するように基板21を設ける。駆動回路板3は軟質回路板又は硬質回路板とすることができるが、本発明では限定しない。ここで、基板21の第2の表面S2を、つまり図2Dの薄膜回路基板2の下面を、例えば接着剤又はその他の適した方式で駆動回路板3に向けて図2Hの駆動回路板3上に設けることができるが、これに限定されない。図2Hに示すように、本実施例の駆動回路板3は四つの第2の接続パッド31を含み、第2の接続パッド31の材料及び製造工程は第1の接続パッド23と同じでも、異なってもよい。しかも、第2の接続パッド31のレイアウト位置を製作するに際して、薄膜回路基板2を駆動回路板3上に設けるときに第2の接続パッド31をそれぞれ対応する第1の接続パッド23に隣接させることができるように(図2J)、薄膜回路基板2の薄膜回路22と第1の接続パッド23のレイアウト位置を参考にしなければならない。

【0030】

更に図2Hを参照するに、本実施例の駆動回路板3は二本の導電配線32を含むことができ、三つの第2の接続パッド31はこの二本の導電配線32上に設けられて且つ三つの第2の接続パッド31の一部分はこの二本の導電配線32上を覆っているが、二つの第2

10

20

30

40

50

の接続パッド31のみが、それぞれ導電開口H（導電開口H内は導電材料を充填することができるが、例えば銅ペースト、これに限定されない）を通じて対応する導電配線32と電氣的に接続する。図2Hにおいて、一つの第2の接続パッド31は導電配線32上に設けられているが（一部を覆う）、導電開口がないことから、この第2の接続パッド31とその下方の二本の導電配線32とは電氣的に接続されていない（両者は絶縁層で隔離されることができる）ことを表している。また、本実施例の駆動回路板3は、少なくとも一つの第3の接続パッド33を更に含むことができ、第3の接続パッド33は導電配線32上に設けられ且つ第3の接続パッド33の一部分は導電配線32上を覆っているが、第3の接続パッド33と導電配線32とは電氣的に接続されていない。

【0031】

続いて、ステップS05においては、導電体11を介して第1の接続パッド23に電氣的に接続される第2の接続パッド31及び隣接する第1の接続パッド23の少なくとも一部分上を覆う導電体11を形成する作業を実行する。図2Jに示すように、例えばインクジェット又はコーティング方式で第2の接続パッド31及び第1の接続パッド23の少なくとも一部分上を覆う導電体11を形成して、両者を電氣的に接続することができる。ここで追加説明したいのが、導電体11が第2の接続パッド31及び第1の接続パッド23の少なくとも一部分上を覆う、ということは、導電体11が第2の接続パッド31の少なくとも一部分上及び第1の接続パッド23の少なくとも一部分上を覆う、ということを示す。導電体11の材料は、例えばはんだペースト、シルバーペースト、又は異方性導電性接着剤、又はそれらの組み合わせ、又はその他の適した材料を含むことができるが、これらに限定されない。本実施例の導電体11の数量は4であり、しかも導電体11はそれぞれ第2の接続パッド31及び第1の接続パッド23上に設けられ且つ導電体11の一部分は第2の接続パッド31及び第1の接続パッド23上を覆うことで、第2の接続パッド31は導電体11を介して対応する第1の接続パッド23に電氣的に接続することができる。

【0032】

また、図2I及び図2Jに示すように、本実施例の電子装置1の製造方法は、表面実装素子12を駆動回路板3上に設ける、ことを更に備えることができる。ここで、表面実装素子12は表面実装技術（SMT）を用いて駆動回路板3上に設けている。表面実装素子12はパッケージであり、且つ例えば二つの接続パッド121、122を有する二電極素子とすることができ、例えば少なくとも一つの発光ダイオード（LED）チップ123又はマイクロ発光ダイオード（ μ LED）チップを含むパッケージであるが、これに限定されない。一部の実施例において、例えば加熱方式ではんだを溶かして、表面実装素子12の二つの接続パッドをそれぞれ駆動回路板3上の第2の接続パッド31及び第3の接続パッド33に電氣的に接続することができる。

【0033】

まず図2Kを参照するに、図2Kは図2Jの電子装置1の回路概略図であって、ここで、図2Kは2TICの回路構成を例としているが、しかし、異なる実施例において、その他の回路構成、例えば4T2C又は5T1Cとすることができるが、これらに限定されない。

【0034】

図2Kにおいて、薄膜回路22は二つの薄膜トランジスタ221a、221bと複数本の導電配線222を備える以外に、更にキャパシタCを備えることができる。薄膜回路22の素子接続関係は図2Kを参照することができることから、ここでは別途説明しない。本実施例の複数本の導電配線222は走査線SLと、データ線DLと、薄膜トランジスタ221a、221bを接続するリード線と、それぞれ薄膜トランジスタ221a、221bと第1の接続パッド23とを接続するリード線とを含むことができる。したがって、走査線SLが伝送する走査信号が薄膜トランジスタ221aを導通させると、データ信号を順にデータ線DL及び薄膜トランジスタ221aを介して薄膜トランジスタ221bのゲートに伝送して、薄膜トランジスタ221bを導通させて、電圧Vddを薄膜トランジスタ

10

20

30

40

50

タ 2 2 1 b を介して表面実装素子 1 2 の発光ダイオードチップ 1 2 3 に伝送して、発光ダイオードチップ 1 2 3 が発光可能になる。

【 0 0 3 5 】

以上のように、本実施例において、図 2 J 及び図 2 K に示すように、電子装置 1 は基板 2 1 と、薄膜回路 2 2 と、複数の第 1 の接続パッド 2 3 と、駆動回路板 3 と、複数の導電体 1 1 とを備える。基板 2 1 は対向する第 1 の表面 S 1 と第 2 の表面 S 2 とを有しており、薄膜回路 2 2 は基板 2 1 の第 1 の表面 S 1 上に設けられるとともに、薄膜トランジスタ 2 2 1 a、2 2 1 b 及び導電配線 2 2 2 を含む（図面の簡素化のために、図 2 J には 2 2 1 a、2 2 1 b 及び 2 2 2 は図示していない）。第 1 の接続パッド 2 3 は基板 2 1 の第 1 の表面 S 1 上に設けられ、且つ第 1 の接続パッド 2 3 は導電配線 2 2 2 を介して薄膜トランジスタ 2 2 1 a、2 2 1 b に電氣的に接続される。駆動回路板 3 は複数の第 2 の接続パッド 3 1 を含み、且つ基板 2 1 は第 2 の表面 S 2 が対向するように駆動回路板 3 上に設けられ、そして各第 2 の接続パッド 3 1 は対応する第 1 の接続パッド 2 3 に隣接するとともに、第 1 の接続パッド 2 3 に対応して設けられる。また、導電体 1 1 は第 2 の接続パッド 3 1 及び第 1 の接続パッド 2 3 の少なくとも一部分上を覆うことで、第 2 の接続パッド 3 1 は導電体 1 1 を介して対応する第 1 の接続パッド 2 3 に電氣的に接続されることができ

10

【 0 0 3 6 】

また、図 2 J 及び図 2 K に示すように、電子装置 1 は表面実装素子 1 2 を更に備えており、表面実装素子 1 2 は発光ダイオードチップ 1 2 3 と、二つの接続パッド 1 2 1、1 2 2 とを含むことができる。このうち、表面実装素子 1 2 はそのうちの一つの接続パッド 1 2 1、第 2 の接続パッド 3 1 を介して薄膜回路基板 2（図 2 C、図 2 D 参照）の薄膜トランジスタ 2 2 1 b に電氣的に接続され、且つ他の接続パッド 1 2 2、第 3 の接続パッド 3 3 を介して駆動回路板 3 に電氣的に接続される。ここで、第 3 の接続パッド 3 3 は電圧 V_{ss} （図 2 K 参照）、例えばグランド（0 V）に電氣的に接続されて、駆動回路板 3 の駆動回路がその導電配線 3 2、第 2 の接続パッド 3 1、導電体 1 1、第 1 の接続パッド 2 3、薄膜回路 2 2 の薄膜トランジスタ 2 2 1 a、2 2 1 b 及び導電配線 2 2 2 を介して、対応する走査信号、データ信号を伝送するとともに、導電配線 3 2、第 2 の接続パッド 3 1、導電体 1 1、第 1 の接続パッド 2 3、第 3 の接続パッド 3 3 を介して電圧 V_{dd} （図 2 K 参照）又は電圧 V_{ss} に電氣的に接続されて、これにより表面実装素子 1 2 の発光ダイオードチップ 1 2 3 が発光するように駆動する。一部の実施例において、発光ダイオードチップ 1 2 3 は例えば赤色光、又は青色光、又は緑色光、又は紫外線、又は赤外線、又はその他の波長の光線を出射することができる。

20

30

【 0 0 3 7 】

図 3 A 及び図 3 B を参照するに、それぞれ本発明の異なる実施例の薄膜回路基板 2 a、2 b のレイアウト概略図である。

【 0 0 3 8 】

図 3 A に示すように、本実施例の薄膜回路基板 2 a と前記実施例の薄膜回路基板 2 の製造工程とその素子構成及び各素子の接続関係は概ね同じである。相違点は、本実施例の薄膜回路基板 2 a の製造方法は更に以下を備えることができる：導電配線 2 2 2 を介して薄膜トランジスタ 2 2 1 b に電氣的に接続される少なくとも一つの第 4 の接続パッド 2 5 を基板 2 1 の第 1 の表面 S 1 上に形成することと、第 4 の接続パッド 2 5、導電配線 2 2 2 を介して薄膜トランジスタ 2 2 1 b に電氣的に接続される表面実装素子 1 2 a を基板 2 1 の第 1 の表面 S 1 上に設けることと、にある。これにより、薄膜回路 2 2 が表面実装素子 1 2 a の発光ダイオードチップ 1 2 3 が発光するように駆動することができる。このうち、発光ダイオードチップ 1 2 3 のカソードに接続される第 6 の接続パッド 3 5 が導電配線 2 2 2 を介して例えばグランドに電氣的に接続されることができ。更に言及しておくことは、表面実装素子 1 2 a は基板 2 1 の第 1 の表面 S 1 上の第 4 の接続パッド 2 5 及び第 6 の接続パッド 3 5 に電氣的に接続される必要があることから、基板 2 1 の第 1 の表面 S 1 上で、表面実装素子 1 2 a の設置箇所は保護層 2 4 で覆われておらず、又は、異なる実

40

50

施例において、表面実装素子 1 2 a を設けた後、更に薄膜回路 2 2 及び表面実装素子 1 2 a 上を覆う保護層 2 4 を設けることで、薄膜回路 2 2 及び表面実装素子 1 2 a を保護してもよいが、本発明では限定しない。

【 0 0 3 9 】

また、図 3 B に示すように、本実施例の薄膜回路基板 2 b と前記実施例の薄膜回路基板 2 a の製造工程とその素子構成及び各素子の接続関係は概ね同じである。相違点は、前記した薄膜回路基板 2 a は一つの薄膜回路 2 2 を有するのみであるが、本実施例の薄膜回路基板 2 b では、並列配置され且つ電氣的に接続される薄膜回路 2 2 を三つ有するものを例としている、ところにある。三つの薄膜回路 2 2 のレイアウトに応じて、本実施例の第 1 の接続パッド 2 3 の数量は 1 0 である。当然のこと、駆動回路板の導電配線、第 2 の接続パッド及び導電体（いずれも図示せず）もまた薄膜回路基板 2 b のレイアウトに対応して設けられる。また、本実施例の表面実装素子 1 2 b は三つの発光ダイオードチップ 1 2 3 と、四つの接続パッド 1 2 1、1 2 2、1 2 4、1 2 5 とを備えるパッケージである。このうち、接続パッド 1 2 1 は第 4 の接続パッド 2 5 上に設けられるとともに、第 4 の接続パッド 2 5 を介して一つ目の薄膜回路 2 2 の薄膜トランジスタ 2 2 1 b に電氣的に接続されており、接続パッド 1 2 2 は第 6 の接続パッド 3 5 上に設けられて第 6 の接続パッド 3 5 に電氣的に接続されており（第 6 の接続パッド 3 5 は導電配線 2 2 2 を介して第 1 の接続パッド 2 3 に、例えばグランドに電氣的に接続することができる）、接続パッド 1 2 4 は他の第 4 の接続パッド 2 5 上に設けられるとともに、第 4 の接続パッド 2 5 を介して二つ目の薄膜回路 2 2 の薄膜トランジスタ 2 2 1 b に電氣的に接続されており、且つ接続パッド 1 2 5 は第 5 の接続パッド 3 4 上に設けられるとともに、第 5 の接続パッド 3 4、導電配線 2 2 2 を介して三つ目の薄膜回路 2 2 の薄膜トランジスタ 2 2 1 b に電氣的に接続される。

10

20

【 0 0 4 0 】

一部の実施例において、表面実装素子 1 2 b は三つのサブピクセルを含むことができ、各サブピクセルは一つの発光ダイオードチップ 1 2 3 を含み、且つ三つのサブピクセル中の三つの発光ダイオードチップ 1 2 3 はそれぞれ赤色、青色及び緑色の LED とすることができる。当然のこと、異なる実施例において、3 つ未満又はそれ以上の薄膜回路 2 2 が薄膜回路基板を構成して、対応する表面実装素子及び駆動回路板に合わせてもよいが、本発明はこれに限定されない。

30

【 0 0 4 1 】

図 4 A ないし図 4 C を参照するに、それぞれ本発明の異なる実施例の電子装置 1 c、1 d、1 e のレイアウト概略図である。

【 0 0 4 2 】

図 4 A に示すように、本実施例の電子装置 1 c と前記実施例の電子装置 1 の製造工程とその素子構成及び各素子の接続関係は概ね同じである。相違点は、電子装置 1 の薄膜回路基板 2 は一つの薄膜回路 2 2 を有するのみであるが、本実施例の電子装置 1 c の薄膜回路基板 2 c では、並列配置され且つ電氣的に接続される薄膜回路 2 2 を三つ有するものを例としている、ところにある。また、駆動回路板 3 c の導電配線 3 2 もまた三つの薄膜回路 2 2 のレイアウトに対応して設けられる。三つの薄膜回路 2 2 のレイアウトに応じて、本実施例の第 1 の接続パッド 2 3、第 2 の接続パッド 3 1 及び導電体 1 1 の数量はいずれも 1 1 であり、且つ互いに対応して設けられる。また、本実施例の表面実装素子 1 2 c は三つの発光ダイオードチップ 1 2 3 と、四つの接続パッド 1 2 1、1 2 2、1 2 4、1 2 5 とを備えるパッケージである。このうち、接続パッド 1 2 1 は第 2 の接続パッド 3 1 を介して一つ目の薄膜回路 2 2 の薄膜トランジスタ 2 2 1 b（図 4 A では、指示記号は省略）に電氣的に接続されており、接続パッド 1 2 2 は第 3 の接続パッド 3 3 に電氣的に接続されており（第 3 の接続パッド 3 3 は例えばグランドに電氣的に接続することができる）、接続パッド 1 2 4 は他の第 2 の接続パッド 3 1 を介して二つ目の薄膜回路 2 2 の薄膜トランジスタ 2 2 1 b に電氣的に接続されており、且つ接続パッド 1 2 5 は第 5 の接続パッド 3 4、導電配線 3 2、もう一つの第 2 の接続パッド 3 1 を介して三つ目の薄膜回路 2 2 の

40

50

薄膜トランジスタ 2 2 1 b に電氣的に接続される。よって、駆動回路板 3 c の駆動回路が導電配線 3 2、第 2 の接続パッド 3 1、導電体 1 1、第 1 の接続パッド 2 3、三つの薄膜回路 2 2 の薄膜トランジスタ 2 2 1 a、2 2 1 b 及び導電配線 2 2 2 (図 4 A では、指示記号は省略) を介して、表面実装素子 1 2 c の対応する三つの発光ダイオードチップ 1 2 3 が発光するように駆動することができる。

【 0 0 4 3 】

一部の実施例において、電子装置 1 c の表面実装素子 1 2 c は三つのサブピクセルを含むことができ、三つのサブピクセル中の三つの発光ダイオードチップ 1 2 3 はそれぞれ赤色、青色及び緑色の LED とし、駆動回路板 3 c に表面実装素子 1 2 c 及び薄膜回路基板 2 c を設けることで、フルカラーのピクセルユニットを形成することができ、且つ駆動回路板 3 c を介して電子装置 1 c が画像を表示するように駆動することができる。当然のこと、異なる実施例において、3 つ未満又はそれ以上の薄膜回路 2 2 が薄膜回路基板を構成してもよいが、本発明はこれに限定されない。

10

【 0 0 4 4 】

また、図 4 B に示すように、本実施例の電子装置 1 d と前記実施例の電子装置 1 の製造工程とその素子構成及び各素子の接続関係は概ね同じである。相違点は、本実施例の電子装置 1 d の薄膜回路基板 2 d が薄膜回路 2 2 を備えると共に、本実施例の製造方法は更に以下を備える：第 4 の接続パッド 2 5 を介して薄膜トランジスタ 2 2 1 b に電氣的に接続される少なくとも一つの機能性チップ 2 6 を基板 2 1 の第 1 の表面 S 1 上に設けることにより、薄膜回路 2 2 を介して機能性チップ 2 6 を駆動する、ところにある。ここで、機能性チップ 2 6 は例えば発光ダイオードチップ又はマイクロ発光ダイオードチップ、又はその他の機能性の単一のチップとしてもよく、且つ例えばフリップチップ (f l i p c h i p) で基板 2 1 の第 1 の表面 S 1 上に設けることで、薄膜回路 2 2 に電氣的に接続されるが、これに限定されない。異なる実施例において、機能性チップ 2 6 はワイヤボンディング (w i r e b o n d i n g)、共晶接合 (e u t e c t i c b o n d i n g、例えば Au-Sn)、異方性導電フィルム (A n i s o t r o p i c C o n d u c t i v e F i l m, A C F) 接合、異方導電ペースト (a n i s o t r o p i c c o n d u c t i v e p a s t e, A C P) 接合、ソルダボール接合又は超音波接合等の方式で基板 2 1 の第 1 の表面 S 1 上に設けてもよいが、これらに限定されない。薄膜回路基板 2 d のレイアウトに応じて、駆動回路板 (図示せず) の導電配線もまた薄膜回路基板 2 d のレイアウトに対応して設けられる。また、機能性チップ 2 6 を設けた後、更に薄膜回路 2 2 及び機能性チップ 2 6 上を覆う保護層 2 4 を形成することで、薄膜回路基板 2 d の薄膜回路 2 2 及び機能性チップ 2 6 が異物又は水気に汚染されてその特性が損なわれないように保護する。

20

30

【 0 0 4 5 】

また、図 4 C に示すように、本実施例の電子装置 1 e と前記実施例の電子装置 1 d の製造工程とその素子構成及び各素子の接続関係は概ね同じである。相違点は、本実施例の電子装置 1 e の薄膜回路基板 2 e では、並列配置され且つ電氣的に接続される薄膜回路 2 2 を三つ有するものを例としている、ところにある。また、駆動回路板 3 e の導電配線 3 2 もまた三つの薄膜回路 2 2 のレイアウトに対応して設けられる。三つの薄膜回路 2 2 のレイアウトに応じて、本実施例の第 1 の接続パッド 2 3、第 2 の接続パッド 3 1 及び導電体 1 1 の数量はいずれも 1 0 であり、且つ互いに対応して設けられる。また、薄膜回路 2 2 の数量に応じて、本実施例の機能性チップ 2 6 の数量も三つであり、且つ各機能性チップ 2 6 はそれぞれ第 4 の接続パッド 2 5 を介して対応する薄膜回路 2 2 の薄膜トランジスタ 2 2 1 b に電氣的に接続されることで、それぞれ薄膜回路 2 2 の薄膜トランジスタ 2 2 1 b を介して対応する機能性チップ 2 6 を駆動する。よって、駆動回路板 3 e の駆動回路がそれぞれ導電配線 3 2、第 2 の接続パッド 3 1、導電体 1 1、第 1 の接続パッド 2 3、三つの薄膜回路 2 2 の薄膜トランジスタ 2 2 1 a、2 2 1 b 及び導電配線 2 2 2 を介して、対応する機能性チップ 2 6 の発光ダイオードが発光するように駆動することができる。

40

【 0 0 4 6 】

50

一部の実施例において、電子装置 1 e の三つの機能性チップ 2 6 は三つのサブピクセルを表すようにそれぞれ三つの発光ダイオードチップとすることができ、三つのサブピクセル中の三つの発光ダイオードチップはそれぞれ赤色、青色及び緑色の LED チップとすることで、三つの機能性チップ 2 6 が設けてある薄膜回路基板 2 e を駆動回路板 3 e に設けることで、フルカラーのピクセルユニットを形成することができる。当然のこと、異なる実施例において、3つ未満又はそれ以上の薄膜回路 2 2 が薄膜回路基板 2 e を構成することで、対応する機能性チップ 2 6 を駆動してもよいが、本発明はこれに限定されない。

【0047】

図 5 及び図 6 を参照するに、それぞれ本発明のさらなる一実施例の電子装置 1 f、1 g のレイアウト概略図である。

【0048】

図 5 に示すように、本実施例の電子装置 1 f と前記実施例の電子装置の製造工程とその素子構成及び各素子の接続関係は概ね同じである。相違点は、本実施例の電子装置 1 f において、基板 2 1 (図 5 では、指示記号は省略) に設けられる薄膜回路 2 2 及び第 1 の接続パッド 2 3 を有する複数の薄膜回路基板 2 e を駆動回路板 3 f 上にアレイ配置する、ところにある。このうち、図 5 の水平方向 (走査線の延在方向) 上にて、二つの隣接する基板 2 1 に設けられる二つの薄膜回路 2 2 のそれぞれが、二つの隣接する基板 2 1 上の二つの第 1 の接続パッド 2 3 及び駆動回路板 3 f 上に設けられ且つ二つの隣接する基板 2 1 の間にあり且つ二つの第 1 の接続パッド 2 3 に隣接する第 2 の接続パッド 3 1、及び第 2 の接続パッド 3 1 に二つの第 1 の接続パッド 2 3 を接続させる二つの導電体 1 1 を介して互いに電氣的に接続される。図 5 の垂直方向 (データ線の延在方向) 上にて、二つの隣接する基板 2 1 に設けられる二つの薄膜回路 2 2 のそれぞれが、二つの第 1 の接続パッド 2 3 及びその対応する二つの第 2 の接続パッド 3 1、及び二つの導電体 1 1 を介して互いに電氣的に接続される。具体的には、二つの隣接する基板 2 1 は複数の薄膜回路 2 2 及び複数の第 1 の接続パッド 2 3 を各々有しており、各薄膜回路 2 2 は対応する一つ以上の第 1 の接続パッド 2 3 に電氣的に接続される。駆動回路板 3 f は複数の第 2 の接続パッド 3 1 を有する。単一の薄膜回路基板 2 e または二つの隣接する薄膜回路基板 2 e に対しても、「少なくとも一つの第 2 の接続パッド 3 1 が対応する二つの第 1 の接続パッド 2 3 に隣接する」、と定義できる。具体的に言えば、電子装置は、少なくとも一つの第 2 の接続パッドに二つの第 1 の接続パッドを接続させる少なくとも一つの導電体を有する。本実施例において、電子装置 1 f は、二つの隣接する基板 2 1 の二つの薄膜回路 2 2 にそれぞれ対応する二つの導電体 1 1 を相応して有しており、図 5 の水平方向 (走査線の延在方向) 上で分かるように、一つの基板 2 1 上の薄膜回路 2 2 はその中の一つの第 1 の接続パッド 2 3 を介して、隣接する他の一つの基板 2 1 上の薄膜回路 2 2 の一つの第 1 の接続パッド 2 3 に互いに対応し、前記した二つの第 1 の接続パッド 2 3 は隣接して設けられる一つの第 2 の接続パッド 3 1 に各々対応し、各第 1 の接続パッド 2 3 は一つの導電体 1 1 を介してその対応する第 2 の接続パッド 3 1 に電氣的に接続することができる。よって、二つの隣接する基板 2 1 の二つの隣接する薄膜回路 2 2 は、二つの第 1 の接続パッド 2 3、一つの第 2 の接続パッド 3 1、二つの導電体 1 1 によって、電氣的な接続が達成されることができ。ここで説明しておくべきは、本実施例は単に例示に過ぎず、駆動回路板 3 f 上で表す第 2 の接続パッド 3 1 はドッグボーン形状に近い接続パッドを採用しており、ドッグボーン形状の接続パッドの両端はそれぞれ二つの第 2 の接続パッドと定義することができるか、またはドッグボーン形状の接続パッドは、両端の間に光を通過させない保護層 (またはその他のもの) で覆っていることにより、両端のみを表して二つの可視な第 2 の接続パッドとされる場合、前記した二つの第 1 の接続パッド 2 3 が隣接して設けられる二つの第 2 の接続パッド 3 1 に各々対応し、各第 1 の接続パッド 2 3 は一つの導電体 1 1 を介してその対応する第 2 の接続パッド 3 1 に電氣的に接続することができるが、第 2 の接続パッドの形状はこれに止まらず、例えば駆動回路板 3 f で表す第 2 の接続パッドは単一で且つ形状を均一に選択することもできる (つまり、ドッグボーン形状ではない)。ここから分かるように、本実施例、及び本願におけるその他の実施例では、第 2 の接続パッド 3 1 の数量

10

20

30

40

50

及び構造はこれに限定されるべきではない、ということである。ここで、これら機能性チップ26に電氣的に接続されるこれら薄膜回路22はマトリクス回路を形成するとともに、駆動回路板3fに電氣的に接続されるとともに、駆動回路板3fによりマトリクス回路中のこれら機能性チップ26を駆動することができる。本実施例の複数の薄膜回路基板2eは行及び列の配列を組成するマトリクス状となつて、一つのアクティブマトリクス(A M)電子装置、例えばアクティブマトリクス型LEDディスプレイ、アクティブマトリクス型マイクロLEDディスプレイ、又はその他の機能性のアクティブマトリクス型電子装置を形成するが、これらに限定されない。

【0049】

一部の実施例において、複数の薄膜回路基板2eは駆動回路板3f上に間隔を置いて設けられ(クライアントの要求に応じて、縦列、横列、又は行及び列のマトリクス状、又は多辺形又は不規則形状に配列することができる)、且つ二つの隣接する薄膜回路22は順に第1の接続パッド23、導電体11、第2の接続パッド31(及び導電配線32)を介して互いに電氣的に接続することができる。言い換えるならば、製造者は必要な駆動回路板3fのサイズを自ら設計して、対応する薄膜回路基板2eを電氣的に接続することで、電子装置1fを完成することができる、ということである。よつて、その製品の応用ニーズに応じて所望のサイズとして組み合わせることができ、応用面での柔軟性はかなり高い。

【0050】

また、図6に示すように、本実施例の電子装置1gと前記実施例の電子装置1eの製造工程とその素子構成及び各素子の接続関係は概ね同じである。相違点は、本実施例の電子装置1gにおいて、図6の水平方向(走査線の延在方向)上にて、二つの隣接する基板21(図6では、指示記号は省略)に設けられる二つの薄膜回路22のそれぞれが、二つの第1の接続パッド23及びその対応する第2の接続パッド31、及び一つの導電体11'を介して互いに電氣的に接続されることで、駆動回路板3gによりマトリクス回路中のこれら機能性チップ26を駆動する、ところにある。具体的には、一つの基板21上の薄膜回路22はその中の一つの第1の接続パッド23を介して、他の一つの基板21上の薄膜回路22の一つの第1の接続パッド23に互に対応しており、前記した二つの第1の接続パッド23は隣接して設けられる二つの第2の接続パッド31に各々対応し、二つの第1の接続パッド23は単一の導電体11'を介して、その対応する二つの第2の接続パッド31を同時に電氣的に接続する。第2の接続パッドの態様は前記した実施例に類似しており、例えば単一の可視な第2の接続パッド、または二つの可視な第2の接続パッドである。電子装置1gは一つの導電体11'のみを使用して隣接する二つの第1の接続パッド23及び一つの第2の接続パッド31上を覆つて、二つの隣接する薄膜回路22を電氣的に接続できるため、これにより、導電体11'を形成する工程を一回減らすことができ、しかも、二つの薄膜回路基板2eの間隔も狭くすることができ、同じ解像度である場合において、電子装置1gのサイズ及びコストを低減することができる。

【0051】

言及すべきは、図5の電子装置1f及び図6の電子装置1gの設計理念は上記した実施例に応用でき、つまり図2J、図3A、図3B、図4A及び図4Bの薄膜回路基板2、2a、2b、2c、2d中に応用してもよく、具体的な技術内容は前記を参照できるため、ここでは別途説明しない。

【0052】

よつて、従来薄膜トランジスタで光電素子を駆動する手法では、例えば薄膜トランジスタ基板上の薄膜トランジスタが発光ダイオードを発光させるよう駆動するとき、各々の製品のサイズ及び機能に対応するように設計を行つて、高価な薄膜トランジスタ製造工程、マスク、基板及び材料を使用しなければならず、多様に変化する製品要求にはかなり不便であった。ところが本発明では、各々の種類の製品サイズ及び機能に対応して設計を行つて高価な薄膜トランジスタ製造工程、マスク、基板及び材料を使用する必要がないため、簡単な製造工程により低コストで製造できるという長所と共に、応用面においても更に

柔軟性を備えて、多様に变化する製品要求に適用することができる。

【 0 0 5 3 】

上記をまとめるに、本発明の電子装置及びその製造方法では、少なくとも一つの薄膜トランジスタと少なくとも一つの導電配線とを含む薄膜回路及び少なくとも一つの第1の接続パッドを基板上に形成するとともに、導電体で駆動回路板の少なくとも一部分の第2の接続パッド及び基板の第1の接続パッド上を覆い、少なくとも一つの第2の接続パッドは少なくとも一つ導電体を介して二つの第1の接続パッドに電氣的に接続される。また、第1の接続パッド及び第2の接続パッドはいずれも同じ面に向かって設けられ、導電体は第2の接続パッドが配置されている駆動回路板から第1の接続パッドが配置されている基板まで伸びるが、逆も同様である。本発明は各々の種類の製品サイズ及び機能に対応してその製造工程を設計する必要がないため、簡単な製造工程によってコストがより低くできることに加えて、更に応用における柔軟性も備えて、多様に变化する製品要求に適用することができる。

10

【 0 0 5 4 】

上記は単に例示に過ぎず、限定するものではない。本発明の技術思想及び範囲を超えることなく、これに対して行う等価の修正又は変更のいずれも、別紙の特許請求の範囲に含まれるものである。

【 産業上の利用可能性 】

【 0 0 5 5 】

本発明が提供する電子装置は、第2の接続パッドを導電体を介して第1の接続パッドに電氣的に接続する設計によって、各種サイズ及び機能設計の製品を簡単な製造工程により低コストで製造可能であると共に、更に応用面においても柔軟性を備え、多様に变化する製品要求に適用することができる。

20

【 符号の説明 】

【 0 0 5 6 】

- 1、 1 c ~ 1 g 電子装置
- 1 1、 1 1 ' 導電体
- 1 2、 1 2 a、 1 2 b、 1 2 c 表面実装素子
- 1 2 1、 1 2 2、 1 2 4、 1 2 5 接続パッド
- 1 2 3 発光ダイオードチップ
- 2、 2 a ~ 2 e 薄膜回路基板
- 2 1 基板
- 2 2 薄膜回路
- 2 2 1 a、 2 2 1 b 薄膜トランジスタ
- 2 2 2 導電配線
- 2 3 第1の接続パッド
- 2 4 保護層
- 2 5 第4の接続パッド
- 2 6 機能性チップ
- 2 7、 2 8 絶縁層
- 3、 3 c ~ 3 g 駆動回路板
- 3 1 第2の接続パッド
- 3 2 導電配線
- 3 3 第3の接続パッド
- 3 4 第5の接続パッド
- 3 5 第6の接続パッド
- 4 硬質キャリア板
- 2 E - 2 E、 2 F - 2 F、 2 G - 2 G 切断線
- C キャパシタ
- D L データ線

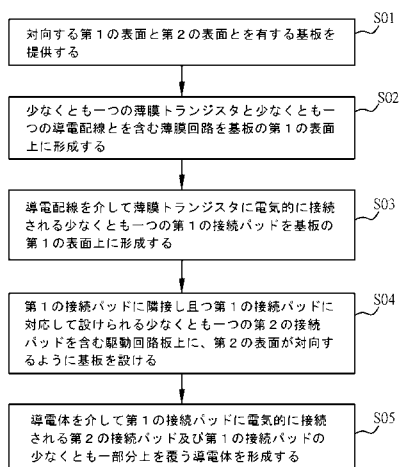
30

40

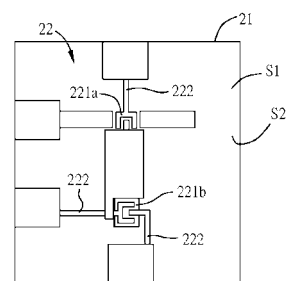
50

H 導電開口
S 1 第 1 の表面
S 2 第 2 の表面
S 0 1 ないし S 0 5 ステップ
S L 走査線
V d d、V s s 電圧

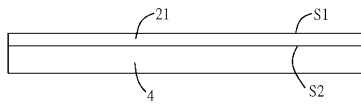
【 図 1 】



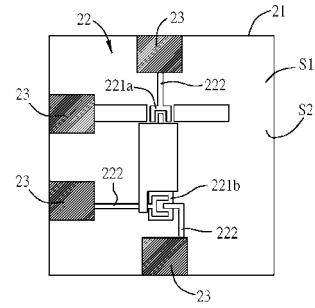
【 図 2 A 】



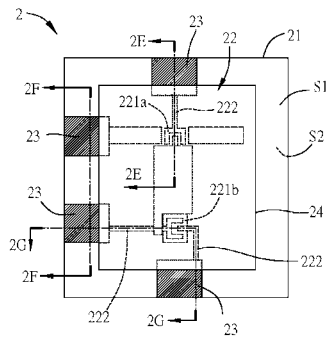
【 図 2 B 】



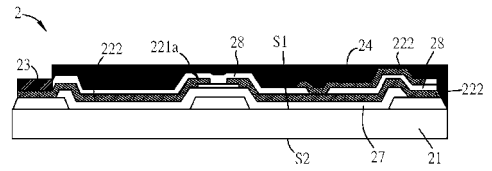
【 図 2 C 】



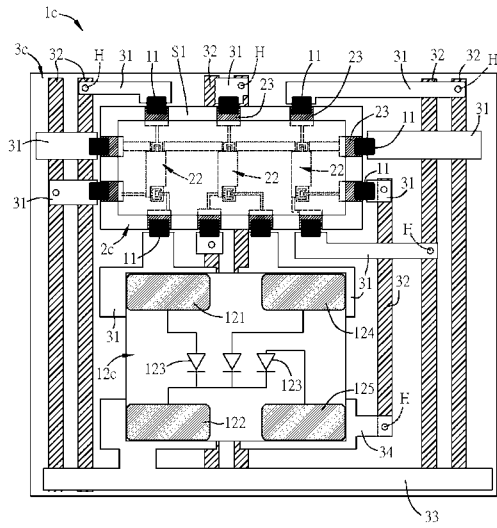
【 図 2 D 】



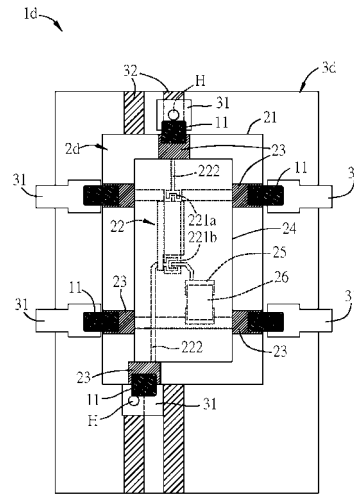
【 図 2 E 】



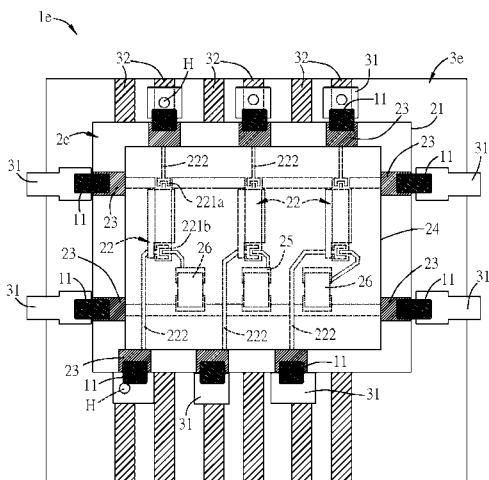
【 図 4 A 】



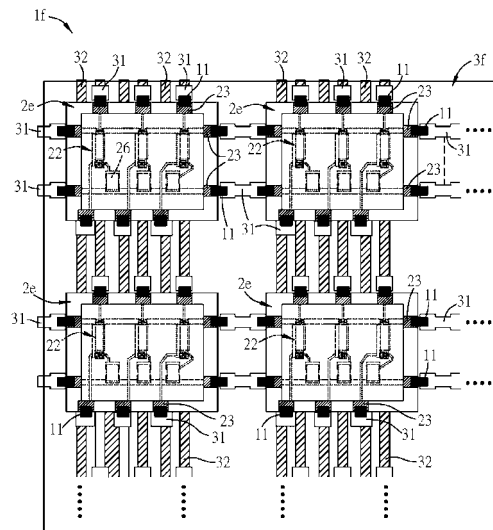
【 図 4 B 】



【 図 4 C 】



【 図 5 】



【 図 6 】

