

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2013 年 1 月 17 日(17.01.2013)



(10) 国際公開番号
WO 2013/008528 A1

- (51) 国際特許分類:
G02F 1/133 (2006.01) *G09G 3/20* (2006.01)
G02F 1/1368 (2006.01) *G09G 3/36* (2006.01)
G09F 9/30 (2006.01)
- (21) 国際出願番号: PCT/JP2012/062447
- (22) 国際出願日: 2012 年 5 月 16 日(16.05.2012)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (30) 優先権データ:
特願 2011-156044 2011 年 7 月 14 日(14.07.2011) JP
- (71) 出願人 (米国を除く全ての指定国について):
シャープ株式会社(Sharp Kabushiki Kaisha) [JP/JP];
〒5458522 大阪府大阪市阿倍野区長池町 2 2 番
2 2 号 Osaka (JP).
- (72) 発明者; および
(75) 発明者/出願人 (米国についてのみ): 上田 直樹
(UEDA, Naoki) [JP/—]. 中野 文樹(NAKANO, Fu-
miki) [JP/—]. 山内 祥光(YAMAUCHI, Yoshimitsu)
[JP/—].
- (74) 代理人: 政木 良文(MASAKI, Yoshifumi); 〒
5410042 大阪府大阪市中心区今橋 4 丁目 3 番 6
号 淀屋橋 N A O ビル 7 F Osaka (JP).

- (81) 指定国 (表示のない限り、全ての種類の国内保
護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA,
BB, BG, BH, BR, BW, BY, BZ, CA, CH, CL, CN, CO,
CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI,
GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IS,
JP, KE, KG, KM, KN, KP, KR, KZ, LA, LC, LK, LR, LS,
LT, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX,
MY, MZ, NA, NG, NI, NO, NZ, OM, PE, PG, PH, PL, PT,
QA, RO, RS, RU, RW, SC, SD, SE, SG, SK, SL, SM, ST,
SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ,
VC, VN, ZA, ZM, ZW.
- (84) 指定国 (表示のない限り、全ての種類の広域保
護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW,
MZ, NA, RW, SD, SL, SZ, TZ, UG, ZM, ZW), ユーラシ
ア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ
(AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR,
GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT,
NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI
(BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR,
NE, SN, TD, TG).

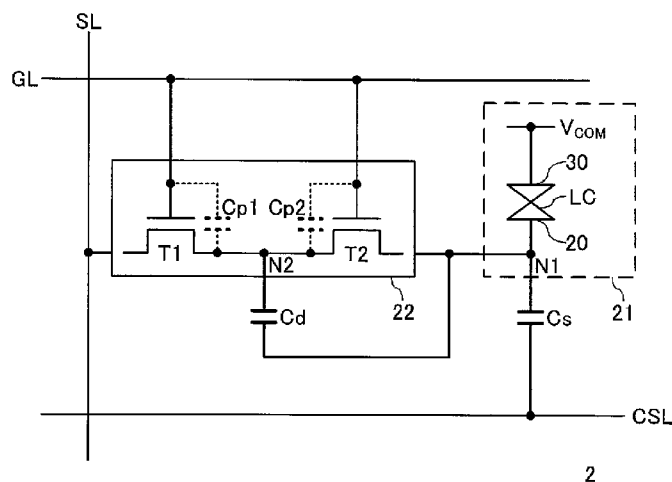
添付公開書類:

— 国際調査報告 (条約第 21 条(3))

(54) Title: PIXEL CIRCUIT AND DISPLAY DEVICE

(54) 発明の名称: 画素回路及び表示装置

[図3]



(57) Abstract: Provided are a pixel circuit and a display device that stably display images. The pixel circuit (2) comprises: a display element section (21) including a unit display element (LC); an internal node (N1) that configures part of the display element section (21) and holds the pixel data voltage applied to the display element section (21); and a switch circuit (22) having a series circuit for a first and a second transistor element (T1, T2) and which sends the source voltage applied to one end thereof to the internal node (N1) connected to the other end thereof, via the series circuit. The pixel circuit (2) has an electrical capacitance element (Cd) between the internal node (N1) and an intermediate node (N2) connecting the first and second transistor elements (T1, T2).

(57) 要約:

[続葉有]

WO 2013/008528 A1



画像を安定して表示する画素回路及び表示装置を提供する。画素回路 2 は、単位表示素子 LC を含む表示素子部 2 1 と、表示素子部 2 1 の一部を構成し表示素子部 2 1 に印加される画素データ電圧を保持する内部ノード N 1 と、第 1 及び第 2 トランジスタ素子 T 1, T 2 の直列回路を有して一端に印加されるソース電圧を直列回路を経由して他端に接続される内部ノード N 1 に転送するスイッチ回路 2 2 と、を備える。画素回路 2 は、第 1 及び第 2 トランジスタ素子 T 1, T 2 を接続する中間ノード N 2 と、内部ノード N 1 との間に、電気容量素子 C d を有する。

明 細 書

発明の名称：画素回路及び表示装置

技術分野

[0001] 本発明は、画素回路及び当該画素回路を備えた表示装置に関し、特にアクティブマトリクス型の液晶表示装置に関する。

背景技術

[0002] 近年、アクティブマトリクス型の液晶表示装置が普及している。アクティブマトリクス型の液晶表示装置は、行方向及び列方向にそれぞれ配置される（マトリクス状に配置される）複数の画素回路を備える。

[0003] アクティブマトリクス型の液晶表示装置に備えられる画素回路について、図面を参照して説明する。図8は、従来の画素回路の構造を示す回路図である。図8に示すように、画素回路100は、印加される電圧に応じて配向状態が制御される液晶を有する単位液晶表示素子1cと、制御端子がゲート線g1に接続されるとともに第1端子がソース線s1に接続されて第2端子が単位液晶表示素子1cに接続されるトランジスタ（例えば、TFT：Thin Film Transistor）tと、一端がトランジスタt2及び単位液晶表示素子1cの接続ノードn1に接続されるとともに他端が接地される容量素子c1と、を備える。

[0004] 図8に示す画素回路100では、ゲート線g1に印加される電圧によって、トランジスタtの第1端子及び第2端子間の導通／非導通が制御される。トランジスタtの第1端子及び第2端子間が導通すると、ソース線s1に印加されている電圧が単位液晶表示素子1cに印加されて、単位液晶表示素子1cが備える液晶の配向状態が制御される。これにより、単位液晶表示素子1cを透過する光の偏光方向が制御される。そして、単位液晶表示素子1cを透過する光が、その偏光方向に応じて別途備える偏光板を選択的に透過することで、画像が表示される。

[0005] また、同じ行に配置される画素回路100に接続されるゲート線g1は共

通であり、同じ列に配置される画素回路 100 に接続されるソース線 s1 も共通である。そのため、例えばある行に配置されるそれぞれの画素回路 100 の単位液晶表示素子 1c に対して、ソース線 s1 に印加されている電圧が印加される場合、当該ある行に配置されるそれぞれの画素回路 100 に共通して接続されるゲート線 g1 に、トランジスタ t の第 1 端子及び第 2 端子間を導通させる電圧が印加される。一方、他の行に配置される画素回路 100 に共通して接続されるゲート線 g1 には、トランジスタ t の第 1 端子及び第 2 端子間を非導通にする電圧が印加される。そして、それぞれのソース線 s1 に、当該ある行に配置される画素回路 100 の単位液晶表示素子 1c に印加すべきそれぞれの電圧が印加される。これらの動作は、単位液晶表示素子 1c に電圧を印加すべき画素回路 100 の行を切り替えながら、繰り返し行われる。

[0006] 液晶表示装置が、ちらつき（フリッカ）等の発生を抑制して画像を安定に表示するためには、トランジスタ t の第 1 端子及び第 2 端子間が非導通である期間中において、単位液晶表示素子 1c に印加される電圧（接続ノード n1 が保持する電圧）の変動を抑制する必要がある。しかしながら、トランジスタ t は、たとえ第 1 端子及び第 2 端子間が非導通の状態であっても、第 1 端子及び第 2 端子間の電位差が大きくなるとリーク電流が生じ、接続ノード n1 が保持する電圧が変動し得るため、問題となる。特に、上述のようにソース線 s1 に印加される電圧が順次変化すると、トランジスタ t の第 1 端子が接続されるソース線 s1 と、トランジスタ t の第 2 端子が接続される接続ノード n1 との電位差が大きくなり得る。

[0007] そこで、特許文献 1 では、上記問題に対応する構造を備えた画素回路が提案されている。この画素回路について、図 9 を参照して説明する。図 9 は、従来の画素回路の構造を示す回路図である。図 9 に示すように、画素回路 200 は、第 1 端子がソース線 s1 に接続されるとともに制御端子がゲート線 g1 に接続されるトランジスタ t1 と、第 1 端子がトランジスタ t1 の第 2 端子に接続されるとともに制御端子がゲート線 g1 に接続されるトランジスタ

タ t 2 と、トランジスタ t 2 の第 2 端子と一端が接続されるとともに他端が接地される単位液晶表示素子 l c と、一端がトランジスタ t 2 及び単位液晶表示素子 l c の接続ノード n 1 に接続されるとともに他端が接地される容量素子 c 1 と、一端がトランジスタ t 1 及びトランジスタ t 2 の接続ノード n 2 に接続されるとともに他端が接地される容量素子 c 2 と、を備える。

[0008] 図 9 に示す画素回路 200 では、直列接続する 2 つのトランジスタ t 1, t 2 を備えることで、ソース線 s 1 に印加される電圧の変化が、単位液晶表示素子 l c に印加される電圧（接続ノード n 1 に保持される電圧）に対して直接的に影響することを抑制する。また、画素回路 200 は、容量素子 c 2 を備えることで、接続ノード n 2 に保持される電圧の変動を抑制する。

先行技術文献

特許文献

[0009] 特許文献 1：特開平 4-251818 号公報

発明の概要

発明が解決しようとする課題

[0010] 昨今の液晶表示装置では、低消費電力化が求められている。例えば、携帯電話や電子ブックリーダーなどのバッテリーで駆動する機器に搭載される液晶表示装置では、1 回の充電で長時間の使用を可能にするために、低消費電力化が特に必要とされる。そこで、図 9 に示す画素回路 200 を備える液晶表示装置について、低消費電力化を具体的に検討する。

[0011] 例えば、液晶表示装置の低消費電力化は、フレーム周波数の低減（例えば、主として静止画等の動きの少ない画像を表示する場合に、フレーム周波数を下げる）や、ソース線 s 1 に印加する電圧の絶対値の低減（例えば、ソース線 s 1 を介して単位液晶表示素子 l c に絶対値が比較的小さい電圧を印加した後で、容量素子 c 1 の他端側に所定の電圧を印加することで、接続ノード n 1 が保持する電圧を突き上げまたは突き下げ、接続ノード n 1 が保持する電圧の絶対値を増大させること）によって行われる。

[0012] 前者の方法を採用する場合、単位液晶表示素子 1c に印加される電圧の変動が、表示する画像に顕著に影響するようになる。そのため、接続ノード n1 が保持する電圧の変動（トランジスタ t2 の第 1 端子及び第 2 端子間のリーク電流）を、精度良く抑制する必要がある。また、後者の方法を採用する場合、接続ノード n1 が保持する電圧が、接続ノード n2 が保持する電圧とは独立して変動し得る。すると、接続ノード n1 と接続ノード n2 との電位差が大きくなることで、トランジスタ t2 の第 1 端子及び第 2 端子間のリーク電流が生じる。そして、これにより単位液晶表示素子 1c に印加される電圧（接続ノード n1 が保持する電圧）が変動することで、液晶表示装置が表示する画像が不安定になるため、問題となる。

[0013] 本発明は、上記の問題点に鑑みてなされたもので、その目的は、画像を安定して表示する画素回路及び表示装置を提供する点にある。

課題を解決するための手段

[0014] 上記目的を達成するため、本発明は、単位表示素子を含む表示素子部と、前記表示素子部の一部を構成し、前記表示素子部に印加される画素データ電圧を保持する内部ノードと、

第 1 及び第 2 トランジスタ素子の直列回路を有し、一端に印加されるソース電圧を、前記直列回路を経由して他端に接続される前記内部ノードに転送するスイッチ回路と、

一端が前記第 1 及び第 2 トランジスタ素子を接続する中間ノードに接続され、他端が前記内部ノードまたは当該内部ノードに電圧変動を誘起するノードに接続される電気容量素子と、

を備えることを特徴とする画素回路を提供する。

[0015] さらに、上記特徴の画素回路は、前記電気容量素子の他端が、前記内部ノードに接続されることを特徴とする。

[0016] このように構成すると、内部ノードが保持する画素データ電圧のあらゆる変動にも、中間ノード電圧を効果的に追従させて変動させることが可能になる。

- [0017] さらに、上記特徴の画素回路は、前記電気容量素子の容量が、前記第1及び第2トランジスタ素子のそれぞれの制御端子と前記中間ノードとの間に形成される寄生容量を組み合わせた容量以上であると、好ましい。
- [0018] このように構成すると、電気容量素子を備えない場合と比較して、中間ノードが保持する電圧の変動を、50%以下にすることが可能になる。
- [0019] さらに、上記特徴の画素回路は、一端が前記内部ノードに接続され、他端に補助容量電圧が印加される補助容量素子を、
さらに備えると、好ましい。
- [0020] このように構成すると、補助容量素子を介して画素データ電圧が変化し得る。そのため、中間ノードが保持する電圧と、内部ノードが保持する画素データ電圧との差分の絶対値がより大きくなり得るが、電気容量素子を設けることで、中間ノードが保持する電圧を、内部ノードが保持する画素データ電圧に追従させて変動させることが可能になる。
- [0021] さらに、上記特徴の画素回路は、一端が前記内部ノードに接続され、他端に補助容量電圧が印加される補助容量素子を、さらに備え、
前記電気容量素子の他端が、前記補助容量素子の他端に接続されることを特徴とする。
- [0022] さらに、上記特徴の画素回路は、前記スイッチ回路が、前記第1及び第2トランジスタ素子の直列回路で構成され、
前記第1トランジスタ素子の第1端子に前記ソース電圧が印加され、
前記第1トランジスタ素子の第2端子と前記第2トランジスタ素子の第1端子とが前記中間ノードに接続されるとともに、前記第2トランジスタ素子の第2端子が前記内部ノードに接続され、
前記電気容量素子が、前記第2トランジスタ素子と並列に、前記内部ノード及び前記中間ノードに接続されると、好ましい。
- [0023] さらに、上記特徴の画素回路は、前記電気容量素子が、半導体層及び金属配線層の交差容量と複数の金属配線の交差容量とMOS容量の内の少なくとも1つの容量を備えて構成されると、好ましい。

- [0024] さらに、上記目的を達成するため、本発明は、上記特徴の画素回路を行方向及び列方向にそれぞれ複数配置して画素回路アレイを構成し、
- 前記スイッチ回路の一端に前記ソース電圧を印加するソース電圧印加回路と、
- 前記スイッチ回路の導通の有無を制御するゲート電圧を、前記スイッチ回路に印加するゲート電圧印加回路と、
- を備えることを特徴とする表示装置を提供する。

発明の効果

- [0025] 上記特徴の画素回路及び表示装置によれば、電気容量素子を設けることで、中間ノードが保持する電圧の変動が抑制される。そのため、中間ノードが保持する電圧と内部ノードが保持する画素データ電圧との差分の絶対値を、小さくして維持することが可能になる。したがって、画像を安定して表示することが可能になる。
- [0026] なお、本発明の画素回路は、カラー表示を行う表示装置に適用する場合は各画素に含まれる各色（例えば、RGBの3原色）に対応する各サブ画素を構成し、モノクロ表示を行う表示装置に適用する場合は各画素を構成する。

図面の簡単な説明

- [0027] [図1]本発明の実施形態に係る液晶表示装置の概略構成の一例を示すブロック図。
- [図2]本発明の実施形態に係る液晶表示装置の一部断面概略構造図。
- [図3]本発明の実施形態に係る液晶表示装置が備える画素回路の基本回路構成を示す回路図。
- [図4]本発明の実施形態に係る液晶表示装置が備える画素回路の一回路構成例を示す回路図。
- [図5]本発明の実施形態に係る液晶表示装置及び画素回路の動作例を示すタイミング図。
- [図6]比較例の動作結果を示すタイミング図。
- [図7]実施例の動作結果を示すタイミング図。

[図8]従来の画素回路の構造を示す回路図

[図9]従来の画素回路の構造を示す回路図

発明を実施するための形態

[0028] <液晶表示装置の概略構成>

本発明の実施形態に係る液晶表示装置の概略構成について、以下図面を参照して説明する。図1は、本発明の実施形態に係る液晶表示装置の概略構成の一例を示すブロック図である。

[0029] 図1に示すように、液晶表示装置1は、アクティブマトリクス基板10、共通電極30、表示制御回路11、共通電極駆動回路12、ソースドライバ13、ゲートドライバ14、及び後述する種々の配線を備える。アクティブマトリクス基板10上には、画素回路2が、行方向（図中横方向）及び列方向（図中縦方向）にそれぞれ複数配置されて、画素回路アレイが形成されている。図1に示すアクティブマトリクス基板10には、列方向に n 個かつ行方向に m 個の合計 $n \times m$ 個の画素回路が、配置されている。なお、 n 及び m は自然数であり、図1において、最も上の行を1行目、最も下の行を n 行目、最も左の列を1列目、最も右の列を m 列目とする。また、以下において、特定の行及び列の画素回路2について言及する場合、2（行，列）と称する。例えば、図中右下の n 行目かつ m 列目に配置される画素回路2は、2（ n ， m ）と称する。

[0030] 図1では、図面が煩雑になるのを避けるため、画素回路2をブロック化して表示している。また、図1では、アクティブマトリクス基板10上に各種の配線が形成されていることを明瞭に表示するため、便宜的にアクティブマトリクス基板10を共通電極30の上側に図示している。

[0031] なお、便宜的に1つの画素回路2に対応する最小表示単位を「画素」と称する。このとき、各画素回路2で保持される「画素データ電圧」は、カラー表示をする場合は各色（例えば、RGBの3原色）の階調を制御する電圧となり、モノクロ表示をする場合は輝度を制御する電圧となる。

[0032] 図2は、本発明の実施形態に係る液晶表示装置の一部断面概略構造図であ

る。図2は、アクティブマトリクス基板10と共通電極30の関係を示す概略断面構造図であり、画素回路2の構成要素である表示素子部21（図3参照）の構造を示している。アクティブマトリクス基板10は、光透過性の透明基板であり、例えばガラスやプラスチックからなる。図1に図示したように、アクティブマトリクス基板10上には各配線に接続される画素回路2が形成されている。図2では、画素回路2の構成要素を代表して画素電極20を図示している。画素電極20は、光透過性の透明導電材料、例えばITO（インジウムスズ酸化物）からなる。

[0033] また、アクティブマトリクス基板10に対向するように、光透過性の対向基板31が配置されており、これら両基板の間隙には液晶層33が保持される。両基板の外表面には偏光板（不図示）が貼り付けられている。

[0034] 液晶層33は、両基板の周辺部分においてはシール材32によって封止されている。対向基板31には、ITO等の光透過性の透明導電材料からなる共通電極30が、画素電極20と対向するように形成されている。この共通電極30は、対向基板31上をほぼ一面に広がるように単一膜として形成されている。ここで、1つの画素電極20と共通電極30とその間に挟持された液晶層33によって単位液晶表示素子LC（単位表示素子に相当）が形成される。

[0035] なお、液晶表示装置1が透過型の液晶表示装置である場合、例えばバックライト装置（不図示）がアクティブマトリクス基板10の背面側に配置され、アクティブマトリクス基板10から対向基板31に向かう方向に光が照射される。

[0036] 図1に示すように、アクティブマトリクス基板10上には複数の配線が縦横方向に形成されている。具体的には、横方向（行方向）に延伸するn本のゲート線（図中上から順にGL（1）、GL（2）、・・・、GL（n））と、横方向（行方向）に延伸するn本の補助容量線（図中上から順にCSL（1）、CSL（2）、・・・、CSL（n））と、縦方向（列方向）に延伸するm本のソース線（図中左から順にSL（1）、SL（2）、・・・、

SL (m)) と、が形成されている。なお、以下では便宜的に、各ゲート線 (GL (1), GL (2), ..., GL (n)) を一般化してゲート線 GL と称し、各補助容量線 (CSL (1), CSL (2), ..., CSL (n)) を一般化して補助容量線 CSL と称し、各ソース線 (SL (1), SL (2), ..., SL (m)) を一般化してソース線 SL と称する。

[0037] 液晶表示装置 1 では、画素回路 2 の行数 n と同数のゲート線 GL 及び補助容量線 CSL が、アクティブマトリクス基板 10 上に形成される。そして、ある同じ行に配置される m 個の画素回路 2 (i, 1) ~ 2 (i, m) は、同じゲート線 GL (i) 及び同じ補助容量線 CSL (i) に接続する (i は 1 以上 n 以下の自然数)。また、液晶表示装置 1 では、画素回路 2 の列数 m と同数のソース線 SL が、アクティブマトリクス基板 10 上に形成される。そして、ある同じ列に配置される n 個の画素回路 2 (1, j) ~ 2 (n, j) は、同じソース線 SL (j) に接続する (j は 1 以上 m 以下の自然数)。

[0038] ソースドライバ 13、ゲートドライバ 14 及び CS ドライバ 15 は、ソース線 SL、ゲート線 GL、及び補助容量線 CSL に対して、表示すべき画像に対応した電圧を順次印加することで、各画素回路 2 内に形成された画素電極 20 に電圧を印加する。このとき、ソースドライバ 13 は、各ソース線 SL (1) ~ SL (m) に対して、個別にソース線電圧 V_{SL} (ソース電圧に相当) を印加し得る。同様に、ゲートドライバ 14 は、各ゲート線 GL (1) ~ GL (n) に対して、個別にゲート線電圧 V_{GL} (ゲート電圧に相当) を印加し得る。また同様に、CS ドライバ 15 は、各補助容量線 CSL (1) ~ CSL (n) に対して、個別に補助容量線電圧 V_{CSL} (補助容量電圧に相当) を印加し得る。一方、共通電極駆動回路 12 は、共通電極 30 に対して共通電圧 V_{COM} を印加する。

[0039] 表示制御回路 11 は、外部の信号源から、表示すべき画像を表すデータ信号 D_v とタイミング信号 C_t を受け取る。そして、表示制御回路 11 は、当該信号 D_v , C_t に基づき、画像を画素回路アレイの表示素子部 21 に表示させるための信号として、ソースドライバ 13 に与えるデジタル画像信号

D A 及びデータ側タイミング制御信号 S_{tc} と、ゲートドライバ 14 に与える走査側タイミング制御信号 G_{tc} と、共通電極駆動回路 12 に与えるコモン電圧制御信号 S_{ec} と、CS ドライバ 15 に与える補助容量線電圧制御信号 C_{stc} と、をそれぞれ生成する。なお、表示制御回路 11 は、その一部または全部の回路が、ソースドライバ 13 またはゲートドライバ 14 内に形成されてもよい。

[0040] 液晶表示装置 1 は、コモン電圧 V_{COM} を一定にするとともに、コモン電圧 V_{COM} に対するソース線電圧 V_{SL} の大小関係を所定のタイミングで反転することにより、液晶に印加する電圧の極性を所定のタイミングで反転させて表示画面の焼き付きを抑制する「コモン電圧 DC 駆動」を行い得る。なお、液晶表示装置 1 が、表示制御回路 11 からの制御により共通電極駆動回路 12 が所定のタイミングでコモン電圧 V_{COM} を高レベルと低レベルの間で切り替えることにより、液晶に印加する電圧の極性を所定のタイミングで反転させて表示画面の焼き付きを抑制する「コモン電圧 AC 駆動」を行うことも可能である。いずれの駆動方法も、画素回路 2 に印加する各種電圧を適宜選定することで実現可能であるが、以下では説明の具体化のため、液晶表示装置 1 が「コモン電圧 DC 駆動」を行う場合について例示する。

[0041] さらに、液晶表示装置 1 は、同じ行に配置される画素回路 2 ($i, 1$) ~ 2 (i, m) が単位液晶表示素子 LC に印加する電圧の極性と、隣接する行に配置される画素回路 2 ($i \pm 1, 1$) ~ 2 ($i \pm 1, m$) が単位液晶表示素子 LC に印加する電圧の極性と、が逆になるようにして、周期的に（例えば、1 垂直期間毎に）それぞれの画素回路 2 が単位液晶表示素子 LC に印加する電圧の極性を反転させる「行ライン反転駆動」を行い得る。なお、液晶表示装置 1 が、同じ列に配置される画素回路 2 ($1, j$) ~ 2 (n, j) が単位液晶表示素子 LC に印加する電圧の極性と、隣接する列に配置される画素回路 2 ($1, j \pm 1$) ~ 2 ($n, j \pm 1$) が単位液晶表示素子 LC に印加する電圧の極性と、が逆になるようにして、周期的に（例えば、1 垂直期間毎に）それぞれの画素回路 2 が単位液晶表示素子 LC に印加する電圧の極性

を反転させる「列ライン反転駆動」を行うことも可能である。また、液晶表示装置 1 が、ある画素回路 2 (i, j) が単位液晶表示素子 LC に印加する電圧の極性と、行方向または列方向に隣接する画素回路 2 ($i \pm 1, j \pm 1$) が単位液晶表示素子 LC に印加する電圧の極性と、が逆になるようにして、周期的に（例えば、1 垂直期間毎に）それぞれの画素回路 2 が単位液晶表示素子 LC に印加する電圧の極性を反転させる「ドット反転駆動」を行うことも可能である。いずれの駆動方法も、画素回路 2 に接続する配線や印加する各種電圧を適宜選定することで実現可能であるが、以下では説明の具体化のため、液晶表示装置 1 が「行ライン反転駆動」を行う場合について例示する。

- [0042] ソースドライバ 13 は、デジタル画像信号 DA 及びデータ側タイミング制御信号 S_{tc} に基づき、コモン電圧 V_{COM} とソース線電圧 V_{SL} との差分が、デジタル信号 DA の表わす 1 行 (m 個) 分のそれぞれの画素値に対応するように、水平期間毎にそれぞれのソース線電圧 V_{SL} を生成して、それぞれのソース線 SL に印加する。ただし、ソースドライバ 13 は、各画素回路 2 におけるコモン電圧 V_{COM} とソース線電圧 V_{SL} との差分の極性が、周期的に（例えば、1 垂直期間毎に）反転するように、ソース線電圧 V_{SL} を制御する。
- [0043] ゲートドライバ 14 は、走査側タイミング制御信号 G_{tc} に基づき、所定の行に配置される画素回路 2 に接続するゲート線 GL に対して、接続される画素回路 2 にソース線電圧 V_{SL} を印加可能にする電圧値のゲート線電圧 V_{GL} を印加する。これにより、当該所定の行に配置される画素回路 2 に、上記のソース線電圧 V_{SL} が印加される。さらに、ゲートドライバ 14 は、上記の画素回路 2 にソース線電圧 V_{SL} を印加可能にするゲート線電圧 V_{GL} を印加するゲート線 GL を、1 水平期間毎に切り替えることで、ソース線電圧 V_{SL} を画素回路 2 に順次印加する。
- [0044] CS ドライバ 15 は、補助容量線電圧制御信号 CS_{tc} に基づき、所定の行に配置される画素回路 2 に接続する補助容量線 CSL に対して、接続される画素回路 2 が単位液晶表示素子 LC に印加する電圧（コモン電圧 V_{COM} の電

圧レベルとソース線電圧 V_{SL} との差分)の絶対値を大きくする補助容量線電圧 V_{CSL} を印加する。CSドライバ15は、画素回路2に新たなソース線電圧 V_{SL} が印加されるまで、補助容量線CSLに同じ補助容量線電圧 V_{CSL} を印加し続ける。

[0045] なお、ソースドライバ13、ゲートドライバ14及びCSドライバ15の動作や、これらの動作に伴う画素回路2の動作の詳細については、後述する。

[0046] また、液晶表示装置1は、透過型、反射型、半透過型のいずれであってもよい。また、図1では、アクティブマトリクス基板10を挟んで、ゲートドライバ14とCSドライバ15とが対向するように配置されるように図示したが、同じ側に配置してもよい。また、ゲートドライバ14とCSドライバ15とを一体化してもよい。また、ゲートドライバ14やCSドライバ15を、画素回路2と同様に、アクティブマトリクス基板10上に形成してもよい。

[0047] <画素回路の構成>

本発明の実施形態に係る液晶表示装置1が備える画素回路2の構成について、図面を参照して説明する。図3は、本発明の実施形態に係る液晶表示装置が備える画素回路の基本回路構成を示す回路図であり、図4は、本発明の実施形態に係る液晶表示装置が備える画素回路の一回路構成例を示す回路図である。

[0048] 図3に示すように、画素回路2は、単位液晶表示素子LCを含む表示素子部21と、スイッチ回路22と、補助容量素子Csと、電気容量素子Cdと、を備える。また、図2を参照して説明したように、単位液晶表示素子LCには、画素電極20及び共通電極30が含まれる。なお、図3に示す基本回路構成は、図4に示す具体的な回路構成例を包含した上位概念の回路構成を示したものである。

[0049] スイッチ回路22は、直列接続されたトランジスタT1(第1トランジスタ素子に相当)及びトランジスタT2(第2トランジスタ素子に相当)を備

える。それぞれのトランジスタ T_1 、 T_2 は、第1端子及び第2端子（ソース電極及びドレイン電極）と、制御端子（ゲート電極）と、を備える。

[0050] スイッチ回路22の一端にはソース線 S_L が接続され、他端には補助容量素子 C_s の一端が接続されて内部ノード N_1 が形成されている。この内部ノード N_1 が保持する画素データ電圧 V_{N1} は、画素電極20に印加され、画素データ電圧 V_{N1} に応じた画像（正確には、画素データ電圧 V_{N1} とコモン電圧 V_{COM} との差である液晶電圧 V_{LC} に応じた画像）が液晶表示装置1に表示される。また、補助容量素子 C_s の他端は、補助容量線 CS_L に接続される。

[0051] スイッチ回路22のトランジスタ T_1 、 T_2 は、ともに制御端子がゲート線 GL に接続される。即ち、ゲート線電圧 V_{GL} によって、トランジスタ T_1 、 T_2 の双方の導通状態が制御される。また、トランジスタ T_1 の第2端子とトランジスタ T_2 の第1端子とが接続されて、中間ノード N_2 が形成されている。したがって、少なくともトランジスタ T_1 、 T_2 が非導通状態になると、ソース線 S_L 及び内部ノード N_1 間が非導通になり、ソース線電圧 V_{SL} が内部ノード N_1 に印加されなくなる。なお、図3に示す回路構成例では、スイッチ回路22が、トランジスタ T_1 及びトランジスタ T_2 以外の素子を含み得る。一方、図4に示す回路構成例では、スイッチ回路22が、トランジスタ T_1 とトランジスタ T_2 の直列回路のみで構成され、トランジスタ T_1 の第1端子がソース線 S_L に接続されるとともに、トランジスタ T_2 の第2端子が内部ノード N_1 と接続されている。

[0052] 電気容量素子 C_d は、一端が中間ノード N_2 に接続され、他端が内部ノード N_1 に接続されている。例えば、電気容量素子 C_d は、所定の容量素子で構成してもよいし、半導体層及び金属配線層の交差容量や複数の金属配線の交差容量で構成してもよいし、MOS容量で構成してもよいし、これらの少なくとも2つを組み合わせで構成してもよい。

[0053] また、トランジスタ T_1 、 T_2 は、いずれもアクティブマトリクス基板10上に形成される、多結晶シリコンTFTあるいは非晶質シリコンTFT等の薄膜トランジスタである。例えば、トランジスタ T_1 、 T_2 は、単体のト

ランジスタで構成してもよいし、制御端子を共通化して構成してもよい。また、以下では説明の具体化のため、トランジスタ T_1 、 T_2 が N チャンネル型の T F T である場合について例示する。

[0054] また、図 3 及び図 4 では、トランジスタ T_1 、 T_2 の寄生容量のうち、トランジスタ T_1 の制御電極及び第 2 端子間の寄生容量 C_{p1} と、トランジスタ T_2 の制御電極及び第 1 端子間の寄生容量 C_{p2} と、を図示している。

[0055] <液晶表示装置及び画素回路の動作例>

本発明の実施形態に係る液晶表示装置 1 及び画素回路 2 の動作例について、図面を参照して説明する。図 5 は、本発明の実施形態に係る液晶表示装置及び画素回路の動作例を示すタイミング図である。なお、以下では説明の具体化のために、液晶表示装置 1 が備える画素回路 2 が、図 4 に示す画素回路 2 の構成である場合について例示する。

[0056] 図 5 に示すように、液晶表示装置 1 が動作するとき、トランジスタ T_1 、 T_2 を導通状態にする電圧値 H （例えば、 10 V ）のゲート線電圧 V_{GL} が、ゲート線 $GL(1)$ 、 $GL(2)$ 、 $\dots$ 、 $GL(n)$ の順で、1 水平期間（ $1H$ ）毎に切り替えられながら印加される。これにより、ある行に配置される各画素回路 2 のトランジスタ T_1 、 T_2 が導通状態になると、その時にソース線 SL のそれぞれに印加されているソース線電圧 V_{SL} が、当該各画素回路 2 が有する単位液晶表示素子 LC の画素電極 20 に印加され、内部ノード $N1$ に画素データ電圧 V_{N1} が保持される。なお、上記のトランジスタ T_1 、 T_2 を導通状態にする電圧値のゲート線電圧 V_{GL} が印加されない時、ゲート線 GL には、トランジスタ T_1 、 T_2 を非導通状態にする電圧値 L （例えば、 -5 V ）のゲート線電圧 V_{GL} が印加される。

[0057] 上述のように、本例の液晶表示装置 1 は「コモン電圧 DC 駆動」及び「行ライン反転駆動」を行う。そのため、コモン電圧 V_{COM} は一定である（例えば、 2.0 V ）。また、ソース線 SL には、1 水平期間毎に、コモン電圧 V_{COM} より大きい正（ $+$ ）極性の電圧値となるソース線電圧 V_{SL} と、コモン電圧 V_{COM} より小さい負（ $-$ ）極性の電圧値となるソース線電圧 V_{SL} とが、交互に印

加される。さらに、ある垂直期間（1 V）中にある列のソース線 S_L に印加されるソース線電圧 V_{SL} の極性と、次の垂直期間中に当該ある列のソース線 S_L に印加されるソース線電圧 V_{SL} の極性とは、逆になる。

[0058] ある水平期間において、トランジスタ T_1 、 T_2 が導通状態になりソース線電圧 V_{SL} が印加された画素回路 2 は、次の水平期間において、接続されている補助容量線 C_{SL} に印加される補助容量線電圧 V_{CSL} が変化する（本例では、L から H に増大、または、H から L に減少する）。これにより、補助容量素子 C_s を介して内部ノード N_1 が保持する画素データ電圧 V_{N1} が突き上げまたは突き下げられることで、単位液晶表示素子 LC に印加される電圧の絶対値が大きくなる。そのため、ソース線電圧 V_{SL} の絶対値を低減することが可能になり、低消費電力化を図ることができる。

[0059] 具体的に例えば、ある画素回路 2 において、正極性の電圧値となるソース線電圧 V_{SL} が印加された場合、補助容量線電圧 V_{CSL} は L から H に増大し、内部ノード N_1 が保持する画素データ電圧 V_{N1} が突き上げられる。一方、ある画素回路 2 において、負極性の電圧値となるソース線電圧 V_{SL} が印加された場合、補助容量線電圧 V_{CSL} は H から L に減少し、内部ノード N_1 が保持する画素データ電圧 V_{N1} が突き下げられる。

[0060] そして、ある画素回路 2 に印加される補助容量線電圧 V_{CSL} は、ある垂直期間で変化した後、次の垂直期間において当該ある画素回路 2 にソース線電圧 V_{SL} が印加される水平期間が終了するまで、維持される（なお、当該水平期間の次の水平期間に、補助容量線電圧 V_{CSL} が変化する）。このようにして、画素回路 2 は、単位液晶表示素子 LC に所望の電圧を印加する。

[0061] 上述の画素回路 2 において、トランジスタ T_1 、 T_2 を非導通状態にする際に、ゲート線電圧 V_{GL} の電圧値 L を十分に小さくすると、1 水平期間毎にソース線電圧 V_{SL} が変化することに起因するトランジスタ T_1 、 T_2 を介した電流のリークを抑制することができるため、好ましい。

[0062] しかしながら、ゲート線電圧 V_{GL} の電圧値 L を小さくすると、ゲート線電圧 V_{GL} の立ち下げ時（H から L に変化する際）に、トランジスタ T_1 、 T_2

が非導通状態になったあとゲート線電圧 V_{GL} がさらに減少することでフィードスルーが大きくなり、中間ノード $N2$ が保持する中間ノード電圧 V_{N2} が減少する。そのため、トランジスタ $T2$ を介したリーク電流によって、内部ノード $N1$ が保持する画素データ電圧 V_{N1} が変動することが懸念される。特に、低消費電力化を図るべく、フレーム周波数を小さくするほど、リーク電流が生じ得る時間が長くなることで画素データ電圧 V_{N1} の変動が大きくなり、画像を安定して表示することが困難になることが懸念される。

[0063] 本例の画素回路 2 では、電気容量素子 Cd を備えることで、トランジスタ $T2$ のリーク電流及び画素データ電圧 V_{N1} の変動を抑制して、画像を安定して表示することを可能にする。このことについて、以下、『比較例』の動作結果と『実施例』の動作結果とを対比して説明する。なお、『比較例』とは、図 4 に示す画素回路 2 において、電気容量素子 Cd を除去したものである。一方、『実施例』とは、図 4 に示す画素回路 2 において、電気容量素子 Cd を備えるもの（即ち、上述した実施形態）である。

[0064] また、以下では、任意の画素回路 2 (i, j) について説明する。なお、当該画素回路 2 (i, j) には、ゲート線電圧 $V_{GL(i)}$ が印加されるゲート線 $GL(i)$ と、ソース線電圧 $V_{SL(j)}$ が印加されるソース線 $SL(j)$ と、補助容量線電圧 $V_{CSL(i)}$ が印加される補助容量線 $CSL(i)$ と、がそれぞれ接続され、内部ノード $N1(i, j)$ が画素データ電圧 $V_{N1(i, j)}$ を保持し、中間ノード $N2(i, j)$ が中間ノード電圧 $V_{N2(i, j)}$ を保持するものとする。さらに、以下では、説明の簡略化のために、ソース線電圧 $V_{SL(j)}$ が、正極性の電圧と負極性の電圧とを 1 つずつ取り得る場合について例示する。

[0065] 〈比較例の動作結果〉

図 6 は、比較例の動作結果を示すタイミング図である。図 6 の左側に示すように、ソース線電圧 $V_{SL(j)}$ が正極性の電圧であり、ゲート線電圧 $V_{GL(i)}$ が L から H になると、内部ノード $N1(i, j)$ が、当該ソース線電圧 $V_{SL(j)}$ である画素データ電圧 $V_{N1(i, j)}$ （図中の破線）を保持する。同様に、中間ノード $N2(i, j)$ が、当該ソース線電圧 $V_{SL(j)}$ である中間ノード電圧

$V_{N2(i, j)}$ (図中の実線) を保持する。このとき、画素データ電圧 $V_{N1(i, j)}$ 及び中間ノード電圧 $V_{N2(i, j)}$ は、ともにコモン電圧 V_{COM} (図中の一点鎖線) と同等か、それよりも大きくなる。

[0066] そして、ゲート線電圧 $V_{GL(i)}$ が H から L になるとき、トランジスタ T1, T2 を非導通状態にするために必要な電圧値よりもゲート線電圧 $V_{GL(i)}$ が大きく減少するため、フィードスルーによって中間ノード電圧 $V_{N2(i, j)}$ が大きく減少する。具体的に、中間ノード電圧 $V_{N2(i, j)}$ の変動幅 ΔV_{N2} は、上述した寄生容量 C_{p1} , C_{p2} を組み合わせた容量 C_p 、中間ノード N2 に関する他の寄生容量 C_{misc} 、トランジスタ T1, T2 を非導通状態にするために必要なゲート線電圧 $V_{GL(i)}$ から電圧値 L を減じた差分値 ΔV_G 、を用いて、下記式 (1) のように表される。

[0067] (数 1)

$$\Delta V_{N2} \div C_p / (C_p + C_{misc}) \times \Delta V_G = \alpha \times \Delta V_G \quad \dots (1)$$

[0068] 上記式 (1) 中の α は、寄生容量 C_{misc} が寄生容量 C_p よりも十分に小さいことから、少なくとも 50% よりは大きくなる。一方、画素データ電圧 $V_{N1(i, j)}$ は、内部ノード N1 に単位液晶表示素子 LC や補助容量素子 C_s などの容量が大きい素子が接続されているため、小さく減少する。したがって、中間ノード電圧 $V_{N2(i, j)}$ と画素データ電圧 $V_{N1(i, j)}$ との差分の絶対値 $Dc1$ が、大きいものとなる。

[0069] さらにこの後、画素データ電圧 $V_{N1(i, j)}$ を突き上げるべく、補助容量線電圧 $V_{CSL(i)}$ が L から H に変化する。すると、画素データ電圧 $V_{N1(i, j)}$ は、補助容量素子 C_s を介して突き上げられることでさらに大きくなるが、中間ノード電圧 $V_{N2(i, j)}$ は特に変動しない。したがって、中間ノード電圧 $V_{N2(i, j)}$ と画素データ電圧 $V_{N1(i, j)}$ との差分の絶対値 $Dc2$ が、上記の差分の絶対値 $Dc1$ よりもさらに大きくなる。

[0070] 一方、図 6 の右側 (図 6 の左側の 1 垂直期間経過後) に示すように、ソース線電圧 $V_{SL(j)}$ が負極性の電圧であり、ゲート線電圧 $V_{GL(i)}$ が L から H に

なると、内部ノードN1 (i, j) が、当該ソース線電圧 $V_{SL(j)}$ である画素データ電圧 $V_{N1(i, j)}$ を保持する。同様に、中間ノードN2 (i, j) が、当該ソース線電圧 $V_{SL(j)}$ である中間ノード電圧 $V_{N2(i, j)}$ を保持する。このとき、画素データ電圧 $V_{N1(i, j)}$ 及び中間ノード電圧 $V_{N2(i, j)}$ は、ともにコモン電圧 V_{COM} (図中の一点鎖線) と同等か、それよりも小さくなる。

[0071] そして、ゲート線電圧 $V_{GL(i)}$ がHからLになると、上述の場合と同様に、中間ノード電圧 $V_{N2(i, j)}$ が大きく減少し、画素データ電圧 $V_{N1(i, j)}$ が小さく減少する。したがって、中間ノード電圧 $V_{N2(i, j)}$ と画素データ電圧 $V_{N1(i, j)}$ との差分の絶対値 $Dc3$ が、大きいものとなる。ただし、この場合、トランジスタT1, T2を非導通状態にするために必要なゲート線電圧 $V_{GL(i)}$ が、図6の左側の場合と比べて小さくなるため、上記式(1)の差分値 ΔV_G が小さくなる。そのため、 $Dc3$ は、上述した $Dc1$ より小さくなる。

[0072] この後、画素データ電圧 $V_{N1(i, j)}$ を突き下げるべく、補助容量線電圧 $V_{CSL(i)}$ がHからLに変化する。すると、画素データ電圧 $V_{N1(i, j)}$ は、補助容量素子 C_s を介して突き下げられることで小さくなるが、中間ノード電圧 $V_{N2(i, j)}$ は特に変動しない。そのため、中間ノード電圧 $V_{N2(i, j)}$ と画素データ電圧 $V_{N1(i, j)}$ との差分の絶対値 $Dc4$ は、上述の $Dc3$ よりも小さくなる。しかしながら、上述の $Dc3$ が、画素データ電圧 $V_{N1(i, j)}$ の突き下げによる変動よりも十分に大きいため、差分 $Dc4$ は依然として大きい。

[0073] 比較例では、画素回路2 (i, j) にソース線電圧 $V_{SL(j)}$ が印加されてから次にソース線電圧 $V_{SL(j)}$ が印加されるまでの期間(1垂直期間に相当する期間)中、内部ノードN1 (i, j) が保持する画素データ電圧 $V_{N1(i, j)}$ と中間ノードN2 (i, j) が保持する中間ノード電圧 $V_{N2(i, j)}$ との差分が、大きくなり維持される。そのため、当該期間において、内部ノードN1 (i, j) と中間ノードN2 (i, j) との間でリーク電流が生じ、内部ノードN1 (i, j) が保持する画素データ電圧 $V_{N1(i, j)}$ が変動することで、画素回路2 (i, j) が表示する画素が変動する(輝度が変動する)。

[0074] さらに、画素回路2 (i, j) に新たなソース線電圧 $V_{SL(j)}$ が印加される

とき、内部ノードN1 (i, j) がそれまで保持していた変動後の画素データ電圧 $V_{N1(i, j)}$ と、その後新たに保持する変動前の画素データ電圧 $V_{N1(i, j)}$ と、の間に当該変動に起因した予定外の差が生じるため、画素回路2 (i, j) が表示する画素が不安定になる。具体的に例えば、画素回路2 (i, j) が連続して同じ画素を表示しようとするとき、表示しようとする画素のデータが同じであったとしても、表示する画素を切り替える際の前後の画素が異なる（輝度差がある、即ち、ちらつき等を生じる）ものになる。

[0075] このように、比較例では、画像を安定して表示することが困難である。

[0076] 〈実施例の動作結果〉

図7は、実施例の動作結果を示すタイミング図である。図7の左側に示すように、ソース線電圧 $V_{SL(j)}$ が正極性の電圧であり、ゲート線電圧 $V_{GL(i)}$ がLからHになると、内部ノードN1 (i, j) が、当該ソース線電圧 $V_{SL(j)}$ である画素データ電圧 $V_{N1(i, j)}$ (図中の破線) を保持する。同様に、中間ノードN2 (i, j) が、当該ソース線電圧 $V_{SL(j)}$ である中間ノード電圧 $V_{N2(i, j)}$ (図中の実線) を保持する。このとき、画素データ電圧 $V_{N1(i, j)}$ 及び中間ノード電圧 $V_{N2(i, j)}$ は、ともにコモン電圧 V_{COM} (図中の一点鎖線) と同等か、それよりも大きくなる。

[0077] そして、ゲート線電圧 $V_{GL(i)}$ がHからLになると、トランジスタT1, T2を非導通状態にするために必要な電圧値よりもゲート線電圧 $V_{GL(i)}$ が大きく減少するため、フィードスルーによって中間ノード電圧 $V_{N2(i, j)}$ が減少する。具体的に、中間ノード電圧 $V_{N2(i, j)}$ の変動幅 ΔV_{N2} は、上述した寄生容量 C_{p1} , C_{p2} を組み合わせた容量 C_p 、電気容量素子 C_d の容量 C_1 、中間ノードN2に関する他の寄生容量 C_{misc} 、トランジスタT1, T2を非導通状態にするために必要なゲート線電圧 $V_{GL(i)}$ から電圧値Lを減じた差分値 ΔV_G 、を用いて、下記式(2)のように表される。

[0078] (数2)

$$\Delta V_{N2} \div C_p / (C_p + C_1 + C_{misc}) \times \Delta V_G = \beta \times \Delta V_G \quad \cdot \cdot$$

・ (2)

[0079] 上記式(2)中の β は、電気容量素子 C_d の容量 C_1 が分母に含まれるため、上記式(1)の α より小さくなる。そのため、中間ノード電圧 $V_{N2(i,j)}$ の変動を、比較例よりも小さくすることが可能になる。具体的に例えば、電気容量素子 C_d の容量 C_1 を、寄生容量 C_{p1} 、 C_{p2} を組み合わせた容量 C_p と同等か、それ以上にする事で、中間ノード電圧 $V_{N2(i,j)}$ の変動を、比較例の50%以下にすることが可能になる。したがって、中間ノード電圧 $V_{N2(i,j)}$ と画素データ電圧 $V_{N1(i,j)}$ との差分の絶対値 D_{e1} を、比較例における D_{c1} よりも小さくすることができる。

[0080] さらにこの後、画素データ電圧 $V_{N1(i,j)}$ を突き上げるべく、補助容量線電圧 $V_{CSL(i)}$ がLからHに変化する。すると、画素データ電圧 $V_{N1(i,j)}$ は、補助容量素子 C_s を介して突き上げられることでさらに大きくなる。このとき、中間ノード電圧 $V_{N2(i,j)}$ は、画素データ電圧 $V_{N1(i,j)}$ の増大に伴い、電気容量素子 C_d を介して突き上げられるため、画素データ電圧 $V_{N1(i,j)}$ に追随してさらに大きくなる。したがって、中間ノード電圧 $V_{N2(i,j)}$ と画素データ電圧 $V_{N1(i,j)}$ との差分の絶対値 D_{e2} を、上述の D_{e1} と同程度に小さくして維持することができる。

[0081] 一方、図7の右側(図7の左側の1垂直期間経過後)に示すように、ソース線電圧 $V_{SL(j)}$ が負極性の電圧であり、ゲート線電圧 $V_{GL(i)}$ がLからHになると、内部ノード $N1(i,j)$ が、当該ソース線電圧 $V_{SL(j)}$ である画素データ電圧 $V_{N1(i,j)}$ を保持する。同様に、中間ノード $N2(i,j)$ が、当該ソース線電圧 $V_{SL(j)}$ である中間ノード電圧 $V_{N2(i,j)}$ を保持する。このとき、画素データ電圧 $V_{N1(i,j)}$ 及び中間ノード電圧 $V_{N2(i,j)}$ は、ともにコモン電圧 V_{COM} (図中の一点鎖線)と同等か、それよりも小さくなる。

[0082] そして、ゲート線電圧 $V_{GL(i)}$ がHからLになると、上述の場合と同様に、中間ノード電圧 $V_{N2(i,j)}$ が小さく減少する。したがって、中間ノード電圧 $V_{N2(i,j)}$ と画素データ電圧 $V_{N1(i,j)}$ との差分の絶対値 D_{e3} を、比較例における差分の絶対値 D_{c3} よりも小さくすることができる。なお、この場合、トランジスタ $T1$ 、 $T2$ を非導通状態にするために必要なゲート線電圧

$V_{GL(i)}$ が、図 7 の左側の場合と比べて小さくなるため、上記式 (2) の差分値 ΔV_G が小さくなる。そのため、De 3 は、上述した De 1 よりもさらに小さくなる。

[0083] この後、画素データ電圧 $V_{N1(i, j)}$ を突き下げるべく、補助容量線電圧 $V_{CSL(i)}$ が H から L に変化する。すると、画素データ電圧 $V_{N1(i, j)}$ は、補助容量素子 C_s を介して突き下げられることで小さくなる。このとき、中間ノード電圧 $V_{N2(i, j)}$ は、画素データ電圧 $V_{N1(i, j)}$ の減少に伴い、電気容量素子 C_d を介して突き下げられるため、画素データ電圧 $V_{N1(i, j)}$ に追従してさらに小さくなる。したがって、中間ノード電圧 $V_{N2(i, j)}$ と画素データ電圧 $V_{N1(i, j)}$ との差分の絶対値 De 4 を、上述の De 3 と同程度に小さくして維持することができる。

[0084] 実施例では、画素回路 2 (i, j) にソース線電圧 $V_{SL(j)}$ が印加されてから次にソース線電圧 $V_{SL(j)}$ が印加されるまでの期間 (1 垂直期間に相当する期間) 中、内部ノード N1 (i, j) が保持する画素データ電圧 $V_{N1(i, j)}$ と中間ノード N2 (i, j) が保持する中間ノード電圧 $V_{N2(i, j)}$ との差分の絶対値を、小さくして維持することができる。そのため、当該期間において、内部ノード N1 (i, j) と中間ノード N2 (i, j) との間のリーク電流が抑制されることで、内部ノード N1 (i, j) が保持する画素データ電圧 $V_{N1(i, j)}$ の変動が抑制される。

[0085] そして、画素回路 2 (i, j) に新たなソース線電圧 $V_{SL(j)}$ が印加されるときでも、内部ノード N1 (i, j) がそれまで保持していた画素データ電圧 $V_{N1(i, j)}$ は、予定通りの大きさを維持される。したがって、画素回路 2 (i, j) が表示する画素が、安定したものになる。

[0086] 以上のように、本発明の実施形態に係る液晶表示装置 1 及び画素回路 2 では、画像を安定して表示することが可能になる。

[0087] <変形例>

<1> 液晶表示装置 1 が画像を安定して表示する (内部ノード N1 が保持する画素データ電圧 V_{N1} の変動を抑制する) 観点では、電気容量素子 C_d

の容量 C_1 は大きいほど好ましい。ただし、電気容量素子 C_d の容量 C_1 を大きくすることで、電気容量素子 C_d が画素回路2を透過する光を遮るようになる（開口率が悪くなる）。したがって、電気容量素子 C_d の容量 C_1 は、必要最小限の値で留めると、好ましい。

[0088] 〈2〉 また、所望の値に設定した内部ノード電圧 V_{N1} （例えば、上述のように補助容量素子 C_s を介して突き上げまたは突き下げた後の内部ノード電圧 V_{N1} ）と、ソース線電圧 V_{SL} とを同等にすることができる場合（換言すると、画素回路2（ i, j ）の内部ノード電圧 $V_{N1(i, j)}$ とソース線電圧 $V_{SL(j)}$ とを近い値にすることができる場合）は、電気容量素子 C_d の容量 C_1 が下記式（3）を満たすように設定すると、内部ノード電圧 V_{N1} の変動をより効果的に抑制することができるため、好ましい。

[0089] （数3）

$$C_1 = C_p + C_{misc} \quad \dots (3)$$

[0090] 上記式（3）のように、電気容量素子 C_d の容量 C_1 が、中間ノード N_2 に関する寄生容量の総和（ $C_p + C_1 + C_{misc}$ ）の50%程度になるように設定すると、トランジスタ T_1, T_2 が非導通状態であるときにリーク電流が生じたとしても、内部ノード電圧 V_{N1} の変動をより効果的に抑制することができる。このことについて、以下説明する。

[0091] トランジスタ T_1, T_2 が非導通状態であるときに、トランジスタ T_2 を経由して内部ノード N_1 から中間ノード N_2 に流出する電荷を Q_2 、トランジスタ T_1 を経由してソース線 SL から中間ノード N_2 に流出する電荷を Q_1 、内部ノード N_1 に関する寄生容量の総和を C_{pix} とする。このとき、内部ノード N_1 から中間ノード N_2 に電荷 Q_2 が流出することにより生じる内部ノード N_1 の電位の変化 ΔV_{N1} と、中間ノード N_2 にトランジスタ T_1, T_2 を経由して流入する電荷 Q_1, Q_2 により生じる中間ノード N_2 の電位の変化 ΔV_{N2} とは、下記式（4）に示すようになる。

[0092] （数4）

$$\Delta V_{N1} = -Q_2 / C_{pix}$$

$$\Delta V_{N2} = (Q1 + Q2) / (C1 + Cp + Cmisc) \quad \dots (4)$$

[0093] 中間ノードN2の電位の変化 ΔV_{N2} により、電気容量素子Cdを介して突き上げまたは突き下げられる内部ノードN1の電位の変化 $\Delta V_{N1}'$ は、下記式(5)に示すようになる。

[0094] (数5)

$$\begin{aligned} \Delta V_{N1}' &= C1 / Cp \times \Delta V_{N2} \\ &= C1 / (C1 + Cp + Cmisc) \times (Q1 + Q2) / Cp \times \dots (5) \end{aligned}$$

[0095] ここで、トランジスタT1、T2の特性が等しいと、上述の前提(V_{SL} 及び V_{N1} が同程度)より電荷Q1、Q2が同程度になる。ここで、 $Q1 = Q2$ 、上記式(3)、上記式(4)の ΔV_{N1} 、上記式(5)を考慮すると、内部ノードN1の総合的な電位の変化 $\Delta V_{N1} + \Delta V_{N1}'$ は、下記式(6)に示すように0になる。したがって、内部ノード電圧 V_{N1} の変動をより効果的に抑制することができる。なお、ここでは説明を簡単にするために $Q1 = Q2$ としたが、 $Q1 \neq Q2$ であっても $Q1 \div Q2$ であれば、内部ノード電圧 V_{N1} の変動をより効果的に抑制する効果を得ることができる。

[0096] (数6)

$$\begin{aligned} \Delta V_{N1} + \Delta V_{N1}' &= -Q2 / Cp + 0.5 \times 2 \times Q2 / Cp \\ &= 0 \quad \dots (6) \end{aligned}$$

[0097] さらに、〈1〉で述べた中間ノード電圧 V_{N2} の変動を抑制する効果を考慮すると、電気容量素子Cdの容量C1の最適値は、中間ノードN2に関する他の寄生容量の総和($Cp + Cmisc$)以上であり、開口率の減少を許容できる範囲内で決定すると、好ましい。また、表示装置1の仕様により、電気容量素子Cdの容量C1に応じて得られる効果は変動し得るため、表示装置1の仕様に基づいて最適値を決定すると、さらに好ましい。

[0098] 〈3〉 画素回路2が補助容量素子Csを備え、当該補助容量素子Csを介して内部ノードN1が保持する画素データ電圧 V_{N1} を突き上げまたは突き下げる構成について例示したが、画素回路2が補助容量素子Csを備えなく

てもよい。ただし、補助容量素子 C_s を備える画素回路2では、上述の通り中間ノード電圧 V_{N2} と画素データ電圧 V_{N1} との差分の絶対値がより大きくなるため、本発明を適用することで得られる効果が大きくなる。

[0099] <4> 電気容量素子 C_d は、一端が中間ノードN2に接続され、他端が内部ノードN1の電圧変動を誘起するノードに接続される限り、中間ノード電圧 V_{N2} と画素データ電圧 V_{N1} との差分の絶対値を小さくすることができる。即ち、実施形態として例示した回路構成（図3，図4参照）に限られず、他の回路構成にしてもよい。

[0100] 具体的に例えば、電気容量素子 C_d の一端を中間ノードN2に接続し、他端を内部ノードN1ではなく補助容量線 C_{SL} （補助容量素子 C_s を介して内部ノードN1が保持する画素データ電圧 V_{N1} の変動を誘起するノード）に接続してもよい。このような回路構成であっても、フィードスルーによる中間ノード電圧 V_{N2} の変動を抑制したり、補助容量線電圧 V_{CSL} の変動による画素データ電圧 V_{N1} の変動に追従して中間ノード電圧 V_{N2} を変動させたりすることが可能になる。

[0101] ただし、この回路構成では、補助容量線電圧 V_{CSL} の変化に応じた中間ノード電圧 V_{N2} に対する容量結合効率が、実施形態として例示した回路構成よりも大きくなる。そのため、電気容量素子 C_d の容量 C_1 の最適値については、実施形態として例示した回路構成における最適値と異なり得る。また、実施形態として例示した回路構成のように、電気容量素子 C_d の一端を中間ノードN2に接続し、他端を内部ノードN1に接続する回路構成にすると、内部ノードN1が保持する画素データ電圧 V_{N1} のあらゆる変動（例えば、共通電圧 V_{COM} の変動等に起因する変動）にも、中間ノード電圧 V_{N2} を効果的に追従させて変動させることが可能になるため、好ましい。

[0102] <5> 画素回路2が備えるトランジスタ T_1 、 T_2 が、Nチャネル型のTFTである場合について例示したが、Pチャネル型のTFTであってもよい。画素回路2がPチャネル型のTFTを備える場合、上述の液晶表示装置1及び画素回路2の動作例における電圧値の正負を反転させる等の処置によっ

て、同様の動作を実行させることが可能であり、同様の効果を得ることができる。

[0103] 〈6〉 本発明を液晶表示装置 1 に適用する場合について例示したが、本発明は液晶表示装置 1 以外にも適用可能である。画素データ電圧を保持可能であるとともに、当該画素データ電圧に基づき画像を表示する表示装置であれば、液晶表示装置以外でも本発明を適用することが可能である。

産業上の利用可能性

[0104] 本発明に係る画素回路や当該画素回路を備える表示装置は、例えば液晶表示装置に利用可能である。

符号の説明

[0105] 1 : 液晶表示装置
 2 : 画素回路
 10 : アクティブマトリクス基板
 11 : 表示制御回路
 12 : 電極駆動回路
 13 : ソースドライバ
 14 : ゲートドライバ
 20 : 画素電極
 21 : 表示素子部
 22 : スイッチ回路
 30 : 共通電極
 31 : 対向基板
 32 : シール材
 33 : 液晶層
 GL : 補助ゲート線
 SL : ソース線
 CSL : 補助容量線
 LC : 単位液晶表示素子

N 1 : 内部ノード

N 2 : 中間ノード

T 1, T 2 : トランジスタ

C s : 補助容量素子

C d : 電気容量素子

C p 1, C p 2 : 寄生容量

請求の範囲

- [請求項1] 単位表示素子を含む表示素子部と、
 前記表示素子部の一部を構成し、前記表示素子部に印加される画素データ電圧を保持する内部ノードと、
 第1及び第2トランジスタ素子の直列回路を有し、一端に印加されるソース電圧を、前記直列回路を経由して他端に接続される前記内部ノードに転送するスイッチ回路と、
 一端が前記第1及び第2トランジスタ素子を接続する中間ノードに接続され、他端が前記内部ノードまたは当該内部ノードに電圧変動を誘起するノードに接続される電気容量素子と、
 を備えることを特徴とする画素回路。
- [請求項2] 前記電気容量素子の他端が、前記内部ノードに接続されることを特徴とする請求項1に記載の画素回路。
- [請求項3] 前記電気容量素子の容量が、前記第1及び第2トランジスタ素子のそれぞれの制御端子と前記中間ノードとの間に形成される寄生容量を組み合わせた容量以上であることを特徴とする請求項2に記載の画素回路。
- [請求項4] 一端が前記内部ノードに接続され、他端に補助容量電圧が印加される補助容量素子を、
 さらに備えることを特徴とする請求項2または3に記載の画素回路。
- [請求項5] 一端が前記内部ノードに接続され、他端に補助容量電圧が印加される補助容量素子を、さらに備え、
 前記電気容量素子の他端が、前記補助容量素子の他端に接続されることを特徴とする請求項1に記載の画素回路。
- [請求項6] 前記スイッチ回路が、前記第1及び第2トランジスタ素子の直列回路で構成され、
 前記第1トランジスタ素子の第1端子に前記ソース電圧が印加され

、

前記第1トランジスタ素子の第2端子と前記第2トランジスタ素子の第1端子とが前記中間ノードに接続されるとともに、前記第2トランジスタ素子の第2端子が前記内部ノードに接続され、

前記電気容量素子が、前記第2トランジスタ素子と並列に、前記内部ノード及び前記中間ノードに接続されることを特徴とする請求項1～5のいずれか1項に記載の画素回路。

[請求項7] 前記電気容量素子が、半導体層及び金属配線層の交差容量と複数の金属配線の交差容量とMOS容量の内の少なくとも1つの容量を備えて構成されることを特徴とする請求項1～6のいずれか1項に記載の画素回路。

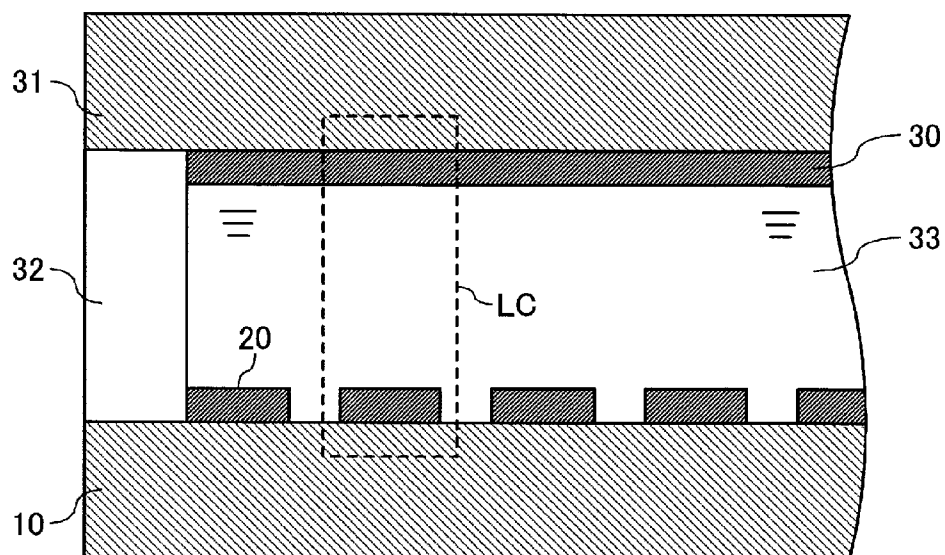
[請求項8] 請求項1～7のいずれか1項に記載の画素回路を行方向及び列方向にそれぞれ複数配置して画素回路アレイを構成し、

前記スイッチ回路の一端に前記ソース電圧を印加するソース電圧印加回路と、

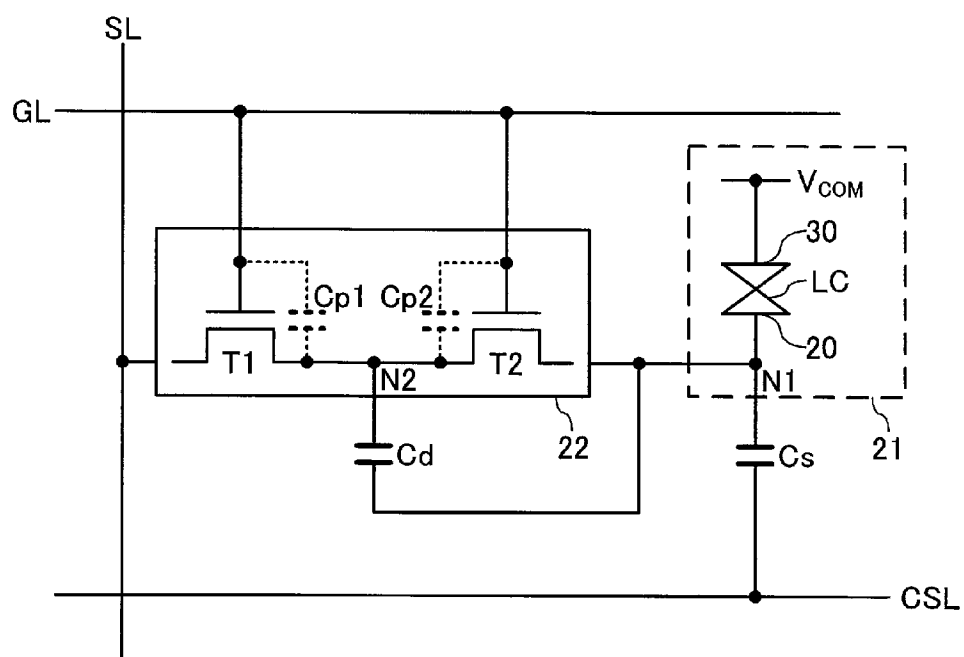
前記スイッチ回路の導通の有無を制御するゲート電圧を、前記スイッチ回路に印加するゲート電圧印加回路と、

を備えることを特徴とする表示装置。

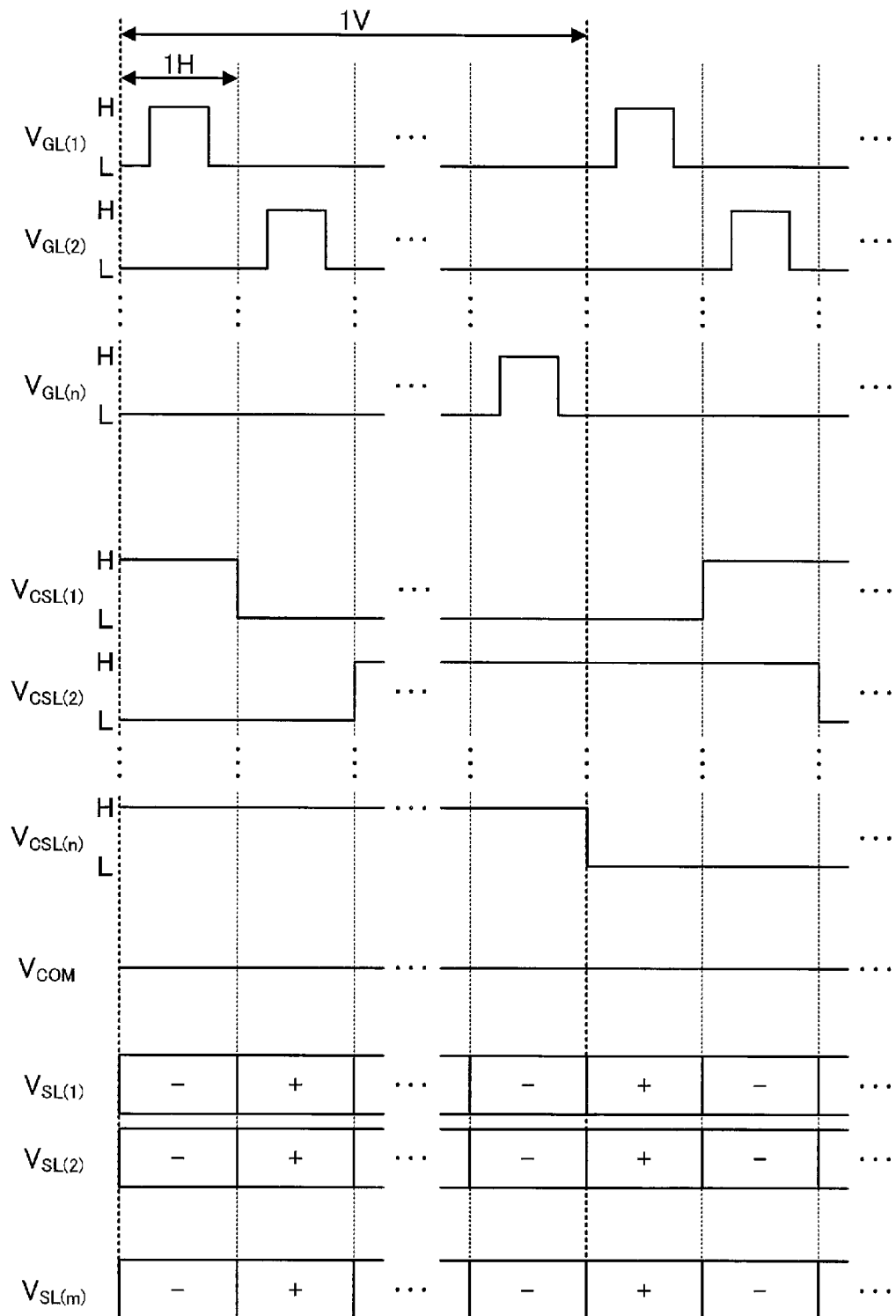
[図2]



[圖3]

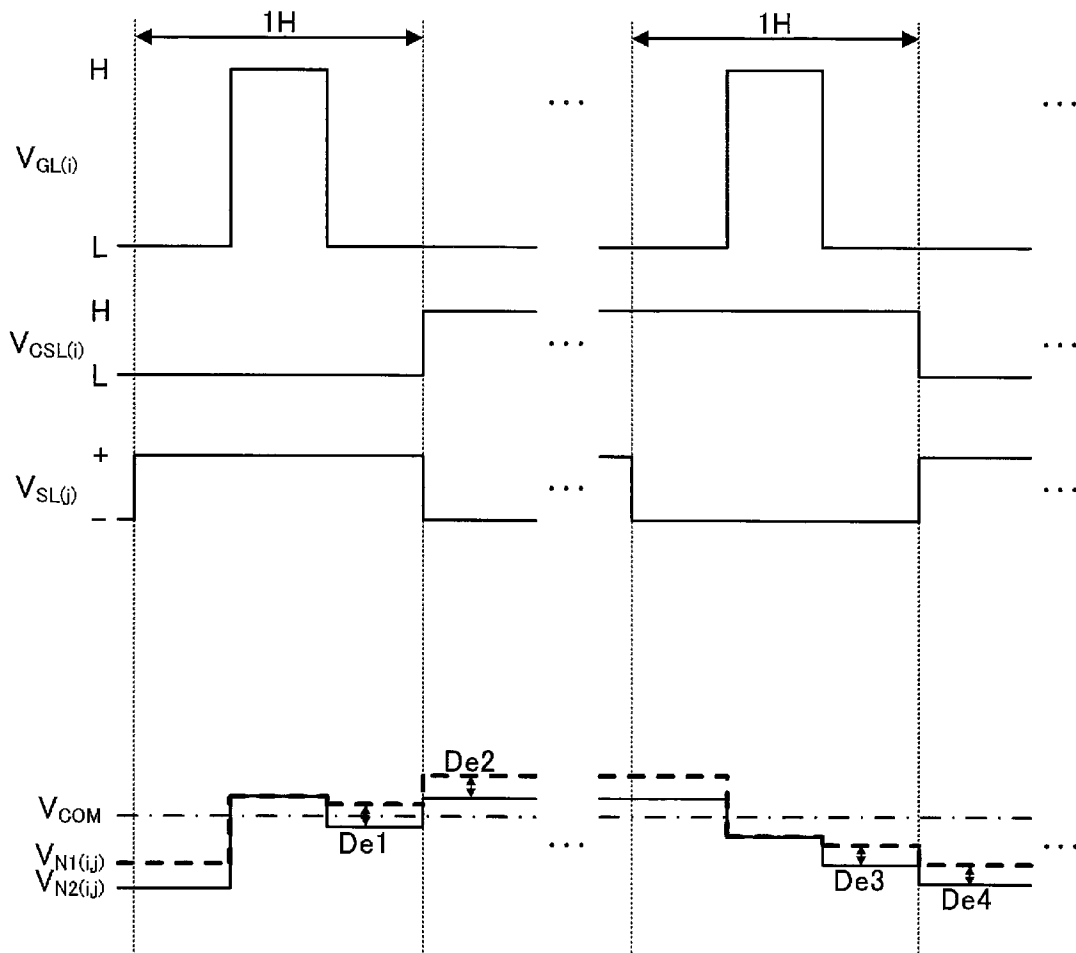


[図5]

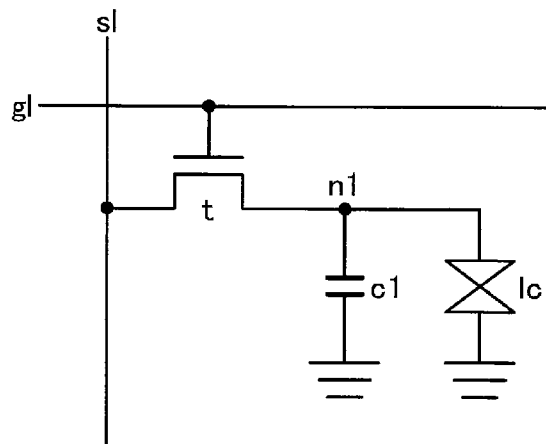


[illegible]

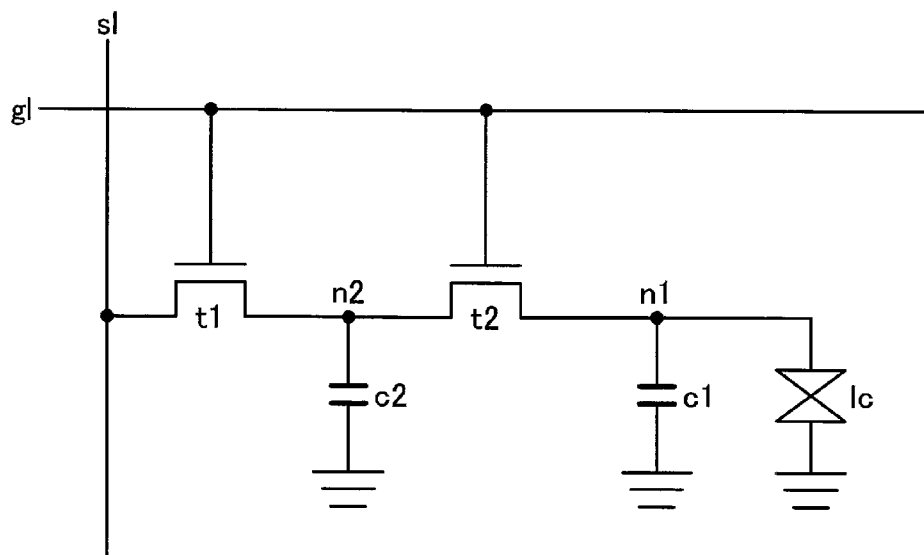
[図7]



[図8]



[図9]

200

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2012/062447

A. CLASSIFICATION OF SUBJECT MATTER

G02F1/133(2006.01)i, G02F1/1368(2006.01)i, G09F9/30(2006.01)i, G09G3/20(2006.01)i, G09G3/36(2006.01)i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

G02F1/133, G02F1/1368, G09F9/30, G09G3/20, G09G3/36

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho	1922-1996	Jitsuyo Shinan Toroku Koho	1996-2012
Kokai Jitsuyo Shinan Koho	1971-2012	Toroku Jitsuyo Shinan Koho	1994-2012

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	JP 5-142573 A (Toshiba Corp.), 11 June 1993 (11.06.1993), paragraphs [0026] to [0031]; fig. 1 to 2 (Family: none)	1-4, 6-8
X	JP 8-201852 A (Semiconductor Energy Laboratory Co., Ltd.), 09 August 1996 (09.08.1996), paragraphs [0028] to [0033], [0038] to [0040]; fig. 1 & US 5650636 A & CN 1121617 A	1, 5, 7-8



Further documents are listed in the continuation of Box C.



See patent family annex.

* Special categories of cited documents:

“A” document defining the general state of the art which is not considered to be of particular relevance

“E” earlier application or patent but published on or after the international filing date

“L” document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

“O” document referring to an oral disclosure, use, exhibition or other means

“P” document published prior to the international filing date but later than the priority date claimed

“T” later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

“X” document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

“Y” document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

“&” document member of the same patent family

Date of the actual completion of the international search
05 July, 2012 (05.07.12)

Date of mailing of the international search report
17 July, 2012 (17.07.12)

Name and mailing address of the ISA/
Japanese Patent Office

Authorized officer

Facsimile No.

Telephone No.

A. 発明の属する分野の分類 (国際特許分類 (I P C))

Int.Cl. G02F1/133(2006.01)i, G02F1/1368(2006.01)i, G09F9/30(2006.01)i, G09G3/20(2006.01)i, G09G3/36(2006.01)i

B. 調査を行った分野

調査を行った最小限資料 (国際特許分類 (I P C))

Int.Cl. G02F1/133, G02F1/1368, G09F9/30, G09G3/20, G09G3/36

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	1 9 2 2 - 1 9 9 6 年
日本国公開実用新案公報	1 9 7 1 - 2 0 1 2 年
日本国実用新案登録公報	1 9 9 6 - 2 0 1 2 年
日本国登録実用新案公報	1 9 9 4 - 2 0 1 2 年

国際調査で使用した電子データベース (データベースの名称、調査に使用した用語)

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
X	JP 5-142573 A (株式会社東芝) 1993.06.11, 段落【0026】 - 【0031】, 図 1-2 (ファミリーなし)	1-4, 6-8
X	JP 8-201852 A (株式会社半導体エネルギー研究所) 1996.08.09, 段落【0028】 - 【0033】, 【0038】 - 【0040】, 図 1 & US 5650636 A & CN 1121617 A	1, 5, 7-8

☐ C 欄の続きにも文献が列挙されている。

☐ パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

「A」特に関連のある文献ではなく、一般的技術水準を示すもの
「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの
「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す)
「O」口頭による開示、使用、展示等に言及する文献
「P」国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの
「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの
「Y」特に関連のある文献であって、当該文献と他の 1 以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
「&」同一パテントファミリー文献

国際調査を完了した日

0 5 . 0 7 . 2 0 1 2

国際調査報告の発送日

1 7 . 0 7 . 2 0 1 2

国際調査機関の名称及びあて先

日本国特許庁 (I S A / J P)

郵便番号 1 0 0 - 8 9 1 5

東京都千代田区霞が関三丁目 4 番 3 号

特許庁審査官 (権限のある職員)

清水 督史

電話番号 0 3 - 3 5 8 1 - 1 1 0 1 内線 3 2 5 5

2 L

3 6 1 0