(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2025-0036120
(43) 공개일자 2025년03월13일

(51) 국제특허분류(Int. Cl.)
H10D 30/67 (2025.01) *H10D 62/40* (2025.01)
H10D 84/01 (2025.01) *H10D 84/03* (2025.01)
H10D 84/85 (2025.01)
(52) CPC특허분류
H10D 30/6735 (2025.01)
H10D 30/6757 (2025.01)
(21) 출원번호 10-2025-7000118
(22) 출원일자(국제) 2023년05월31일
심사청구일자 없음
(85) 번역문제출일자 2025년01월02일
(86) 국제출원번호 PCT/US2023/023977
(87) 국제공개번호 WO 2024/015154
국제공개일자 2024년01월18일
(30) 우선권주장
17/812,300 2022년07월13일 미국(US)

(71) 출원인
퀄컴 인코포레이티드
미국 92121-1714 캘리포니아주 샌 디에고 모어하우스 드라이브 5775
(72) 발명자
리 샤
미국 92121 캘리포니아주 샌디에고 모어하우스 드라이브 5775
양 빈
미국 92121 캘리포니아주 샌디에고 모어하우스 드라이브 5775
(74) 대리인
특허법인코리아나

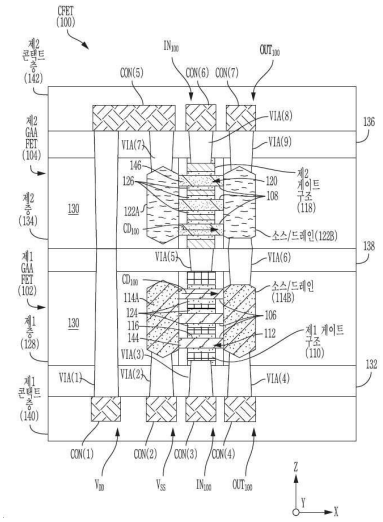
전체 청구항 수 : 총 20 항

(54) 발명의 명칭 **적층된 상보형 전계 효과 트랜지스터 (CFET) 및 제조 방법**

(57) 요 약

적층된 게이트-올-어라운드(GAA) 상보형 전계-효과 트랜지스터(CFET)는 제1 타입의 제1 GAA FET 및 제2 타입의 제2 GAA FET를 포함한다. 제1 GAA FET 및 제2 GAA FET 각각은 채널 영역 및 제1 표면을 갖는 적어도 하나의 3차원(3D) 반도체 슬래브를 포함한다. 제1 게이트 구조는 제1 GAA FET에서 채널 영역을 둘러싸고, 제2 게이트 구조는 제2 GAA FET에서 채널 영역을 둘러싼다. 제1 게이트 구조는, 제1 표면에 직교하는 방향으로 제2 게이트 구조에 대향하여 적층된다. 일부 예들에서, 제1 GAA FET에서의 3D 반도체 슬래브의 제1 결정 구조는 제1 오리엔테이션을 갖고, 제2 GAA FET에서의 3D 반도체 슬래브의 제2 결정 구조는 향상된 캐리어 이동도를 위해 상이한 오리엔테이션을 갖는다.

대 표 도 - 도1



(52) CPC특허분류
H10D 62/40 (2025.01)
H10D 84/0167 (2025.01)
H10D 84/038 (2025.01)
H10D 84/85 (2025.01)

명 세 서

청구범위

청구항 1

적층된 상보형 전계 효과 트랜지스터(CFET)로서,

제1 타입의 제1 게이트-올-어라운드(GAA) FET로서, 상기 제1 GAA FET는:

제1 오리엔테이션을 포함하는 제1 결정 구조를 포함하는 제1 채널 영역; 및

상기 제1 채널 영역을 둘러싸는 제1 게이트 구조

를 포함하는, 상기 제1 타입의 제1 GAA FET; 및

제2 타입의 제2 GAA FET로서, 상기 제2 GAA FET는:

상기 제1 오리엔테이션과 상이한 제2 오리엔테이션을 포함하는 제2 결정 구조를 포함하는 제2 채널 영역; 및

상기 제2 채널 영역을 둘러싸는 제2 게이트 구조

를 포함하는, 상기 제2 타입의 제2 GAA FET를 포함하는, 적층된 CFET.

청구항 2

제1항에 있어서,

상기 제1 결정 구조의 상기 제1 오리엔테이션은 (100)이고; 그리고

상기 제2 결정 구조의 상기 제2 오리엔테이션은 (110)인, 적층된 CFET.

청구항 3

제1항에 있어서,

상기 제1 타입의 상기 제1 GAA FET는 N-타입 FET이고; 그리고

상기 제2 타입의 상기 제2 GAA FET는 P-타입 FET인, 적층된 CFET.

청구항 4

제1항에 있어서, 추가로:

상기 제1 GAA FET를 포함하는 제1 층;

상기 제2 GAA FET를 포함하는 제2 층; 및

상기 제2 층과 상기 제1 층 사이의 제3 층을 포함하는, 적층된 CFET.

청구항 5

제4항에 있어서, 상기 제3 층은 상기 제1 층을 상기 제2 층에 본딩하는 본딩 층을 포함하는, 적층된 CFET.

청구항 6

제5항에 있어서, 상기 본딩 층은 산화물 층을 포함하는, 적층된 CFET.

청구항 7

제4항에 있어서, 상기 제3 층은 반도체 기판을 포함하는, 적층된 CFET.

청구항 8

제4항에 있어서, 상기 제1 게이트 구조로부터 상기 제2 게이트 구조로 상기 제3 층을 통해 연장되는 비아를 더

포함하는, 적층된 CFET.

청구항 9

제4항에 있어서, 추가로:

상기 제1 층 상의 제1 유전체 층으로서, 상기 제1 유전체 층은 상기 제1 GAA FET에 결합된 제1 콘택트를 포함하는, 상기 제1 유전체 층; 및

상기 제2 층 상의 제2 유전체 층으로서, 상기 제2 유전체 층은 상기 제2 GAA FET에 결합된 제2 콘택트를 포함하는, 상기 제2 유전체 층을 포함하는, 적층된 CFET.

청구항 10

제9항에 있어서,

상기 제1 콘택트로부터 상기 제1 층, 상기 제3 층, 및 상기 제2 층을 통해 상기 제2 콘택트로 연장되는 비아를 더 포함하는, 적층된 CFET.

청구항 11

제9항에 있어서, 상기 제1 층과 상기 제1 유전체 층 사이에 제1 반도체 기판을 더 포함하는, 적층된 CFET.

청구항 12

제11항에 있어서, 상기 제2 층과 상기 제2 유전체 층 사이에 제2 반도체 기판을 더 포함하는, 적층된 CFET.

청구항 13

제1항에 있어서, 상기 제1 GAA FET의 상기 제1 채널 영역에 결합된 제1 에피택셜 영역은 상기 제2 GAA FET의 상기 제2 채널 영역에 결합된 제2 에피택셜 영역에 결합되는, 적층된 CFET.

청구항 14

제1항에 있어서, 집적 회로(integrated circuit; IC)에 통합되는, 적층된 CFET.

청구항 15

제1항에 있어서,

셋톱 박스; 엔터테인먼트 유닛; 내비게이션 디바이스; 통신 디바이스; 고정식 로케이션 데이터 유닛; 이동식 로케이션 데이터 유닛; 글로벌 포지셔닝 시스템(global positioning system; GPS) 디바이스; 모바일 폰; 셀룰러 폰; 스마트 폰; 세션 개시 프로토콜(session initiation protocol; SIP) 폰; 태블릿; 패블릿(phablet); 서버; 컴퓨터; 휴대용 컴퓨터; 모바일 컴퓨팅 디바이스; 웨어러블 컴퓨팅 디바이스; 데스크톱 컴퓨터; 개인용 정보 단말기(personal digital assistant; PDA); 모니터; 컴퓨터 모니터; 텔레비전; 튜너; 라디오; 위성 라디오; 뮤직 플레이어; 디지털 뮤직 플레이어; 휴대용 뮤직 플레이어; 디지털 비디오 플레이어; 비디오 플레이어; 디지털 비디오 디스크(digital video disc; DVD) 플레이어; 휴대용 디지털 비디오 플레이어; 자동차; 차량 컴포넌트; 항공 전자 시스템; 드론; 및 멀티콥터

로 이루어지는 그룹으로부터 선택된 디바이스에 통합된, 적층된 CFET.

청구항 16

적층된 상보형 전계 효과 트랜지스터(CFET)를 제조하는 방법으로서,

제1 타입의 제1 게이트-올-어라운드(GAA) FET를 형성하는 단계로서, 상기 제1 GAA FET는:

제1 오리엔테이션을 포함하는 제1 결정 구조를 포함하는 제1 채널 영역; 및

상기 제1 채널 영역을 둘러싸는 제1 게이트 구조

를 포함하는, 상기 제1 타입의 제1 GAA FET를 형성하는 단계;

제2 타입의 제2 GAA FET를 형성하는 단계로서, 상기 제2 GAA FET는:

상기 제1 오리엔테이션과 상이한 제2 오리엔테이션을 포함하는 제2 결정 구조를 포함하는 제2 채널 영역; 및

상기 제2 채널 영역을 둘러싸는 제2 게이트 구조

를 포함하는, 상기 제2 타입의 제2 GAA FET를 형성하는 단계를 포함하는, 적층된 CFET를 제조하는 방법.

청구항 17

제16항에 있어서,

상기 제1 GAA FET를 형성하는 단계는 제1 기판 상의 제1 산화물 층 상의 제1 층에 상기 제1 GAA FET를 형성하는 단계를 더 포함하고; 그리고

상기 제2 GAA FET를 형성하는 단계는 제2 기판 상의 제2 산화물 층 상의 제2 층에 상기 제2 GAA FET를 형성하는 단계를 더 포함하는, 적층된 CFET를 제조하는 방법.

청구항 18

제16항에 있어서,

상기 제1 오리엔테이션은 (100) 오리엔테이션이고; 그리고

상기 제2 오리엔테이션은 (110) 오리엔테이션인, 적층된 CFET를 제조하는 방법.

청구항 19

제17항에 있어서,

상기 제1 층 및 상기 제2 층 중 하나에 본딩 층을 형성하는 단계; 및

상기 제1 층 상에 상기 제2 층을 적층하는 단계를 더 포함하는, 적층된 CFET를 제조하는 방법.

청구항 20

제19항에 있어서,

상기 제1 게이트 구조를 상기 제2 게이트 구조에 결합시키는, 상기 본딩 층을 통해 연장되는 비아를 형성하는 단계를 더 포함하는, 적층된 CFET를 제조하는 방법.

발명의 설명

기 술 분 야

[0001] **우선권 출원**

[0002] 본 출원은 "STACKED COMPLEMENTARY FIELD EFFECT TRANSISTOR (CFET) AND METHOD OF MANUFACTURE" 라는 제목으로 2022년 7월 13일자로 출원된 미국 특허 출원 제17/812,300호에 대한 우선권을 주장하며, 이는 그 전체가 참조에 의해 본원에 통합된다.

배 경 기 술

[0003] **I. 개시의 분야**

[0004] 본 개시의 기술은 일반적으로 상보형 금속-산화물 반도체(CMOS) 전계-효과 트랜지스터(FET) (CFET)들, 특히 적층된 FET들에 관한 것이다.

[0005] **II.배경**

[0006] 집적 회로(IC)는 전자 디바이스에서 높은 수준의 성능으로 매우 다양한 기능을 수행하는 것을 담당한다. 전자 디바이스의 사이즈를 최소화하기 위한 지속적인 시장 압력이 존재하며, 이는 IC의 사이즈를 감소시킬 동기를 제공한다. 상보형 금속 산화물 반도체 (complementary metal-oxide semiconductor; CMOS) 기술은 N-타입 MOS (NMOS) 또는 P-타입 MOS (PMOS) 기술만을 사용하는 회로에 비해 전력 절감, 향상된 성능 및 더 나은 노이즈 면

역성(noise immunity)을 위해 IC에서 일반적으로 사용된다. 그러나, 각각의 CMOS 트랜지스터는 P-타입 전계 효과 트랜지스터(field effect transistor; FET) (PFET)와 같은 PMOS 트랜지스터 및 NMOS 트랜지스터(예를 들어, NFET) 양자 모두를 포함한다. CFET의 PFET 및 NFET가 수직 스택, 핀-타입, 또는 게이트-올-어라운드(gate-all-around; GAA) FET들이든 간에, 회로에서의 각각의 CFET는 적어도 하나의 PFET 및 적어도 하나의 NFET에 의해 점유되는 영역을 포함한다. IC에는 회로의 수백만 개의 인스턴스가 있을 수도 있기 때문에, 회로의 영역은 IC의 영역에 상당한 영향을 줄 수 있다. 또한, NFET들의 캐리어 이동도는 PFET들의 캐리어 이동도보다 상당히 더 높으므로, PFET들은 더 균형잡힌 성능을 제공하기 위해 이러한 차이에 대해 보상하기 위해 종종 사이즈-업되어, CMOS 트랜지스터 회로 셀 영역을 추가로 증가시킨다. 따라서, 균형잡힌 성능을 유지하면서 감소된 회로 셀 면적을 갖는 CMOS 디바이스에 대한 요구가 존재한다.

발명의 내용

[0007] 상세한 설명에 개시된 양태들은 적층된 상보적 전계 효과 트랜지스터(FET)(CFET)를 포함한다. 적층된 CFET를 제조하는 관련 방법들이 또한 개시된다. 적층된 게이트-올-어라운드(GAA) CFET는 제1 타입의 제1 GAA FET 및 제2 타입의 제2 GAA FET를 포함한다. 제1 GAA FET 및 제2 GAA FET 각각은 채널 영역 및 제1 표면을 갖는 적어도 하나의 3차원(3D) 반도체 슬래브(slab)를 포함한다. 제1 게이트 구조(gate structure)는 제1 GAA FET에서 채널 영역을 둘러싸고, 제2 게이트 구조는 제2 GAA FET에서 채널 영역을 둘러싼다. 제1 게이트 구조는, 제1 표면에 직교하는 방향으로 제2 게이트 구조에 대향하여(opposite) 적층된다. 일부 예들에서, 적층된 GAA CFET는 하이브리드 CFET이고, 여기서 제1 GAA FET에서의 3D 반도체 슬래브의 제1 결정 구조(crystal structure)는 제1 오리엔테이션(orientation)을 갖고, 제2 GAA FET에서의 3D 반도체 슬래브의 제2 결정 구조는 향상된 캐리어 이동도를 위해 제1 오리엔테이션과 상이한 제2 오리엔테이션을 갖는다.

[0008] 예시적인 양태에서, 적층된 CFET가 개시된다. 적층된 CFET는 제1 타입의 제1 GAA FET를 포함한다. 제1 GAA FET는 제1 오리엔테이션을 포함하는 제1 결정 구조를 포함하는 제1 채널 영역을 포함한다. 제1 GAA FET는 제1 채널 영역을 둘러싸는 제1 게이트 구조를 포함한다. 적층된 CFET는 제2 타입의 제2 GAA FET를 포함하고, 제2 GAA FET는 제1 오리엔테이션과 상이한 제2 오리엔테이션을 포함하는 제2 결정 구조를 포함하는 제2 채널 영역을 포함한다. 제2 GAA FET는 제2 채널 영역을 둘러싸는 제2 게이트 구조를 포함한다.

[0009] 다른 예시적인 양태에서, 적층된 CFET를 제조하는 방법이 개시된다. 방법은 제1 타입의 제1 GAA FET를 형성하는 단계를 포함하고, 제1 GAA FET는 제1 채널 영역을 포함한다. 방법은 제1 채널 영역을 둘러싸는 제1 게이트 구조를 형성하는 단계를 포함한다. 방법은 제2 타입의 제2 GAA FET를 형성하는 단계를 포함하고, 제2 GAA FET는 제2 채널 영역을 포함한다. 방법은 제2 채널 영역을 둘러싸는 제2 게이트 구조를 형성하는 단계를 포함한다. 제1 채널 영역은 제1 오리엔테이션을 포함하는 제1 결정 구조를 포함하고, 제2 채널 영역은 제1 오리엔테이션과 상이한 제2 오리엔테이션을 포함하는 제2 결정 구조를 포함한다.

도면의 간단한 설명

[0010] 도 1은 제2 타입의 제2 GAA FET에 대향하여 적층된 제1 타입의 제1 GAA FET를 포함하는 적층된 게이트-올-어라운드(GAA) 상보형 전계-효과 트랜지스터(CFET)의 측단면도의 예시이다.

도 2는 제1 절연체 상에 형성된 제1 GAA FET 및 제2 절연체 상에 형성된 제2 GAA FET의 예시로서, 제1 GAA FET 및 제2 GAA FET의 3차원(3D) 반도체 슬래브들의 결정 구조들이 상이한 오리엔테이션들로 형성될 수 있다.

도 3은 도 1의 적층된 GAA CFET의 제조 방법의 플로우차트이다.

도 4a 내지 도 4f는 도 1의 적층된 GAA CFET의 제조 방법에서 제조 스테이지들의 측단면도들의 예시이다.

도 5a 내지 도 5f는 도 4a 내지 도 4f에 도시된 적층된 GAA CFET들의 제조의 대응하는 스테이지들에서의 방법의 플로우차트이다.

도 6 내지 도 8은 절연체들 상에 형성된 적층된 GAA CFET들의 다른 예들의 측단면도들의 예시이다.

도 9는 제1 GAA FET 및 제2 GAA FET의 채널 영역들의 결정 구조들의 오리엔테이션들이 상이할 수 있도록 제1 반도체 기판 상에 형성된 제1 GAA FET 및 제2 반도체 기판 상에 형성된 제2 GAA FET의 예시이다.

도 10 내지 도 12는 반도체 기판들 상에 형성된 적층된 GAA CFET들의 예들의 측단면도들의 예시이다.

도 13은 도 1의 적층된 GAA CFET를 포함할 수 있는 예시적인 무선 통신 디바이스의 블록도이다.

도 14는 도 1의 적층된 GAA CFET를 포함할 수 있는 예시적인 프로세서 기반 시스템의 블록도이다.

발명을 실시하기 위한 구체적인 내용

[0011] 이제 도시된 도면들을 참조하면, 본 개시내용의 몇몇 예시적인 양태가 설명된다. "예시적인"이라는 단어는, "예, 예증 또는 예시로서 기능하는" 것을 의미하도록 본 명세서에서 사용된다. 본 명세서에서 "예시적인" 것으로 설명되는 임의의 양태는 반드시 다른 양태들에 비해 유리하거나 선호된 것으로 해석될 필요는 없다.

[0012] 상세한 설명에 개시된 양태들은 적층된 상보형 전계 효과 트랜지스터(FET)(CFET)를 포함한다. 적층된 CFET들을 제조하는 관련 방법들이 또한 개시된다. 적층된 게이트-올-어라운드(GAA) CFET는 제1 타입의 제1 GAA FET 및 제2 타입의 제2 GAA FET를 포함한다. 제1 GAA FET 및 제2 GAA FET 각각은 채널 영역 및 제1 표면을 갖는 적어도 하나의 3차원(3D) 반도체 슬래브를 포함한다. 제1 게이트 구조는 제1 GAA FET에서 3D 반도체 슬래브의 채널 영역을 둘러싸고, 제2 게이트 구조는 제2 GAA CFET에서 3D 반도체 슬래브의 채널 영역을 둘러싼다. 제1 게이트 구조는 상기 표면에 직교하는 제3 방향으로 제2 게이트 구조에 대향하여 적층된다. 일부 예들에서, 적층된 GAA CFET는 하이브리드 CFET이고, 여기서 제1 GAA FET에서의 3D 반도체 슬래브의 제1 결정 구조는 제1 오리엔테이션을 갖고, 제2 GAA FET에서의 3D 반도체 슬래브의 제2 결정 구조는 향상된 캐리어 이동도를 위해 제1 오리엔테이션과 상이한 제2 오리엔테이션을 갖는다.

[0013] 도 1은 제2 타입의 제2 GAA FET(104)에 대향하여 적층된 제1 타입의 제1 GAA FET(102)를 포함하는 적층된 GAA CFET 회로(100)("CFET(100)")의 측단면도의 예시이다. 일 양태에서, CFET(100)는 제1 GAA FET(102)의 기판 영역을 점유하는 상보형 금속 산화물 반도체(CMOS) 인버터의 예시이며, 기판 상에 서로 인접하게 배치된 종래의 CMOS 인버터들에 비해 면적 감소를 제공한다. 다른 양태에서, CFET(100)는 하이브리드 CFET이며, 제1 GAA FET(102)의 3D 반도체 슬래브들(106)은, 아래에서 더 설명되는 바와 같이, 향상된 성능을 위해 제2 GAA FET(104)의 3D 반도체 슬래브들(108)과 상이한 표면 오리엔테이션을 갖는다. GAA CFET(100)는 설계자에 의해 다이 레이아웃에 배치될 수 있는 셀 설계에 따른 레이아웃을 갖는 셀 회로일 수 있다.

[0014] CMOS 회로들은 단지 하나의 타입의 FET를 갖는 회로들보다 증가된 성능, 감소된 전력 소비, 및 더 나은 노이즈 내성을 제공하지만, 2배만큼 많은 트랜지스터들을 포함할 수도 있다. 제1 GAA FET(102) 및 제2 GAA FET(104)를 서로 대향하게 적층하는 것은 단지 하나의 타입의 FET들을 갖는 회로들에 비해 CMOS 회로의 면적을 상당히 (예를 들어, 최대 50%) 감소시킬 수 있다. 이 예에서, 제1 GAA FET(102)는 양호한 기준 전압원(예를 들어, 접지 또는 V_{SS})을 제공하는 제1 타입의 것이고, 제2 GAA FET(104)는 양호한 공급 전압원(예를 들어, 1.8 볼트 또는 V_{DD})을 제공하는 제2 타입의 것이다.

[0015] 용어들 "제1 타입" 및 "제2 타입"은 N-타입 및 P-타입 중 하나를 지칭하며, 또한 N-채널 및 P-채널로 지칭될 수도 있다. N-타입 디바이스에서, 반도체 소스 및 드레인은 5가 도펀트로 도핑되고, 채널 영역의 게이트에 인가된 전압은 전자들이 대부분의 캐리어인 N-채널을 형성한다. P-타입 또는 P-채널 디바이스에서, 반도체 소스 및 드레인은 3가 도펀트로 도핑되고, 인가된 게이트 전압은 채널 영역에서 P-채널을 형성하고, 여기서 정공들이 대부분의 캐리어이다. P-타입 디바이스들에서의 3D 반도체 슬래브들(106, 108)은 실리콘(Si), 실리콘 게르마늄(SiGe), 게르마늄(Ge), 갈륨 비소(GaAs), 또는 이들의 화합물들을 포함할 수 있다. N-타입 디바이스들에서의 3D 반도체 슬래브들(106, 108)은 Si, GaAs, 또는 이들의 화합물들을 포함할 수 있다.

[0016] 제1 GAA FET(102)는 3개의 3D 반도체 슬래브들(106)을 포함하지만, 더 적거나 더 많은 것을 가질 수도 있다. 제1 게이트 구조(110)는 채널 영역(112)에서의 3D 반도체 슬래브들(106)을 (예를 들어, 모든 측들에서) 둘러싼다. 제1 GAA FET(102)는 또한 3D 반도체 슬래브들(106)의 대향 단부들에 결합된 에피택셜 소스/드레인들(114A 및 114B)을 포함한다. 제2 GAA FET(104)는 3개의 3D 반도체 슬래브들(108)을 포함하지만, 더 적거나 더 많은 것을 가질 수도 있다. 3D 반도체 슬래브들(106)은 X축 방향 및 Y축 방향으로 연장되는 면(116)을 포함한다. 제2 게이트 구조(118)는 채널 영역(120)에서의 3D 반도체 슬래브들(108)을 둘러싼다. 제1 게이트 구조(110)는 제2 게이트 구조(118)와 Z축 방향으로 대향하여 적층된다. 제2 GAA FET(104)는 또한 3D 반도체 슬래브들(108)의 대향 단부들에 결합된, 본 명세서에서 에피택셜 소스/드레인들(122A 및 122B)로도 또한 지칭되는 에피택셜 영역들(122A 및 122B)을 포함한다. 제1 게이트 구조(110)는 절연체 층들(124)에 의해 3D 반도체 슬래브들(106)로부터 절연되고, 제2 게이트 구조(118)는 절연체 층들(126)에 의해 3D 반도체 슬래브들(108)로부터 절연된다.

[0017] 제1 GAA FET(102)는 절연체 또는 유전체 재료인 층 충전 재료(130)를 포함하는 제1 층(128)에 배치된다. 제1

층(128)은 또한 전기 절연체 및/또는 유전체 재료인 제1 베이스 층(132)에 인접하게 배치된다. 제2 GAA FET(104)는 충전 재료(130)를 또한 포함할 수 있는 제2 층(134)에 배치된다. 제2 층(134)은 제2 베이스 층(136)에 인접하게 배치된다. 제1 베이스 층(132) 및 제2 베이스 층(136)은 산화물 재료를 포함할 수 있는 절연체 층일 수 있다. 제1 층(128)과 제2 층(134) 사이에서, CFET(100)는 제3 층(138)을 포함한다. 일부 예들에서, 후술되는 바와 같이, 제3 층(138)은 제2 층(134)을 제1 층(128)에 본딩하기 위한 본딩 층이다. 다른 예들에서, 제3 층(138)은 제2 층(134)이 형성되기 전에 제1 층(128) 상에 형성된 베이스 층일 수 있다.

[0018] CFET(100)는 또한 제1 콘택트 층(140) 및 제2 콘택트 층(142)을 포함하고, 이는 비아들(VIA(1)-VIA(9))에 의해 제1 GAA FET(102) 내지 제2 GAA FET(104) 중 하나 또는 둘 모두에 전기적으로 결합되는 콘택트들(CON(1)-CON(7))을 포함한다. 콘택트들(CON(1)-CON(7))은 제1 GAA FET(102)를 제2 GAA FET(104)에 결합하고 외부 회로들에 연결들을 제공할 수 있다. 콘택트들(CON(1)-CON(7)) 및 비아들(VIA(1)-VIA(9))의 수는 CFET(100)의 구성들에 따라 달라질 수 있다.

[0019] 제1 게이트 구조(110)와 제2 게이트 구조(118)는 서로 전기적으로 결합된다. 이러한 전기적 결합은 제1 게이트 구조(110)로부터 제3 층(138)을 통해 제2 게이트 구조(118)로 연장되는 비아(VIA(5))를 통해 내부에 있을 수 있다. 다른 예들에서, 제1 게이트 구조(110) 및 제2 게이트 구조(118)는 비아(VIA(5))에 의해서가 아니라 내부 또는 외부적으로 다른 방식으로 서로 전기적으로 결합될 수도 있다. 제1 게이트 구조(110)가 제2 게이트 구조(118)에 전기적으로 결합되기 때문에, 이진 입력(IN_{100})이 콘택트들(CON(3) 또는 CON(6)) 중 어느 하나에 의해 CFET(100)에 공급될 수 있다. 제1 GAA FET(102)가 N-타입 FET이고 제2 GAA FET(104)가 P-타입 FET인 예에서, 소스/드레인(114A)은 비아(VIA(2))에 의해 기준 전압(V_{SS})에 결합되고, 콘택트(CON(2)) 및 소스/드레인(122A)은 비아들(VIA(7) 및 VIA(1)) 및 콘택트들(CON(5) 및 CON(1))에 의해 공급 전압(V_{DD})에 결합된다. 이진 입력(IN_{100})의 역인 이진 상태를 갖는 이진 출력 (OUT_{100})은 소스/드레인(114B 또는 122B) 중 하나를 통해 비아들(VIA(4), VIA(6), 및 VIA(8))에 의해 결합되는 콘택트들(CON(4) 및 CON(7))에 제공된다. 3D 반도체 슬래브들(106)을 통과하는 채널 방향(CD_{100}) 및 3D 반도체 슬래브들(108)을 통과하는 채널 방향(CD_{100})은 도 1에서 X축 방향(예를 들어, 좌에서 우)이다. 이 구성에서, CFET(100)는 제1 콘택트 층(140)에서의 콘택트들(CON(1)-CON(4))을 통해 외부 회로에 결합될 수도 있지만, 콘택트들의 대안적인 배열에서, CFET(100)는 제2 콘택트 층(142)을 통해 외부 회로에 결합될 수도 있다.

[0020] 도 2 내지 도 6h를 참조하여 아래에서 추가로 설명되는 바와 같이, 제1 GAA FET(102) 및 제2 GAA FET(104)는 실리콘-온-절연체(silicon-on-insulator; SOI) 디바이스들 또는 벌크 반도체 디바이스들로서 개별적으로 제조될 수 있다. 개별적으로 제조된 후에, 제1 GAA FET(102) 및 제2 GAA FET(104)는 CFET(100)를 형성하기 위해 층 전사 및 적층 프로세스를 사용함으로써 서로 본딩될 수 있다. 대안적으로, 제2 GAA FET(104)는 제1 GAA FET(102) 상에 개별적으로 제조될 수 있다.

[0021] 제1 GAA FET(102) 및 제2 GAA FET(104)가 개별적으로 제조되기 때문에, 아래에서 상세히 개시되는 바와 같이, 제1 GAA FET(102)의 3D 반도체 슬래브들(106)은 제2 GAA FET(104)의 3D 반도체 슬래브들(108)과 별도로 제조된다. 따라서, 3D 반도체 슬래브들(106)의 결정 구조(144)는 3D 반도체 슬래브들(108)의 결정 구조(146)와 상이한 오리엔테이션으로 형성될 수 있다. 특히, 제1 GAA FET(102)가 N-타입 FET인 예에서, 결정 구조(144)는 (100) 표면 오리엔테이션을 가질 수도 있고, <110> 의 채널 방향(D_{100})은 높은 전자 이동도를 제공한다. 예를 들어, 제2 GAA FET(104)는 결정 구조가 N-타입 FET와 동일한 표면 오리엔테이션을 갖는 P-타입 FET보다 더 나은 성능을 위해 (110)의 표면 배향 및 <110>의 채널 방향(D_{100})으로의 정공 이동도를 갖는 결정 구조(146)를 갖는 P-타입 FET이다. 종래의 구조들에서, 동일한 기판 상에 형성된 P-타입 FET들 및 N-타입 FET들은 P-타입 FET들의 성능을 방해하는 공통 오리엔테이션(예를 들어, (100))을 갖는다. 표면 오리엔테이션(110)과 별개로 결정 구조(146)를 형성하는 것은 P-타입 제2 GAA FET(104)의 성능을 최대 15%까지 증가시킨다. 또한, N-타입 FET(예를 들어, 제1 GAA FET(102))를 형성하는 것과 별도로 또는 형성한 후에 P-타입 FET(예를 들어, 제2 GAA FET(104))를 형성하는 것은, P-타입 FET들의 열화를 야기할 수도 있는, N-타입 FET들의 제조에서 사용되는 고온 프로세스(예를 들어, 어닐링)를 P-타입 FET가 받을 필요가 없다.

[0022] 도 2는 제1 절연체 층(204) 상에 형성된 제1 GAA FET(202) 및 제2 절연체 층(208) 상에 형성된 제2 GAA FET(206)의 예시이다. 제1 GAA FET(202) 및 제2 GAA FET(206)는 도 1의 제1 GAA FET(102) 및 제2 GAA FET(104)일 수도 있다. 도 2의 예에서, 제1 GAA FET(202)는 3D 반도체 슬래브(210) 및 제1 게이트 구조(212)을 포함하는 N-타입 FET이다. 제1 GAA FET(202)는 제1 절연체 층(204)이 기판(도시되지 않음) 상에 형성된 후

에 제1 절연체 층(204) 상에 형성될 수 있다. 제1 절연체 층(204)은 실리콘 이산화물(SiO_2)과 같은 산화물 또는 다른 적절한 절연체 재료로 형성될 수 있고, 기판은 반도체 기판(예를 들어, 실리콘)일 수 있다. 기판은 후속하여 제1 절연체 층(204)으로부터 제거될 수 있다. 이 예에서, 제2 GAA FET(206)는 3D 반도체 슬래브(218) 및 제2 게이트 구조(220)을 포함하는 P-타입 FET이다.

[0023] 도 2의 제1 GAA FET(202) 및 제2 GAA FET(206)는 도 1의 단면도의 특징들을 보다 명확하게 제시하기 위해 3D 반도체 슬래브(210, 218)의 어느 하나의 단부에 에피택셜 영역(에피택셜 소스/드레인)을 형성하기 이전의 사시도에 도시되어 있다. 여기서, 제1 게이트 구조(212)는 제1 절연체 층(204) 상에 형성되고, 제2 게이트 구조(220)는 제2 절연체 층(208) 상에 형성되는 것을 알 수 있다.

[0024] 위에서 언급된 바와 같이, 제1 GAA FET(102)는 충전 재료(130)를 포함하는 제1 층(128)에 형성되지만, 이러한 충전 재료는 도 2의 예시를 단순화하기 위해 도 2에 포함되지 않는다. 적층 프로세스에서, 제2 GAA FET(206)는 제1 GAA FET(202) 상에 페이스 투 페이스(face to face) 적층되도록 반전될 수 있다. 제1 GAA FET(202)를 제2 GAA FET(206)에 본딩하기 위해, 도 1의 제3 층(138)에 대응하는 본딩 층(도시되지 않음)이 포함될 수 있다. 대안적인 예에서, 제2 GAA FET(206)는 제1 GAA FET(202)와의 페이스-투-백(face-to-back) 본딩을 위해 도시된 바와 같이 적층될 수 있다.

[0025] 도 3은 도 1에서 적층된 GAA CFET(100)를 제조하는 방법(300)의 플로우차트이다. 방법은 제1 오리엔테이션을 포함하는 제1 결정 구조를 포함하는 제1 채널 영역(112)을 형성하는 단계(블록 304)를 포함하는, 제1 타입의 제1 GAA FET(102)를 형성하는 단계(블록 302)를 포함한다. 제1 GAA FET(102)를 형성하는 방법은 제1 채널 영역(112)을 둘러싸는 제1 게이트 구조(110)를 형성하는 단계(블록 306)를 포함한다. 방법은 제1 오리엔테이션과 상이한 제2 오리엔테이션을 포함하는 제2 결정 구조를 포함하는 제2 채널 영역(120)을 형성하는 단계(블록 310)를 포함하는, 제2 GAA FET(104)를 형성하는 단계(308)를 포함한다. 제2 GAA FET를 형성하는 방법은 제2 채널 영역(120)을 둘러싸는 제2 게이트 구조(118)을 형성하는 단계(블록 312)를 포함한다.

[0026] 도 4a 내지 도 4f는 도 1의 CFET(100)의 제조 스테이지들(400A(1)-400F)의 측단면도들의 예시이고, 도 5a 내지 도 5f는 도 4a 내지 도 4f의 CFET(100)의 제조 스테이지들에 대응하는 방법(500)의 플로우차트이다. 도 4a는 도 1의 제1 GAA FET(102)의 제조 스테이지(400A(1))를 포함한다. 방법은 하부 기판(402) 상에 제1 베이스 층(132)을 형성하는 단계(블록 502), 및 제1 베이스 층(132) 상에, 3D 반도체 슬래브들(106), 소스/드레인들(114A, 114B), 및 제1 게이트 구조(110)을 포함하는 제1 타입의 제1 GAA FET(102)를 형성하는 단계(블록 504)를 포함한다. 이 예에서, 제1 GAA FET(102)는 하부 기판(402) 상에 형성된 SOI(silicon-on-insulator) 트랜지스터이다. 하부 기판(402)은 산화물 층(예를 들어, SiO_2)일 수 있는 절연체 층이다. 하부 기판(402)은 제1 GAA FET(102)의 형성 전에, 반도체 기판과 같은 지지 기판(도시되지 않음) 상에 형성될 수 있고, 반도체 기판은 나중에 제거된다. 대안적으로, 일부 예들에서, 제1 GAA FET(102)는 벌크 실리콘 트랜지스터일 수 있고, 하부 기판(402)은 반도체(예를 들어, 실리콘) 기판이고, 제1 GAA FET(102)는 STI 층 상에 형성된다. SOI이든 또는 벌크이든, 제1 GAA FET(102)는 층간 유전체(inter-layer dielectric; ILD)와 같은 충전 재료(130)를 포함하는 제1 층(128)에 형성된다. 하부 기판(402) 상에 제1 GAA FET(102)의 형성 후에, 방법은 제1 층(128)을 연마하는 단계 및 제1 층(128) 상에 제3 층(138)을 형성하는 단계를 포함한다(블록 506). 상기 연마는 화학적, 기계적 연마(CMP) 또는 기타 알려진 방법일 수 있다. 이 예에서 제3 층(138)은 제1 층(128)을 제2 층(134)에 본딩하기 위한 본딩 층이다. 제3 층(138)은 SiO_2와 같은 결합 산화물을 포함할 수 있다. 방법은 제3 층(138)을 통해 비아들(VIA(5), VIA(6))을 형성하는 단계(블록 508)를 더 포함한다.

[0027] 도 4a는 또한 제2 GAA FET(104)의 제조 스테이지(400A(2))를 포함한다. 이 예에서 제2 GAA FET(104)는 또한 상부 기판(406)이 절연체 층인 SOI이거나, 대안적으로 벌크 트랜지스터일 수 있으며, 이 경우 상부 기판(406)은 반도체 기판이다. 방법(500)은 상부 기판(406) 상에 제2 베이스 층(136)을 형성하는 단계(블록 510)를 더 포함한다. 방법은 제2 베이스층(136) 상에, 3D 반도체 슬래브들(108), 소스/드레인들(122A, 122B), 및 제2 게이트 구조(118)를 더 포함하는 제2 GAA FET(104)를 포함하는 제2 층(134)을 형성하는 단계(블록 512)를 포함한다. 방법은 제2 층(134)을 (예를 들어, CMP에 의해) 연마하는 단계(블록 514) 및 제2 층(134)에 비아(VIA(6))를 형성하는 단계(블록 516)를 포함한다.

[0028] 도 4b는 제2 층(134)을 제3 층(138)에 본딩(제2 게이트 구조(118)는 제1 게이트 구조(110)에 대향)하고 어닐링하는 단계(블록 518)를 포함하는 방법(500)에서 CFET(100)의 제조 스테이지(400B)를 포함한다. 이와 관련하여, "~에 대향(opposite to)" 이라는 용어는 제1 게이트 구조(110) 및 제2 게이트 구조(118)가 제3 층(138)에 직교

하는 방향으로, 제3 층(138)의 대향 측들(opposite sides)에서 서로 직접적으로 반대된다는 것을 나타낸다. 어닐링 공정은 제2 층(134)에 대한 제3 층(138)의 산화물 대 산화물 결합을 확보하기 위해 본딩 공정에 사용될 수 있다.

[0029] 도 4c는 CFET(100)의 제조에서 스테이지(400C)를 포함한다. 도 5c의 방법은 제2 GAA FET(104)로부터 상부 기판(406)을 제거하는 단계(블록 520)를 포함한다. 상부 기판(406)을 제거하는 것은 제2 베이스 층(136)으로부터 상부 기판(406)을 화학적으로 및/또는 기계적으로 제거하는 것을 포함할 수 있다. 도 4d는 CFET(100)의 제조에서의 스테이지(400D)를 포함한다. 스테이지(400D)에 따라, 방법(500)은 제2 층(134)에 비아들(VIA(1), VIA(7)-VIA(9))을 형성하는 단계(블록 522) 및 제2 베이스 층(136) 상에 콘택트들(CON(5)-CON(7))을 포함하는 제2 콘택트 층(142)을 형성하는 단계(블록 524)를 포함한다. 비아들(VIA(1), VIA(7)-VIA(9))을 형성하는 것은 제2 GAA FET(104)의 제2 베이스 층(136)을 통해 비아들을 형성(예를 들어, 에칭 및 전도성 금속으로 충전)하는 것을 포함한다. 제2 콘택트 층(142)을 형성하는 것은 먼저 제2 베이스 층(136) 상에 콘택트들(CON(5)-CON(7))을 형성하고, 그리고 제2 베이스 층(136) 상에 그리고 콘택트들(CON(5)-CON(7)) 위에 유전체를 배치하는 것을 포함할 수 있다. 대안적으로, 콘택트들(CON(5)-CON(7))은 제2 베이스층(136)에 형성될 수도 있다.

[0030] 도 4e는 CFET(100)의 제조에서의 스테이지(400E)를 포함한다. 도 5e에서의 방법은 CFET(100)를 반전시키고 제1 GAA FET(102)로부터 하부 기판(402)을 제거하는 단계(블록 526)를 포함한다. 하부 기판(402)을 제거하는 것은 제1 베이스 층(132)으로부터 하부 기판(402)을 화학적으로 및/또는 기계적으로 제거하는 것을 포함할 수 있다. 도 4f는 CFET(100)의 제조에서의 스테이지(400F)를 포함하고, 도 5f에서의 방법은 제1 GAA FET(102)에 비아들(VIA(1)-VIA(4))을 형성하는 단계(블록 528) 및 콘택트들(CON(1)-CON(4))을 포함하는 제1 콘택트 층(140)을 추가하는 단계(블록 530)를 포함한다. 도 4f에서의 CFET(100)는 제1 콘택트 층(140) 또는 제2 콘택트 층(142)으로부터의 외부 회로에 결합될 수 있으며, 이는 콘택트들(CON(1)-CON(4)) 또는 (CON(1) 및 CON(5)-CON(7)) 중 어느 일방을 노출시키기 위해 제1 및 제2 콘택트 층들(140, 142) 중 하나 상의 유전체를 박형화하는 것을 포함할 수 있다.

[0031] 전술한 방법에 의해 제조된 CFET(100)에서, 제1 타입의 제1 GAA FET(102)는 N-타입 또는 P-타입 트랜지스터 중 어느 일방일 수 있고, SOI 또는 벌크 타입 트랜지스터로서 형성될 수 있다. 상기 제조 방법에서, 제1 GAA FET(102) 및 제2 GAA FET(104)는 개별적으로 제조되고, 따라서 3D 반도체 슬래브들(106 및 108)은 향상된 캐리어 이동도 성능을 위해 상이한 표면 오리엔테이션들을 갖는 결정 구조들(144, 146)을 갖도록 형성될 수 있다. 이와 관련하여, 개선된 성능은 보다 균형잡힌 성능을 위해 N-타입 FET의 성능에 부정적인 영향을 미치지 않으면서 P-타입 FET의 개선된 성능을 포함할 수 있다. P-타입 FET의 성능의 상대적 개선은 보다 균형잡힌 성능을 달성하기 위해 P-타입 FET의 업사이징의 필요성을 회피할 수 있다. 이러한 방식으로, CFET(100)의 사이즈가 감소될 수도 있다.

[0032] 도 6 내지 도 8은 SOI 트랜지스터들을 갖는 적층된 GAA CFET 회로의 다른 예들의 측단면도들의 예시이다.

[0033] 도 6은 제2 타입의 제2 SOI 트랜지스터인 제2 GAA FET(604)에 대향하여 페이스-투-페이스 적층된 제1 타입의 SOI 트랜지스터인 제1 GAA FET(602)를 갖는 CFET(600)의 측단면도의 예시이다. 제1 GAA FET(602)는 에피택셜 소스/드레인들(에피택셜 성장된 재료의 영역들)(608A 및 608B) 사이에서 X-축 방향으로 연장되는 채널 방향(D_{606})을 갖는 3D 반도체 슬래브들(606)을 포함한다. 3D 반도체 슬래브들(606)의 채널 영역들(610)은 제1 게이트 구조(612)에 의해 둘러싸인다. 제2 GAA FET(604)는 3D 반도체 슬래브들(614)을 포함하고, 채널 방향(D_{606})은 에피택셜 소스/드레인들(616A 및 616B) 사이에서 연장된다. 3D 반도체 슬래브들(614)의 채널 영역들(618)은 제2 게이트 구조(620)에 의해 둘러싸인다. 제1 GAA FET(602)는 제1 층(622)에 형성된다. 제2 GAA FET(604)는 제2 층(624)에 형성된다. 제1 층(622)과 제2 층(624) 사이의 제3 층(626)은 제1 층(622) 및 제2 층(624)과 직접 접촉할 수 있다. 이와 관련하여, 제3 층(626)은 제1 층(622)을 제2 층(624)에 본딩하는 본딩 층일 수 있다. CFET(600)는 또한 제1 층(622) 상의 하부 베이스 층(628) 및 제2 층(624) 상의 상부 베이스 층(630)을 포함한다. CFET(600)는 또한 하부 베이스 층(628) 및 상부 베이스 층(630) 상에 각각 형성된 콘택트 층들(632 및 634)을 포함한다.

[0034] 전술한 양태들에서, 제1 GAA FET(602)는 도 1의 제1 GAA FET(102)에 대응하고, 제2 GAA FET(604)는 제2 GAA FET(104)에 대응한다. 그러나, CFET(600)는 비아들(VIA(1)-VIA(8)) 및 콘택트들(CON(1)-CON(7))과 관련하여 도 1의 CFET(100)와 상이하다. 제1 게이트 구조(612)와 제2 게이트 구조(620) 사이의 전기적 결합은 도 6에 도시되지 않지만, CFET(600)의 상이한 단면(도시되지 않음)에서 또는 CFET(600)의 외부에 제공될 수 있다는 것을

유의하여야 한다.

[0035] 도 700은 제1 층(704)에서의 제1 GAA FET(702) 및 제2 층(708)에서의 제2 GAA FET(706)를 갖는 CFET(700)의 단면도이다. CFET(700)는 제1 층(704)과 제2 층(708) 사이의 제3 층(710)을 포함한다. 제1 GAA FET(702) 및 제2 GAA FET(706)는 SOI 트랜지스터들로서 형성된다. 일반적으로, CFET(700)는 도 1의 CFET(100)에 대응한다. 그러나, CFET(700)에서, 제2 GAA FET(706)는 제1 GAA FET(702)에 대향하여 페이스-투-백으로 적층된다. 즉, CFET(700)에서의 제3 층(710)은 SOI 프로세스에서 제2 GAA FET(706)가 형성된 절연 층이다. 제1 층(704)은 절연체 층(712) 상에 형성된다. 제2 층(708)은 제3 층(710) 상에 형성되고, 제3 층(710)은 제1 층(704)에 본딩된다. 베이스 층(714) 및 콘택트 층(716)은 제2 층(708) 상에 형성되고, 콘택트 층(718)은 절연체 층(712) 상에 형성된다. 비아들(VIA(1)-VIA(9)) 및 콘택트들(CON(1)-CON(7))은 도 1에서 동일한 라벨링된 특징들에 대응한다.

[0036] 도 8은 제1 절연체 층(804) 상에 형성된 제1 GAA FET(802) 및 제2 절연체 층(808) 상에 형성된 제2 GAA FET(806)를 포함하는 CFET(800)의 단면도이다. CFET(800)는, 제2 GAA FET(806)가, CFET(700)에 관하여 논의된 바와 같이, 제1 GAA FET(802)를 포함하는 제1 층(810)에 본딩된 제2 절연체 층(808)과 페이스-투-백으로 적층되는 것을 제외하고는, 도 6의 CFET(600)에 대응한다.

[0037] 도 9는 제1 반도체 기판(904) 상의 제1 GAA FET(902)의 예시와 제2 반도체 기판(908) 상의 제2 GAA FET(906)의 예시이다. 제1 GAA FET(902) 및 제2 GAA FET(906)가 상이한 반도체 기판들 상에 형성되기 때문에, 제1 GAA FET(902)에서의 하나 이상의 3D 반도체 슬래브들(912)의 결정 구조(910)의 오리엔테이션은 제2 GAA FET(906)의 하나 이상의 3D 반도체 슬래브들(916)의 결정 구조(914)의 오리엔테이션과 상이할 수 있다. 예로서, 제1 GAA FET(902)는 적어도 하나의 3D 반도체 슬래브들(912)이 (110) 표면 오리엔테이션을 갖는 P-타입 FET일 수 있고, 제2 GAA FET(906)는 예를 들어, 적어도 하나의 3D 반도체 슬래브(916)가 (100) 표면 오리엔테이션을 갖는 N-타입 FET일 수 있다. 결정 구조들(910 및 914)의 다른 표면 배향들은 이들이 상이한 반도체 기판들(904 및 908) 상에 개별적으로 형성되기 때문에 가능하다는 것이 이해되어야 한다. 3D 반도체 슬래브들(912 및 916)은 양자 모두 도 9의 X-축 방향에 대응하는 <100>의 채널 방향(D_{900})을 가질 수 있다. 제1 GAA FET(902) 및 제2 GAA FET(906)는 벌크 트랜지스터들로서 형성되고, 3D 반도체 슬래브들(912 및 916)의 어느 일방의 단부에서 에피택셜 소스/드레인들 없이 사시도에서 보여져 특정 피처들의 더 명확한 뷰를 제공한다. 여기서, 제1 게이트 구조(918)는 제1 반도체 기판(904)으로부터 전기적으로 격리되도록 STI 층(920) 상에 형성되는 것을 알 수 있다. 제2 게이트 구조(922)는 제2 반도체 기판(908) 상의 STI 층(924) 상에 형성된다.

[0038] 제1 GAA FET(902)는 3D 반도체 슬래브(912)와 제1 반도체 기판(904) 사이에 웰(926)을 포함한다. 웰(926)은 제1 GAA FET(902)가 비활성일 때 제1 반도체 기판(904)을 통한 채널 방향(D_{900})으로의 누설 전류 경로를 감소시키거나 회피하도록 제공된다. 누설 전류를 감소시키는 것은 성능을 향상시키고 제1 GAA FET(902)의 전력 소비를 감소시킬 수 있다.

[0039] 제1 GAA FET(902)가 P-타입 FET인 예에서, 웰(926)은 N+ 웰일 수 있으며, 이는 고농도의 N-타입 도펀트들로 도핑된다. 제1 GAA FET(902)가 N-타입 FET인 예에서, 웰(926)은 고농도의 P-타입 도펀트로 도핑된 P+ 웰일 수 있다. 이와 관련하여, 제2 GAA FET(906)는 또한 3D 반도체 슬래브(916)와 제2 반도체 기판(908) 사이에 웰(928)을 갖는다. 웰(926) 및 웰(928)에 대응하는 웰들은 도시된 단면들의 위치에서 이들 웰들을 통해 비아들이 형성되기 때문에 도 10 내지 도 12에서 보이지 않을 수 있다.

[0040] 도 10 내지 도 12는 반도체 기판들 상에 형성된 적층된 GAA CFET 회로의 예들의 측단면도들의 예시이다. 이전에 제시된 도면들의 피처들에 대응하는 도 10 내지 도 12의 피처들은 중복을 피하기 위해 라벨링되지 않을 수도 있고 별도로 기술되지 않을 수도 있다. 도 10은 CFET(1000)의 측단면도의 예시이다. CFET(1000)는 페이스-투-페이스 구성으로 적층된 제1 GAA FET(1002) 및 제2 GAA FET(1004)를 포함한다. CFET(1000)는, 제1 GAA FET(1002) 및 제2 GAA FET(1004)가 제1 및 제2 절연체 층들(204 및 208) 상보다는 제1 및 제2 반도체 기판들(1006 및 1008) 상에 각각 형성된 벌크 타입 트랜지스터들인 것을 제외하고는, 도 1의 제1 GAA FET(102) 및 제2 GAA FET(104)에 대응한다.

[0041] 제1 GAA FET(1002)는 제1 반도체 기판(1006)으로부터 형성될 수 있는 3D 반도체 슬래브들(1010)을 포함한다. 제2 GAA FET(1004)는 제2 반도체 기판(1008)으로부터 형성될 수 있는 3D 반도체 슬래브들(1012)을 포함한다. 제1 GAA FET(1002)는 제1 층(1014)에 포함되고, 제2 GAA FET(1004)는 제2 층(1016)에 있다. CFET(1000)는 산화물 또는 다른 본딩 재료(1020)를 포함하는 본딩 층일 수 있는 제3 층(1018)을 포함한다. CFET(1000)는 제1

반도체 기판(1006) 및 제1 층(1014)에 인접한 STI 층을 포함한다. CFET(1000)는 콘택트들(1026)을 포함하는 제1 콘택트 층(1024)을 더 포함한다. 제1 반도체 기판(1006)의 전도성으로 인해, 절연 벽(1028)이 비아들(1030)의 각각과 제1 반도체 기판(1006) 사이에 제공된다. CFET(1000)는 제2 층(1016)과 제2 반도체 기판(1008) 사이에 STI 층(1032)을 더 포함한다. 제2 콘택트 층(1034)은 콘택트들(1036)을 포함하는 제2 반도체 기판(1008) 상에 형성된다.

[0042] 도 11은 CFET(1100)가 SOI 디바이스보다는 벌크 타입 디바이스인 것을 제외하고, 제1 GAA FET(1102) 및 제2 GAA FET(1104)가 도 6의 CFET(600)에 대응하는 페이스-투-페이스 구성으로 서로 대향하게 적층된 CFET(1100)의 단면도의 예시이다. CFET(1100)와 CFET(600) 사이의 차이점들은 제1 반도체 기판(1106) 및 STI 층(1108)을 갖는다는 것 - CFET(600)는 하부 베이스 층(628)을 포함함 -, 및 도 6에서 상부 베이스 층(630) 대신에 제2 반도체 기판(1110) 및 STI 층(1112)을 갖는다는 것을 포함한다.

[0043] 도 12는 제1 GAA FET(1202) 및 제2 GAA FET(1204)가 페이스-투-백으로 적층된 CFET(1200)의 단면도를 예시하며, 이는 도 8의 CFET(800)에 대응한다. 그러나, CFET(1200)는 CFET(1200)와 CFET(800) 사이의 차이들을 야기하는 벌크 타입 트랜지스터이며, 이는 제1 반도체 기판(1206) 및 STI 층(1208)을 갖는 CFET(1200)를 포함하며, CFET(800)는 제1 절연체 층(804)을 포함하고, CFET(1200)는 도 8의 제2 절연체 층(808) 대신에 제2 반도체 기판(1210) 및 STI 층(1212)을 포함한다.

[0044] 도 10 내지 도 12의 CFET들(1000-1200) 각각은 전술한 방법들에 따라 형성되기 때문에, 제1 GAA FET의 3D 반도체 슬래브들 및 제2 GAA FET의 3D 반도체 슬래브들은 N-타입 디바이스들의 성능을 감소시키지 않으면서 P-타입 디바이스들의 성능을 개선하기 위해 상이한 결정 구조 오리엔테이션들로 형성될 수 있다는 것에 유의한다. 이러한 맥락에서, 용어 "3D 반도체 슬래브"는 결정 구조를 갖는 반도체 재료의 얇은 층을 지칭한다.

[0045] 본 명세서에 개시된 양태들에 따르면, 적층된 GAA CFET는 임의의 프로세서 기반 디바이스에 제공되거나 통합될 수 있다. 예들은, 제한 없이, 셋톱 박스, 엔터테인먼트 유닛, 내비게이션 디바이스, 통신 디바이스, 고정식 로케이션 데이터 유닛, 이동식 로케이션 데이터 유닛, 글로벌 포지셔닝 시스템(GPS: global positioning system) 디바이스, 모바일 폰, 셀룰러 폰, 스마트 폰, 세션 개시 프로토콜(SIP: session initiation protocol) 폰, 태블릿, 패블릿, 서버, 컴퓨터, 휴대용 컴퓨터, 모바일 컴퓨팅 디바이스, 웨어러블 컴퓨팅 디바이스(예를 들어, 스마트 워치, 건강관리 또는 피트니스 추적기, 안경 등), 데스크톱 컴퓨터, 개인용 정보 단말기(PDA: personal digital assistant), 모니터, 컴퓨터 모니터, 텔레비전, 튜너, 라디오, 위성 라디오, 뮤직 플레이어, 디지털 뮤직 플레이어, 휴대용 뮤직 플레이어, 디지털 비디오 플레이어, 비디오 플레이어, 디지털 비디오 디스크(DVD: digital video disc) 플레이어, 휴대용 디지털 비디오 플레이어, 자동차, 차량 컴포넌트, 항공 전자 시스템, 드론 및 멀티콥터를 포함한다.

[0046] 도 13은 하나 이상의 집적 회로들(IC들)(1302)로부터 형성된 라디오 주파수(RF) 컴포넌트들을 포함하는 예시적인 무선 통신 디바이스(1300)를 예시하며, 이는 제1 GAA FET 및 제2 GAA FET의 게이트 구조들이, 도 1, 도 6-8, 및 도 10-12에 예시된 바와 같이, 그리고 본원에 개시된 임의의 양태들에 따라, 서로 대향하여 적층된 예시적인 적층된 GAA CFET를 포함할 수 있다. 무선 통신 디바이스(1300)는, 예들로서, 앞서 참조된 디바이스들 중 임의의 디바이스를 포함하거나 그에 제공될 수도 있다. 도 8에 도시된 바와 같이, 무선 통신 디바이스(1300)는 트랜시버(1304) 및 데이터 프로세서(1306)를 포함한다. 데이터 프로세서(1306)는 데이터 및 프로그램 코드들을 저장하기 위한 메모리를 포함할 수 있다. 트랜시버(1304)는 양방향 통신들을 지원하는 송신기(1308) 및 수신기(1310)를 포함한다. 일반적으로, 무선 통신 디바이스(1300)는 임의의 수의 통신 시스템들 및 주파수 대역들에 대한 임의의 수의 송신기들(1308) 및/또는 수신기들(1310)을 포함할 수 있다. 트랜시버(1304)의 전부 또는 일부는 하나 이상의 아날로그 IC들, RFIC들, 믹싱된-신호 IC들 등 상에서 구현될 수 있다.

[0047] 송신기(1308) 또는 수신기(1310)는 슈퍼 헤테로다인 아키텍처 또는 직접 컨버전 아키텍처로 구현될 수 있다. 수퍼-헤테로다인 아키텍처에서, 신호는 다수의 스테이지들에서 RF와 기저대역 간에, 예컨대 한 스테이지에서 RF에서 IF(intermediate frequency)로, 그리고 다음에 다른 스테이지에서 IF에서 기저대역으로 주파수 컨버팅된다. 직접 컨버전 아키텍처에서, 신호는 일 스테이지에서 RF와 기저대역 사이에서 주파수 컨버팅된다. 슈퍼 헤테로다인 및 직접 컨버전 아키텍처들은 상이한 회로 블록들을 사용하고/하거나 상이한 요건들을 가질 수 있다. 도 13에서의 무선 통신 디바이스(1300)에서, 송신기(1308) 및 수신기(1310)는 직접 컨버전 아키텍처로 구현된다.

[0048] 송신 경로에서, 데이터 프로세서(1306)는 송신될 데이터를 프로세싱하고, I 및 Q 아날로그 출력 신호들을 송신기(1308)에 제공한다. 예시적인 무선 통신 디바이스(1300)에서, 데이터 프로세서(1306)는 추가 프로세싱을 위

해, 데이터 프로세서(1306)에 의해 생성된 디지털 신호들을 I 및 Q 아날로그 출력 신호들, 예컨대 I 및 Q 출력 전류들로 컨버팅하기 위한 디지털-아날로그 컨버터(digital-to-analog converter, DAC)들(1312(1), 1312(2))을 포함한다.

[0049] 송신기(1308) 내에서, 저역 통과 필터들(1314(1), 1314(2))은 I 및 Q 아날로그 출력 신호들을 각각 필터링하여, 이전의 디지털-아날로그 컨버전에 의해 야기된 원치 않는 신호들을 제거한다. 증폭기(AMP)들(1316(1), 1316(2))은 저역 통과 필터들(1314(1), 1314(2))로부터의 신호들을 각각 증폭시키고, I 및 Q 기저대역 신호들을 제공한다. 업컨버터(1318)는 믹서들(1320(1), 1320(2))을 통해 송신(TX) 국부 발진기(LO) 신호 생성기(1322)로부터의 I 및 Q TX LO 신호들을 이용하여 I 및 Q 기저대역 신호들을 업컨버팅하여 업컨버팅된 신호(1324)를 제공한다. 필터(1326)는 업컨버팅된 신호(1324)를 필터링하여 수신 주파수 대역에서의 노이즈뿐만 아니라 주파수 업컨버전에 의해 야기되는 원치 않는 신호들을 제거한다. 전력 증폭기(PA)(1328)는 필터(1326)로부터 업컨버팅된 신호(1324)를 증폭시켜, 원하는 출력 전력 레벨을 획득하고 송신 RF 신호를 제공한다. 송신 RF 신호는 듀플렉서 또는 스위치(1330)를 통해 라우팅되고, 안테나(1332)를 통해 송신된다.

[0050] 수신 경로에서, 안테나(1332)는 기지국들에 의해 송신된 신호들을 수신하고 수신된 RF 신호를 제공하며, 이는 듀플렉서 또는 스위치(1330)를 통해 라우팅되고 저잡음 증폭기(LNA)(1334)에 제공된다. 듀플렉서 또는 스위치(830)는 수신(RX) 신호들이 TX 신호들로부터 분리되도록 특정 RX-대-TX 듀플렉서 주파수 이격에 의해 동작하도록 설계된다. 수신된 RF 신호는 LNA(1334)에 의해 증폭되고 필터(1336)에 의해 필터링되어, 원하는 RF 입력 신호를 획득한다. 다운컨버전 믹서들(1338(1), 1338(2))은 필터(1336)의 출력을 RX LO 신호 생성기(1340)로부터의 I 및 Q RX LO 신호들(즉, LO_I 및 LO_Q)과 혼합하여 I 및 Q 기저대역 신호들을 발생시킨다. I 및 Q 기저대역 신호들은 AMP들(1342(1), 1342(2))에 의해 증폭되고 저역 통과 필터들(1344(1), 1344(2))에 의해 추가로 필터링되어, I 및 Q 아날로그 입력 신호들을 획득하며, 이는 데이터 프로세서(1306)에 제공된다. 이 예에서, 데이터 프로세서(1306)는 아날로그 입력 신호들을 데이터 프로세서(1306)에 의해 추가로 프로세싱될 디지털 신호들로 컨버팅하기 위한 아날로그-디지털 컨버터(ADC)들(1346(1), 1346(2))을 포함한다.

[0051] 도 13의 무선 통신 디바이스(1300)에서, TX LO 신호 생성기(1322)는 주파수 업컨버전을 위해 사용되는 I 및 Q TX LO 신호들을 생성하는 한편, RX LO 신호 생성기(1340)는 주파수 다운컨버전을 위해 사용되는 I 및 Q RX LO 신호들을 생성한다. 각각의 LO 신호는 특정 기본 주파수를 갖는 주기적인 신호이다. TX 위상 고정 루프(PLL) 회로(1348)는 데이터 프로세서(1306)로부터 타이밍 정보를 수신하고, TX LO 신호 생성기(1322)로부터의 TX LO 신호들의 주파수 및/또는 위상을 조정하는 데 사용되는 제어 신호를 생성한다. 유사하게, RX PLL 회로(1350)는 데이터 프로세서(1306)로부터 타이밍 정보를 수신하고, RX LO 신호 생성기(1340)로부터의 RX LO 신호들의 주파수 및/또는 위상을 조정하는데 사용되는 제어 신호를 생성한다.

[0052] 무선 통신 디바이스들(1300)은, 도 1, 도 6-8, 및 도 10-12에 도시된 바와 같이, 그리고 본 명세서에 개시된 양태들 중 임의의 양태에 따라, 제1 GAA FET 및 제2 GAA FET의 게이트 구조들이 서로 대향하여 적층된 예시적인 적층된 GAA CFET 회로를 포함할 수 있고, 임의의 프로세서-기반 디바이스에 제공되거나 그 안에 통합될 수 있다. 예들은, 제한 없이, 셋톱 박스, 엔터테인먼트 유닛, 내비게이션 디바이스, 통신 디바이스, 고정식 로케이션 데이터 유닛, 이동식 로케이션 데이터 유닛, 글로벌 포지셔닝 시스템(GPS: global positioning system) 디바이스, 모바일 폰, 셀룰러 폰, 스마트 폰, 세션 개시 프로토콜(SIP: session initiation protocol) 폰, 태블릿, 패블릿, 서버, 컴퓨터, 휴대용 컴퓨터, 모바일 컴퓨팅 디바이스, 웨어러블 컴퓨팅 디바이스(예를 들어, 스마트 워치, 건강관리 또는 피트니스 추적기, 안경 등), 데스크톱 컴퓨터, 개인용 정보 단말기(PDA: personal digital assistant), 모니터, 컴퓨터 모니터, 텔레비전, 튜너, 라디오, 위성 라디오, 뮤직 플레이어, 디지털 뮤직 플레이어, 휴대용 뮤직 플레이어, 디지털 비디오 플레이어, 비디오 플레이어, 디지털 비디오 디스크(DVD: digital video disc) 플레이어, 휴대용 디지털 비디오 플레이어, 자동차, 차량 컴포넌트, 항공 전자 시스템, 드론 및 멀티콥터를 포함한다.

[0053] 도 14는, 도 1, 도 6-8, 및 도 10-12에 도시된 바와 같이, 그리고 본 명세서에 개시된 임의의 양태들에 따른, 제1 GAA FET 및 제2 GAA FET의 게이트 구조들이 서로 대향하여 적층된 예시적인 적층된 GAA CFET 회로를 포함하는 회로들을 포함하는 프로세서 기반 시스템(1400)의 예를 예시한다. 이 예에서, 프로세서 기반 시스템(1400)은 하나 이상의 프로세서들(1404)을 각각 포함하는, CPU 또는 프로세서 코어들로도 또한 지칭될 수 있는 하나 이상의 CPU(central processor unit)들(1402)을 포함한다. CPU(들)(1402)는 일시적으로 저장된 데이터에 대한 신속한 액세스를 위해 프로세서(들)(1404)에 결합되는 캐시 메모리(1406)를 가질 수 있다. CPU(들)(1402)는 시스템 버스(1408)에 결합되고, 프로세서 기반 시스템(1400)에 포함된 마스터 및 슬레이브 디바이스를 상호결합할 수 있다. 널리 공지된 바와 같이, CPU(들)(1402)는 시스템 버스(1408)를 통해 어드레스, 제어, 및 데이터 정보

를 교환함으로써 이들 다른 디바이스들과 통신한다. 예를 들어, CPU(들)(1402)는 버스 트랜잭션 요청들을 슬레이브 디바이스의 일 예로서 메모리 제어기(1410)에 통신할 수 있다. 도 14에 예시되지 않았지만, 다수의 시스템 버스들(1408)이 제공될 수 있을 것이다; 여기서 각각의 시스템 버스(1408)는 상이한 패브릭을 구성한다.

[0054] 다른 마스터 및 슬레이브 디바이스들이 시스템 버스(1408)에 접속될 수 있다. 도 14에 예시된 바와 같이, 이러한 디바이스들은 메모리 제어기(1410) 및 하나 이상의 메모리 어레이들(1414)을 포함하는 메모리 시스템(1412), 하나 이상의 입력 디바이스들(1416), 하나 이상의 출력 디바이스들(1418), 하나 이상의 네트워크 인터페이스 디바이스들(1420) 및 하나 이상의 디스플레이 제어기들(1422)을 예들로서 포함할 수 있다. 입력 디바이스(들)(1416)는, 이에 제한되는 것은 아니나, 입력 키, 스위치, 음성 프로세서 등을 포함하는 임의의 타입의 입력 디바이스를 포함할 수 있다. 출력 디바이스(들)(1418)는, 이에 제한되는 것은 아니나, 오디오, 비디오, 기타 시각적 표시기 등을 포함할 수 있다. 네트워크 인터페이스 디바이스(들)(1420)은 네트워크(1424)로 그리고 그것으로부터의 데이터 교환을 허용하도록 구성된 임의의 디바이스일 수 있다. 네트워크(1424)는 유선 또는 무선 네트워크, 사설 또는 공중 네트워크, 로컬 영역 네트워크(LAN), 무선 로컬 영역 네트워크(WLAN), 광역 네트워크(WAN), BLUETOOTH™ 네트워크, 및 인터넷을 포함하지만 이에 한정되지 않는 임의의 유형의 네트워크일 수 있다. 네트워크 인터페이스 디바이스(들)(1420)는 원하는 임의의 타입의 통신 프로토콜을 지원하도록 구성될 수 있다.

[0055] CPU(들)(1402)는 또한 하나 이상의 디스플레이들(1426)에 전송되는 정보를 제어하기 위해 시스템 버스(1408)를 통해 디스플레이 제어기(들)(1422)에 액세스하도록 구성될 수 있다. 디스플레이 제어기(들)(1422)는 디스플레이(들)(1426)에 적합한 포맷으로 디스플레이될 정보를 프로세싱하는 하나 이상의 비디오 프로세서들(1428)을 통해 디스플레이될 정보를 디스플레이(들)(1426)에 전송한다. 디스플레이(들)(1426)는 음극선관(cathode ray tube, CRT), 액정 디스플레이(liquid crystal display, LCD), 플라즈마 디스플레이, 발광 다이오드(light emitting diode, LED) 디스플레이 등을 포함하지만 이에 제한되지 않는, 임의의 타입의 디스플레이를 포함할 수 있다.

[0056] 당업자들은, 본 명세서에 개시된 양태들과 관련하여 설명된 다양한 예시적인 로직 블록들, 모듈들, 회로들 및 알고리즘들이 전자 하드웨어로, 메모리 또는 다른 컴퓨터 판독가능 매체에 저장되고 프로세서, 또는 다른 프로세싱 디바이스, 또는 둘 모두의 조합에 의해 실행된 명령들로 구현될 수 있음을 추가로 인식할 것이다. 본 명세서에서 설명된 마스터 및 슬레이브 디바이스들은 예들로서 임의의 회로, 하드웨어 컴포넌트, IC 또는 IC 칩에 이용될 수 있다. 본원에 개시된 메모리는 임의의 타입 및 크기의 메모리일 수 있고, 원하는 임의의 타입의 정보를 저장하도록 구성될 수 있다. 이러한 상호교환 가능성을 명확하게 설명하기 위해, 다양한 예시적인 컴포넌트, 블록, 모듈, 회로, 및 단계가 일반적으로 이들의 기능적 관점에서 위에서 설명되었다. 그러한 기능이 어떻게 구현되는지는, 특정 애플리케이션, 설계 선택, 및/또는 전체 시스템에 부과되는 설계 제약에 좌우된다. 당업자들은 설명된 기능을 각각의 특정 애플리케이션에 대해 다양한 방식들로 구현할 수 있지만, 그러한 구현 결정들이 본 개시내용의 범주로부터 벗어나게 하는 것으로 해석되지는 않아야 한다.

[0057] 본원에 개시된 양태들과 관련하여 설명된 다양한 예시적인 로직 블록, 모듈 및 회로는, 프로세서, 디지털 신호 프로세서(DSP: digital signal processor), 주문형 집적 회로(ASIC: application specific integrated circuit), 필드 프로그래밍 가능 게이트 어레이(FPGA: field programmable gate array) 또는 다른 프로그래밍 가능 로직 디바이스, 이산 게이트 또는 트랜지스터 로직, 이산 하드웨어 컴포넌트, 또는 본원에 설명된 기능들을 수행하도록 설계된 이들의 임의의 조합으로 구현 또는 수행될 수 있다. 프로세서는 마이크로프로세서일 수 있지만, 대안적으로 프로세서는 임의의 종래의 프로세서, 제어기, 마이크로제어기 또는 상태 머신일 수 있다. 프로세서는 또한 컴퓨팅 디바이스들의 조합(예를 들어 DSP 및 마이크로프로세서의 조합, 복수의 마이크로프로세서, DSP 코어와 결합된 하나 이상의 마이크로프로세서, 또는 임의의 다른 이러한 구성)으로 구현될 수 있다.

[0058] 본원에 개시된 양태들은, 하드웨어로 구현될 수 있고, 하드웨어에 저장되고, 예를 들어, 랜덤 액세스 메모리(RAM: Random Access Memory), 플래쉬 메모리, 판독 전용 메모리(ROM: Read Only Memory), EPROM(Electrically Programmable ROM), EEPROM(Electrically Erasable Programmable ROM), 레지스터들, 하드 디스크, 탈착식 디스크, CD-ROM 또는 당업계에 공지된 임의의 다른 형태의 컴퓨터 판독 가능 매체에 상주할 수 있는 명령들로 구현될 수 있다. 예시적인 저장 매체는, 프로세서가 저장 매체로부터 정보를 판독하고, 저장 매체에 정보를 기록할 수 있도록 프로세서에 결합된다. 대안적으로, 저장 매체는 프로세서에 통합될 수 있다. 프로세서 및 저장 매체는 ASIC에 상주할 수 있다. ASIC는 원격 스테이션에 상주할 수 있다. 대안적으로, 프로세서 및 저장 매체는 원격 스테이션, 기지국 또는 서버에 이산 컴포넌트들로 상주할 수 있다.

[0059] 본원의 예시적인 양태들 중 임의의 양태에서 설명된 동작 단계들은 예시들 및 논의를 제공하기 위해 설명된 것

을 또한 주목한다. 설명된 동작들은, 예시된 순서들과는 다른 다수의 상이한 순서로 수행될 수 있다. 나아가, 단일 동작 단계에서 설명된 동작들은, 실제로 수개의 상이한 단계들에서 수행될 수 있다. 추가적으로, 예시적인 양태들에서 논의된 하나 이상의 동작 단계는 결합될 수도 있다. 플로우차트 도들에서 예시된 동작 단계들은, 당업자에게 쉽게 자명할 바와 같이 다수의 상이한 변형을 겪을 수 있는 것으로 이해되어야 한다. 정보 및 신호들은 다양한 기술들 및 기법들을 사용하여 표현될 수 있음을 당업자는 또한 이해할 것이다. 예컨대, 위의 설명 전반에 걸쳐 참조될 수 있는 데이터, 명령, 커맨드, 정보, 신호, 비트, 심볼, 및 칩은 전압, 전류, 전자기파, 자기장 또는 자기 입자들, 광학장 또는 광학 입자들, 또는 이들의 임의의 조합에 의해 표현될 수 있다.

[0060] 본 개시내용의 이전 설명은 임의의 당업자가 본 개시내용을 사용하거나 실시할 수 있게 하도록 제공된다. 본 개시내용에 대한 다양한 변형들이 당업자들에게 쉽게 명백할 것이며, 본원에 정의된 일반적 원리는 다른 변형에 적용될 수 있다. 따라서, 본 개시내용은 본 명세서에서 설명된 예들 및 설계들로 제한되도록 의도되는 것이 아니라, 본 명세서에서 개시된 원리들 및 신규한 특징들과 일치하는 가장 넓은 범위에 부합할 것이다.

[0061] 구현 예들은 다음의 넘버링된 조항들에 설명되어 있다.

[0062] 1. 적층된 상보형 전계 효과 트랜지스터(CFET)로서,

[0063] 제1 타입의 제1 게이트-올-어라운드(GAA) FET로서, 상기 제1 GAA FET는:

[0064] 제1 오리엔테이션을 포함하는 제1 결정 구조를 포함하는 제1 채널 영역; 및

[0065] 상기 제1 채널 영역을 둘러싸는 제1 게이트 구조

[0066] 를 포함하는, 상기 제1 타입의 제1 GAA FET; 및

[0067] 제2 타입의 제2 GAA FET로서, 상기 제2 GAA FET는:

[0068] 상기 제1 오리엔테이션과 상이한 제2 오리엔테이션을 포함하는 제2 결정 구조를 포함하는 제2 채널 영역; 및

[0069] 상기 제2 채널 영역을 둘러싸는 제2 게이트 구조

[0070] 를 포함하는, 상기 제2 타입의 제2 GAA FET를 포함하는, 적층된 CFET.

[0071] 2. 조항 1의 적층된 CFET에 있어서,

[0072] 상기 제1 결정 구조의 상기 제1 오리엔테이션은 (100)이고; 그리고

[0073] 상기 제2 결정 구조의 상기 제2 오리엔테이션은 (110)인, 적층된 CFET.

[0074] 3. 조항 1 또는 조항 2의 적층된 CFET에 있어서,

[0075] 상기 제1 타입의 상기 제1 GAA FET는 N-타입 FET이고; 그리고

[0076] 상기 제2 타입의 상기 제2 GAA FET는 P-타입 FET인, 적층된 CFET.

[0077] 4. 조항 1 내지 조항 3 중 어느 것의 적층된 CFET에 있어서,

[0078] 상기 제1 GAA FET를 포함하는 제1 층;

[0079] 상기 제2 GAA FET를 포함하는 제2 층; 및

[0080] 상기 제2 층과 상기 제1 층 사이의 제3 층을 포함하는, 적층된 CFET.

[0081] 5. 조항 4의 적층된 CFET에 있어서, 상기 제3 층은 상기 제1 층을 상기 제2 층에 본딩하는 본딩 층을 포함하는, 적층된 CFET.

[0082] 6. 조항 5의 적층된 CFET에 있어서, 상기 본딩 층은 산화물 층을 포함하는, 적층된 CFET.

[0083] 7. 조항 4 내지 조항 6 중 어느 것의 적층된 CFET에 있어서, 상기 제3 층은 반도체 기판을 포함하는, 적층된 CFET.

[0084] 8. 조항 4 내지 조항 7 중 어느 것의 적층된 CFET에 있어서, 상기 제1 게이트 구조로부터 상기 제2 게이트 구조로 상기 제3 층을 통해 연장되는 비아를 더 포함하는, 적층된 CFET.

[0085] 9. 조항 4 내지 조항 8 중 어느 것의 적층된 CFET에 있어서,

[0086] 상기 제1 층 상의 제1 유전체 층으로서, 상기 제1 유전체 층은 상기 제1 GAA FET에 결합된 제1 콘택트를 포함하는, 상기 제1 유전체 층; 및

[0087] 상기 제2 층 상의 제2 유전체 층으로서, 상기 제2 유전체 층은 상기 제2 GAA FET에 결합된 제2 콘택트를 포함하는, 상기 제2 유전체 층을 포함하는, 적층된 CFET.

[0088] 10. 조항 9의 적층된 CFET에 있어서,

[0089] 상기 제1 콘택트로부터 상기 제1 층, 상기 제3 층, 및 상기 제2 층을 통해 상기 제2 콘택트로 연장되는 비아를 더 포함하는, 적층된 CFET.

[0090] 11. 조항 9 또는 조항 10의 적층된 CFET에 있어서, 상기 제1 층과 상기 제1 유전체 층 사이에 제1 반도체 기판을 더 포함하는, 적층된 CFET.

[0091] 12. 조항 11의 적층된 CFET에 있어서, 상기 제2 층과 상기 제2 유전체 층 사이에 제2 반도체 기판을 더 포함하는, 적층된 CFET.

[0092] 13. 조항 1 내지 조항 12 중 어느 것의 적층된 CFET에 있어서, 상기 제1 GAA FET의 상기 제1 채널 영역에 결합된 제1 에피택셜 영역은 상기 제2 GAA FET의 상기 제2 채널 영역에 결합된 제2 에피택셜 영역에 결합되는, 적층된 CFET.

[0093] 14. 조항 1 내지 조항 13 중 어느 것의 적층된 CFET에 있어서, 집적 회로(integrated circuit; IC)에 통합되는, 적층된 CFET.

[0094] 15. 조항 1 내지 조항 14 중 어느 것의 적층된 CFET에 있어서, 셋톱 박스; 엔터테인먼트 유닛; 내비게이션 디바이스; 통신 디바이스; 고정식 로케이션 데이터 유닛; 이동식 로케이션 데이터 유닛; 글로벌 포지셔닝 시스템(global positioning system; GPS) 디바이스; 모바일 폰; 셀룰러 폰; 스마트 폰; 세션 개시 프로토콜(session initiation protocol; SIP) 폰; 태블릿; 패블릿(phablet); 서버; 컴퓨터; 휴대용 컴퓨터; 모바일 컴퓨팅 디바이스; 웨어러블 컴퓨팅 디바이스; 데스크톱 컴퓨터; 개인용 정보 단말기(personal digital assistant; PDA); 모니터; 컴퓨터 모니터; 텔레비전; 튜너; 라디오; 위성 라디오; 뮤직 플레이어; 디지털 뮤직 플레이어; 휴대용 뮤직 플레이어; 디지털 비디오 플레이어; 비디오 플레이어; 디지털 비디오 디스크(digital video disc; DVD) 플레이어; 휴대용 디지털 비디오 플레이어; 자동차; 차량 컴포넌트; 항공 전자 시스템; 드론; 및 멀티콥터

[0095] 로 이루어지는 그룹으로부터 선택된 디바이스에 통합된, 적층된 CFET.

[0096] 16. 적층된 상보형 전계 효과 트랜지스터(CFET)를 제조하는 방법으로서,

[0097] 제1 타입의 제1 게이트-올-어라운드(GAA) FET를 형성하는 단계로서, 상기 제1 GAA FET는:

[0098] 제1 오리엔테이션을 포함하는 제1 결정 구조를 포함하는 제1 채널 영역; 및

[0099] 상기 제1 채널 영역을 둘러싸는 제1 게이트 구조

[0100] 를 포함하는, 상기 제1 타입의 제1 GAA FET를 형성하는 단계;

[0101] 제2 타입의 제2 GAA FET를 형성하는 단계로서, 상기 제2 GAA FET는:

[0102] 상기 제1 오리엔테이션과 상이한 제2 오리엔테이션을 포함하는 제2 결정 구조를 포함하는 제2 채널 영역; 및

[0103] 상기 제2 채널 영역을 둘러싸는 제2 게이트 구조

[0104] 를 포함하는, 상기 제2 타입의 제2 GAA FET를 형성하는 단계를 포함하는, 적층된 CFET를 제조하는 방법.

[0105] 17. 조항 16의 방법에 있어서,

[0106] 상기 제1 GAA FET를 형성하는 단계는 제1 기판 상의 제1 산화물 층 상의 제1 층에 상기 제1 GAA FET를 형성하는 단계를 더 포함하고; 그리고

[0107] 상기 제2 GAA FET를 형성하는 단계는 제2 기판 상의 제2 산화물 층 상의 제2 층에 상기 제2 GAA FET를 형성하는 단계를 더 포함하는, 적층된 CFET를 제조하는 방법.

[0108] 18. 조항 16 또는 조항 17의 방법에 있어서,

[0109] 상기 제1 오리엔테이션은 (100) 오리엔테이션이고; 그리고

[0110] 상기 제2 오리엔테이션은 (110) 오리엔테이션인, 적층된 CFET를 제조하는 방법.

[0111] 19. 조항 17 또는 조항 18의 방법에 있어서,

[0112] 상기 제1 층 및 상기 제2 층 중 하나에 본딩 층을 형성하는 단계; 및

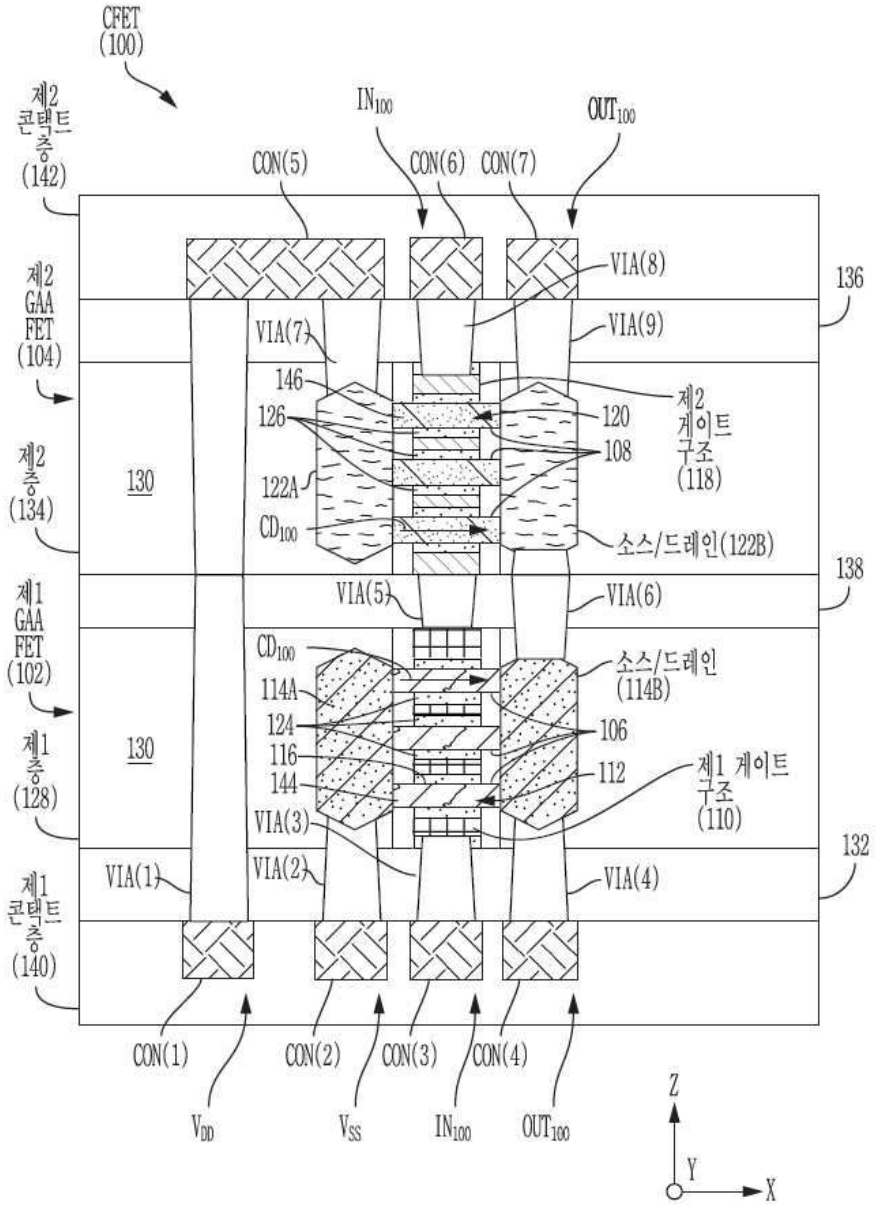
[0113] 상기 제1 층 상에 상기 제2 층을 적층하는 단계를 더 포함하는, 적층된 CFET를 제조하는 방법.

[0114] 20. 조항 19의 방법에 있어서,

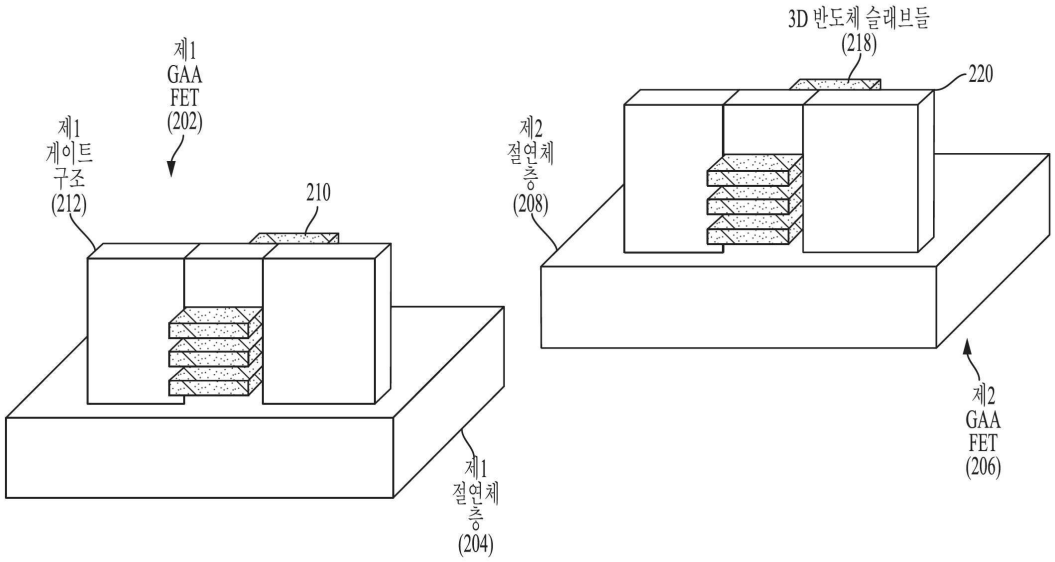
[0115] 상기 제1 게이트 구조를 상기 제2 게이트 구조에 결합시키는, 상기 본딩 층을 통해 연장되는 비아를 형성하는 단계를 더 포함하는, 적층된 CFET를 제조하는 방법.

도면

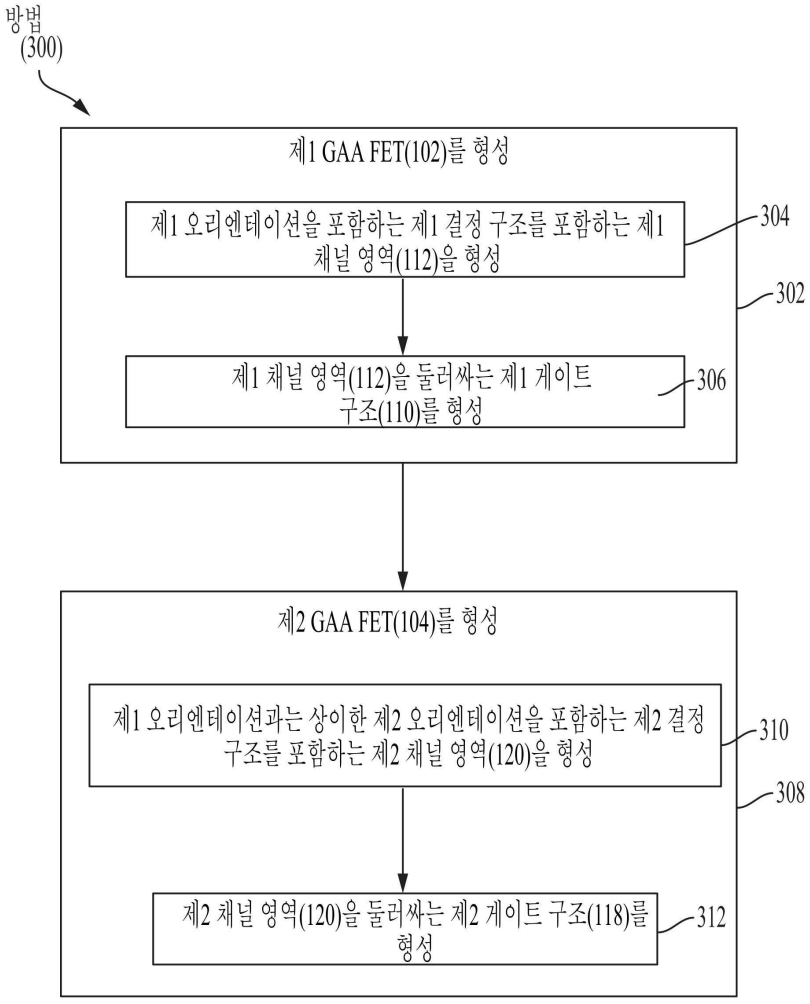
도면1



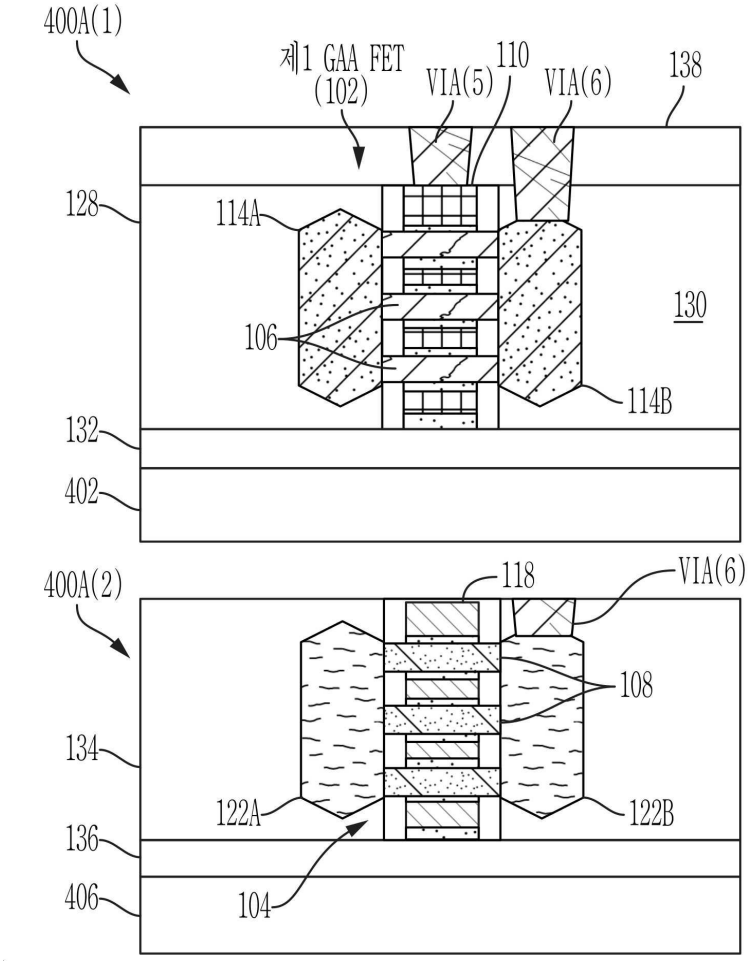
도면2


제1
GAA
FET
(202)
제1
게이트
구조
(212)
210
제1
절연체
층
(204)
3D 반도체 슬래브들
(218)
220
제2
절연체
층
(208)
제2
GAA
FET
(206)

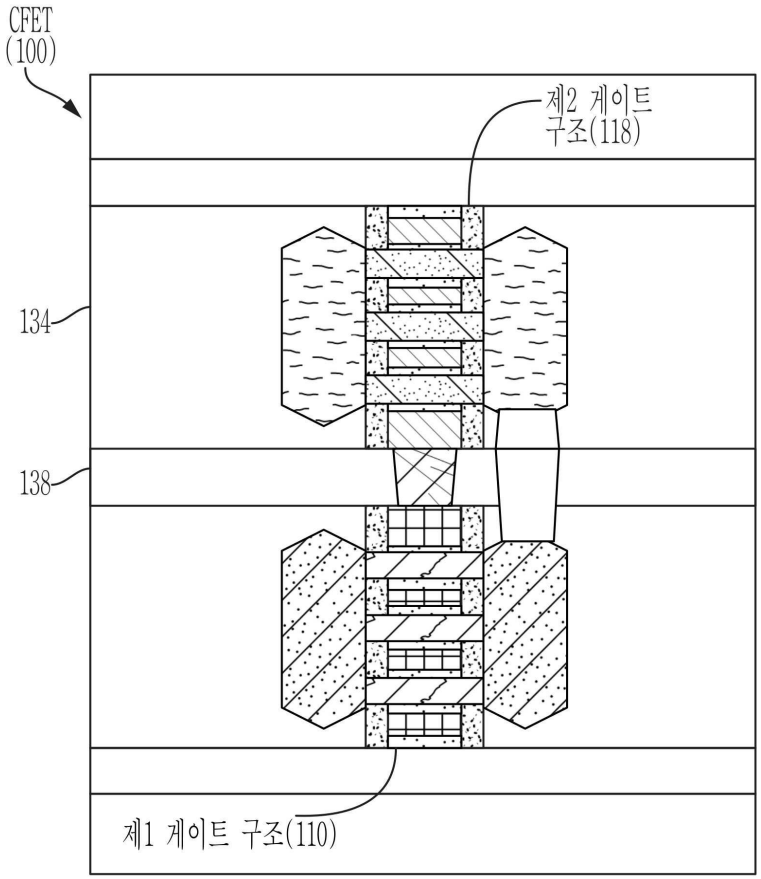
도면3


방법
(300)
제1 GAA FET(102)를 형성
제1 오리엔테이션을 포함하는 제1 결정 구조를 포함하는 제1 채널 영역(112)을 형성
304
302
제1 채널 영역(112)을 둘러싸는 제1 게이트 구조(110)를 형성
306
제2 GAA FET(104)를 형성
제1 오리엔테이션과는 상이한 제2 오리엔테이션을 포함하는 제2 결정 구조를 포함하는 제2 채널 영역(120)을 형성
310
308
제2 채널 영역(120)을 둘러싸는 제2 게이트 구조(118)를 형성
312

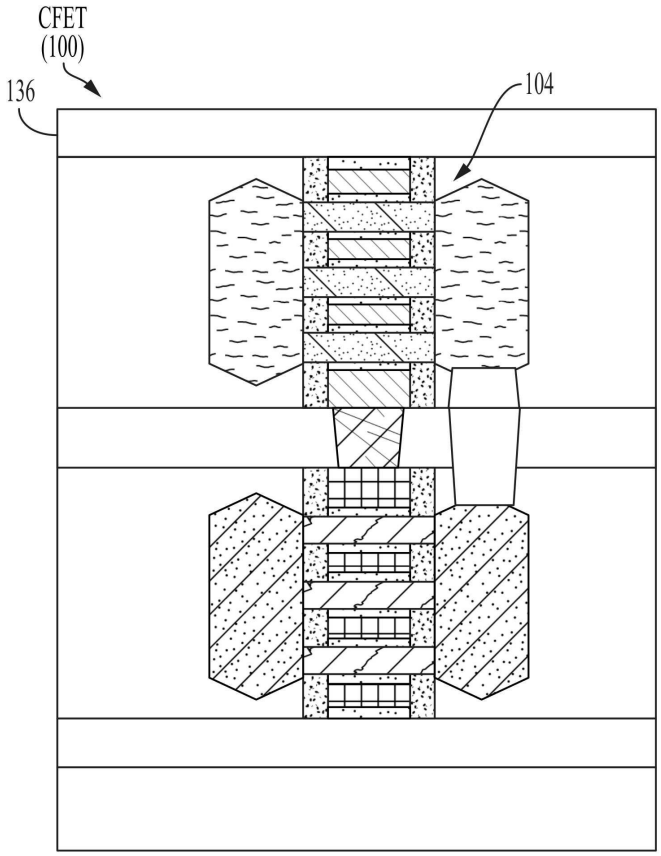
도면4a


400A(1)
제1 GAA FET
(102)
VIA(5)
110
VIA(6)
138
128
114A
130
106
114B
132
402
400A(2)
118
VIA(6)
108
134
122A
122B
136
406
104

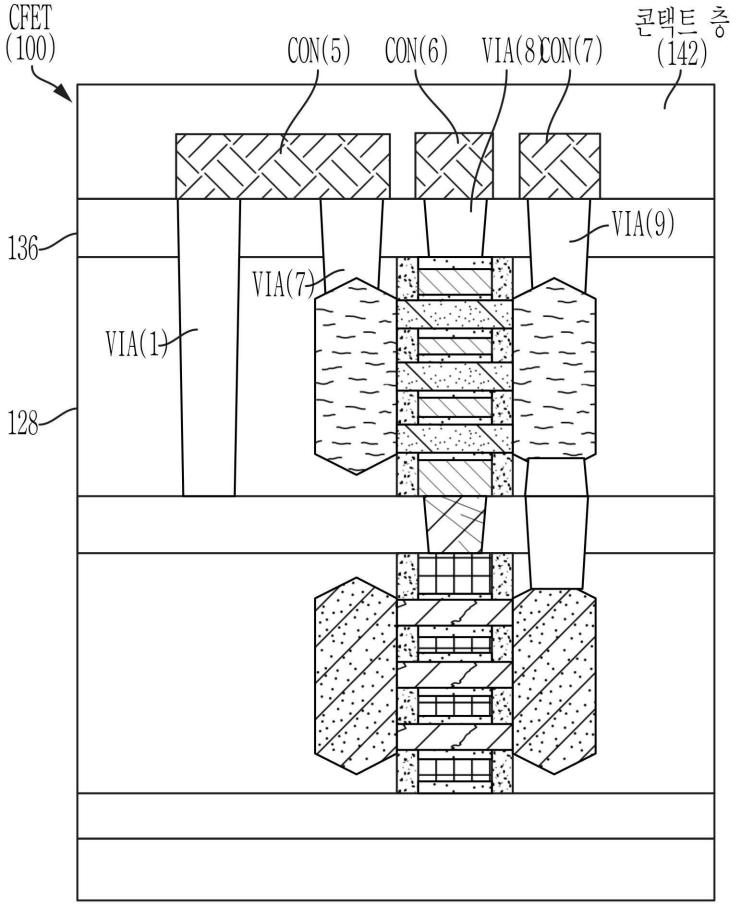
도면4b



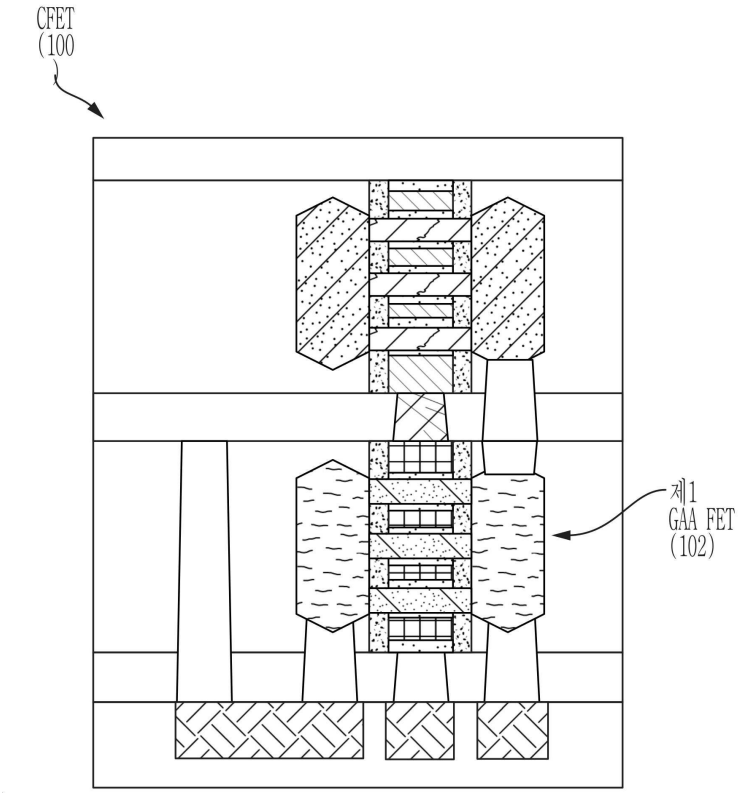
도면4c



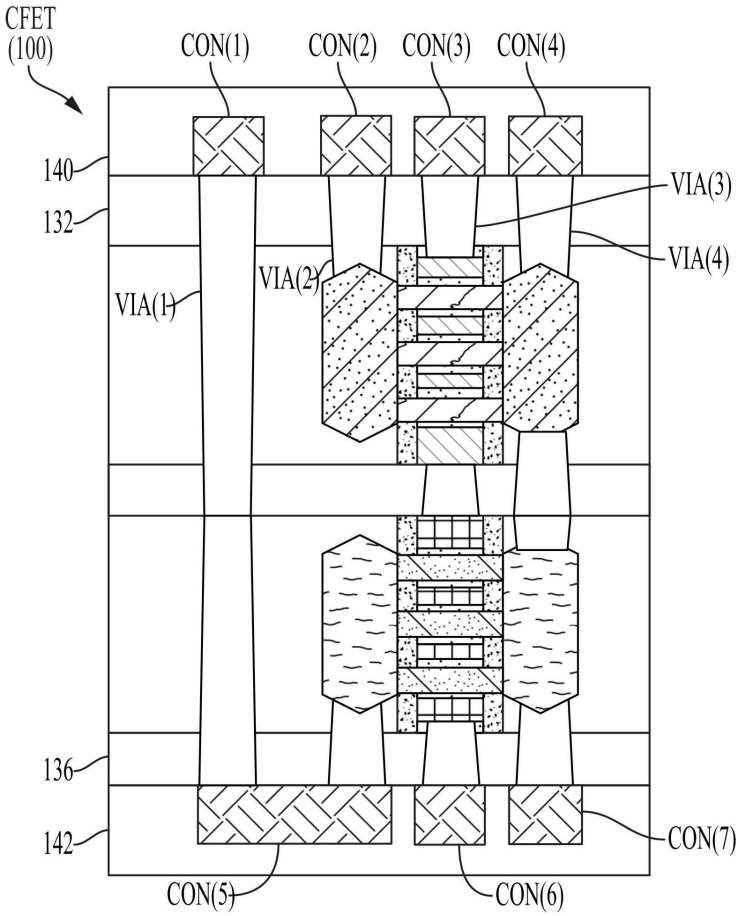
도면4d



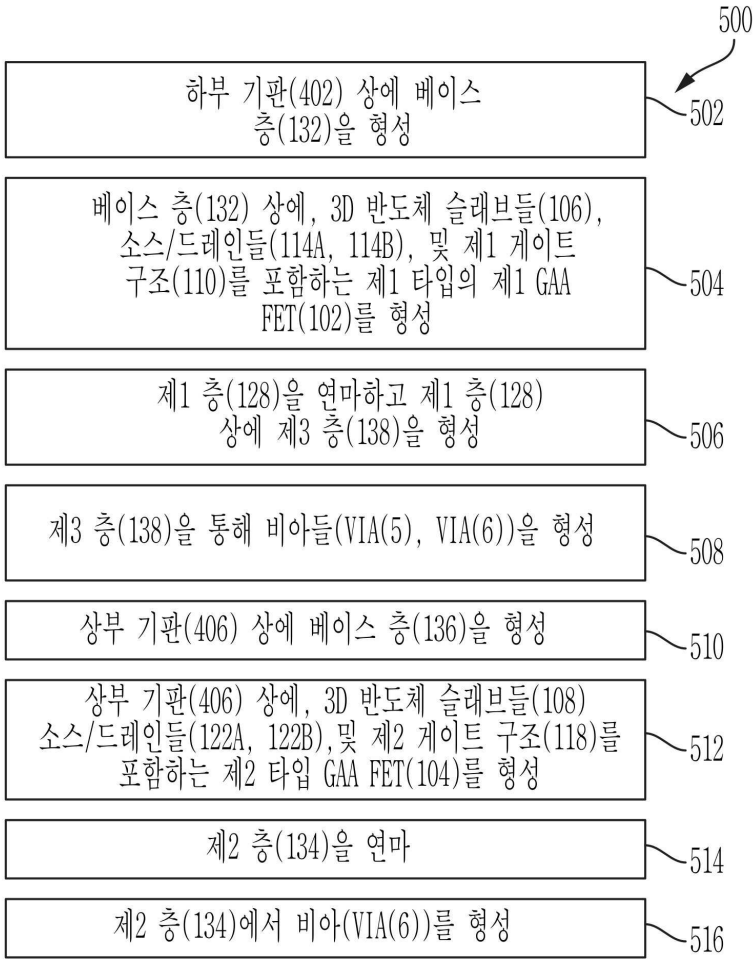
도면4e



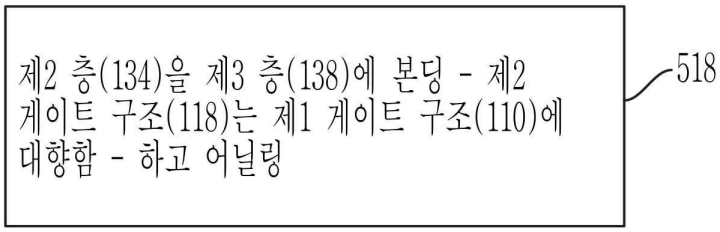
도면4f


CFET
(100)
CON(1)
CON(2)
CON(3)
CON(4)
140
132
VIA(3)
VIA(4)
VIA(2)
VIA(1)
136
142
CON(7)
CON(5)
CON(6)

도면5a


500
하부 기판(402) 상에 베이스 층(132)을 형성
502
베이스 층(132) 상에, 3D 반도체 슬래브들(106), 소스/드레인들(114A, 114B), 및 제1 게이트 구조(110)를 포함하는 제1 타입의 제1 GAA FET(102)를 형성
504
제1 층(128)을 연마하고 제1 층(128) 상에 제3 층(138)을 형성
506
제3 층(138)을 통해 비아들(VIA(5), VIA(6))을 형성
508
상부 기판(406) 상에 베이스 층(136)을 형성
510
상부 기판(406) 상에, 3D 반도체 슬래브들(108) 소스/드레인들(122A, 122B),및 제2 게이트 구조(118)를 포함하는 제2 타입 GAA FET(104)를 형성
512
제2 층(134)을 연마
514
제2 층(134)에서 비아(VIA(6))를 형성
516

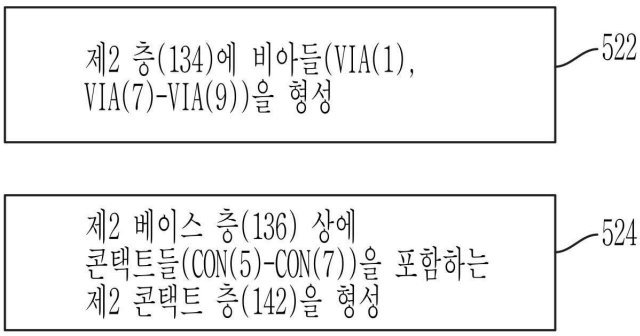
도면5b


제2 층(134)을 제3 층(138)에 본딩 - 제2 게이트 구조(118)는 제1 게이트 구조(110)에 대향함 - 하고 어닐링
518

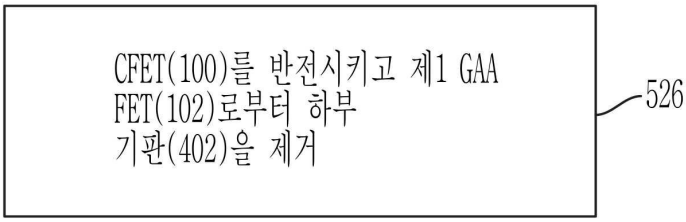
도면5c



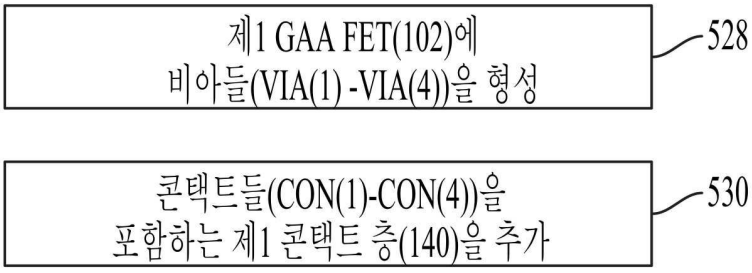
도면5d



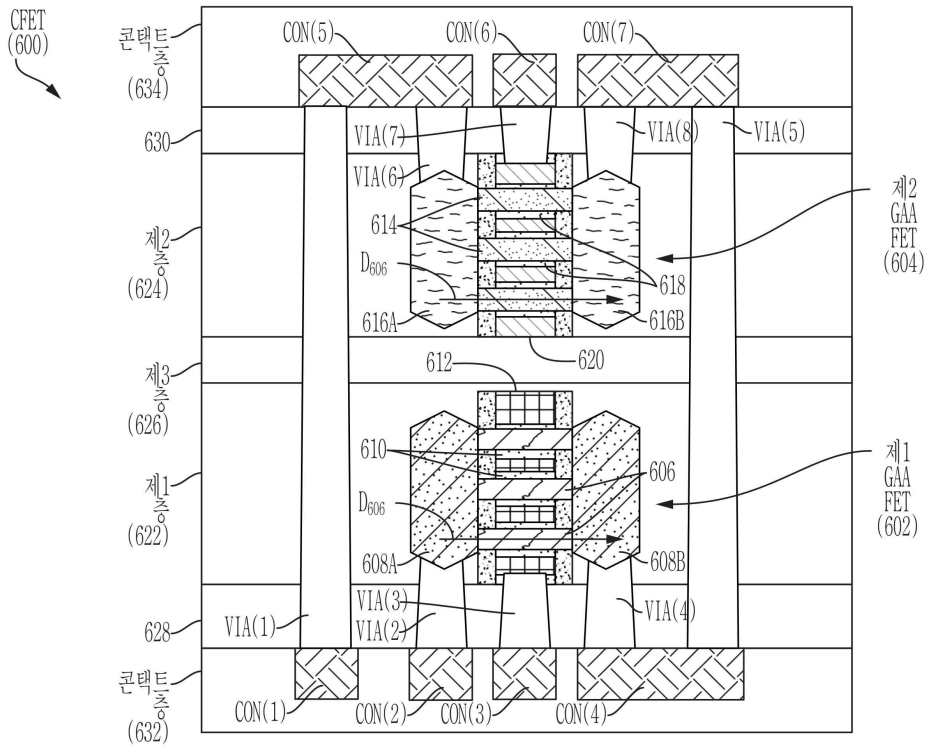
도면5e



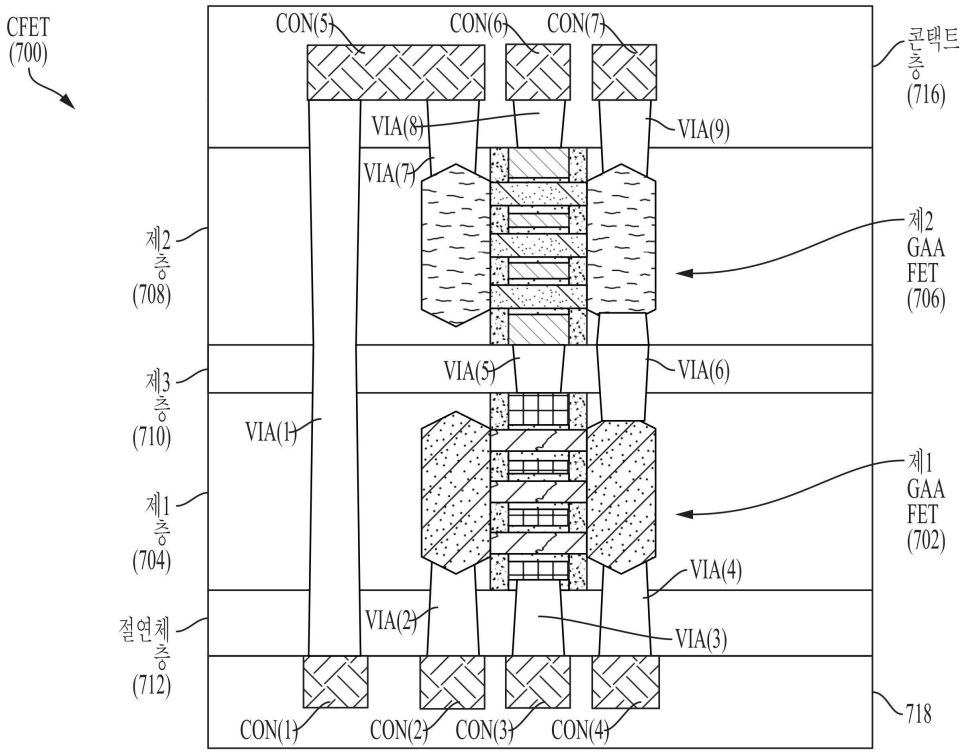
도면5f



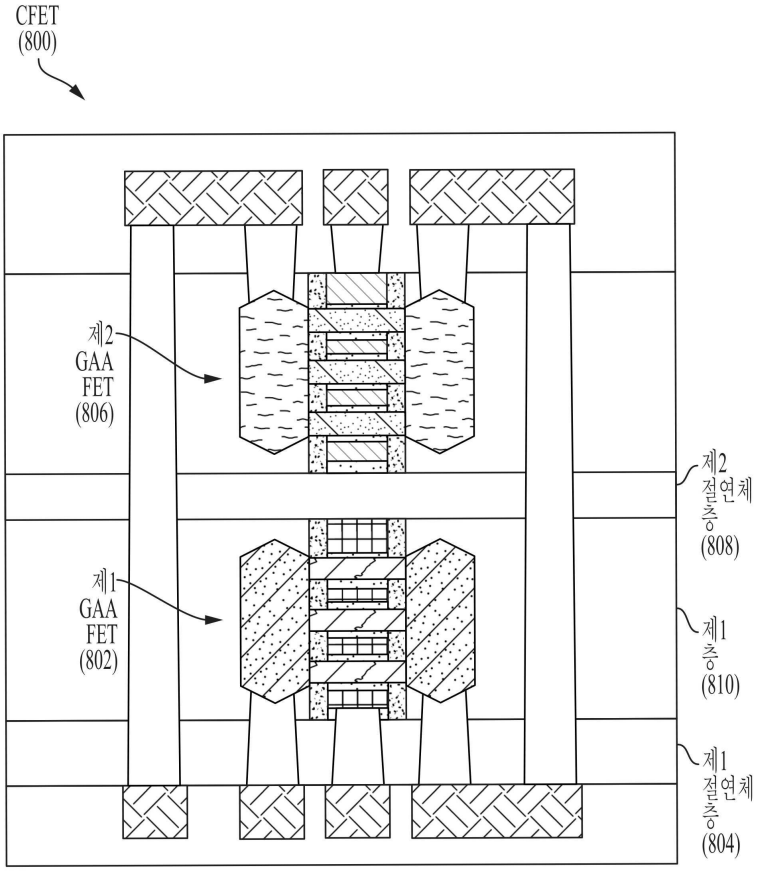
도면6


CFET
(600)
콘택트층
(634)
CON(5)
CON(6)
CON(7)
630
VIA(7)
VIA(8)
VIA(5)
VIA(6)
제2
GAA
FET
(604)
제2층
(624)
614
D606
618
616A
616B
612
620
제3층
(626)
610
606
제1
GAA
FET
(602)
제1층
(622)
D606
608A
608B
VIA(3)
VIA(4)
628
VIA(1)
VIA(2)
콘택트층
(632)
CON(1)
CON(2)
CON(3)
CON(4)

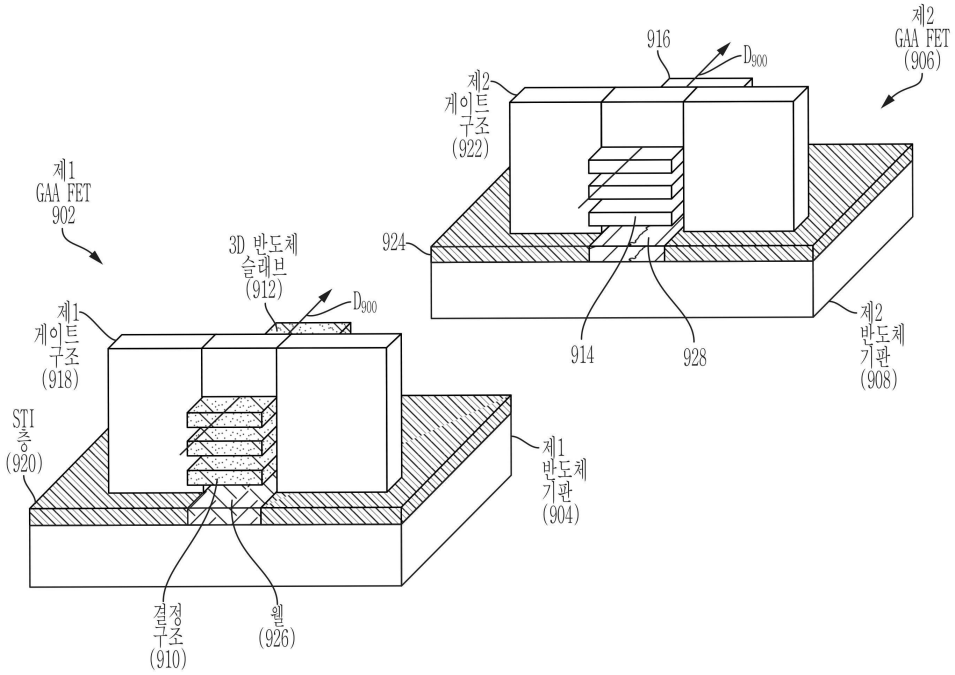
도면7


CFET
(700)
CON(5)
CON(6)
CON(7)
콘택트
층
(716)
VIA(8)
VIA(9)
VIA(7)
제2층
(708)
제2
GAA
FET
(706)
VIA(5)
VIA(6)
제3층
(710)
VIA(1)
제1층
(704)
제1
GAA
FET
(702)
VIA(4)
절연체층
(712)
VIA(2)
VIA(3)
718
CON(1)
CON(2)
CON(3)
CON(4)

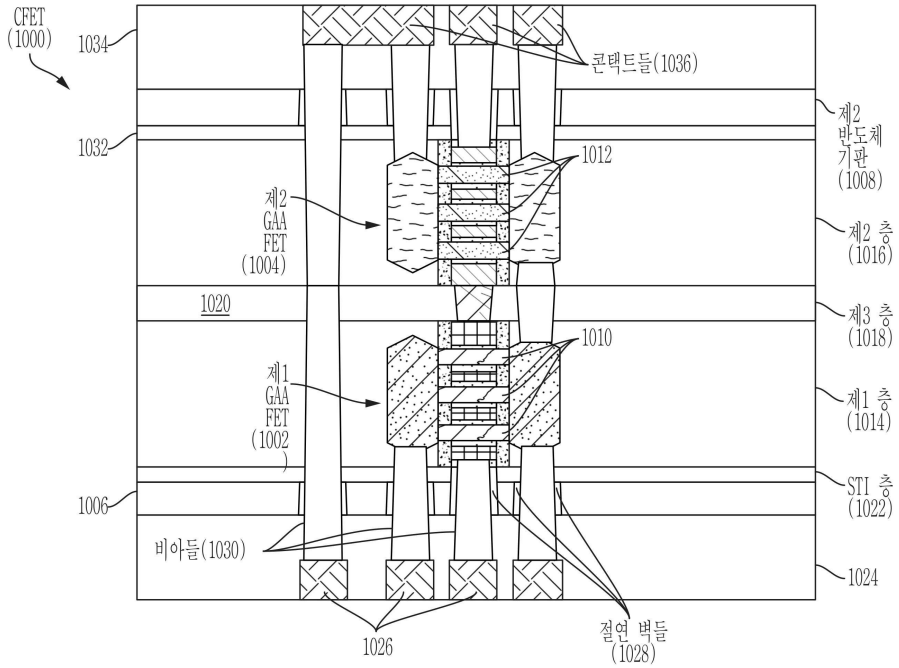
도면8


CFET
(800)
제2
GAA
FET
(806)
제1
GAA
FET
(802)
제2
절연체
층
(808)
제1
층
(810)
제1
절연체
층
(804)

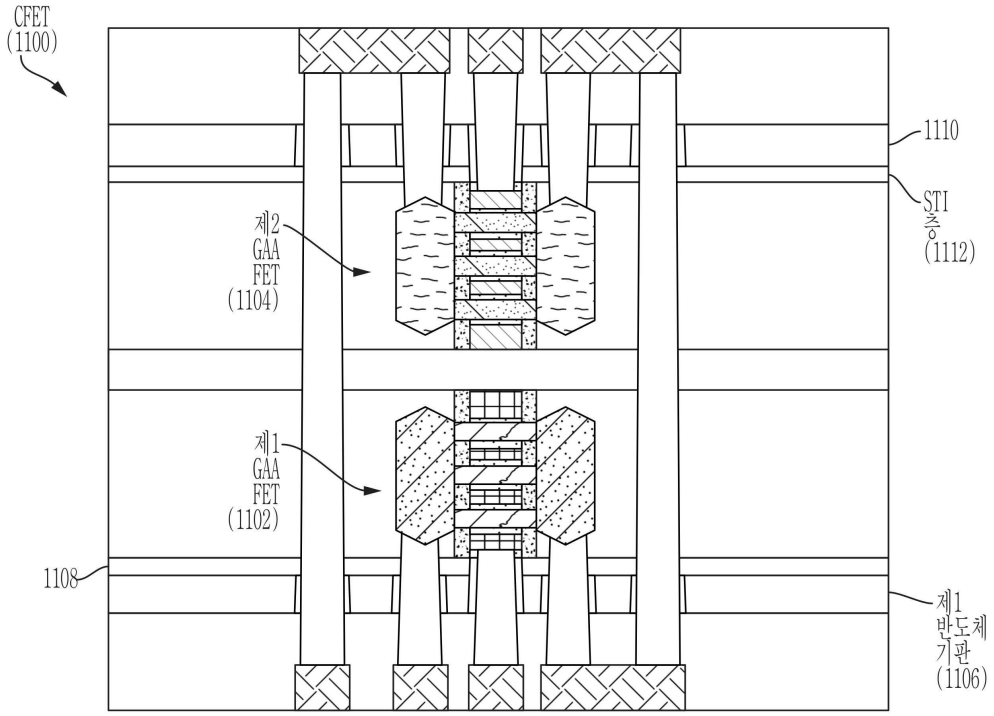
도면9


제1
GAA FET
902
제2
GAA FET
(906)
916
D_{900}
제2
게이트
구조
(922)
3D 반도체
슬래브
(912)
D_{900}
제1
게이트
구조
(918)
924
914
928
제2
반도체
기판
(908)
STI
층
(920)
제1
반도체
기판
(904)
결정
구조
(910)
웰
(926)

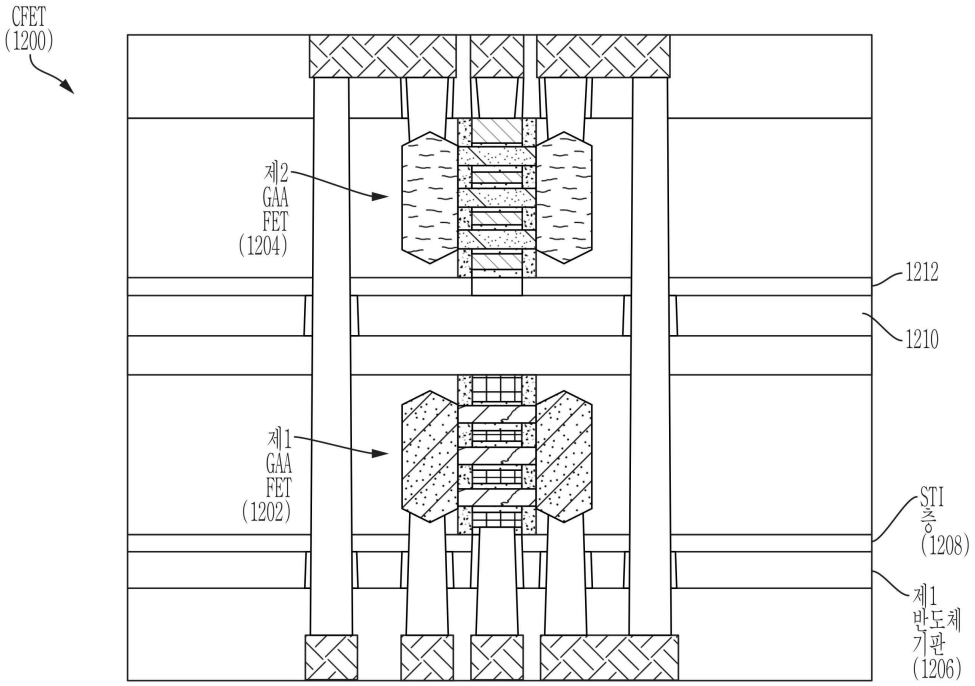
도면10


CFET
(1000)
1034
콘택트들(1036)
제2
반도체
기판
(1008)
1032
1012
제2
GAA
FET
(1004)
제2 층
(1016)
1020
제3 층
(1018)
1010
제1
GAA
FET
(1002)
제1 층
(1014)
STI 층
(1022)
1006
비아들(1030)
1024
1026
절연 벽들
(1028)

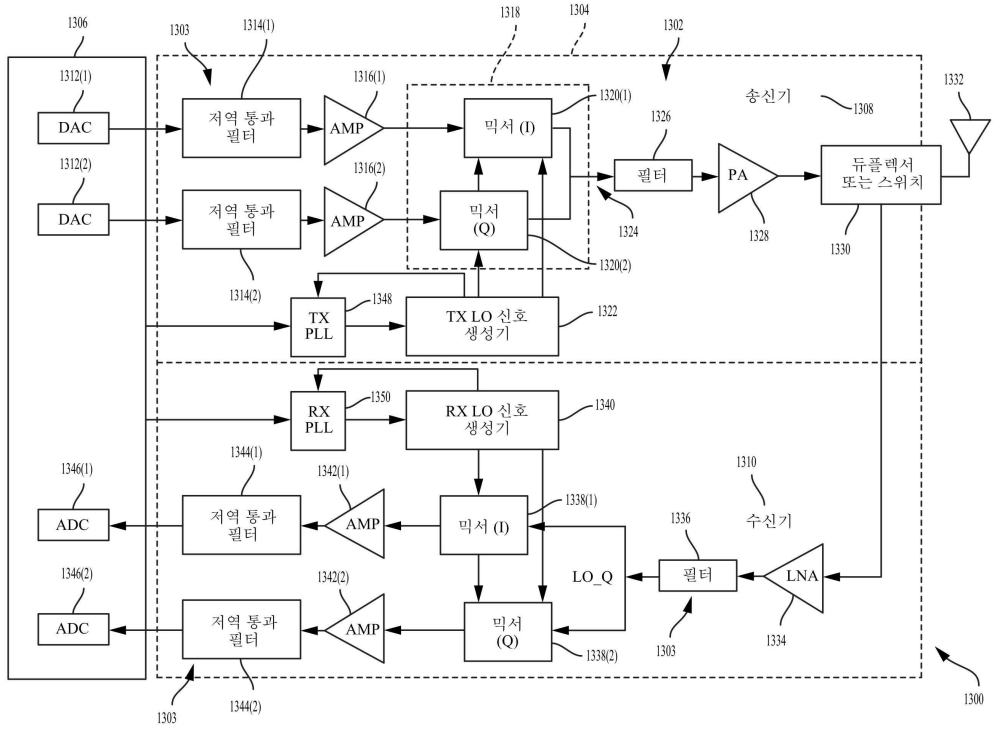
도면11


CFET
(1100)
1110
STI
층
(1112)
제2
GAA
FET
(1104)
제1
GAA
FET
(1102)
1108
제1
반도체
기판
(1106)

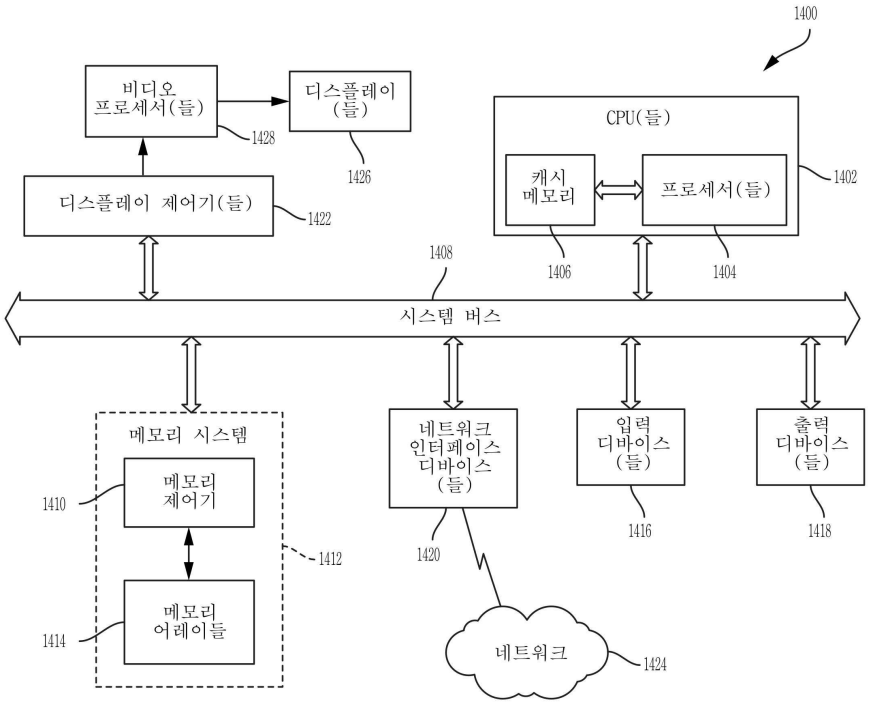
도면12


CFET
(1200)
제2
GAA
FET
(1204)
제1
GAA
FET
(1202)
1212
1210
STI
층
(1208)
제1
반도체
기판
(1206)

도면13


1306
1303
1314(1)
1318
1304
1302
1312(1)
DAC
저역 통과
필터
1316(1)
AMP
믹서 (I)
1320(1)
송신기
1308
1332
1326
필터
PA
듀플렉서
또는 스위치
1312(2)
DAC
저역 통과
필터
1316(2)
AMP
믹서
(Q)
1320(2)
1324
1328
1330
1314(2)
TX
PLL
1348
TX LO 신호
생성기
1322
RX
PLL
1350
RX LO 신호
생성기
1340
1310
수신기
1344(1)
1342(1)
1346(1)
ADC
저역 통과
필터
AMP
믹서 (I)
1338(1)
LO_Q
1336
필터
LNA
1346(2)
ADC
저역 통과
필터
1342(2)
AMP
믹서
(Q)
1338(2)
1303
1334
1303
1344(2)
1300

도면14


1400
비디오 프로세서(들)
1428
디스플레이(들)
1426
CPU(들)
캐시 메모리
프로세서(들)
1402
디스플레이 제어기(들)
1422
1406
1404
1408
시스템 버스
메모리 시스템
메모리 제어기
1410
1412
메모리 어레이들
1414
네트워크 인터페이스 디바이스(들)
1420
입력 디바이스(들)
1416
출력 디바이스(들)
1418
네트워크
1424