

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2004-164776  
(P2004-164776A)

(43) 公開日 平成16年6月10日(2004.6.10)

(51) Int. Cl. <sup>7</sup>	F I	テーマコード (参考)
G 1 1 C 16/06	G 1 1 C 17/00 6 3 3 D	5 B 0 2 5
G 1 1 C 16/02	G 1 1 C 17/00 6 3 4 B	5 F 0 8 3
G 1 1 C 16/04	G 1 1 C 17/00 6 2 2 E	5 F 1 0 1
H 0 1 L 21/8247	G 1 1 C 17/00 6 3 3 E	
H 0 1 L 27/115	G 1 1 C 17/00 6 3 4 F	
審査請求 未請求 請求項の数 6 O L (全 11 頁) 最終頁に続く		

(21) 出願番号 特願2002-331275 (P2002-331275)  
(22) 出願日 平成14年11月14日 (2002.11.14)

(71) 出願人 000004226  
日本電信電話株式会社  
東京都千代田区大手町二丁目3番1号  
(74) 代理人 100070150  
弁理士 伊東 忠彦  
(72) 発明者 中田 俊司  
東京都千代田区大手町二丁目3番1号 日  
本電信電話株式会社内  
Fターム(参考) 5B025 AD03 AD04 AD10 AE06  
5F083 EP76 ER05 ER23 GA05  
5F101 BC02 BD34 BE07 BE14

(54) 【発明の名称】 メモリ回路及びデータ消去及び書き込み方法

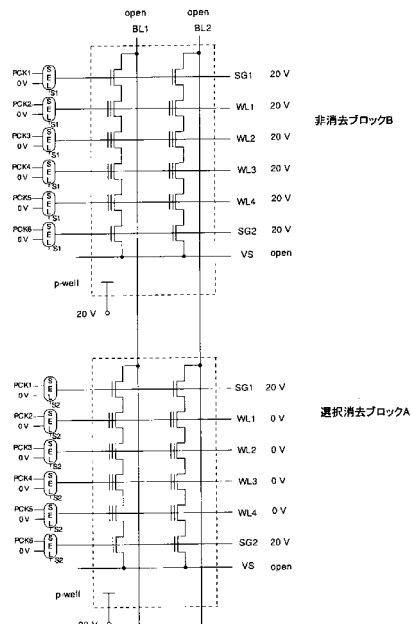
(57) 【要約】

【課題】 E E P R O M のメモリ回路におけるデータの消去及び書き込みにおける消費電力を低減させる。

【解決手段】 本発明は、メモリ回路におけるワード線及びビット線に断熱的に充電/放電を行う電荷再利用型電源からのパワークロックを接続することにより、データの消去時及びデータの書き込み時における充電/放電を緩やかに行うことにより、消費電力を低減する。

【選択図】 図 1

本発明の第 1 の実施の形態における N A N D 型フラッシュのブロック消去時のメモリ回路の構成図



## 【特許請求の範囲】

## 【請求項 1】

ソース線と、ビット線と、第 1 の選択ゲートと、第 2 の選択ゲートと、該ソース線と該第 1 の選択ゲートを通して縦積みに直列接続され、該第 2 の選択ゲートを通して該ビット線と接続される複数の記憶素子と、各記憶素子に接続されるワード線と、p - w e l l を有する非消去ブロックと消去ブロックからなる E E P R O M のメモリ回路であって、前記ワード線に接続される、電荷再利用型電源からの出力であるパワークロックまたは、0 V を選択する選択回路を有し、前記消去ブロックのワード線に接続された前記選択回路は、0 V を選択して該ワード線に出力する手段を有し、前記非消去ブロックのワード線に接続された前記選択回路は、電荷再利用電源からのパワークロックを選択して該ワード線に出力する手段を有し、p - w e l l に対してもパワークロックにより充放電することを特徴とするメモリ回路。

10

## 【請求項 2】

ソース線と、ビット線と、第 1 の選択ゲートと、第 2 の選択ゲートと、該ソース線と該第 1 の選択ゲートを通して縦積みに直列接続され、該第 2 の選択ゲートを通して該ビット線と接続される複数の記憶素子と、各記憶素子に接続されるワード線と、p - w e l l を有する E E P R O M のメモリ回路であって、前記ワード線に接続される、電荷再利用型電源からの出力であるパワークロックまたは、0 V を選択する選択回路と、データの書き込み時に、前記選択回路により前記パワークロックを選択して、該書き込みを行わないビット線の電圧を所定の電圧まで断熱的に昇圧し、次に、ワード線の電圧を該パワークロックにより所定の電圧まで断熱的に昇圧し、次に、書き込みを行うワード線の電圧を該パワークロックにより所定のより高い電圧まで断熱的に昇圧する昇圧手段と、昇圧後に、前記選択手段より前記パワークロックを選択して、前記書き込みを行うワード線の電圧を所定の電圧まで断熱的に降下させ、次に、ワード線の電圧を該パワークロックにより一斉に所定の電圧まで断熱的に降下させ、前記書き込みを行わないビット線の電圧を該パワークロックにより所定の電圧まで断熱的に降下させる降圧手段と、を有することを特徴とするメモリ回路。

20

## 【請求項 3】

ソース線と、ビット線と、第 1 の選択ゲートと、第 2 の選択ゲートと、該ソース線と該第 1 の選択ゲートを通して縦積みに直列接続され、該第 2 の選択ゲートを通して該ビット線と接続される複数の記憶素子と、各記憶素子に接続されるワード線と、p - w e l l を有する非消去ブロックと消去ブロックからなる E E P R O M のメモリ回路におけるデータ消去方法において、データの消去時に、前記ワード線、前記 p - w e l l の電位を 0 V から消去に必要な電圧まで電圧を昇圧させる際に、電荷再利用型電源からのパワークロックを該ワード線に出力することにより断熱的に充電を行い、消去に必要な電圧から 0 V まで電圧を降下させる際に、前記パワークロックを前記ワード線及び p - w e l l に対して出力し、断熱的に低減することを特徴とするデータ消去方法。

30

40

## 【請求項 4】

ソース線と、ビット線と、第 1 の選択ゲートと、第 2 の選択ゲートと、該ソース線と該第 1 の選択ゲートを通して縦積みに直列接続され、該第 2 の選択ゲートを通して該ビット線と接続される複数の記憶素子と、各記憶素子に接続されるワード線と、p - w e l l を有する E E P R O M のメモリ回路におけるデータ書き込み方法において、データの書き込み時に、書き込みを行わないビット線を、電荷再利用型電源からのパワークロックにより、所定の電圧まで断熱的に昇圧することを特徴とするデータ書き込み方法。

## 【請求項 5】

50

ソース線と、ビット線と、第1の選択ゲートと、第2の選択ゲートと、該ソース線と該第1の選択ゲートを通して縦積みに直列接続され、該第2の選択ゲートを通して該ビット線と接続される複数の記憶素子と、各記憶素子に接続されるワード線と、p-wellを有するEEPROMのメモリ回路におけるデータ書き込み方法において、データの書き込み時に、書き込みを行うワード線及び、書き込みを行わないワード線をそれぞれ、電荷再利用型電源からのパワークロックにより、所定の電圧まで断熱的に昇圧することを特徴とするデータ書き込み方法。

【請求項6】

ソース線と、ビット線と、第1の選択ゲートと、第2の選択ゲートと、該ソース線と該第1の選択ゲートを通して縦積みに直列接続され、該第2の選択ゲートを通して該ビット線と接続される複数の記憶素子と、各記憶素子に接続されるワード線と、p-wellを有するEEPROMのメモリ回路におけるデータ書き込み方法において、データの書き込み時に、電荷再利用型電源からのパワークロックにより、書き込みを行わないビット線の電圧を所定の電圧まで断熱的に昇圧し、前記パワークロックにより、ワード線の電圧を所定の電圧まで断熱的に昇圧し、前記パワークロックにより、書き込みを行うワード線の電圧を所定のより高い電圧まで断熱的に昇圧し、前記パワークロックにより、前記書き込みを行うワード線の電圧を所定の電圧まで断熱的に降下させ、

10

前記パワークロックにより、ワード線の電圧を一斉に所定の電圧まで断熱的に降下させ、前記パワークロックにより、前記書き込みを行わないビット線の電圧をを所定の電圧まで断熱的に降下させることを特徴とするデータ書き込み方法。

20

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、メモリ回路及びデータ消去及び書き込み方法に係り、特に、EEPROMのデータの消去及び書き込みを行うメモリ回路及びデータ消去及び書き込み方法に関する。

【0002】

【従来の技術】

従来のEEPROMのデータの消去方法をNAND型について以下に説明する（例えば、非特許文献1または、非特許文献2参照。）。 30

【0003】

図8は、NAND型EEPROMの回路構成を示す。

【0004】

ソース線VSから選択ゲートSG2を通して縦積みでトランジスタが直列接続されている。そして、選択ゲートSG1を通して、ビット線BL1, BL2に接続されている。

【0005】

消去を行う選択消去ブロックAに関しては、選択ゲートSG1, SG2を20V、ワード線は0V, また、ソース線VSは、openとする。消去を行わない非消去ブロックBに関しては、選択ゲートSG1, SG2、ワード線WLは、20V、ソース線VSは、openとする。また、p-wellは、選択消去ブロックA及び非消去ブロックB共に20Vとする。 40

【0006】

従来方法では、CMOS論理により、図9のように、0Vから20Vに急激に充電し、急激に放電を行っている。消去を行うことにより、メモリセルの閾値電圧は、図10に示すように、全てマイナスの値となる。

【0007】

図11(A)に、消去状態におけるFowler-Nordheim電流(FN電流)の様子を示す。フローティングゲートから基板の方へと電子が移動するのがわかる。

【0008】

50

また、図12は、従来のNAND型フラッシュの書き込み時のメモリ回路の構成を示す。書き込みを行うビット線BL1は、0V、書き込みを禁止するビット線BL2は、7Vとする。また、選択ゲートSG1は10V、選択しないワード線は10V、選択するワード線（図12の例では、WL2）は20V、選択ゲートSG2、ソース線VSは0Vとする。また、p-wellは0Vである。このとき、ビット線BL1と、ワード線WL2により指定された選択セルに対して、書き込みが行われる。電圧の時間変化は、例えば、図13に示すようになる。このとき、メモリセルの閾値電圧は、図10に示すようにすべてプラスの値となる。図11(B)に、書き込み状態におけるFowler-Nordheim電流(FN電流)の様子を示す。基板からフローティングゲートの方へと電子が移動するのがわかる。

10

【0009】

【非特許文献1】

フラッシュメモリ技術ハンドブック、榎岡富士雄編者、サイエンスフォーラム、1993

【非特許文献2】

低消費電力、高速LSI技術、桜井貴康編者、リアライズ社、1998.

【0010】

【発明が解決しようとする課題】

しかしながら、上記従来の技術では、大きな負荷容量を持つワード線及びビット線の充電/放電のために、消費電力を低減できないという問題がある。

20

【0011】

本発明は、上記の点に鑑みなされたもので、ワード線及びビット線の充電/放電の際の消費電力を低減することが可能なメモリ回路及びデータ消去及び書き込み方法を提供することを目的とする。

【0012】

【課題を解決するための手段】

本発明は、ソース線と、ビット線と、第1の選択ゲートと、第2の選択ゲートと、該ソース線と該第1の選択ゲートを通して縦積みに直列接続され、該第2の選択ゲートを通して該ビット線と接続される複数の記憶素子と、各記憶素子に接続されるワード線と、p-wellを有する非消去ブロックと消去ブロックからなるEEPROMのメモリ回路であって、

30

ワード線に接続される、電荷再利用型電源からの出力であるパワーロックまたは、0Vを選択する選択回路を有し、

消去ブロックのワード線に接続された選択回路は、0Vを選択して該ワード線に出力する手段を有し、

非消去ブロックのワード線に接続された選択回路は、電荷再利用電源からのパワーロックを選択して該ワード線に出力する手段を有し、p-wellに対してもパワーロックにより充放電する。

【0013】

本発明は、ソース線と、ビット線と、第1の選択ゲートと、第2の選択ゲートと、該ソース線と該第1の選択ゲートを通して縦積みに直列接続され、該第2の選択ゲートを通して該ビット線と接続される複数の記憶素子と、各記憶素子に接続されるワード線と、p-wellとを有するEEPROMのメモリ回路であって、

40

ワード線に接続される、電荷再利用型電源からの出力であるパワーロックまたは、0Vを選択する選択回路と、

データの書き込み時に、選択回路によりパワーロックを選択して、該書き込みを行わないビット線の電圧を所定の電圧まで断熱的に昇圧し、次に、ワード線の電圧をパワーロックにより所定の電圧まで断熱的に昇圧し、次に書き込みを行うワード線の電圧を所定のより高い電圧まで断熱的に昇圧する昇圧手段と、

昇圧後に、選択手段よりパワーロックを選択して、書き込みを行うワード線の電圧を所

50

定の電圧まで断熱的に降下させ、次に、ワード線の電圧をパワークロックを用いて一斉に所定の電圧まで断熱的に降下させ、書き込みを行わないビット線の電圧をパワークロックを用いて所定の電圧まで断熱的に降下させる降圧手段と、を有する。

**【0014】**

本発明は、ソース線と、ビット線と、第1の選択ゲートと、第2の選択ゲートと、該ソース線と該第1の選択ゲートを通して縦積みに直列接続され、該第2の選択ゲートを通して該ビット線と接続される複数の記憶素子と、各記憶素子に接続されるワード線と、p - wellとを有する非消去ブロックと消去ブロックからなるEEPROMのメモリ回路におけるデータ消去方法において、

データの消去時に、ワード線、p - wellの電位を0Vから消去に必要な電圧まで電圧を昇圧させる際に、電荷再利用型電源からのパワークロックをワード線に出力することにより断熱的に充電を行い、

消去に必要な電圧から0Vまで電圧を降下させる際に、パワークロックをワード線及びp - wellに対して出力し、断熱的に低減する。

**【0015】**

本発明は、ソース線と、ビット線と、第1の選択ゲートと、第2の選択ゲートと、該ソース線と該第1の選択ゲートを通して縦積みに直列接続され、該第2の選択ゲートを通して該ビット線と接続される複数の記憶素子と、各記憶素子に接続されるワード線と、p - wellを有するEEPROMのメモリ回路におけるデータ書き込み方法において、

データの書き込み時に、書き込みを行わないビット線を、電荷再利用型電源からのパワークロックにより、所定の電圧まで断熱的に昇圧する。

**【0016】**

本発明は、ソース線と、ビット線と、第1の選択ゲートと、第2の選択ゲートと、該ソース線と該第1の選択ゲートを通して縦積みに直列接続され、該第2の選択ゲートを通して該ビット線と接続される複数の記憶素子と、各記憶素子に接続されるワード線と、p - wellとを有するEEPROMのメモリ回路におけるデータ書き込み方法において、

データの書き込み時に、書き込みを行うワード線及び、書き込みを行わないワード線をそれぞれ、電荷再利用型電源からのパワークロックにより、所定の電圧まで断熱的に昇圧する。

**【0017】**

本発明は、ソース線と、ビット線と、第1の選択ゲートと、第2の選択ゲートと、該ソース線と該第1の選択ゲートを通して縦積みに直列接続され、該第2の選択ゲートを通して該ビット線と接続される複数の記憶素子と、各記憶素子に接続されるワード線と、p - wellとを有するEEPROMのメモリ回路におけるデータ書き込み方法において、

データの書き込み時に、電荷再利用型電源からのパワークロックにより、書き込みを行わないビット線の電圧を所定の電圧まで断熱的に昇圧し、

パワークロックにより、ワード線の電圧を所定の電圧まで断熱的に昇圧し、

パワークロックにより、書き込みを行うワード線の電圧を所定のより高い電圧まで断熱的に昇圧し、

パワークロックにより、書き込みを行うワード線の電圧を所定の電圧まで断熱的に降下させ、

パワークロックにより、ワード線の電圧を一斉に所定の電圧まで断熱的に降下させ、

パワークロックにより、書き込みを行わないビット線の電圧をを所定の電圧まで断熱的に降下させる。

**【0018】**

上記のように、本発明では、ワード線及びビット線に緩やかに上昇/下降する波形の電荷再利用型電源(パワークロック(PCK))を接続する構成とすることにより、ワード線及びビット線への充電/放電をこのPCKで行うことを利用してデータの消去及び書き込みを可能とし、充電/放電に要する消費電力を低減することが可能となる。

**【0019】**

10

20

30

40

50

**【発明の実施の形態】**

以下、図面と共に本発明の実施の形態を説明する。

**【0020】****[第1の実施の形態]**

本実施の形態では、データの消去を行う場合について説明する。

**【0021】**

図1は、本発明の第1の実施の形態におけるNAND型フラッシュのブロック消去時のメモリ回路の構成を示す。同図に示すメモリ回路の回路構成自体は、図8に示す従来の回路と同様であるが、電圧を上昇/下降する時に、電荷再利用型電源によるパワーロックを用いる。そのために、選択ゲートSG1、ワード線WL1~WL4、選択ゲートSG2のそれぞれには、セクタ回路(SEL)が接続され、電荷再利用型電源からのパワーロック(PCK)または、0Vを選択するように構成されている。なお、電荷再利用型電源としては、[特願平11-33953「多相式電荷リサイクル階段状電源回路」、S hunji Nakata, et al., A low power multiplier using adiabatic charging binary decision diagram circuit, Japan. J. Appl. Phys. 39, 2305 (2000)]等の技術を用いるものとする。

10

**【0022】**

消去する選択消去ブロックAでは、ワード線のセクタ回路(SEL)において、0Vを選択する。消去しない非消去ブロックBでは、セクタ回路(SEL)において、パワー

20

**【0023】**

図2は、本発明の第1の実施の形態における電圧の時間変化を示す。具体的には、スイッチトキャパシタを用いた場合には、階段波形であり、LC回路を用いた場合には、三角関数のサイン波形である。

**【0024】**

図3は、本発明の第1の実施の形態におけるセクタ回路の構成を示す。図3(a)は、入力信号Sに対して、PCKまたは、0VのどちらかをOUTに出力することを示す。また、具体的な回路は(b)に示すように、S=1のとき、PCKを選択して出力し、S=0のとき、0Vを選択して出力する。

30

**【0025】****[第2の実施の形態]**

本実施の形態では、データの書き込みを行う場合について説明する。

**【0026】**

図4は、本発明の第2の実施の形態におけるNAND型フラッシュの書き込み時のメモリ回路の構成を示す。同図に示すメモリ回路の回路構成自体は、図12に示す従来の回路と同様であるが、電圧を上昇/下降させる時に、電荷再利用型電源によるパワーロックを用いる。そのために、選択ゲートSG1、ワード線WL1~WL4、選択ゲートSG2のそれぞれには、セクタ回路(SEL)が接続され、電荷再利用型電源からのパワーロック(PCK)または、0Vを選択するように構成されている。

40

**【0027】**

図5は、本発明の第2の実施の形態における電荷再利用型電源による電圧の変化の例を示し、図6は、本発明の第2の実施の形態における動作を示すフローチャートである。

**【0028】**

データの書き込みを行う時に、書き込みを行うビット線BL1は0Vとして、書き込みを行わないビット線BL2を7VまでPCKを用いて断熱的に昇圧する(ステップ101)。次に、ワード線WL1を10VまでPCKを用いて断熱的に昇圧し(ステップ102)、次に書き込みを行うワード線WL2のみをさらに書き込み電圧20VまでPCKを用いて断熱的に昇圧する(ステップ103)。

次に、全く逆の方法により、書き込みを行うワード線WL2を10VまでPCKを用いて

50

断熱的に電圧を低下させる。つまり、ワード線WL2のみを20Vから10Vまで低下させる(ステップ104)。次に、ワード線WL1, WL2を10Vから0VまでPCKを用いて断熱的に低下させる(ステップ105)。

【0029】

そして、書き込みを行わないビット線BL2を0VまでPCKを用いて断熱的に低下させる(ステップ106)。

【0030】

ここで示した、ビット線、ワード線の動作は一例であり、本発明はこれに限定されるものではなく、他の動作方法を行うことも可能である。

【0031】

また、このPCKを用いることにより、図7に示すように、充電/放電する際のエネルギーを1/10程度以下に低減することが可能となる。

【0032】

なお、本発明は、上記の実施の形態に限定されることなく、特許請求の範囲内において、種々変更・応用が可能である。

【0033】

【発明の効果】

従来方式では、ワード線とビット線の充電/放電をCMOS論理で行っているために、充電/放電の消費電力が大きいという問題があったが、上述のように、本発明によれば、緩やかに上昇/下降する波形の電荷再利用型電源からの出力であるパークロック(PCK)をワード線及びビット線に接続する構成とすることにより、充電/放電による消費電力を、従来の定電圧電源でプリチャージする構成に比べて低減することができる。

【図面の簡単な説明】

【図1】本発明の第1の実施の形態におけるNAND型フラッシュのブロック消去時のメモリ回路の構成図である。

【図2】本発明の第1の実施の形態における電圧の時間変化を示す図である。

【図3】本発明の第1の実施の形態におけるセクタ回路の構成図である。

【図4】本発明の第2の実施の形態におけるNAND型フラッシュの書き込み時のメモリ回路の構成図である。

【図5】本発明の第2の実施の形態における電圧の時間変化を示す図である。

【図6】本発明の第2の実施の形態における動作のフローチャートである。

【図7】本発明の効果を示す図である。

【図8】従来のNAND型フラッシュのブロック消去時のメモリ回路の構成図である。

【図9】従来の電圧の時間変化を示す図である。

【図10】消去状態と書き込み状態における閾値電圧の値を示す図である。

【図11】消去状態と書き込み状態におけるトンネル電流の様子を示す図である。

【図12】従来のNAND型フラッシュ書き込み時のメモリ回路の構成図である。

【図13】従来の電圧の時間変化を示す図である。

【符号の説明】

PCK1 ~ PCK6 パークロック線

SG1, SG2 選択ゲート

WL1 ~ WL4 ワード線

BL1, BL2 ビット線

VS ソース線

SEL セクタ回路

10

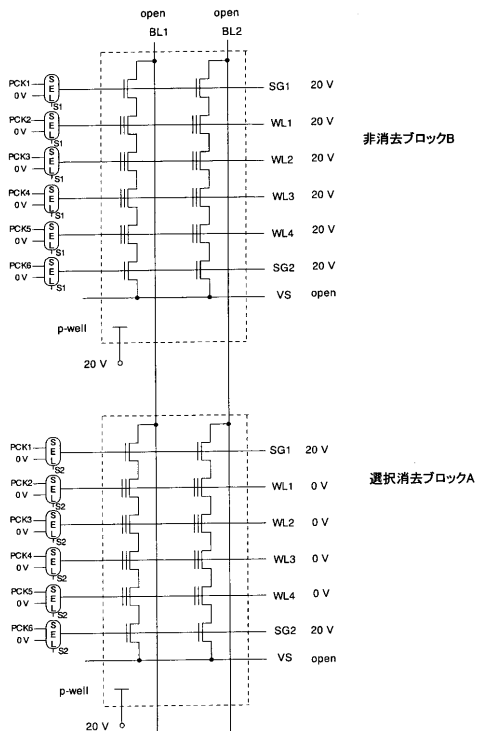
20

30

40

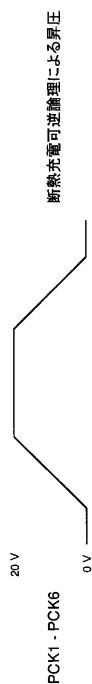
【 図 1 】

本発明の第1の実施の形態におけるNAND型フラッシュのブロック消去時のメモリ回路の構成図



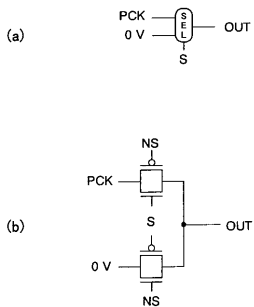
【 図 2 】

本発明の第1の実施の形態における電圧の時間変化を示す図



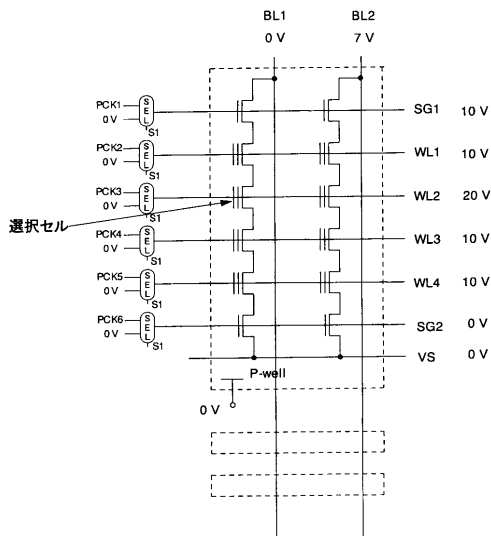
【 図 3 】

本発明の第1の実施の形態におけるセクタ回路の構成図



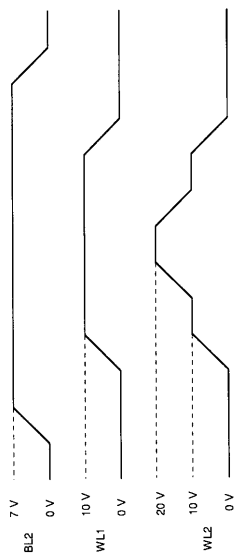
【 図 4 】

本発明の第2の実施の形態におけるNAND型フラッシュの書き込み時のメモリ回路の構成図



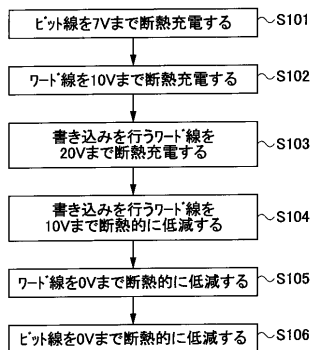
【 図 5 】

本発明の第2の実施の形態における電圧の時間変化を示す図



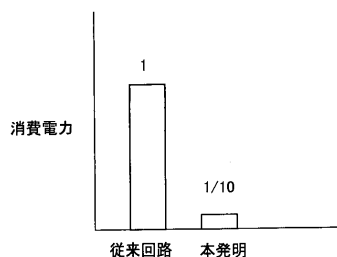
【 図 6 】

本発明の第2の実施の形態における動作のフローチャート



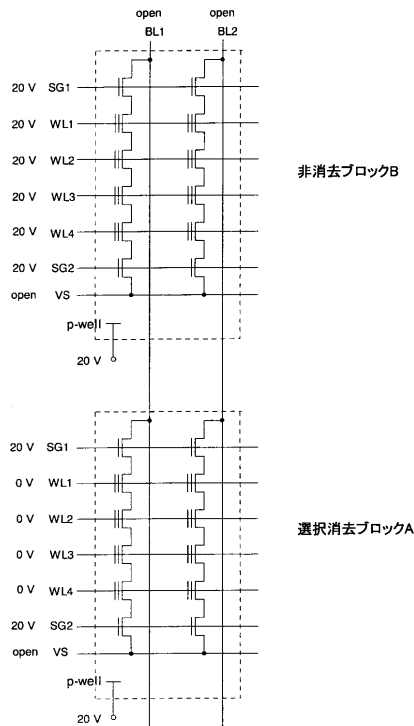
【 図 7 】

本発明の効果を示す図



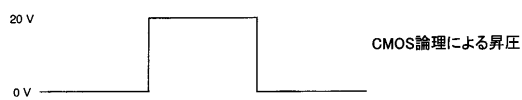
【 図 8 】

従来のNAND型フラッシュのブロック消去時のメモリ回路の構成図



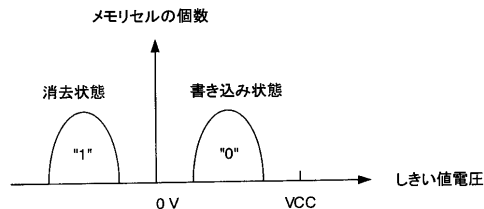
【 図 9 】

従来の電圧の時間変化を示す図



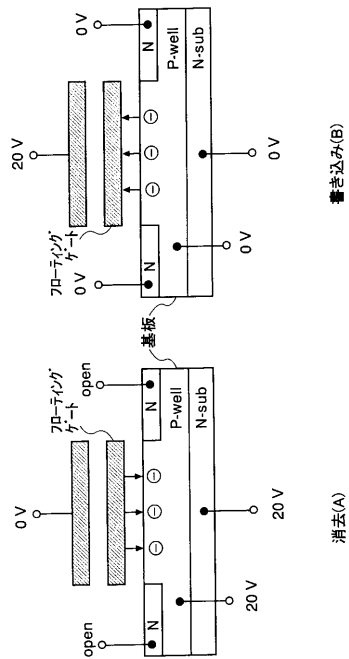
【 図 10 】

消去状態と書き込み状態におけるしきい値電圧の値を示す図



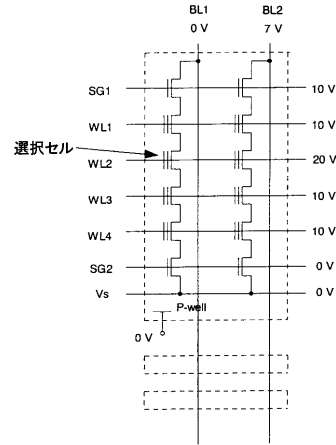
【 図 1 1 】

消去状態と書き込み状態におけるトンネル電流の様子を示す図



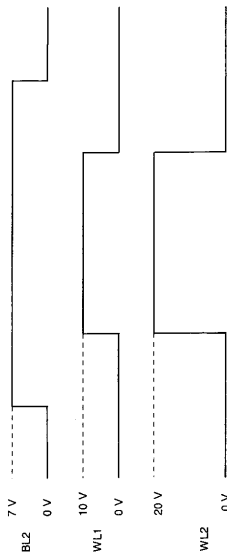
【 図 1 2 】

従来のNAND型フラッシュの書き込み時のメモリ回路の構成図



【 図 1 3 】

従来の電圧の時間変化を示す図



## フロントページの続き

(51) Int.Cl. <sup>7</sup>	F I	テーマコード(参考)
H 0 1 L 29/788	G 1 1 C 17/00	6 3 2 Z
H 0 1 L 29/792	G 1 1 C 17/00	6 1 2 F
	H 0 1 L 29/78	3 7 1
	H 0 1 L 27/10	4 3 4