

公告本

修正  
補充  
86年5月/DE

申請日期	85.10.24
案號	85113080
類別	H01L 23/18 H01L 01/00

A4  
C4

310467

310467

(以上各欄由本局填註)

中文說明書修正本(86年5月)

發明型專利說明書

一、發明 名稱	中文	具應力釋放裝置之電子封裝及其製造方法
	英文	"ELECTRONIC PACKAGE WITH STRAIN RELIEF MEANS AND METHOD OF MAKING"
二、發明 創作人	姓名	1. 大衛 詹姆士 艾柯 2. 史蒂芬 維恩 安德森 3. 依芬(NMN)古 4. 艾立克 亞瑟 強生
	國籍	均美國
三、申請人	住、居所	1. 美國紐約州維斯塔市 2. 美國紐約州安迪考特市 3. 美國紐約州維斯塔市 4. 美國紐約州阿蒙市
	姓名 (名稱)	美商萬國商業機器公司
	國籍	美國
	住、居所 (事務所)	美國紐約州阿蒙市
	代表 姓名	費羅普

裝

訂

線

經濟部中央標準局員工消費合作社印製

310467

(由本局填寫)

承辦人代碼：
大類：
IPC分類：

A6  
B6

本案已向：

美國(地區) 申請專利，申請日期：1996.2.1 案號：08/595 108' 有 無主張優先權

有關微生物已寄存於：

，寄存日期：

，寄存號碼：

(請先閱讀背面之注意事項再填寫本頁各欄)

裝

訂

線

經濟部中央標準局員工消費合作社印製

## 五、發明說明(1)

技術領域

本發明與電子封裝有關，特別是指使用撓性電路與半導體元件(晶片)者。此種封裝可以使用於如資訊處理系統(計算機)之類的產品中。

發明背景

上述之各種電子封裝為本行習知者。在美國專利第5,435,732號(Angulas等人)、第5,397,921號(Karnezos)、第5,386,341號(Olson等人)、第5,278,724號(Angulas等人)、第4,873,123號(Canestaro等人)及第5,383,787號(Switky等人)中均詳細定義出許多例子。

如其中所定義的，此類封裝通常含一半導體元件(晶片)，電性連至一電路化基板(如一撓性電路構件)之一側，該基板通常包含一電介質(如聚亞醯胺)，上面至少有一層電路(如銅)，此一晶片可用焊錫電性連至撓性電路構件的電路上。請見比方說第5,435,732號專利第10圖，一種工業上眾所週知的完成此一焊錫連接的技術為所謂之控制伸縮晶片連接(C4)程序，另一種已知方法為一熱壓縮黏合(TCB)程序。因為兩種程序均為已知，所以應可不作進一步之說明。撓性電路(通常稱為條帶)接著可電性連至各電路，如銅焊墊或銅線，在一電路化基板表面上形成，此基板如另一撓性電路，一更硬的印刷電路板、一陶瓷基板等。電路板通常包含好幾層電介質材料，如光纖強化的環氧樹脂，夾著各種導體層面，如電源、信號及/或接地平面，且通常含有板上通孔及/或內部導電通孔，此均為本行已知，因此不

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

## 五、發明說明(2)

必作進一步之定義。

上面的封裝通常並採用一散熱構件，連到封裝的晶片上，散熱件位置略在晶片上方，且提供良好的晶片導熱路徑，使封裝工作時能加強整個封裝(尤其是晶片)的散熱。此種散熱件通常為一位於封裝上的金屬元件，其位置可與一冷卻氣流(或只是一靜態的周圍空氣)互相作用而促進散熱。散熱件可以一適當的熱黏著劑附著於晶片，本行中已知有幾種此類黏著劑。為進一步促進散熱，散熱件通常在各種不同位置含有適宜的翼片、針銷等。散熱件亦可為一多層設計，每一層散熱件均為一特定功能而作最佳化設計。第一層散熱件可能設計成與晶片之熱接觸最佳，以及使熱由晶片移出散開為最快，加上保護晶片及所附電路之功能以免受到化學程序或其他各種製程之接觸。散熱件之第二層可能設計成與冷卻流體流(氣體或液體)作熱交互作用為最佳，以提供額外的散熱效率，若一特定應用需要時。此第二層散熱件可能為一分開元件，以熱黏著劑附著於第一層結構。第一層散熱件可以為板狀低矮構件，第二層則含許多翼片，因此組合時可實現極高的散熱速率。但若不需要極高的散熱性能，則第二層散熱件可以省略。

美國專利第5,397,921號中示出一種晶片至少用兩種方法電性連至一條帶之例子。使用一層散熱件之設計，選擇散熱件材料為特別設計的金屬合成物，使散熱件與晶片的熱膨脹係數(CTE)一致。但是此種選擇不會恰好使晶片與條帶的CTE一致，因為晶片是黏在條帶上，其間有膨脹係數的

### 五、發明說明 ( 3 )

差異，因此在條帶電路上會產生熱感應的應力。此種應力通常為在封裝作業時溫度變化的結果，會負面影響封裝，包括可能使其無法工作。

利用各種熱環氧樹脂作散熱件之黏附，整個封裝的溫度在生產時必須提高以使環氧樹脂固定於一可用的材料狀態。因為條帶與晶片間熱膨脹係數的不一致，於是在晶片與條帶大部分之間產生高度的拉應力。這些應力有時候會造成條帶的皺褶，因而產生條帶各部分之實質上不可預測的及不可控制的非平面性。這些非平面性可以影響後續的有關封裝電路的電性連接程序，而此種影響可大到足以使封裝無法使用或可造成後續電性連接的不可靠性。此種失效機制因使用大尺寸的晶片而進一步惡化，但在現今許多電子封裝組件中，大尺寸晶片是必要的以求確實獲得此種構造所需的增強的工作能力。

而且已知將晶片電性連至條帶電路(a/k/a晶片黏合)的一些程序必須實質升高晶片溫度。一主要例子為前述之TCB程序，其需要相當高的溫度與壓力以使晶片與條帶達成令人滿意的連接。當形成連接時，晶片溫度遠高於條帶大部分區域。隨後將黏合的晶片與條帶冷卻造成兩元件間非常高的拉應力。如上所述，已發現此種應力相當大，足以在條帶中產生皺褶。

根據本發明之教示，已經發現可以避免高拉應力之情況，以免造成條帶皺褶的現象，方法是利用晶片與條帶間的應力釋放裝置。深具意義的是，使用本發明可以在此種電

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

## 五、發明說明(4)

子封裝中高度有效利用更大更複雜的晶片，因而一般推進電子電路與電子封裝的技術。而且，如此使用應力釋除裝置又能使用更多樣變化的高溫固定的熱黏著劑於此種更大的晶片，同時仍能避免條帶皺褶。

對於容納許多不同大小、設計與型態之晶片的晶片封裝，不可能總是精確知道一晶片的有效CTE為何，因此不可能選擇配合晶片CTE的散熱材料，因為已知晶片材料CTE之值的範圍決定於晶片材料的正確組成(如矽或砷化鎵)、晶片材料的處理與塗層、以及晶片上電路的數量。即使散熱材料的CTE與晶片完全一致，但散熱件與晶片之間的溫度梯度或差異仍可能造成無法接受的膨脹失調。因此，由於各種實際上的原因，通常在晶片與散熱件之間存在著膨脹失調，在任何用以黏合此兩構件的熱環氧樹脂中均因熱而產生應力。如已瞭解的是，這些應力可以相當大，造成碎裂、鬆脫、以及在散熱件與晶片之間喪失熱接觸。這些情況也可能導致晶片過熱以及從條帶斷開。為了避免這些故障，本發明並且詳述一種降低這些應力以及改進黏著劑與散熱件間黏著力之裝置，若使用此種黏著劑的話。另外說明一種提供額外支撐與加固之簡單裝置以促進晶片與散熱件間的接觸。若需要一相當大的厚重散熱件，且熱黏著劑(如環氧樹脂)之強度不能獨力支撐時，此種額外的支撐則為必要的。由下面可知，實施本發明將使相當大而厚重的散熱件得以成功使用，使散熱材料不必特別選擇配合變化多端的大而複雜的晶片。

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

## 五、發明說明( 5 )

因爲晶片是黏附於條帶上，兩者的膨脹係數相當不一致，當使用條帶電路時會因熱而產生應力，這些應力不一定是上述的高拉力性質(可造成皺褶)，而是相當小的應力，可能在條帶上電路位置處產生而直接送入晶片。將一電子封裝加熱，隨後加以冷卻之動作稱爲熱循環。已知在相當多次之此種循環後，即使非常小的應力也可使電路產生疲勞碎裂，此種疲勞碎裂可能造成電路喪失導電性(於是整個封裝失效)。爲減少這些應力，已經發現設置一特別構形之填角可以成爲一種有效的應力釋除裝置。這些應力也可使用本發明的方法。從靠近晶片的電路線(相當精細)引導至遠離晶片的較堅實的電線處。

相信具有上述及其他優異特性因而能克服前述問題的電子封裝，以及製造此種封裝組件的方法將成爲本行中之深具意義的進展。

發明目的與總述

因此本發明之一主要目的在增進電子封裝之技術，尤其是指計算機工業中所用的封裝。

本發明另一目的在提供一種電子封裝，能克服前述各種已知封裝之缺點。

本發明又一目的在提供一種電子封裝，能以相當便宜的方式生產，且適合於量產技術。

根據本發明之一方面，形成一電子封裝含有一加強構件、一撓性電路化基板固定於該加強構件上，及一半導體元件。該撓性電路化基板至少含一電介質層及一具有許多信

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

## 五、發明說明(6)

號線之導電層，有些信號線具有一突出頭部位。半導體元件電性連至所選的各突出頭部位，而所選的撓性電路板上之許多信號線各自電性轉接於一外部導電元件。此電子封裝之改良為在鄰接於突出頭部位與半導體元件間接點處的突出頭部位中有一應力釋除裝置。

根據本發明另一方面，提供一種製造電子封裝的方法，包含步驟為：設置一加強構件，將一撓性電路化基板固定於該加強構件上，該基板至少含一電介質層及一位在電介質層上之導電層，並含許多信號線，各具一空出頭部位適於電性連至一外部導電元件，該元件則位於該撓性電路化基板上，將一半導體元件相對於該加強構件隔開置放，並將半導體元件連到撓性電路化基板的突出頭部位。深具意義的是，本文所示之方法並含在撓性電路化基板上相對於半導體元件與信號線之突出頭部位間之電連接處設置應力釋除裝置之步驟。

根據本發明另一方面，提供一種資訊處理系統，包含一電子封裝，含有一加強構件，一撓性電路化基板固定於加強構件上，並至少含一第一電介質層，至少一位於第一電介質層上之導電層，且含有許多信號線，各具一突出頭部位成為其一部分，由第一電介質層突出一預定距離，所選的各信號線適於電性連至各外部導電元件，外部導電元件置於撓性電路板上，而一半導體元件上具有許多接點。所選的各接點電性連至各信號線突出頭部位，與加強件隔開，撓性電路化基板的信號線突出頭部位中含有應力釋除裝

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

泉



## 五、發明說明 ( 7 )

置，位置鄰接於突出頭部位與半導體元件接點間的連接處。

### 圖式簡述

圖1為一電子封裝已知構造之部分側剖面放大正視圖。(請瞭解本文所有圖式之中央線CL-CL表示在該線左方有一所繪剖面之鏡像。本文所提供的各部分圖均為放大圖以便於說明)；

圖2為根據本發明一實例之電子封裝部分側剖面圖。應力釋放裝置含在信號突出頭部位上，並繪出一能形成應力釋放裝置之黏接裝備，將半導體元件電性連至所選的突出頭部位；

圖2B為根據本發明一實例一部分電子封裝之部分平面剖視圖。繪出一在第二層電介質內形成的薄邊部位，用以覆蓋撓性電路信號線之各部位；

圖3為另一已知構造之電子封裝的部分側剖面圖，繪出一在半導體元件上之保護性塗層；

圖4為根據本發明另一實例之電子封裝部分側剖面圖。繪示出應力釋放裝置在本發明的突出頭部位，同時並示出一錐形的保護性包封塗層以提供更進一步之應力釋放；

圖5為根據本發明一實例之電子封裝部分側剖面圖，其中示出一形成裝置能在半導體元件上形成一預定形狀之保護性塗層；

圖6為圖5所示之電子封裝部分側剖面圖，包括一在半導體元件上之錐形保護性塗層以及本發明撓性基板之各零件；

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

## 五、發明說明(8)

圖7為根據本發明另一實例之電子封裝部分側剖面圖，在半導體元件上含有一如上所示之錐形保護性塗層，以及本發明突出頭部位之額外的應力釋除裝置。並示出另一靠近半導體元件周邊的應力降低特徵(此在散熱件中)。

實施本發明之最佳模式

為了更加瞭解本發明以及其他進一步之目的、優點與能力，請結合上述圖式參考下面的揭示以及所附申請專利範圍。請瞭解各圖中相同的數字代表相同的元件。

圖1中示出一已知構形之電子封裝11。封裝11含一加強構件13，一撓性電路化基板15固定於加強構件13上(比方說以黏著劑17)，一半導體元件19(如一晶片)在接點21電性連至基板15導電層24的所選信號線23上，及一外部導電元件25(如焊球)。

請瞭解雖然各只示出一個，但本發明中最好使用一個以上之信號線23的接點21與突出頭部位31。有一例子成功使用總共647個接點與突出頭部位。而且已知晶片19沿其整個週邊(一般為矩形)可具有許多導電點，而該撓性電路化基板15可形成一開口(比方說在晶片19下方)，形狀與晶片相同但稍寬，由形成此一開口的各電路電介質層之內緣伸出突出頭部位23。撓性電路中之矩形開口設計成容納矩形之半導體晶片為本行中所習知，因此無需贅述。

撓性電路化基板15中供信號線23以及任何相關的接地面27(若使用時)所用的一般材料為銅(或銅合金)，用於撓性基板電介質層29的則為聚亞醯胺。加強構件13一般為銅或鋁

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

錄

## 五、發明說明(9)

。導電元件25可為高熔點焊錫(如90份的鉛對10份的錫)或低熔點焊錫(如鉛37錫63)。黏著劑一般為軟性合成橡膠膜，可由此一領域中幾種習知的黏著劑17加以選擇。

晶片19在所示之各接點21電性連至撓性基板的信號線23，此種連接是接到一自電介質層29的內緣28突出的信號線23之小突出部位。各信號線23的突出部位於是形成一突出頭部位31。圖1中，由於在接點21的直接實質黏接，晶片19與撓性基板15之間沒有應力之釋除。在接點21的黏接通常使用已知的熱壓縮程序以已知的熱黏合裝備33(如圖2中所繪)快速形成，此種程序一般僅需一秒，包括以此方式同時連接所有接點。曾有一例總共黏合647個接點。在此程序中，基板大部分與金屬加強件仍保持在室溫附近，隨後整個封裝11的加熱可能因此在加強構件13與晶片19之間的間隙正下方之處的基板15部位產生高拉應力，主要是由於加強構件13與基板15相較於晶片19的較高CTE所致(一般比值約5:1至7:1)。因為在晶片19與基板15之間缺乏可接受的應力釋除，由於這些高拉應力而可能在撓性電路化基板15產生不利的情況即所謂之「皺褶」。此皺褶情況甚至可使基板15與黏著劑17脫離，也使外部導電元件25無法成功使用以形成一電性連接於比方說一電路板上的導電墊塊(墊塊(26)僅示於圖7，在圖示實例下方之比方說一印刷電路板26'的電路化基板上，使元件25各與一墊塊實質接合而形成一連接。本發明最終版本中示於圖式中之其他零件並不實質與電路板連接。)

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

## 五、發明說明 ( 10 )

圖2中示出一根據本發明一實例之電子封裝12，封裝12以設置應力釋除裝置37而克服前述與皺褶相關的問題。應力釋除裝置37為一相對於基板電路23(以及電介質層29)正常平面之實質彎曲的突出頭部位31，此種彎曲或偏移可修正已知黏合裝備33之排列而簡易快速形成。當移動熱壓縮黏合裝備33將突出頭部位31壓抵晶片接點21時(黏合裝備33在圖2中以實線示出其收回位置，以虛線示出其前進接合位置)，相當弱的且較撓性的突出頭部位31實質向上彎向晶片，且明顯在箭號39所示方向上稍微後移。此種同時動作一直繼續到在接點21形成實質黏接為止，其後收回黏合裝備33，留下突出頭部位31由其正常平面構形彎折，並形成包含應力釋除裝置37。在此程序中，撓性電路化基板15可能同樣形成一凹痕38，可進一步加強此處之應力釋除。重要的是，突出頭部位31在接點21電性連接於晶片19。以應力釋除裝置37，則後續的整個封裝12(如圖7所示)之加熱所造成的晶片與加強構件之間的相對移動實質上被吸收了(容納)，在前述加強構件13與晶片之間的「窗口區域」沒有高拉應力產生。於是此改良基板15'的皺褶因形成應力釋除裝置37與在接點21黏合晶片之同時動作而實質消除。形成基板15的凹痕38也有相同效果。值得再提的是此動作造成突出頭部位31彎折且同時縮回(箭號39)，同時仍能確保部位31與晶片接點21間有效電性連接之形成。

圖2中示出一第二電介質層41，可進一步保護信號線23免受碎物、化學用品等之侵蝕，此為完工的電子封裝12在各

## 五、發明說明 ( 11 )

種製造程序中及使用中所可能碰到的。此第二電介質層亦可為一聚亞醯胺，以一種已知的適當黏著劑黏合於其下的信號線23與第一電介質層29。層41亦可為一保護性黏著劑之保形膜，即已知之焊錫遮罩材料，如Vacrel，一般為2mil厚(Vacrel為E.I. DuPont deNemours & Company商標)。加上第二電介質層41亦具強化撓性電路化基板15'在晶片19與加強構件13間區域(圖2中「A」所示)之附加有利效應。由未受保護的突出信號線部位31之低韌性過渡到撓性電路化基板15'的高韌性可加上一薄邊部位42(圖2B)而更為緩和。此種韌度之緩和變化使信號線23的應力在薄邊部位42緩慢改變，於是避免了因突然的韌度變化而產生的不受歡迎的應力集中。

此一薄邊部位示於圖2B中，其示出第二電介質層上形成一系列向前成錐形邊緣部位44，圖2B為一部分平面圖，俯視於封裝12(由圖2的上面位置)，可用已知的模切、衝切或光學蝕刻方法形成薄邊部位。最好是向前的錐形邊緣部位數目與信號線23的數目及位置一致，明確地說即每條線一對錐形邊緣。雖然示出錐形邊緣，但還有其他的邊緣圖型可確保韌度之緩進以避免嚴重的應力集中，比方說線性錐形、拋物線錐形、一系列非錐形之特徵(像一梳子)，交錯的矩形等。因此本發明並不限於所繪之V形錐形，但選擇線性錐形特徵似乎是最適於量產。

圖2中並繪出一溫和的熱膨脹區40作為部分接地平面27，區40中材料的CTE選擇為至少等於晶片19的CTE，但不大

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

## 五、發明說明 ( 12 )

於撓性電路化基板15'的CTE，使晶片19與基板15'之間的熱應力差異在此關鍵區域大量降低。此區40可含整個基板15'，或只含晶片19周圍的區域，如圖2所示。有許多已知材料適合此種目的，如Invar或其他鐵鎳合成物、鎳、鉻、鎢、鉬等，可電鍍或噴鍍於第一電介質層29(沿區40)及/或接地平面27，使此區中的熱應力差異降低。不過超過區40(即加強構件13下方區域)，熱應力差異可能相對增加，因為在本設計中，電路線23「扇形散出」，因此尺寸稍寬，更能抵抗疲勞。而且撓性電路化基板15'黏合於加強構件13，於是支撐良好可避免皺褶。

圖3中示出圖1的已知電子封裝11加上一包封材料43之保護性塗層圍繞著晶片19、突出頭部位31與接點21的側邊及接觸表面。適當的包封材料組成爲本行中已知，一般爲一種黏滯形態之環氧樹脂填料，塗配後以溫度固定法加以固化。

本行中一般習知的包封劑施配程序因爲未固化包封材料的黏滯性會形成一陡斜填角45。如圖3所示。此填角形狀陡然終止於晶片與加強構件間距離的一半之處是不受歡迎的，因爲此種陡斜將熱膨脹應力強迫集中於填角邊緣47附近的電路線23上。圖4中繪出一種改良圖3實例之電子封裝49，此封裝含一晶片19，突出頭部位31(僅示出一個)及接點21(僅示出一個)，以包封材料43圍繞，有一實質上較大的錐形填角51。此包封材料厚度在電路線23上之更緩和的改變，在晶片19處較厚，隨著與晶片距離之增加而漸薄，一

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

## 五、發明說明 ( 13 )

直到黏著劑17前緣與線路23間的交點，使電路線23上之熱應力集中較少或全無。

當使用目前的施配程序／裝備以及一般低黏滯性之未固化的包封材料時造成包封材料43之施配成一陡斜填角45(圖3)。爲了以該材料獲致所需的錐形填角51，使用形成裝置53(圖5)。形成裝置53(示於圖5，包封材料43尚未施配)爲一編織之網圈式構件54，圍繞晶片19摩擦式壓於定位。適於形成裝置53的一般材料爲編成網洞之尼龍股線(0.5至1mil厚)，壓成所繪之形狀，以未固化的包封材料43(圖6)濕透。當施配黏滯性的未固化包封材料時，該網之毛細作用將材料43推成所需形狀之錐形填角51。形成構件53留在原位，然後將包封材料43加熱固化成固體形態，如圖6所示。使用網圈之編織孔洞作爲形成裝置53使得在加熱固化時氣體可由包封劑逸出。矩形的形成構件53含一中央矩形開口，設計成精確貼合於矩形晶片的周邊55，而其矩形外緣則設計成貼合於黏著劑17的內緣57。與加強構件的黏著劑17接觸使得在包封劑施配與固化時能維持形成構件53於定位。

圖7中繪出一改良的電子封裝59，採用應力釋除裝置37，第二電介質層41及一緩和的錐形填角51(包括網54，其保留成爲封裝59的一部分)，此外附加一散熱構件61，構件61所用的一般已知材料包括銅與鋁或其等之合金。銅材料一般鍍上鎳以防腐蝕，而鋁材料一般則加以陽極處理。但是已知在許多熱環氧樹脂與鍍鎳材料間經常黏附不佳，爲增強

## 五、發明說明 ( )

黏附，本發明的散熱件最好含有許多通道63，以增加散熱表面之面積，同時增加有效的黏附強度。通道63可用以增加覆蓋於晶片19之黏著劑(熱黏著劑65)的黏附強度，以及覆蓋於加強構件13之黏著劑(加強構件黏著劑67)的黏附強度。可用切割、衝壓或蝕刻在散熱件上形成通道63，看那一個方法最經濟而定。通道深度1至2 mils，寬度2至3 mils可造成有效黏附強度之大量增加。在散熱件61表面上的幾個通道63圖型已經加以評估並發現可以接受，包括平行的、十字的、輻射的、圓形的、曲線的、箭尾形，以及重疊交叉成各種角度而形成小的柱、樁或隆起區域。因此通道的圖型對增加強度並非特別重要，但使用一約在對應晶片19中央開始的輻射式圖型，當散熱件61壓到未固化的黏著劑65與67(向晶片19方向)時，可有助於促使黏著劑完全填滯通道。

爲了在晶片與散熱件之間的熱黏著劑中大量降低剪力應力，通常增加黏著劑厚度可確證相當有效。但是增加厚度通常會降低熱移轉效率。已經發現在鄰接晶片周邊55之區域中將部分散熱件薄化而將應力釋除裝置69建入散熱件61內，於是在大部分晶片19上使用一薄層黏著劑65(以促進晶片與散熱件間較有利的熱移轉)，在靠近晶片周圍55則用一較厚的黏著劑層以釋除熱應力(此種應力在晶片周圍55附近最高)。熱黏著劑一般已知爲1-8 mils厚度，且已發現使用應力釋除裝置69在晶片周圍附近至少將一般黏著劑厚度加倍可使應力大量減少。一例子中晶片19上正常的黏著劑厚

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線



## 五、發明說明 ( 15 )

度為 3 mils，然後逐漸往晶片周圍附近增加到 6~8 mils 證明相當成功。外面的厚度可以高達正常裏面厚度的 5 至 10 倍，且可從晶片周圍延伸約 15 至 30 mils (向圖 7 右方)。形成通道 63 所用的製造作業可用以形成應力釋除裝置 69，其中尤以衝壓最為便利，因為通道 63 與應力釋除裝置 69 可同時壓入散熱件。

圖 7 中，改良的電子封裝將一翼片部位 71 沿加強件 13' 的外周邊部位裝上而進一步增強。此翼片顯示與散熱件 61 中所形成的對應通道 73 互相扣鎖。此種加上翼片部位 71 之加強件 13' 扣附於加強件 13 (如前面圖式中所繪) 之改良提供散熱件對電子封裝其餘部分之附加維持力，對熱黏著劑 65 與 67 提供進一步之應力解除 (在黏著劑固化前十分有用)，若採用一相當厚重的散熱件 61 時，這是非常重要的。翼片部位 71 可為兩種式樣：可永久變形的或彈簧鎖扣式，主要以成本加以選擇。已發現利用加強件之延伸，在加強件外緣幾個位置衝壓約 10 mils 厚，即足以彎繞散熱件對應通道 73 而形成。

因此已示出並說明一種改良的電子封裝，其中設置應力釋除裝置以實質防止不利情況，如條帶之皺褶，如果存有超量 CTE 差異的話。這些修正極易使用許多已知程序完成，因此不會明顯增加完工成品的最終成本。

雖然已經示出並說明了本發明的較佳實例，但應瞭解可作出各種修正與改變，卻並不偏離所附申請專利範圍所界定的發明範圍。

四、中文發明摘要(發明之名稱： 具應力釋除裝置之電子封裝及其製造方法 )

一電子封裝含有一撓性基板、加強構件與晶片。晶片黏在基板上，基板固定於加強物件上。在封裝的各處位置上利用應力釋除裝置以避免封裝的各種元件間因熱膨脹係數之相當大的差異所產生的相關問題(如條帶「起皺」)。

英文發明摘要(發明之名稱： "ELECTRONIC PACKAGE WITH STRAIN RELIEF MEANS AND METHOD OF MAKING" )

An electronic package which includes a flexible substrate, stiffener and chip. The chip is bonded to the substrate, which was secured to the stiffener. Strain relief means are utilized at various locations in the package to prevent problems (e.g., tape "wrinkling") associated with relatively large differences in coefficients of thermal expansion between the package's various elements.

## 六、申請專利範圍

1. 一種電子封裝，包含一加強構件、一撓性電路化基板固定於該加強構件，並包含至少一第一電介質層、至少一導電層位於該第一電介質層上，另含許多信號線，各具一突出頭部位成爲其一部分，由該第一電介質層突出一預定距離，其中所選的該等信號線適於電性連至各外部導電元件，當該等元件置於該撓性電路化基板上時，及一半導體元年前含有許多接點，其中所選的該等接點電性連至各該信號線之該突出頭部位，且位置與該加強構件隔開，改進之處爲其中該撓性電路化基板所選信號線之該突出頭部位含有應力釋除裝置，位置鄰接於該突出頭部位與該半導體元件之接點間的連接處。
2. 根據申請專利範圍第1項之封裝，並含一散熱構件，該加強構件固定於該散熱構件。
3. 根據申請專利範圍第2項之封裝，其中該加強構件包含至少一翼片部位以固定於該散熱構件至少一部分而提供該加強構件對該散熱構件之固定。
4. 根據申請專利範圍第3項之封裝，其中該加強構件與該散熱構件所用之材料基本上選自銅、鋁以及其等之合金。
5. 根據申請專利範圍第2項之封裝，其中該半導體元件熱黏合於該散熱構件。
6. 根據申請專利範圍第5項之封裝，其中該散熱構件中含有應力釋除裝置，實質上位於該半導體元件黏合於該散熱構件之處。
7. 根據申請專利範圍第6項之封裝，其中在該散熱構件內之

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

## 六、申請專利範圍

- 該應力釋除裝置包含一在該散熱構件內厚度減少之部位。
8. 根據申請專利範圍第5項之封裝，其中該散熱構件中含有許多通道。
  9. 根據申請專利範圍第8項之封裝，其中該半導體元件使用一熱黏著劑黏合於該散熱構件，至少有一些該熱黏著劑位於該等通道內。
  10. 根據申請專利範圍第1項之封裝，其中該應力釋除裝置包含一在該撓性電路化基板內之凹痕。
  11. 根據申請專利範圍第1項之封裝，其中該撓性電路化基板含一第二層電介質材料位於該導電層上，且實質上覆蓋該導電層，但該信號線之該突出頭部位除外。
  12. 根據申請專利範圍第11項之封裝，其中該第二層電介質材料含一薄邊部位。
  13. 根據申請專利範圍第12項之封裝，其中該第一與第二層電介質材料為聚亞醯胺。
  14. 根據申請專利範圍第11項之封裝，並含一數量之包封材料實質上在該半導體元件與該加強構件之間的該撓性電路化基板處覆蓋該第二層電介質材料。
  15. 根據申請專利範圍第14項之封裝，其中該包封材料實質上為錐形，在緊鄰該半導體元件之該撓性電路化基板處較厚。
  16. 根據申請專利範圍第1項之封裝，並含一數量之包封材料，實質上在該半導體元件與該加強構件之間的該撓性電

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

## 六、申請專利範圍

路化基板處覆蓋該導電層。

17. 根據申請專利範圍第16項之封裝，其中該包封材料實質上為錐形，在緊鄰該半導體元件之該撓性電路化基板處較厚。
18. 根據申請專利範圍第1項之封裝，其中該應力釋除裝置在相對於該晶片之該撓性電路化基板上有一溫和的熱膨脹區。
19. 根據申請專利範圍第1項之封裝，在該撓性電路化基板上並含許多間隔配置的該等導電元件。
20. 根據申請專利範圍第19項之封裝，其中該導電元件為焊錫。
21. 一種製造電子封裝之方法，包含步驟如下：
  - 設置一加強構件；
  - 將一撓性電路化基板固定於該加強構件，該撓性電路化基板至少包含一電介質層及一位於該電介質層上之導電層，並含許多信號線，其中所選出的該等信號線有一突出頭部位由該電介質層突出一預定距離，且適於電性連接於各個外部導電元件，當該等外部導電元件置於該撓性電路化基板上時；
  - 設置應力釋除裝置於該撓性電路化基板該等信號線之該突出頭部位內；以及
  - 將一半導體元件相對於該加強構件間隔置放，且將該半導體元件電性連至該撓性電路化基板之該等突出頭部位於一位置，該等應力釋除裝置之位置相對於該半導體

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

## 六、申請專利範圍

- 元件與該等信號線之該等突出頭部位之間的該電性連接處。
22. 根據申請專利範圍第21項之方法，並設置一散熱構件，其後將該加強構件固定於該散熱構件上。
  23. 根據申請專利範圍第22項之方法，並且將該半導體元件固定於該散熱構件上。
  24. 根據申請專利範圍第23項之方法，其中該加強構件與該半導體元件使用一熱黏著劑固定於該散熱構件。
  25. 根據申請專利範圍第21項之方法，其中設置該應力釋除裝置於該撓性電路化基板之步驟包括設置一凹痕於該撓性電路化基板內，實質上與該基板突出頭部位電性連接於該半導體元件之步驟同時。
  26. 根據申請專利範圍第25項之方法，其中使用熱壓縮黏合凹痕與電性連接。
  27. 根據申請專利範圍第21項之方法，其中將該應力釋除裝置設置在該撓性電路化基板之該步驟包含將一溫和的熱膨脹區相對於該晶片設置於該撓性電路化基板內。
  28. 根據申請專利範圍第21項之方法，並設置許多該導電元件，且將該導電元件電性連至該撓性電路化基板該導電層之各該信號線。
  29. 根據申請專利範圍第21項之方法，並提供一數量之包封材料實質上覆蓋位於該半導體元件與該加強構件間該撓性電路化基板處之該導電層。
  30. 根據申請專利範圍第21項之方法，並設置一形成構件實

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

## 六、申請專利範圍

質上圍繞該半導體元件，且實質上在該元件與該加強構件之間，該形成構件實質上形成該包封材料構形上之一部分。

31. 根據申請專利範圍第21項之方法，並提供一第二層電介質材料於該撓性電路化基板之該導電層上，但該信號線之該突出頭部位除外。
32. 根據申請專利範圍第31項之方法，並在該第二層電介質材料內設置一薄邊部位。
33. 根據申請專利範圍第31項之方法，並在該半導體元件與該加強構件之間的該撓性電路化基板處提供一數量之包封材料實質覆蓋該第二層電介質材料。
34. 根據申請專利範圍第24項之方法，並實質上在該半導體元件固定於該散熱構件之處，在該散熱構件內設置應力釋除裝置。
35. 根據申請專利範圍第24項之方法，並在該散熱構件內設置許多通道，使其中至少有一些該熱黏著劑。
36. 一種資訊處理系統，包含一電子封裝，其中含有一加強構件，一固定於該加強構件之撓性電路化基板，並至少含一第一電介質層、一位於該第一電介質層上之導電層，且含許多信號線，各具一突出頭部位成爲其一部分，由該第一電介質層突出一預定距離，其中所選擇的該等信號線適於電性連至各個外部導電元件，當該等外部導電元件置於該撓性電路化基板上時，而且一半導體元件上含有許多接點，其中所選的該等接點電性連至各該信

## 六、申請專利範圍

號線之該突出頭部位，且與該加強構件間隔置放，該撓性電路化基板該等信號線之該突出頭部位含有應力釋除裝置，位置鄰接該突出頭部位與該半導體元件之該等接點間之連接處。

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線



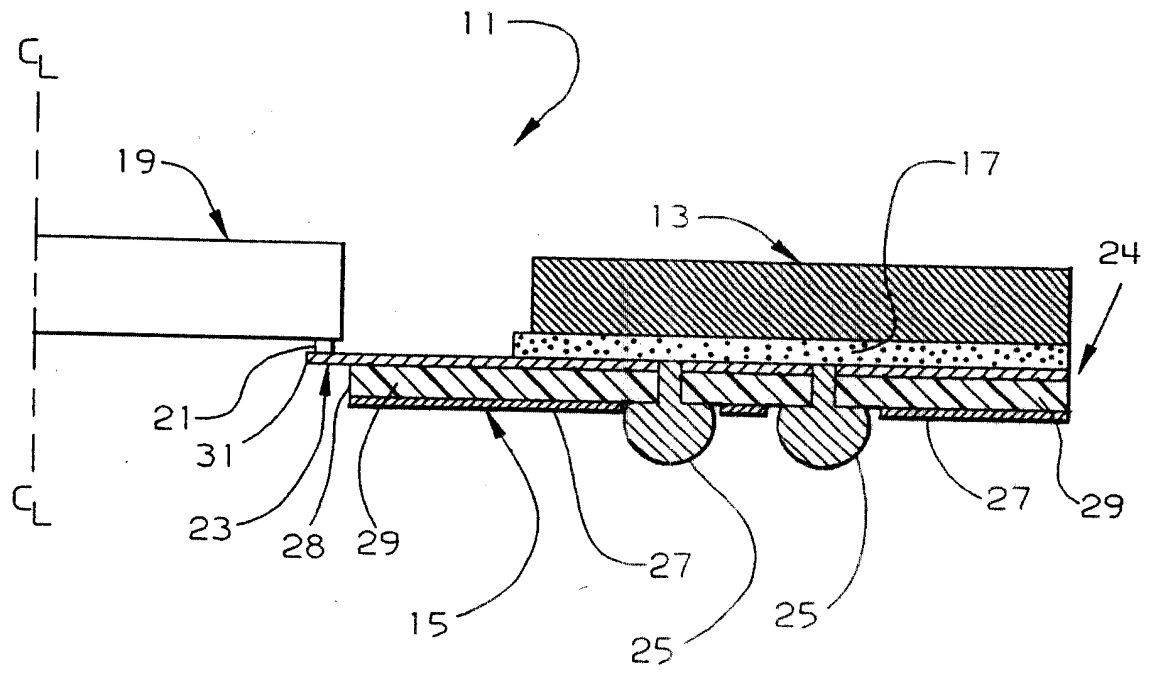


圖 1

(已往技術)

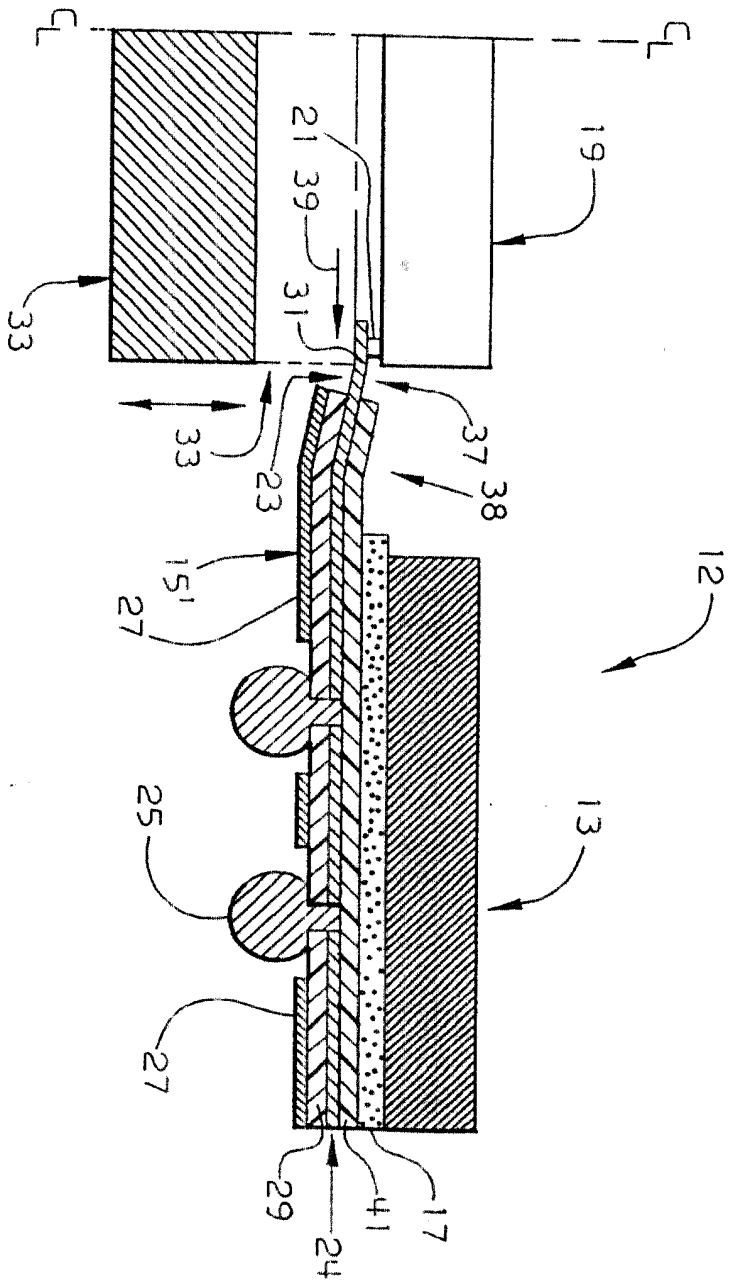


圖 2

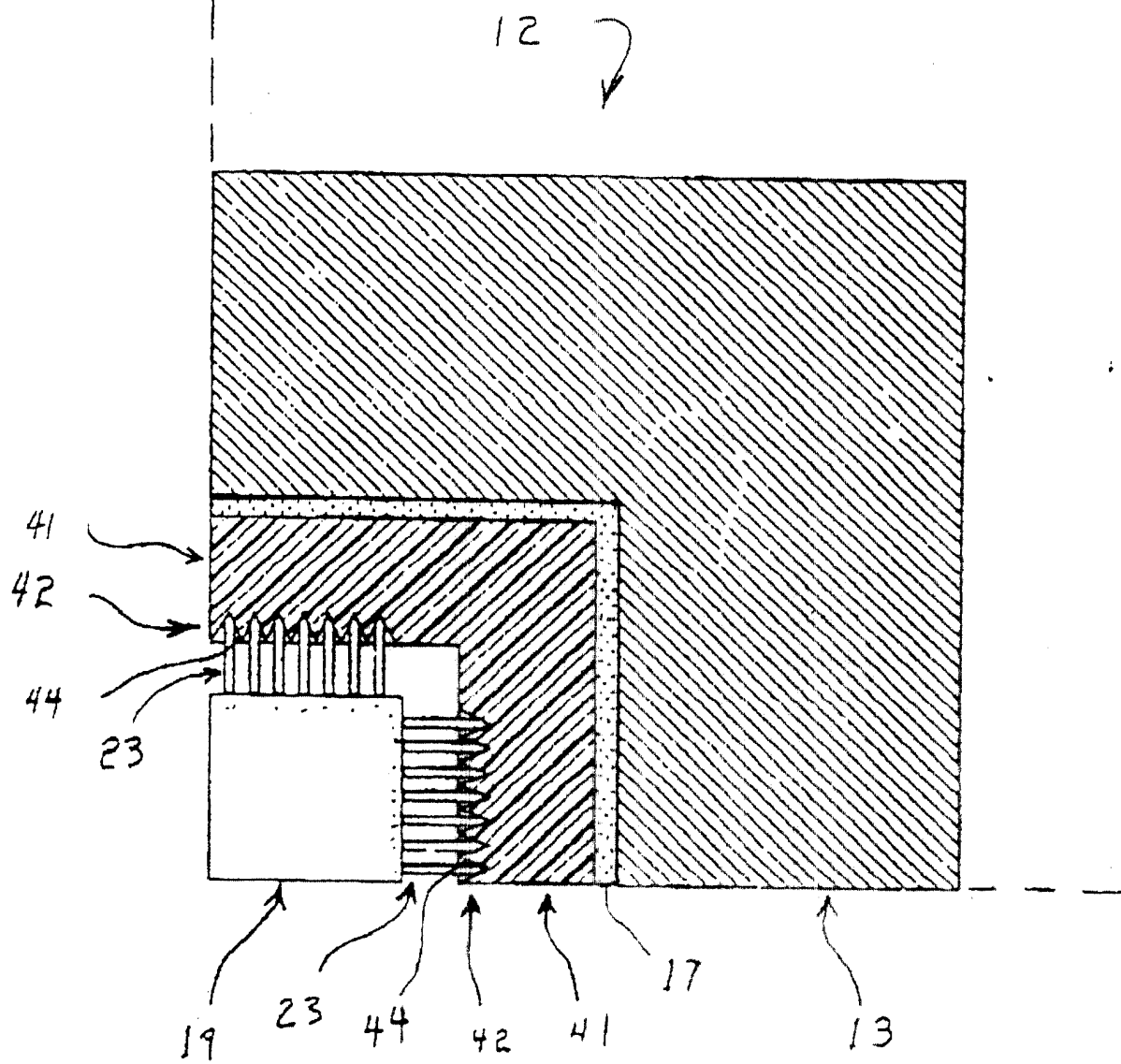


圖 2 B

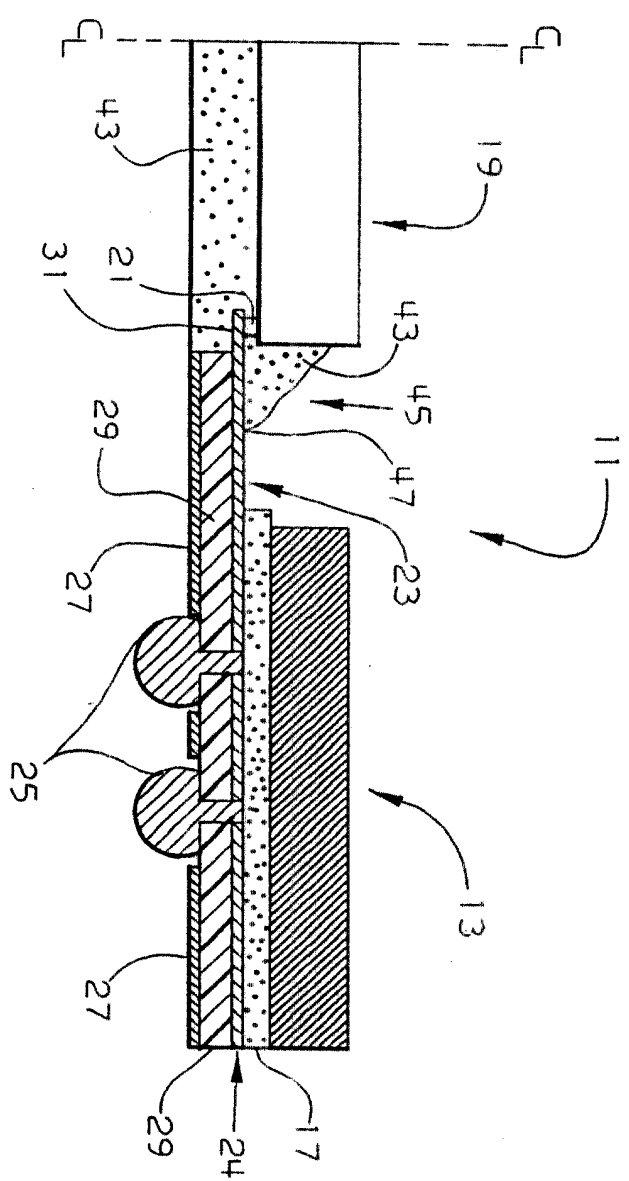


圖 3

(已往技術)

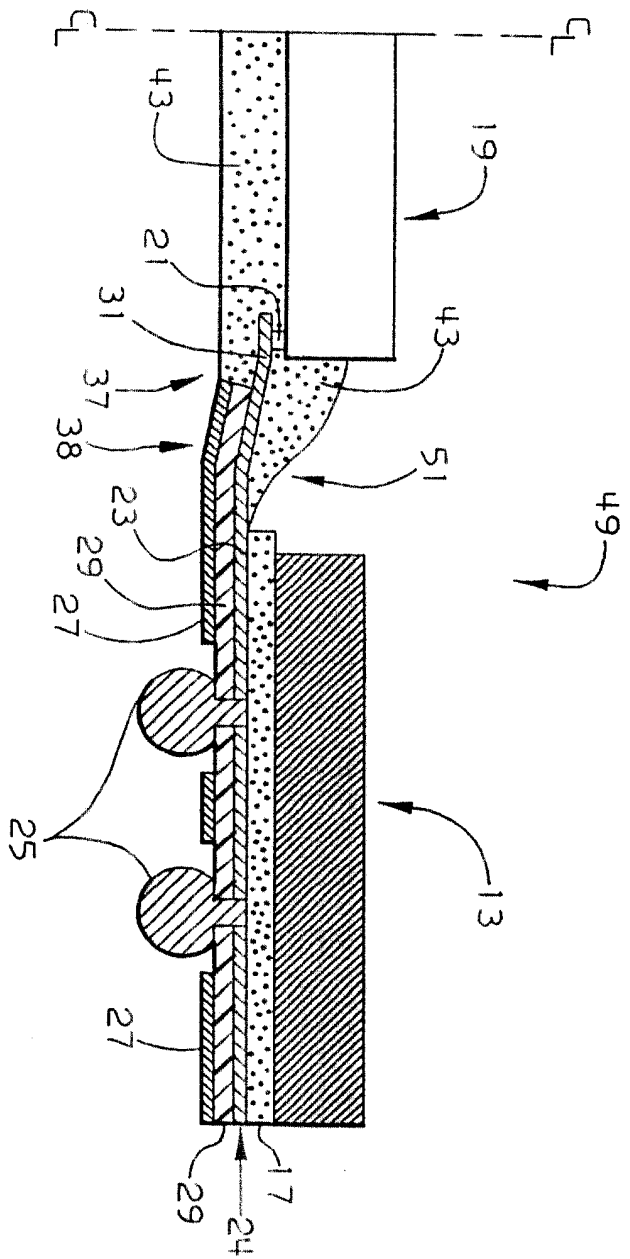


圖 4

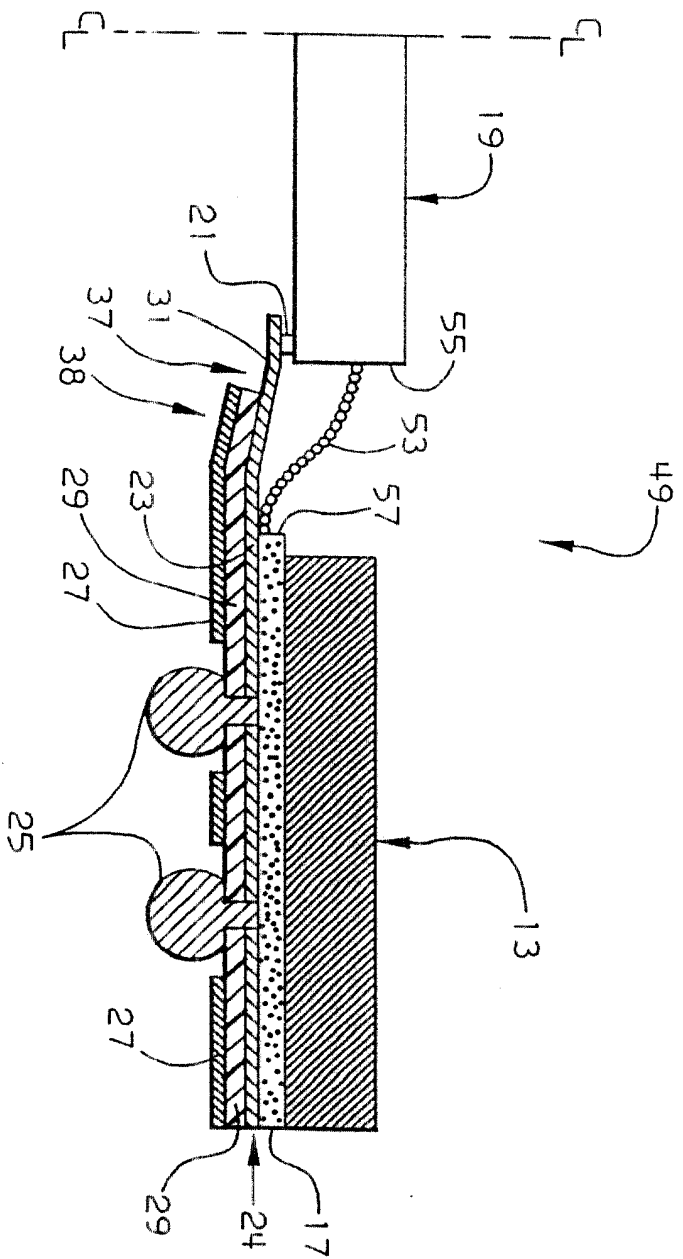


圖 5

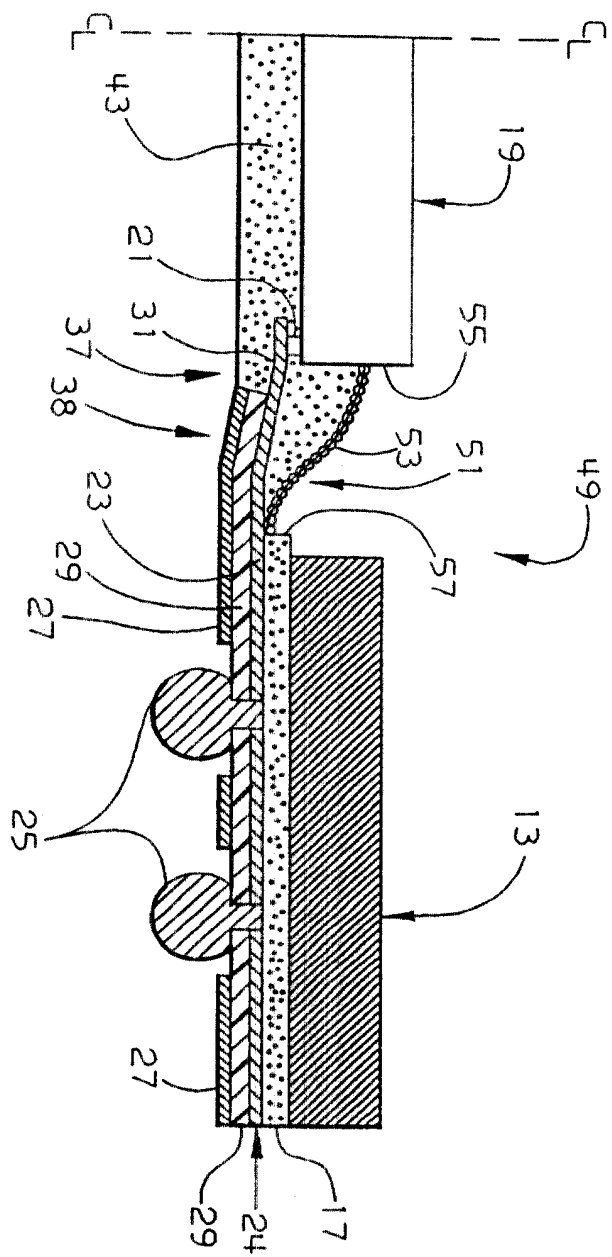


圖 6

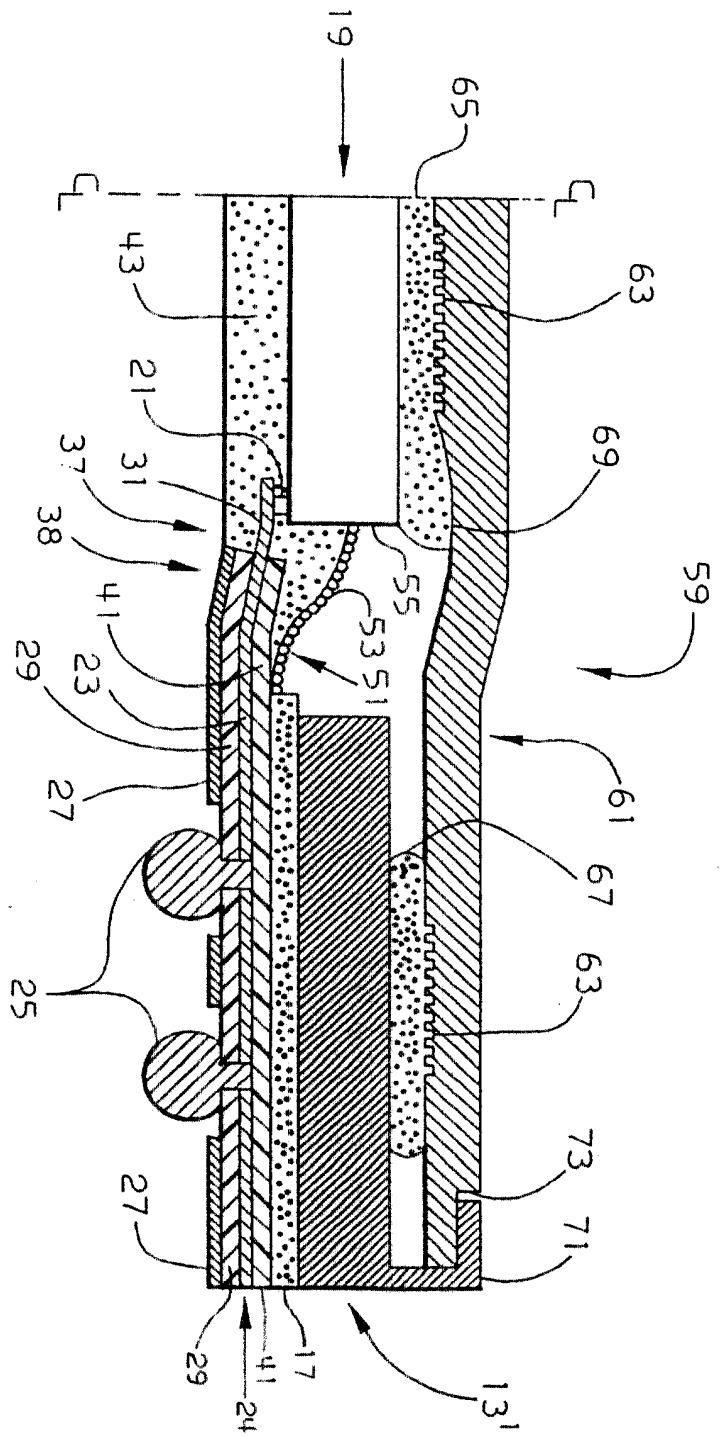


圖 7