(19) 대한민국특허청(KR)
(12) 특허공보(B1)

(51) Int. Cl.[6]
H03F 3/45

(45) 공고일자 1997년04월15일
(11) 공고번호 특1997-0005292
(24) 등록일자 1997년04월15일

(21) 출원번호 특1993-0028765
(22) 출원일자 1993년12월21일
(65) 공개번호 특1994-0017113
(43) 공개일자 1994년07월25일
(30) 우선권주장 92-343663 1992년12월24일 일본(JP)

(73) 특허권자 가부시키가이샤 도시바 사토 후미오
일본국 가나가와현 가와사키시 사이와이구 호리가와정 72번지도시바 마이크로일렉트로닉스 가부시키가이샤 오카모토 세이시
일본국 가나가와현 가와사키시 가와사키구 에키마에혼정 25번지 1
(72) 발명자 요시노 히로시
일본국 가나가와현 가와사키시 가와사키구 에키마에혼정 25번지 1 도시바 마이크로일렉트로닉스 가부시키가이샤내
마츠오 사키코
일본국 가나가와현 가와사키시 가와사키구 에키마에혼정 25번지 1 도시바 마이크로일렉트로닉스 가부시키가이샤내
(74) 대리인 김윤배, 이범일

심사관 : 김승완 (책자공보 제4942호)

(54) 차동증폭회로

요약

내용없음.

대표도

도1

명세서

[발명의 명칭]

차동증폭회로

[도면의 간단한 설명]

제1도는 본 발명의 제1실시예를 나타낸 회로도.

제2도는 제1도에 도시된 제1실시예의 응용예를 나타낸 회로도.

제3도는 본 발명의 제2실시예를 타나낸 회로도.

제4도는 제3도에 도시된 제2실시예의 응용예를 나타낸 회로도.

제5도는 종래의 차동증폭기의 회로도이다.

* 도면의 주요부분에 대한 부호의 설명

1 : 입력차동쌍 2 : 능동부하회로.

[발명의 상세한 설명]

[산업상의 이용분야]

본 발명은 저전압 전원회로로부터의 전원공급하에 있어서도 저전압동작이 가능하고, 또 고이득증폭이 가능한 차등증폭기에 관한 것이다.

[종래의 기술 및 그 문제점]

고이득 차동증폭동작을 하는 차동증폭기로서, 종래에는 제5도에 나타낸 바와 같이 차동증폭기가 이용되고 있다.

즉, 입력차동쌍 NPN트랜지스터(Q1,Q2)의 콜렉터와 전원(Vcc)과의 사이에 PNP트랜지스터(Q3,Q4)가 배설(排設)되고, PNP트랜지스터(Q3,Q4) 각각의 콜렉터는 대응하는 NPN트랜지스터(Q1,Q2)의 콜렉터에 접속되며, PNP트랜지스터(Q3,Q4)의 에미터는 전원(Vcc)에 접속되어 있다. NPN트랜지스터(Q1)의 콜렉터와 PNP트랜지스터(Q3)의 콜렉터의 접속점과 PNP트랜지스터(Q3,Q4)의 베이스간에는 부하저항(R1)이 접속되어 있고, NPN

트랜지스터(Q2)의 콜렉터와 PNP트랜지스터(Q4)의 콜렉터의 접속점과 PNPQ(Q3,Q4)의 베이스간에는 부하정장(R2)이 접속되어 있다.

한편, 차동쌍 트랜지스터(Q1,Q2)의 베이스는 기준전원전압(Vref)에 각각 공통 접속되고, 차동쌍 트랜지스터(Q1,Q2)의 에미터는 바이어스전류원(IBias)에 접속되어 있다.

제5도에 나타낸 종래의 자동증폭기에 있어서는, 무신호에 부하저항에 흐르는 전류가 PNP트랜지스터(Q3,Q4)의 베이스번류분으로 되기 때문에, 비교적 고저항을 부하저항으로 이용하여 고이득으로 해도, 여기에서의 직류적인 전압강하를 작게 억제할 수 있게 된다. 따라서, 제5도에 나타낸 차동증폭기는 종래 저전압 동작용의 고이득증폭기로서 이용된다.

제5도에 나타낸 종래의 차동증폭기가 전원전압으로서 Vcc=0.9V 정도를 사용하는 경우를 생각해 보자. 입력차동쌍 NPN트랜지스터(Q1,Q2)의 각 콜렉터전위는 전원전압(Vcc)로부터 능동부하를 형성하는 PNP트랜지스터(Q3,Q4)의 베이스·에미터간 전압(VBE)인 0.7V 만큼 강하한 것으로 되기 때문에, 전원전압(Vcc)을 0.9V로 하여 입력차동쌍의 각 콜렉터·에미터간 전압을 트랜지스터의 포화전압(Vsat)인 0.15V로 확보하고자 하면, 입력차동쌍 NPN트랜지스터(Q1,Q2)의 공통에미터와 쌍접지전압(공통최저전위)간의 전압을 50mV로 할 필요가 있다. 따라서, 포화전압(Vsat)을 갖는 트랜지스터의 사용이 불가능하게 되기 때문에, 저항에 의한 전류바이어스방식으로 한정되게 된다. 이것은, 입력바이어스전압에 의한 입력차동쌍의 바이어스전류변화 및 입력신호전압에 대한 전류변환이득의 저하를 초래하여 차동증폭기로서의 특성이 열화되는 결점이 있다. 제5도에 나타낸 차동증폭기에서는, 능동부하를 형성하는 NPN트랜지스터의 VBE전압만큼 전원전압으로부터 강하한 전위에 의해 입력차동쌍 NPN트랜지스터의 각 콜렌터출력에서의 감전압(減電壓) 동작여유를 없애고 있다.

[발명의 목적]

본 발명은 차동출력을 갖는 고이득증폭기로서 저전압(Vcc=0.9V 정도)에 있어서도 양호한 특성의 차동증폭기를 제공함에 그 목적이 있다.

[발명의 구성]

본 발명에 따른 차동증폭기는, 에미터가 공통으로 접속된 동일극성의 한쌍의 제1, 제2트랜지스터로 이루어진 입력차동쌍과; 이 입력차동쌍의 공통에미터와 제1전원전위와의 사이에 배설된 제1전류원회로; 상기 제1트랜지스터의 콜렉터와 제2전원전위와의 사이에 배설된 제2전류원회로; 상기 제2트랜지스터의 콜렉터와 제2전원전위와의 사이에 배설되며 상기 제2전류원회로와 동치(同値)인 제3전류원회로 및; 콜렉터가 상기 제1트랜지스터의 콜렉터에 접속되고 에미터가 상기 제1전원전위에 접속된 제3트랜지스터와, 콜렉터와 상기 제2트랜지스터의 콜렉터에 접속되고 에미터가 상기 제1전원전압에 접속되며 상기 제3트랜지스터와 동일극성인 제4트랜지스터 및, 상기 제3, 제4트랜지스터의 베이스의 공통접속점과 상기 제3, 제4트랜지스터 각각의 콜렉터간에 제1, 제2부하저항을 배설하여 이루어진 능동부하회로를 구비하고 있다.

[작용]

이상과 같은 차동증폭기에 있어서는, 제2전원전위에 대해 입력차동쌍과 능동부하회로가 병렬로 배설되어 있으므로, 입력차동쌍을 구성하는 제1, 제2트랜지스터의 콜렉터전위는 제3, 제4트랜지스터(Q3,Q4)의 베이스·에미터간 전압의 순방향 바이어스전압(VBE)인 0.7 만큼 상승한 전압으로 고정된다.

따라서, 입력차동쌍을 구성하는 제1, 제2트랜지스터(Q1,Q2)의 콜렉터·에미터간 포화전압(VCESAT)을 0.15V로 고정한 경우, 제1전류원회로에 의한 전압강하는 0.55V까지 가능하게 되어 저전원전위를 이용한 경우에도 양호한 고이득증폭을 발휘하는 차등증폭을 하는 차동증폭기를 제공할 수 있게 된다.

(실시예)

이하, 도면을 참조해서 본 발명에 따른 차동증포기를 설명한다.

제1도는 본 발명에 따른 차동증폭기의 제1실시예의 회로구성을 나타낸 도면이다. 제1도에 있어서, Q1, Q2는 입력차동쌍(1)을 구성하는 NPN트랜지스터로, 이들의 공통에미터와 접지간에는 저항, 트랜지스터 등으로 이루어진 전류원회로(IBias)가 배설되어 있다. NPN트랜지스터(Q1,Q2) 각각의 콜렉터는 트랜지스터, 저항 등으로 이루어진 정전류원회로(I1,I2)를 매개해서 전원회로(Vcc)에 접속되어 있다.

전원전위(Vcc)에 입력차동쌍(1)과 병렬로 능동부하회로(2)가 배설되어 있다. 능동부하회로(2)는, 서로 베이스가 접속되고 에미터가 접지되며 콜렉터가 입력차동쌍(1)의 트랜지스터(Q1)와 정전류원회로(I1)의 접속점에 접속된 트랜지스터(Q5)와, 베이스가 트랜지스터(Q5)의 베이스에 접속되고 에미터가 접지되며 콜렉터가 입력차동쌍(1)의 트랜지스터(Q2)와 정전류원회로(I2)의 접속점에 접속된 트랜지스터(Q6), 트랜지스터(Q5)의 콜렉터와 베이스간에 배설된 저항(R1) 및, 트랜지스터(Q6)의 콜렉터와 베이스간에 배설된 저항(R2)으로 구성된다.

한편, Vref는 입력차동쌍(1)을 직류적으로 바이어스하는 직류바이어스전압전원이다.

제1도에 나타낸 본 발명에 따른 차동증폭기에 있어서는, 차동증폭쌍(1)이 전원회로(Vcc)로부터 정전류원회로(I1,I2)를 매개해서 전원공급되며 직류바이어스전압전원(Vref)으로부터의 입력에 따라 차동증폭동작을 행한다.

능동부하회로(2)가 차동증폭회로(1)가 정전류원회로(I1,I2)의 접속점간과 접지간에 배설됨으로써, NPN트랜지스터(Q5,Q6)의 베이스·에미터간 전압(VBE)인 0.7V로 차동증폭쌍의 트랜지스터(Q1,Q2)의 콜렉터전압이 고정된다.

따라서, 입력차동쌍을 구성하는 제1, 제2트랜지스터(Q1,Q2)의 콜렉터·에미터간 포화전압(VCESAT)을 0.15V로 고정한 경우, 제1전류원회로(IBias)에 의한 전압강하는 0.55V까지 즉 0.9V까지의 전원회로(Vcc)에 대해 동작가능하게 되어 저전원전위를 이용한 경우에도 양호한 고이득특성을 발휘하는 차동증폭을 하는 차동증폭기를 제공할 수 있게 된다.

제2도는 제1도에 나타낸 본 발명에 따른 차동증폭기의 응용예로, 제1도에 나타낸 차동증폭기에 NPN트랜지스터(Q5,Q6)로 이루어진 에미터접지전류 증폭단과 트랜지스터(Q7,Q8)로 이루어진 절반(折返)전류미러회로를 추가하여 부귀환구성으로 한 예를 나타낸 것이다.

제2도와 같이 구성되는 차동증폭기에 있어서는, 차동증폭쌍의 차동출력으로부터 에미터접지전류 증폭단을 구성하는 트랜지스터(Q7,Q8)을 동작시키는 B급 동작적인 전류증폭이 이루어지기 때문에, 차동증폭쌍으로부터의 에미터접지전류 증폭기를 구성하는 트랜지스터(Q7,Q8)에 대한 바이어스전류를 줄인 경우에도 부하구동능력이 높고, 또 능동부하회로(2)를 구성하는 트랜지스터(Q5,Q6)와 에미터접지전류 증폭단을 구성하는 트랜지스터(Q7,Q8)에 대한 바이어스전류를 줄인 경우에도 부하구동능력이 높고, 또 능동부하회로(2)를 구성하는 트랜지스터(Q5,Q6)와 에미터접지전류 증폭단을 구성하는 트랜지스터(Q7,Q8)가 무신호시에 전류미러동작을 행하기 때문에, 저항(R1,R2)의 값의 오차 및 직류전류이득오차에 대해 출력전류오차를 작게 하는 것이 가능하게 된다.

제3도는 본 발명에 따른 차등증폭기의 제2실시예의 회로구성을 나타낸 도면이다. 제3도에 있어서, Q1, Q2는 입력차동쌍(1)을 구성하는 NPN트랜지스터로, 이들의 공통에미터와 접지간에는 저항, 트랜지스터 등으로 이루어진 전류원회로(IBias)가 배설되어 있다. NPN트랜지스터(Q1,Q2) 각각의 콜렉터는 능동부하회로(2)를 구성하는 PNP트랜지스터(Q3,Q4)를 매개해서 전원회로(Vcc)에 접속되어 있다.

트랜지스터(Q1)의 콜렉터와 트랜지스터(Q3)의 콜렉터의 접속점에서 PNP트랜지스터(Q5)의 에미터가 접속되고, 트랜지스터(Q5)의 콜렉터는 정전류원회로(I1)를 매개해서 접지되어 있다. 트랜지스터(Q2)의 콜렉터와 트랜지스터(Q4)의 콜렉터 접속점에는 PNP트랜지스터(Q6)의 에미터가 접속되고, 트랜지스터(Q6)의 콜렉터는 정전류원회로(i2)를 매개해서 접지되어 있다. 트랜지스터(Q5)와 트랜지스터(Q6)의 베이스는 전원회로(Vcc)의 전원전압으로부터 트랜지스터(Q3)의 베이스·에미터간 전압(VBF)과 트랜지스터(Q5)의 콜렉터·에미터간 포화전압(VCESAT)의 합만큼 낮은 전압을 공급하는 전원회로(VBias)에 접지되어 있다.

트랜지스터(Q5)의 콜렉터와 트랜지스터(Q3), 트랜지스터(Q4)의 베이스와의 사이에는 능동부하회로(2)를 구성하는 저항(R1)이 배설되고, 트랜지스터(Q6)의 콜렉터와 트랜지스터(Q3), 트랜지스터(Q4)의 베이스와의 사이에는 능동부하회로(2)를 구성하는 저항(R2)이 배설되어 있다.

한편, Vref는 입력차동쌍(1)을 직류적으로 바이어스하는 직류바이어스전압전원이다.

제3도에 나타낸 본 발명에 따른 차동증폭기에 있어서는, 차동증폭쌍(1)이 전원회로(Vcc)로부터 트랜지스터(Q3,Q4)를 매개해서 전원공급되어 직류바이어스전압전원(Vref)으로부터의 입력에 따라 차동증폭동작을 행한다.

능동부하회로(2)를 구성하는 트랜지스터(Q3)의 콜렉터와 입력차동쌍(1)을 구성하는 트랜지스터(Q1)의 콜렉터의 접속점에서는 트랜지스터(Q5)의 에미터가 접속되고, 능도부하회로(2)를 구성하는 트랜지스터(Q4)의 콜렉터와 입력차동쌍(1)을 구성하는 트랜지스터(Q2)의 콜렉터의 접속점에는 트랜지스터(Q6)의 에미터가 접속되어 있으며, 트랜지스터(Q5,Q6)의 베이스는 전원회로(Vcc)의 전원전압으로부터 트랜지스터(Q3)의 베이스·에미터간 전압(VBE)과 트랜지스터(Q5)의 콜렉터·에미터간 포화전압(VCESAT)의 합만큼 낮은 전압을 공급하는 전원회로(VBias)에 접지되어 있으므로, 트랜지스터(Q1)의 콜렉터와 트랜지스터(Q3)의 콜렉터의 접속점과, 트랜지스터(Q2)의 콜렉터와 트랜지스터(Q4)의 콜렉터의 접속점에서의 전위는, 전원회로(Vcc)보다 트랜지스터(Q와 트랜지스터(Q의 콜렉터·에미턴간 포화전압(VCESAT) 0.15V 만큼 낮은 전압으로 고정된다.

따라서, 입력차동쌍(1)을 구성하는 제1, 제2트랜지스터(Q1,Q2)의 콜렉터·에미터간 포화전압(VCESAT)을 0.15V로 고정한 경우, 제1전류원회로(IBias)에 의한 전압 강하는 0.55V까지 즉 0.9V까지의 전원회로(Vcc)에 대해 동작가능하게 되어 저전원 전위를 이용한 경우에도 양호한 고이득특성을 발휘하는 차동증폭을 하는 차동증폭기를 제공할 수 있게 된다.

제4도는 제3도에 나타낸 본 발명에 따른 차동증폭기의 응용예로, 제3도에 나탠 차동증폭기에 PNP트랜지스터(Q8,Q9)로 이루어진 에미터접지전류 증폭단과 트랜지스터(Q10,Q11)로 이루어진 절반(折返)전류미러회로를 추가하여 부귀환구성으로 한 예를 나타낸 것이다.

또, 제3도에 나타낸 전원회로(VBias)를 저항(R3)과 베이스·콜렉터간이 다이오드접속된 트랜지스터(Q7) 및 정전류원회로(I3)의 직렬회로로 구성하고 있다.

제4도와 같이 구성되는 차동증폭기에 있어서는, 차동증폭쌍의 차동출력으로부터 에미터접지전류 증폭단을 구성하는 트랜지스터(Q8,Q9)를 동작시키는 B급 동작적인 전류증폭이 이루어지기 때문에, 차동증폭쌍으로부터의 에미터접지전류 증폭기를 구성하는 트랜지스터(Q8,Q9)에 대한 바이어스전류를 줄인 경우에도 부하구동능력이 높고, 또 능동부하회로(2)를 구성하는 트랜지스터(Q3,Q4)와 에미터접지전류 증폭단을 구성하는 트랜지스터(Q8,Q9)가 무신호시에 전류미러동작을 행하기 때문에, 저항(R1,R2)의 값의 오차 및 직류전류이득오차에 대해 출력전류오차를 작게 하는 것이 가능하게 된다.

한편, 본 발명의 특허청구의 범위의 각 구성요건에 병기한 참조부호는 본 발명의 이해를 용이하게 하기 위한 것으로서, 본 발명의 기술적 범위를 도면에 도시된 실시에 한정할 의도록 병기한 것은 아니다.

[발명의 효과]

본 발명에 따른 차등증폭기에 있서는, 낮은 전압원을 이용한 경우에도 고이득의 증폭동작이 가능하게 된다.

(57) 청구의 범위

청구항 1

에미터가 공통으로 접속된 동일극성의 한쌍의 제1, 제2트랜지스터(Q1,Q2)로 이루어진 입력차동쌍(1)과;

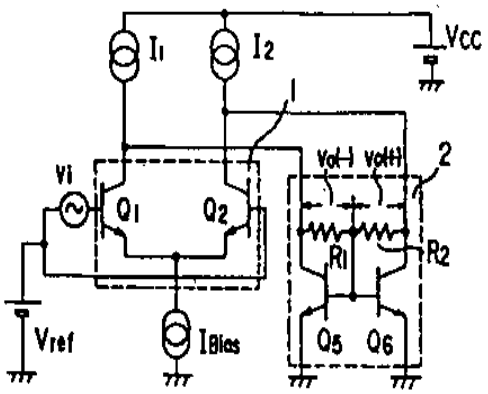
이 압력차동쌍(1)의 공통에미터와 제1전원전위와의 사이에 배설된 제1전류 원회로(IBias); 상기 제1트랜지스터(Q1)의 콜렉터와 제2전원전위와의 사이에 배설되며 상기 제2전류전원회로(I1)와 동치(同値)인 제3전류원회로(I2) 및; 콜렉터가 상기 제1트랜지스터(Q1)의 콜렉터에 접속되고 에미터가 상기 제1전원전위에 접속된 제3트랜지스터(Q5)와, 콜렉터가 상기 제2트랜지스터(Q2)의 콜렉터에 접속되고 에미터가 상기 제2전원전위에 접속되며 상기 제3트랜지스터(Q5)와 동일극성인 제4트랜지스터(Q6) 및, 상기 제3, 제4트랜지스터(Q5,Q6)의 베이스의 공통접속점과 상기 제3, 제4트랜지스터(Q5,Q6) 각각의 콜렉터간에 제1, 제2부하저항(R1,R2)을 배설하여 이루어진 능동부하회로(2)를 구비한 것을 특징으로 하는 차동증폭회로.

청구항 2

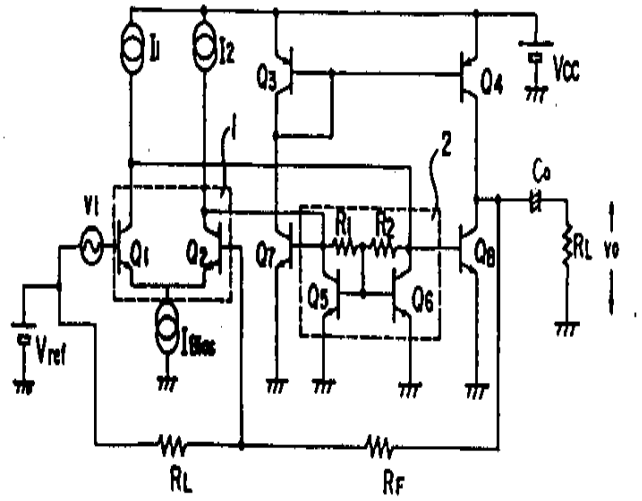
에미터가 공통으로 접속된 동일극성의 한쌍의 제1, 제2트랜지스터(Q1,Q2)로 이루어진 입력차동쌍(1)과; 이 입력차동쌍(1)의 공통에미터와 제1전원전위와의 사이에 배설된 제1전류 원회로(IBias); 상기 제1트랜지스터(Q1)의 콜렉터와 제2전원전위와의 사이에 배설되며 상기 능동부하회로(2)를 구성하는 상기 제1트랜지스터(Q1)와 역극성의 제3트랜지스터(Q3), 상기 제2트랜지스터(Q2)의 콜렉터와 상기 제2전원전위와의 사이에 배설된 능동부하회로(2)를 구성하는 상기 제2트랜지스터(Q2)와 역극성의 제4트랜지스터(Q4), 상기 제1, 제3트랜지스터(Q1,Q3)의 콜렉터의 접속점과 상기 제1전원전위와의 사이에 배설된 상기 제1트랜지스터(Q1)와 역극성의 제5트랜지스터(Q5), 상기 제2, 제4트랜지스터(Q2,Q4)의 콜렉터의 접속점과 상기 제2전원전위와의 사이에 배설된 상기 제2트랜지스터(Q2)와 역극성의 제6트랜지스터(Q6), 상기 제3, 제4트랜지스터(Q3,Q4)의 공통베이스와 상기 제5트랜지스터(Q5)의 콜렉터와의 사이에 배설된 능동부하회로(2)를 구성하는 제1저항(R1), 상기 제3, 제4트랜지스터(Q5,Q6)의 공통베이스와 제6트랜지스터(Q6)의 콜렉터와의 사이에 배설된 능동부하회로(2)를 구성하는 제2저항(R2) 및, 상기 제5, 제6트랜지스터(Q5,Q6)의 공통베이스를 상기 제2전원전압에서의 전위로부터 상기 제3, 제4트랜지스터(Q3,Q4)의 콜렉터 · 에미터간 포화전압과 상기 제5, 제6트랜지스터(Q5,Q6)의 베이스 · 에미터간 전압의 합만큼 낮은 전위로 하는 제3전원전위(VBias)를 구비한 것을 특징으로 하는 차동증폭회로.

도면

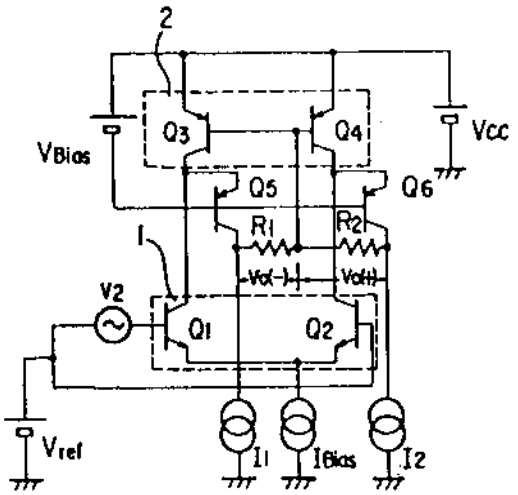
도면1



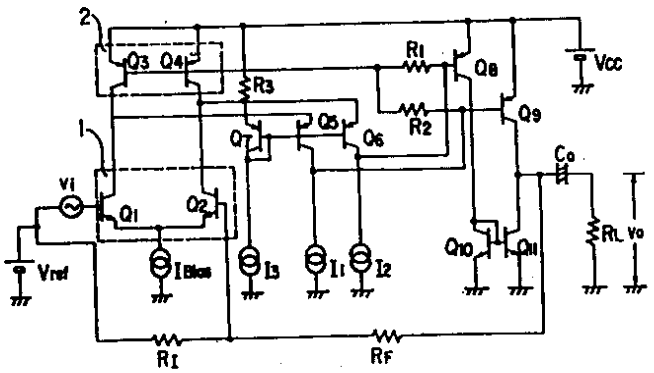
도면2


I1
I2
Q3
Q4
Vcc
1
2
Co
Vi
Q1
Q2
Q7
R1
R2
Q8
RL
Vo
Q5
Q6
IBias
Vref
RL
RF

도면3


2
Q3
Q4
Vcc
VBias
Q5
Q6
R1
R2
1
V2
Q1
Q2
Vref
I1
IBias
I2

도면4


2
Q3 Q4
R1
Q8
Vcc
R3
Q9
Q5
Q7
Q6
R2
1
Co
Vi
Q1
Q2
RL
Vo
Vref
IBias
I3
I1
I2
Q10
Q11
RI
RF

도면5

