



(19)中華民國智慧財產局

(12)發明說明書公告本

(11)證書號數：TW I511444 B

(45)公告日：中華民國 104 (2015) 年 12 月 01 日

(21)申請案號：100114867

(22)申請日：中華民國 100 (2011) 年 04 月 28 日

(51)Int. Cl. : H03F3/45 (2006.01)

(30)優先權：2010/05/07 日本

2010-107656

(71)申請人：精工電子有限公司 (日本) SEIKO INSTRUMENTS INC. (JP)

日本

(72)發明人：五十嵐敦史 IGARASHI, ATSUSHI (JP)；三谷正宏 MITANI, MASAHIRO (JP)

(74)代理人：林志剛

(56)參考文獻：

JP 2007-267016A

US 5311145A

US 6614302B2

US 7157970B2

審查人員：陳臆聰

申請專利範圍項數：3 項 圖式數：3 共 21 頁

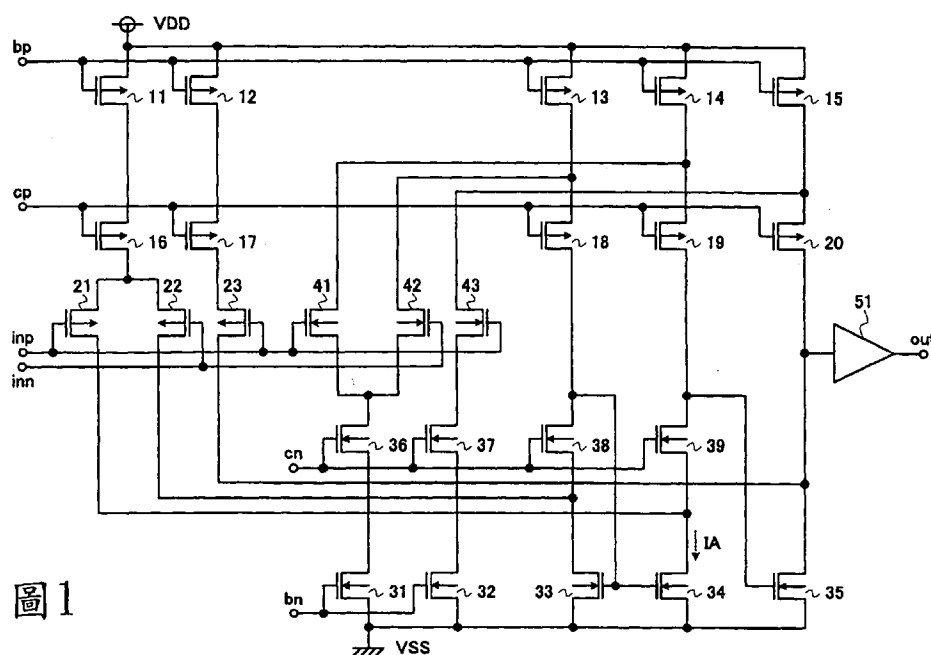
(54)名稱

差動放大電路

(57)摘要

本發明的課題是在於提供一種偏離電壓不依賴輸入電壓的差動放大電路。

其解決手段是設置第一補正電流產生電路及第二補正電流產生電路，設為使與流至折疊式疊接放大段的電流相同的電流流至輸出段的構成，因此折疊式疊接放大段與輸出段的電晶體的偏壓條件會形成相同。



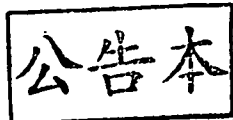
11~23 . . . PMOS

電晶體

31~39、41~43 . . .

MOS 電晶體

51 . . . 緩衝器



# 發明專利說明書

(本申請書格式、順序，請勿任意更動，※記號部分請勿填寫)

※申請案號：100114867

※申請日：100 年 04 月 28 日

※IPC 分類：H03F 3/45 (2006.01)

一、發明名稱：(中文／英文)

差動放大電路

二、中文發明摘要：

本發明的課題是在於提供一種偏離電壓不依賴輸入電壓的差動放大電路。

其解決手段是設置第一補正電流產生電路及第二補正電流產生電路，設為使與流至折疊式疊接放大段的電流相同的電流流至輸出段的構成，因此折疊式疊接放大段與輸出段的電晶體的偏壓條件會形成相同。

三、英文發明摘要：

四、指定代表圖：

(一) 本案指定代表圖為：第(1)圖。

(二) 本代表圖之元件符號簡單說明：

11~23：PMOS 電晶體

31~39、41~43：MOS 電晶體

51：緩衝器

五、本案若有化學式時，請揭示最能顯示發明特徵的化學式：無

## 六、發明說明

### 【發明所屬之技術領域】

本發明是有關差動放大電路，更詳細是有關軌對軌 (rail to rail) 型輸出入的差動放大電路。

### 【先前技術】

說明有關以往的差動放大電路。圖 3 是表示以往的差動放大電路的電路圖。

以往的軌對軌型輸出入的差動放大電路是具備：由 PMOS 電晶體 61 與 PMOS 電晶體 65 及 66 所形成的第一輸入段、NMOS 電晶體 71 與 NMOS 電晶體 75 及 76 所形成的第二輸入段、及由 PMOS 電晶體 62 及 63 與 NMOS 電晶體 72 及 73 所形成的折疊式疊接放大段 (例如參照專利文獻 1)。更具備由 PMOS 電晶體 64 及 NMOS 電晶體 74 所形成的輸出段，藉此可擴大輸出電壓範圍。

PMOS 電晶體 61~66 的汲極電流是分別為汲極電流  $I_{61} \sim I_{66}$ ，NMOS 電晶體 71~76 的汲極電流是分別為汲極電流  $I_{71} \sim I_{76}$ 。輸入端子  $in_p$  的輸入電壓是  $V_{in_p}$ ，輸入端子  $in_n$  的輸入電壓是  $V_{in_n}$ 。在此，汲極電流  $I_{62}$  及  $I_{63}$  是設為電流  $2I$ ，流入至 NMOS 電晶體 73 的汲極的電流是電流  $I_B$ 。

如此構成的差動放大電路是如以下般動作。

一旦輸入電壓  $V_{in_p}$  形成比輸入電壓  $V_{in_n}$  更高，則汲極電流  $I_{65}$  是形成比汲極電流  $I_{66}$  更少，汲極電流  $I_{75}$  是

形成比汲極電流  $I_{76}$  更多。電流  $I_B(I_B=2I-I_{75}+I_{65})$  是形成比汲極電流  $I_{73}(I_{73}=I_{72}=2I-I_{76}+I_{66})$  更少，所以 NMOS 電晶體 74 的閘極電壓變低。因此，NMOS 電晶體 74 的接通電阻變高，輸出電壓  $V_{out}$  變高。

在此，當輸入電壓  $V_{inp}$  及輸入電壓  $V_{inn}$  接近  $V_{DD}$  時，PMOS 電晶體 61 為形成非飽和動作，當作作為輸入 NMOS 電晶體 75 及 76 的差動放大電路動作。又，當輸入電壓  $V_{inp}$  及輸入電壓  $V_{inn}$  接近  $V_{SS}$  時，NMOS 電晶體 71 為形成非飽和動作，當作作為輸入 PMOS 電晶體 65 及 66 的差動放大電路動作。又，當輸入電壓  $V_{inp}$  及輸入電壓  $V_{inn}$  為中間的電壓時，雙方的差動放大電路會動作。

藉由以上那樣的動作，以往的差動放大電路可為軌對軌型輸出入。

[先行技術文獻]

[專利文獻]

專利文獻 1]特開 2005-223627 號公報(圖 9)

## 【發明內容】

(發明所欲解決的課題)

但，上述那樣以往的差動放大電路是當輸入電壓  $V_{inp}$  及輸入電壓  $V_{inn}$  接近  $V_{DD}$  或  $V_{SS}$  時，流入至 NMOS 電晶體 72 及 73 的汲極的電流會變動，但流入至 NMOS 電晶體 74 的汲極的電流為一定。因此，一旦差動對的輸入電壓位準不同，則在 NMOS 電晶體 72 及 73 與

NMOS 電晶體 74，偏壓條件會不同。亦即，差動放大電路是一旦差動對的輸入電壓位準不同，則會有偏離電壓變化的課題。

本發明是有鑑於上述課題而研發者，提供一種偏離電壓不依賴差動對的輸入電壓位準的差動放大電路。

(用以解決課題的手段)

本發明為了解決上述課題，而提供一種

1.一種差動放大電路，其特徵係具備：

第一輸入段，其係具有 1 對的 PMOS 電晶體及第一電流源，根據 2 個的輸入電壓，流動輸出電流；

第二輸入段，其係具有 1 對的 NMOS 電晶體及第二電流源，根據上述 2 個的輸入電壓，流動輸出電流；

折疊式疊接放大段，其係流入上述第一輸入段的輸出電流，抽出第二輸入段的輸出電流，藉此輸出電壓；

輸出段，其係根據折疊式疊接放大段的電壓，將輸出電壓輸出；

第一補正電流產生電路，其係根據第一電流源的供給電流，將第一補正電流流入至上述輸出段；及

第二補正電流產生電路，其係根據第二電流源的供給電流，從上述輸出段抽出第二補正電流。

[發明的效果]

本發明是將第一補正電流產生電路及第二補正電流產

生電路設為使與折疊式疊接放大段相同的電流流至輸出段的構成，所以折疊式疊接放大段與輸出段的電晶體的偏壓條件是形成相同。因此，差動放大電路的偏離電壓是不依賴輸入電壓。

### 【實施方式】

以下，參照圖面來說明有關本發明的實施形態。

圖 1 是表示差動放大電路的實施形態的電路圖。

差動放大電路是具備：PMOS 電晶體 11~23、NMOS 電晶體 31~39、NMOS 電晶體 41~43、及、緩衝器 51。又，差動放大電路是具備：第一偏壓端子 bp 及第二偏壓端子 bn、第一疊接端子 cp 及第二疊接端子 cn、非反轉輸入端子 inp、反轉輸入端子 inn、及、輸出端子 out。

PMOS 電晶體 11、PMOS 電晶體 16 及 PMOS 電晶體 21~22 是構成第一輸入段。PMOS 電晶體 12、PMOS 電晶體 17 及 PMOS 電晶體 23 是構成第一補正電流產生電路。NMOS 電晶體 31、NMOS 電晶體 36 及 NMOS 電晶體 41~42 是構成第二輸入段。NMOS 電晶體 32、NMOS 電晶體 37 及 NMOS 電晶體 43 是構成第二補正電流產生電路。PMOS 電晶體 13~14、PMOS 電晶體 18~19、NMOS 電晶體 33~34 及 NMOS 電晶體 38~39 是構成折疊式疊接放大段。PMOS 電晶體 15、PMOS 電晶體 20 及 NMOS 電晶體 35 是構成輸出段。又，PMOS 電晶體 16~20 及 NMOS 電晶體 36~39 是分別構成疊接電路。PMOS 電晶體 11~15 及

NMOS 電晶體 31~32 是分別構成電流源。

PMOS 電晶體 11~15 的閘極是分別被連接至第一偏壓端子  $b_p$ ，源極是分別被連接至電源端子，汲極是分別被連接至 PMOS 電晶體 16~20 的源極。PMOS 電晶體 16~20 的閘極是分別被連接至第一疊接端子  $c_p$ 。PMOS 電晶體 16 的汲極是被連接至 PMOS 電晶體 21~22 的源極。PMOS 電晶體 17~20 的汲極是分別被連接至 PMOS 電晶體 23 的源極、NMOS 電晶體 38~39 的汲極及 NMOS 電晶體 35 的汲極。

NMOS 電晶體 31~32 的閘極是分別被連接至第二偏壓端子  $b_n$ ，源極是分別被連接至接地端子，汲極是分別被連接至 NMOS 電晶體 36~37 的源極。NMOS 電晶體 33~34 的閘極是分別被連接至 PMOS 電晶體 18 的汲極與 NMOS 電晶體 38 的汲極的連接點，源極是分別被連接至接地端子，汲極是分別被連接至 NMOS 電晶體 38~39 的源極。NMOS 電晶體 35 的閘極是被連接至 PMOS 電晶體 19 的汲極與 NMOS 電晶體 39 的汲極的連接點，源極是被連接至接地端子。NMOS 電晶體 36~39 的閘極是分別被連接至第二疊接端子  $c_n$ 。NMOS 電晶體 36 的汲極是被連接至 NMOS 電晶體 41~42 的源極。NMOS 電晶體 37 的汲極是被連接至 NMOS 電晶體 43 的源極。

PMOS 電晶體 21 的閘極是被連接至非反轉輸入端子  $inp$ ，汲極是被連接至 NMOS 電晶體 39 的源極與 NMOS 電晶體 34 的汲極的連接點。PMOS 電晶體 22 的閘極是被連

接至反轉輸入端子  $inn$ ，汲極是被連接至 NMOS 電晶體 38 的源極與 NMOS 電晶體 33 的汲極的連接點。PMOS 電晶體 23 的閘極是被連接至非反轉輸入端子  $inp$ ，汲極是被連接至 PMOS 電晶體 20 的汲極與 NMOS 電晶體 35 的汲極的連接點。

NMOS 電晶體 41 的閘極是被連接至非反轉輸入端子  $inp$ ，汲極是被連接至 PMOS 電晶體 14 的汲極與 PMOS 電晶體 19 的源極的連接點。NMOS 電晶體 42 的閘極是被連接至反轉輸入端子  $inn$ ，汲極是被連接至 PMOS 電晶體 13 的汲極與 PMOS 電晶體 18 的源極的連接點。NMOS 電晶體 43 的閘極是被連接至非反轉輸入端子  $inp$ ，汲極是被連接至 PMOS 電晶體 15 的汲極與 PMOS 電晶體 20 的源極的連接點。

緩衝器 51 的輸入端子是被連接至 PMOS 電晶體 20 的汲極與 NMOS 電晶體 35 的汲極的連接點，緩衝器 51 的輸出端子是被連接至差動放大電路的輸出端子  $out$ 。

在此，電源端子的電壓是電源電壓  $VDD$ ，接地端子的電壓是接地電壓  $VSS$ ，第一偏壓端子  $bp$  的電壓是偏壓電壓  $Vbp$ ，第二偏壓端子  $bn$  的電壓是偏壓電壓  $Vbn$ ，第一疊接端子  $cp$  的電壓是疊接電壓  $Vcp$ ，第二疊接端子  $cn$  的電壓是疊接電壓  $Vcn$ ，非反轉輸入端子  $inp$  的電壓是輸入電壓  $Vinp$ ，反轉輸入端子  $inn$  的電壓是輸入電壓  $Vinn$ ，輸出端子  $out$  的電壓是輸出電壓  $Vout$ 。

並且，PMOS 電晶體 21~23 的汲極電流是分別為汲極

電流  $I_{21} \sim I_{22}$  及第一補正電流  $I_{23}$ ，PMOS 電晶體 11~15 的汲極電流是分別為汲極電流  $I_{11} \sim I_{15}$ ，NMOS 電晶體 41~43 的汲極電流是分別為汲極電流  $I_{41} \sim I_{42}$  及第二補正電流  $I_{43}$ ，NMOS 電晶體 31~35 的汲極電流是分別為汲極電流  $I_{31} \sim I_{35}$ ，流入至 NMOS 電晶體 34 的汲極的電流是電流  $I_A$ 。

第一輸入段是根據輸入電壓  $V_{inp}$  及輸入電壓  $V_{inn}$ ，流動汲極電流  $I_{21} \sim I_{22}$ 。第二輸入段是根據輸入電壓  $V_{inp}$  及輸入電壓  $V_{inn}$ ，流動汲極電流  $I_{41} \sim I_{42}$ 。折疊式疊接放大段是流入汲極電流  $I_{21} \sim I_{22}$ ，抽出汲極電流  $I_{41} \sim I_{42}$ ，藉此將輸出電壓輸出。輸出段是根據折疊式疊接放大段的輸出的電壓，將輸出電壓輸出。緩衝器 51 是驅動輸出段的輸出電壓，將輸出電壓  $V_{out}$  輸出。第一補正電流產生電路是根據由 PMOS 電晶體 11 所形成的電流源的供給電流，從由 PMOS 電晶體 12 所形成的電流源來流入第一補正電流  $I_{23}$  至輸出段。第二補正電流產生電路是根據由 NMOS 電晶體 31 所形成的電流源的供給電流，從輸出段抽出第二補正電流  $I_{43}$  至由 NMOS 電晶體 32 所形成的電流源。

其次，說明有關差動放大電路的動作。

在此，當輸入電壓  $V_{inp}$  及輸入電壓  $V_{inn}$  接近  $V_{DD}$  時，PMOS 電晶體 11 為形成非飽和動作，當作作為輸入 NMOS 電晶體 41 及 42 的差動放大電路動作。又，當輸入電壓  $V_{inp}$  及輸入電壓  $V_{inn}$  接近  $V_{SS}$  時，NMOS 電晶體

31 為形成非飽和動作，當作作為輸入 PMOS 電晶體 21 及 22 的差動放大電路動作。又，當輸入電壓  $V_{inp}$  及輸入電壓  $V_{inn}$  為中間的電壓時，雙方的差動放大電路會動作。

又，PMOS 電晶體 11 及 PMOS 電晶體 13~15 的大小是相等，PMOS 電晶體 16~20 的大小是相等，PMOS 電晶體 21~23 的大小是相等，NMOS 電晶體 31 及 NMOS 電晶體 33~35 的大小是相等，NMOS 電晶體 36~39 的大小是相等，NMOS 電晶體 41~43 的大小是相等。又，PMOS 電晶體 12 的大小是 PMOS 電晶體 11 的一半的大小，NMOS 電晶體 32 的大小是 NMOS 電晶體 31 的一半的大小。

首先，說明輸入電壓  $V_{inp}$  及輸入電壓  $V_{inn}$  為中間的電壓時的動作。此時，汲極電流  $I_{13} \sim I_{15}$  是分別設為電流  $2I$ 。又，PMOS 電晶體 11~12 及 NMOS 電晶體 31~32 分別為飽和動作，所以一旦汲極電流  $I_{11}$  及汲極電流  $I_{31}$  分別形成電流  $2I$ ，則汲極電流  $I_{12}$  及汲極電流  $I_{32}$  是分別形成電流  $I$ 。

在差動放大電路的後段，從汲極電流  $I_{14}$  抽出汲極電流  $I_{41}$ ，且電流  $(I_{14} - I_{41})$  與汲極電流  $I_{21}$  的合計的電流  $(I_{14} - I_{41} + I_{21})$  為形成電流  $I_A$ 。又，從汲極電流  $I_{13}$  抽出汲極電流  $I_{42}$ ，且電流  $(I_{13} - I_{42})$  與汲極電流  $I_{22}$  的合計的電流  $(I_{13} - I_{42} + I_{22})$  為形成汲極電流  $I_{33}$ 。此汲極電流  $(I_{13} - I_{42} + I_{22})$  是藉由根據 NMOS 電晶體 33~34 的電流鏡電路而形成汲極電流  $I_{34}$ 。根據電流  $(I_A = I_{14} - I_{41} + I_{21})$  與汲極電流  $(I_{33} = I_{34} = I_{13} - I_{42} + I_{22})$  的關係來決定 NMOS 電晶體 35 的

閘極電壓。

並且，在差動放大電路的後段，從汲極電流  $I_{15}$  抽出第二補正電流  $I_{43}$ ，且電流  $(I_{15}-I_{43})$  與第一補正電流  $I_{23}$  的合計的電流  $(I_{15}-I_{43}+I_{23})$  為形成汲極電流  $I_{35}$ 。

在此，一旦輸入電壓  $V_{inp}$  形成比輸入電壓  $V_{inn}$  更高，則汲極電流  $I_{21}$  是形成比汲極電流  $I_{22}$  更少，汲極電流  $I_{41}$  是形成比汲極電流  $I_{42}$  更多。於是，汲極電流  $I_{13}\sim I_{14}$  皆為電流  $2I$ ，所以電流  $(I_A=2I-I_{41}+I_{21})$  是形成比汲極電流  $(I_{33}=I_{34}=2I-I_{42}+I_{22})$  更少，藉此 NMOS 電晶體 35 的閘極電壓變低。因此，NMOS 電晶體 35 的接通電阻變高，緩衝器 51 的輸入電壓變高，緩衝器 51 的輸出電壓  $V_{out}$  變高。

又，一旦輸入電壓  $V_{inp}$  形成比輸入電壓  $V_{inn}$  更低，則如上述般，緩衝器 51 的輸出電壓  $V_{out}$  變低。

其次，說明輸入電壓  $V_{inp}$  及輸入電壓  $V_{inn}$  接近  $V_{DD}$  時的動作。此時，汲極電流  $I_{13}\sim I_{15}$  是分別設為電流  $2I$ 。並且，PMOS 電晶體 11~12 分別為非飽和動作，NMOS 電晶體 31~32 分別為飽和動作，所以汲極電流  $I_{11}$  是幾乎不流動，汲極電流  $I_{31}$  是成為電流  $2I$ ，汲極電流  $I_{12}$  是幾乎不流動，汲極電流  $I_{32}$  是成為電流  $I$ 。亦即，汲極電流  $I_{21}\sim I_{22}$  及第一補正電流  $I_{23}$  也是幾乎不流動。

在此，一旦輸入電壓  $V_{inp}$  形成比輸入電壓  $V_{inn}$  更高，則汲極電流  $I_{21}\sim I_{22}$  是幾乎不流動，但如上述般，緩衝器 51 的輸出電壓  $V_{out}$  變高。

並且，一旦輸入電壓  $V_{inp}$  形成比輸入電壓  $V_{inn}$  更低，則如上述般，緩衝器 51 的輸出電壓  $V_{out}$  變低。

其次，說明輸入電壓  $V_{inp}$  及輸入電壓  $V_{inn}$  接近  $V_{SS}$  時的動作。此時，汲極電流  $I_{13} \sim I_{15}$  是分別設為電流  $2I$ 。並且，PMOS 電晶體 11~12 分別為飽和動作，NMOS 電晶體 31~32 分別為非飽和動作，所以汲極電流  $I_{11}$  是形成電流  $2I$ ，汲極電流  $I_{31}$  是幾乎不流動，汲極電流  $I_{12}$  是形成電流  $I$ ，汲極電流  $I_{32}$  是幾乎不流動。亦即，汲極電流  $I_{41} \sim I_{42}$  及第二補正電流  $I_{43}$  也是幾乎不流動。

在此，一旦輸入電壓  $V_{inp}$  形成比輸入電壓  $V_{inn}$  更高，則汲極電流  $I_{41} \sim I_{42}$  是幾乎不流動，但如上述般，緩衝器 51 的輸出電壓  $V_{out}$  變高。

又，一旦輸入電壓  $V_{inp}$  形成比輸入電壓  $V_{inn}$  更低，則如上述般，緩衝器 51 的輸出電壓  $V_{out}$  變低。

當輸入電壓  $V_{inp}$  及輸入電壓  $V_{inn}$  為中間的電壓時，差動放大電路作為放大器使用時，非反轉輸入端子  $inp$  與反轉輸入端子  $inn$  是虛短路，輸入電壓  $V_{inp}$  與輸入電壓  $V_{inn}$  是相等，所以汲極電流  $I_{42}$  與第二補正電流  $I_{43}$  是相等，汲極電流  $I_{22}$  與第一補正電流  $I_{23}$  是相等。因此，汲極電流  $I_{35}$  是與汲極電流  $I_{33}$  相等。並且，差動放大電路作為比較器使用時，檢測出比較器的輸出電壓反轉時的輸入電壓的檢測精度為重要，此時的輸入電壓  $V_{inp}$  與輸入電壓  $V_{inn}$  是相等，所以汲極電流  $I_{42}$  與第二補正電流  $I_{43}$  是相等，汲極電流  $I_{22}$  與第一補正電流  $I_{23}$  是相等。因

此，汲極電流  $I_{35}$  是與汲極電流  $I_{33}$  相等，亦即汲極電流  $I_{33} \sim I_{35}$  是相等。

又，當輸入電壓  $V_{inp}$  及輸入電壓  $V_{inn}$  接近  $V_{DD}$  時，PMOS 電晶體 11~12 分別是非飽和動作，當輸入電壓  $V_{inp}$  及輸入電壓  $V_{inn}$  接近  $V_{SS}$  時，NMOS 電晶體 31~32 是分別非飽和動作，但如上述般，汲極電流  $I_{42}$  與第二補正電流  $I_{43}$  是相等，汲極電流  $I_{22}$  與第一補正電流  $I_{23}$  是相等。因此，汲極電流  $I_{35}$  是與汲極電流  $I_{33}$  相等。亦即，汲極電流  $I_{33} \sim I_{35}$  是相等。

因此，即使輸入電壓  $V_{inp}$  及輸入電壓  $V_{inn}$  在  $V_{DD}$  與  $V_{SS}$  間變動，NMOS 電晶體 35 對 NMOS 電晶體 33~34 的偏壓條件亦經常相同。因此，差動放大電路的偏離電壓是不依賴輸入電壓  $V_{inp}$  及輸入電壓  $V_{inn}$ 。

圖 2 是表示差動放大電路的其他實施形態的電路圖。

在圖 1 的差動放大電路中，想要加快回應速度時，爲了限制電壓振幅，而設置箝位電路 62。此情況，依箝位電路 62 的洩漏電流，偏壓條件不同，會有產生偏離電壓的課題。爲了解決此課題，圖 2 的差動放大電路是設置箝位電路 61 及箝位電路 63。

箝位電路 61 是設在 PMOS 電晶體 18 的汲極及 NMOS 電晶體 38 的汲極的連接點(電流鏡電路的一端)與接地端子之間。箝位電路 62 是設在 PMOS 電晶體 19 的汲極及 NMOS 電晶體 39 的汲極的連接點(電流鏡電路的他端)與接地端子之間。箝位電路 63 是設在 PMOS 電晶體 20 的汲

極及 NMOS 電晶體 35 的汲極的連接點與接地端子之間。箝位電路 61~63 是動作成各連接點的電壓不會形成比預定電壓更高。

由於將箝位電路 61~63 設為相同的電路構成，因此箝位電路 61~63 的洩漏電流是相等，NMOS 電晶體 33~35 的汲極電流  $I_{33} \sim I_{35}$  是相等。

另外，在圖 1 中，PMOS 電晶體 23 及 NMOS 電晶體 43 的閘極是分別被連接至非反轉輸入端子  $inp$ ，但雖未圖示，該等的閘極亦可分別被連接至反轉輸入端子  $inn$ 。又，雖未圖示，PMOS 電晶體 23 的閘極亦可被連接至非反轉輸入端子  $inp$ ，NMOS 電晶體 43 的閘極亦可被連接至反轉輸入端子  $inn$ 。又，雖未圖示，PMOS 電晶體 23 的閘極亦可被連接至反轉輸入端子  $inn$ ，NMOS 電晶體 43 的閘極亦可被連接至非反轉輸入端子  $inp$ 。

#### 【圖式簡單說明】

圖 1 是表示差動放大電路的實施形態的電路圖。

圖 2 是表示差動放大電路的其他實施形態的電路圖。

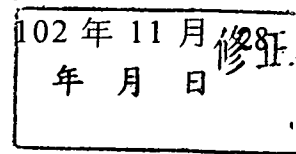
圖 3 是表示以往的差動放大電路的電路圖。

#### 【主要元件符號說明】

11~23：PMOS 電晶體

31~39、41~43：MOS 電晶體

51：緩衝器



## 七、申請專利範圍

1. 一種差動放大電路，其特徵係具備：

第一輸入段，其係具有 1 對的 PMOS 電晶體及第一電流源，根據 2 個的輸入電壓，流動輸出電流；

第二輸入段，其係具有 1 對的 NMOS 電晶體及第二電流源，根據上述 2 個的輸入電壓，流動輸出電流；

折疊式疊接放大段，其係流入上述第一輸入段的輸出電流，抽出上述第二輸入段的輸出電流，藉此輸出電壓；

輸出段，其係根據上述折疊式疊接放大段的電壓，將輸出電壓輸出；

第一補正電流產生電路，其係根據上述第一電流源的供給電流，將第一補正電流流入至上述輸出段；及

第二補正電流產生電路，其係根據上述第二電流源的輸出電流，從上述輸出段抽出第二補正電流。

2. 如申請專利範圍第 1 項之差動放大電路，其中，

上述第一補正電流產生電路係具有：

第三 PMOS 電晶體，其係與上述 1 對的 PMOS 電晶體的 1 個同一大小，且互相連接閘極；及

第三電流源，其係設在上述第三 PMOS 電晶體的源極，流動上述第一電流源的一半的電流，

上述第二補正電流產生電路係具有：

第三 NMOS 電晶體，其係與上述 1 對的 NMOS 電晶體的 1 個同一大小，且互相連接閘極；及

第四電流源，其係設在上述第三 NMOS 電晶體的源

極，流動上述第二電流源的一半的電流。

3.如申請專利範圍第 1 或 2 項之差動放大電路，其中，更具備：

第一箝位電路，其係設在上述折疊式疊接放大段的電流鏡電路的一端；

第二箝位電路，其係設在上述電流鏡電路的另一端；  
及

第三箝位電路，其係設在上述輸出段的輸出端子。

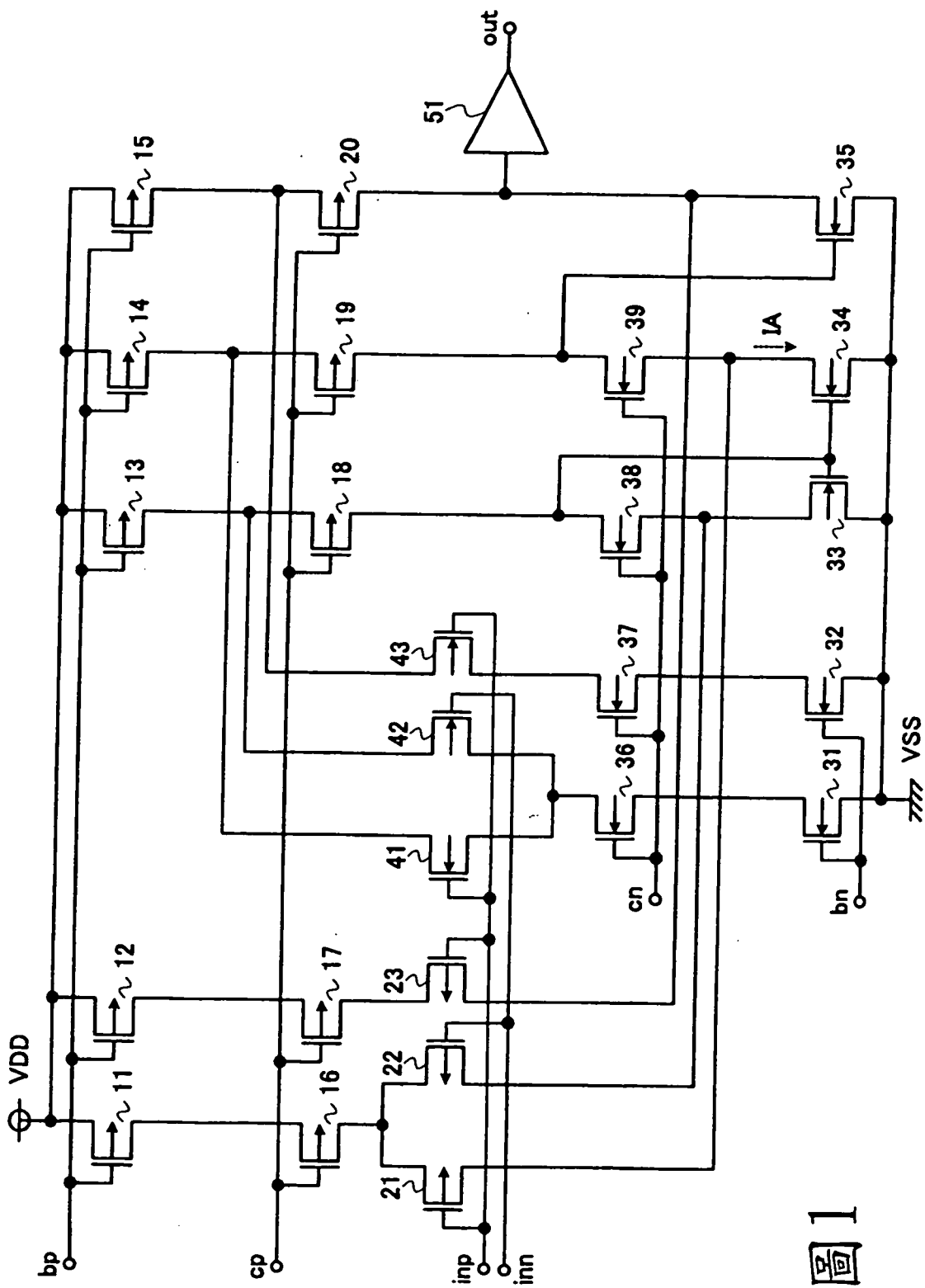


圖1

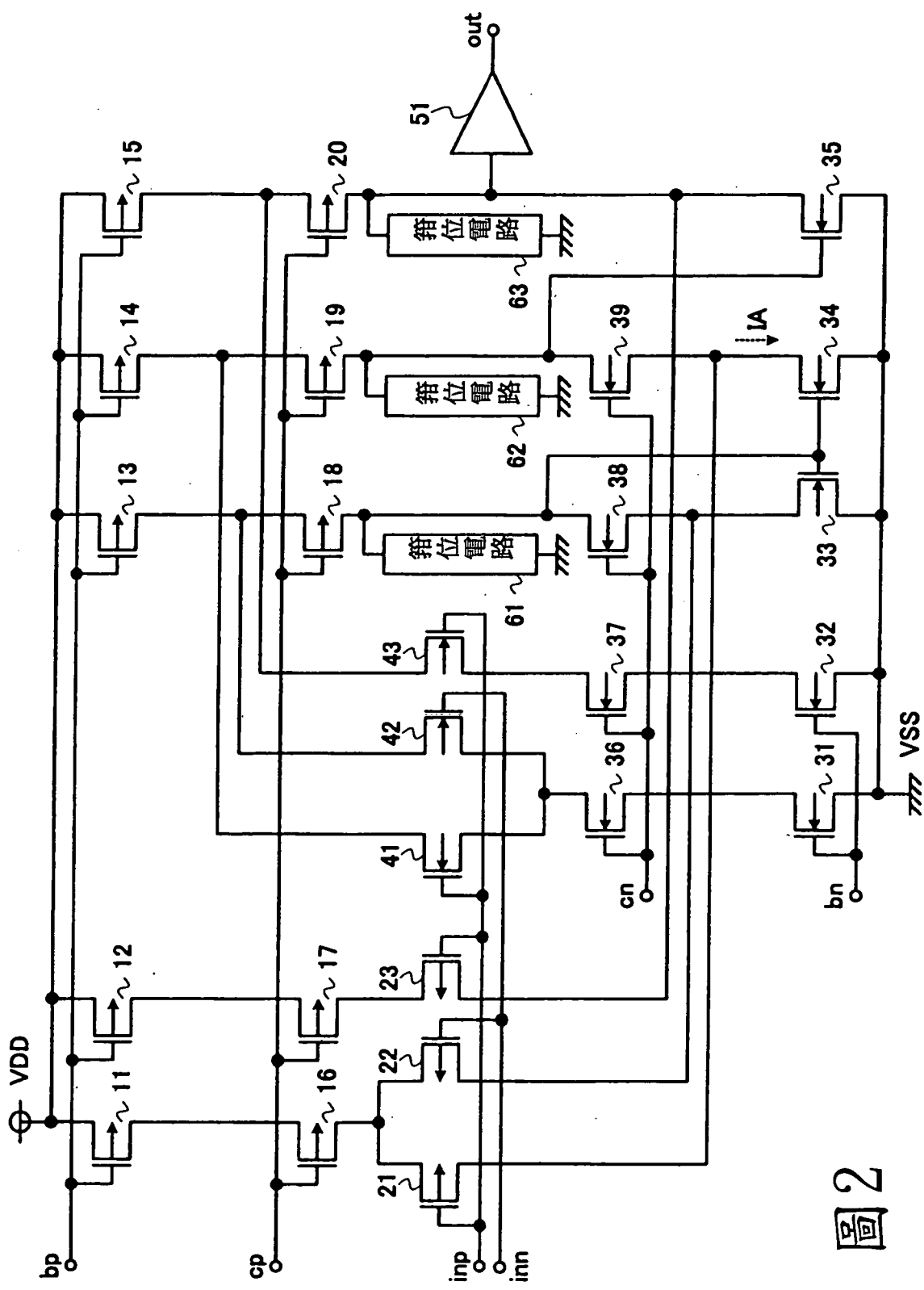


圖2

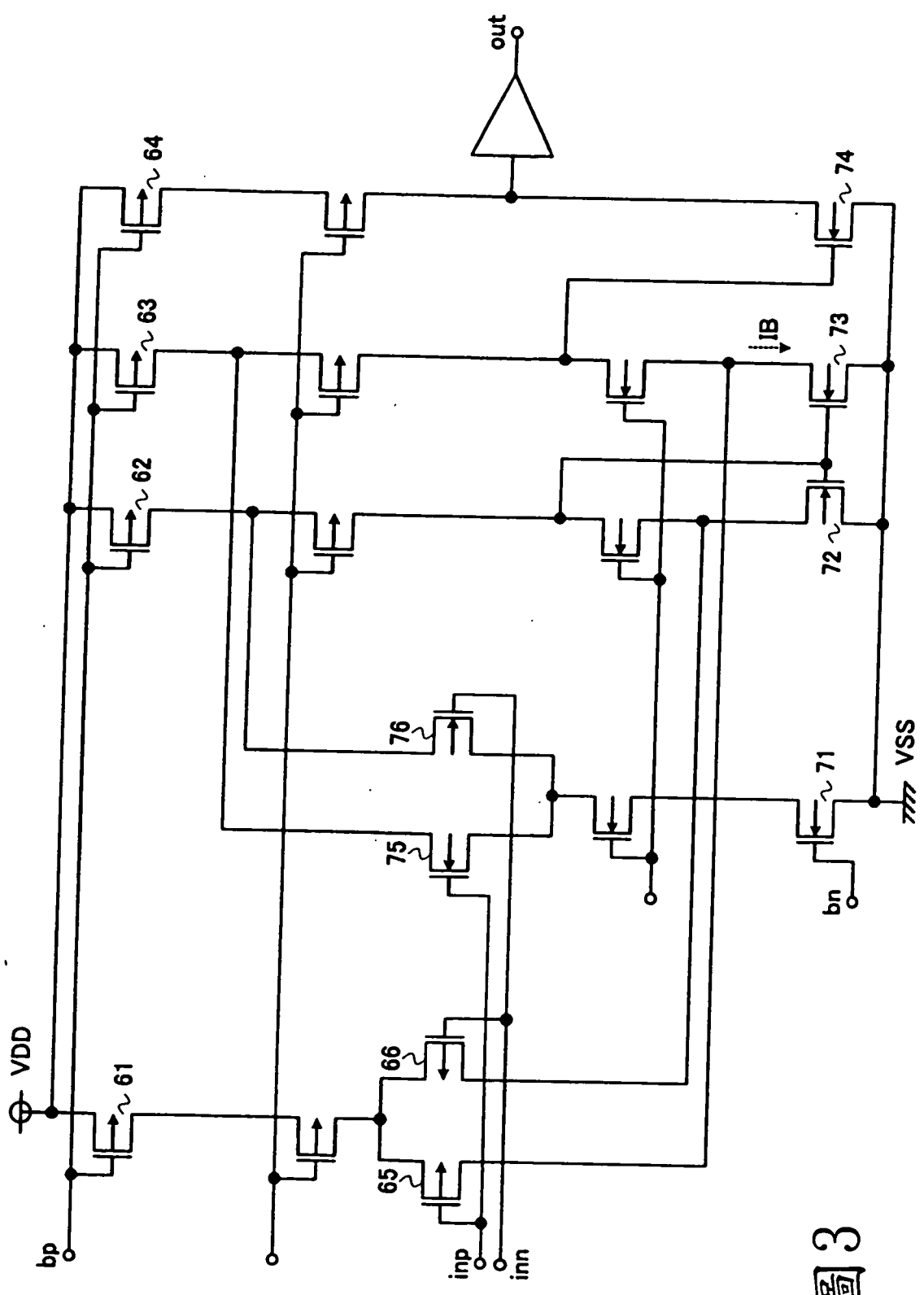


圖3