



[12] 发明专利说明书

专利号 ZL 200480031785.3

[45] 授权公告日 2010 年 1 月 13 日

[11] 授权公告号 CN 100580643C

[22] 申请日 2004.8.6

CN1306638A 2001.8.1

[21] 申请号 200480031785.3

US5313590A 1994.5.17

[30] 优先权

US6038630A 2000.3.14

[32] 2003.8.28 [33] US [31] 10/653,044

审查员 马雅凡

[86] 国际申请 PCT/US2004/025522 2004.8.6

[74] 专利代理机构 永新专利商标代理有限公司

[87] 国际公布 WO2005/024560 英 2005.3.17

代理人 韩 宏

[85] 进入国家阶段日期 2006.4.27

[73] 专利权人 米克伦技术公司

地址 美国爱达荷

[72] 发明人 约瑟夫·M·杰德洛

权利要求书 10 页 说明书 11 页 附图 6 页

[56] 参考文献

US4831520A 1989.5.16

US6477592B1 2002.11.5

US6487556B1 2002.11.26

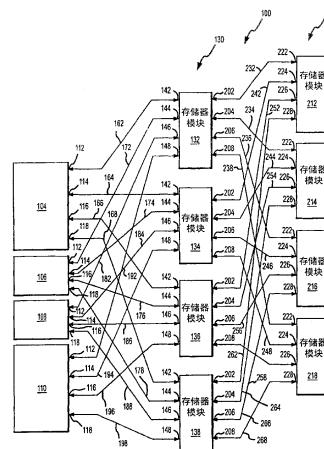
US5687325A 1997.11.11

[54] 发明名称

包括多个存储器集线器模块的多处理器系统
和方法

[57] 摘要

一种基于处理器的电子系统，包括以第一级和第二级形式设置的几个存储器模块。第一级存储器模块是通过几个处理器中的任一处理器直接存取的，并且第二级存储器模块是由处理器通过第一级存储器模块进行存取的。通过改变用于存取第二级存储器模块的第一级存储器模块的数目，来改变处理器和第二级存储器模块之间的数据带宽。每个存储器模块都包括几个连接到存储器集线器的存储装置。存储器集线器包括连接到每个存储装置的存储器控制器，连接到相应处理器或存储器模块的链路接口，以及将任一存储器控制器连接到任一链路接口的交叉开关。



1.一种用于将多个存储器请求器的每一个连接到多个存储装置的每一个的存储器集线器，该存储器集线器包括：

 多个存储器控制器，该多个存储器控制器的每一个都连接到至少一个所述存储装置；

 第一多个链路接口，其中每个链路接口都是单向或双向的；

 第二多个链路接口，其中每个链路接口都是单向或双向的；以及

 具有第一多个开关端口、第二多个开关端口和多个存储器端口的交叉开关，所述第一多个开关端口中的每一个都连接到所述第一多个链路接口中的相应一个，所述第二多个开关端口中的每一个都耦合到所述第二多个链路接口中的相应一个，并且每个所述存储器端口都连接到相应的一个所述存储器控制器，所述交叉开关用于选择性地将每个所述链路接口连接到任何一个所述存储器控制器。

2.根据权利要求 1 所述的存储器集线器，其中每个所述存储器控制器都包括动态随机存取存储器控制器。

3.根据权利要求 1 所述的存储器集线器，进一步包括与每个所述存储器控制器相关联的相应的高速缓冲存储器装置，每个所述高速缓冲存储器装置都用于存储通过所述交叉开关的相应的一个存储器端口存取的数据。

4.根据权利要求 1 所述的存储器集线器，其中每个所述链路接口都包括双向链路接口。

5.根据权利要求 1 所述的存储器集线器，其中每个所述链路接口都包括一对单向链路，该对单向链路之一包括输入端口，并且该对单向链路的另一个包括输出端口。

6.根据权利要求 1 所述的存储器集线器，进一步包括与每个所述存储器控制器相关联的相应的写缓冲器，每个所述写缓冲器都用于通过所述交叉开关的相应的一个存储器端口接收写数据和关联的写地址，并存储所述写数据和地址以便随后耦合到相应的一个所述存储器控制器。

7.根据权利要求 6 所述的存储器集线器，其中每个所述写缓冲器为多个写存储器存取积累写数据和地址，然后在没有任何介入读存储器存取的情况下，顺序地将多个写数据和地址耦合到相应的一个所述存储器控制器。

8.根据权利要求 1 所述的存储器集线器，进一步包括连接到所述交叉开关和所述存储器控制器的直接存储器存取装置，该直接存储器存取装置用于使所述交叉开关和每个所述存储器控制器执行存储器写和读存取。

9.一种存储器模块，包括：

基板；

由所述基板承载的多个存储装置；以及

由所述基板承载的存储器集线器，该存储器集线器包括：

多个存储器控制器，该多个存储器控制器的每一个都连接到至少一个所述存储装置；

第一多个链路接口，该第一多个链路接口的每一个用于连接到多个存储器请求器的每一个，并且该第一多个链路接口的每一个都是单向或双向的；

第二多个链路接口，该第二多个链路接口的每一个都是单向或双向的；以及

具有第一多个开关端口、第二多个开关端口和多个存储器端口的交叉开关，所述第一多个开关端口中的每一个都连接到所述第一多个链路接口中的相应的一个，所述第二多个开关端口中的

每一个都连接到所述第二多个链路接口中的相应的一个，并且每个所述存储器端口都连接到相应的一个所述存储器控制器，所述交叉开关用于选择性地将每个所述链路接口连接到任何一个所述存储器控制器。

10.根据权利要求 9 所述的存储器模块，其中每个所述存储装置都包括动态随机存取存储器装置。

11.根据权利要求 9 所述的存储器模块，其中所述存储器集线器进一步包括与每个所述存储器控制器相关联的相应的高速缓冲存储器装置，每个所述高速缓冲存储器装置都用于存储通过所述交叉开关的相应的一个存储器端口存取的数据。

12.根据权利要求 9 所述的存储器模块，其中所述基板包括半导体基板，并且其中所述存储装置、链路接口、存储器控制器和交叉开关被制造为所述半导体基板上的公共集成电路。

13.根据权利要求 9 所述的存储器模块，其中所述存储器集线器中的每个链路接口都包括双向链路接口。

14.根据权利要求 9 所述的存储器模块，其中所述存储器集线器中的每个链路接口都包括一对单向链路，该对单向链路之一包括输入端口，并且该对单向链路的另一个包括输出端口。

15.根据权利要求 9 所述的存储器模块，其中所述存储器集线器进一步包括与每个所述存储器控制器相关联的相应的写缓冲器，每个所述写缓冲器都用于通过所述交叉开关的相应的一个存储器端口接收写数据和关联的写地址，并存储所述写数据和地址以便随后耦合到相应的一个所述存储器控制器。

16.根据权利要求 15 所述的存储器模块，其中每个所述写缓冲器为多个写存储器存取积累写数据和地址，然后在没有任何介入读存储器存取的情况下，顺序地将多个写数据和地址耦合到相应的一个所述存储器控制器。

17.根据权利要求 9 所述的存储器模块，其中所述存储器集线器进一步包括连接到所述交叉开关和所述存储器控制器的直接存储器存取装置，该直接存储器存取装置用于使所述交叉开关和每个所述存储器控制器执行存储器写和读存取。

18.一种存储器系统，包括：

多个存储器请求器；

连接到所述存储器请求器的第一级的多个存储器模块，该第一级中的每个存储器模块都连接到多个所述存储器请求器，每个所述存储器模块包括：

多个存储装置；以及

存储器集线器，该存储器集线器包括：

多个存储器控制器，该多个存储器控制器的每一个都连接到至少一个所述存储装置；

第一多个链路接口，该第一多个链路接口的每一个都连接到相应的一个所述存储器请求器，该第一多个链路接口的每一个都是单向或双向的；

第二多个链路接口，该第二多个链路接口的每一个都是单向或双向的；以及

具有第一多个开关端口、第二多个开关端口和多个存储器端口的交叉开关，所述第一多个开关端口中的每一个都连接到所述第一多个链路接口中的相应的一个，所述第二多个开关端口中的每一个都连接到所述第二多个链路接口中的相应的一个，并且每个所述存储器端口都连接到相应的一个所述存储器控制器，所述交叉开关用于选择性地将每个所述

链路接口连接到任何一个所述存储器控制器，
并且其中所述交叉开关进一步包括第二多个开关端口，该第二多个开关端口的每一个都连接到所述第二多个链路接口中的相应的一个链路接口。

19.根据权利要求 18 所述的存储器系统，其中每个所述存储装置都包括动态随机存取存储器装置。

20.根据权利要求 18 所述的存储器系统，其中所述存储器集线器进一步包括与每个所述存储器控制器相关联的相应的高速缓冲存储器装置，每个所述高速缓冲存储器装置都用于存储通过所述交叉开关的相应的一个存储器端口存取的数据。

21.根据权利要求 18 所述的存储器系统，其中所述存储装置、链路接口、存储器控制器和交叉开关被制造为半导体基板上的公共集成电路。

22.根据权利要求 18 所述的存储器系统，其中所述存储器集线器中的每个链路接口都包括双向链路接口。

23.根据权利要求 18 所述的存储器系统，其中所述存储器集线器中的每个所述链路接口都包括一对单向链路，该对单向链路之一包括输入端口，并且该对单向链路的另一个包括输出端口。

24.根据权利要求 18 所述的存储器系统，其中所述存储器集线器进一步包括与每个所述存储器控制器相关联的相应的写缓冲器，每个所述写缓冲器都用于通过所述交叉开关的相应的一个存储器端口接收写数据和关联的写地址，并存储所述写数据和写地址以便随后耦合到相应的一个所述存储器控制器。

25.根据权利要求 24 所述的存储器系统，其中每个所述写缓冲器为多个写存储器存取积累写数据和地址，然后在没有任何介入读存储器存取的情况下，顺序地将多个写数据和地址耦合到相应的一个所述存储器控制器。

26.根据权利要求 18 所述的存储器系统，其中所述存储器集线器进一步包括连接到所述交叉开关和所述存储器控制器的直接存储器存取装置，该直接存储器存取装置用于使所述交叉开关和每个所述存储器控制器执行存储器写和读存取。

27.根据权利要求 18 所述的存储器系统，其中至少一些所述存储器请求器包括处理器。

28.根据权利要求 18 所述的存储器系统，其中至少一些所述存储器请求器包括直接存储器存取装置。

29.根据权利要求 18 所述的存储器系统，进一步包括连接到所述第一级的多个存储器模块中的至少一些的第二级存储器模块，该第二级的每个存储器模块都包括：

多个存储装置；以及

存储器集线器，该存储器集线器包括：

多个存储器控制器，该多个存储器控制器的每一个都连接到至少一个所述存储装置；

第一多个链路接口，该第一多个链路接口的每一个都连接到所述第一级中的相应的一个存储器模块；以及

具有第一多个开关端口和多个存储器端口的交叉开关，每个所述开关端口都连接到相应的一个所述链路接口，并且每个所述存储器端口都连接到相应的一个所述存储器控制器，所述交叉开关用于选择性地将每个所述链路接口连接到任何一个所述存储器控制器。

30.根据权利要求 18 所述的存储器系统，进一步包括第二级的多组存储器模块，该第二级的多组存储器模块中存储器模块组的数目在数量上对应于所述第一级的存储器模块的数目，所述第二级的多组存储器模块中的每组存储器模块都连接到所述第一级中的相应的一个存储器模块，所述第二级的多组存储器模块中的每个存储器模块都包括：

多个存储装置；以及

存储器集线器，该存储器集线器包括：

多个存储器控制器，该多个存储器控制器的每一个都连接到至少一个所述存储装置；

链路接口，该链路接口连接到所述第二级中相应的一组存储器模块所对应的所述第一级的存储器模块；以及

具有开关端口和多个存储器端口的交叉开关，所述开关端口连接到所述链路接口，并且每个所述存储器端口都连接到相应的一个所述存储器控制器，所述交叉开关用于选择性地将所述链路接口连接到任何一个所述存储器控制器。

31.根据权利要求 18 所述的存储器系统，其中所述存储装置、链路接口、存储器控制器和交叉开关被制造为半导体基板上的公共集成电路。

32.一种存储器系统，包括：

多个存储器请求器；

连接到所述存储器请求器的第一级存储器模块，该第一级存储器模块的每一个都包括在数量上和所述存储器请求器的数目相对应的第一组存储器端口，所述第一级中的每个存储器端口都连接到相应的一个所述存储器请求器，所述第一级存储器模块进一步包括第二组存储器端口，所述第一级中的每个存储器模块都包括多个存储装置以及

-
- . 连接到所述存储装置和所述第一及其第二组存储器端口的存储器集线器；

第二级存储器模块，该第二级存储器模块的每一个都包括通过所述第二组存储器端口连接到所述第一级的存储器模块的至少一个存储器端口，所述第二级中的每个存储器模块都包括多个存储装置以及连接到所述存储装置和所述至少一个存储器端口的存储器集线器。

33.根据权利要求 32 所述的存储器系统，其中所述第二级中的每一个存储器模块都包括在数量上和所述第一级的存储器模块的数目相对应的多个存储器端口，所述第二级的每个存储器模块中的存储器端口都通过所述第二组中的相应的存储器端口连接到所述第一级存储器模块。

34.根据权利要求 32 所述的存储器系统，其中所述第二级中的多组存储器模块的每一组都连接到所述第一级中的相应的一个存储器模块，所述第一级中的每一个存储器模块都包括连接到所述第二级的相应的一组存储器模块所对应的所述第一级的存储器模块的存储器端口。

35.根据权利要求 32 所述的存储器系统，其中所述第一级中的每个存储器模块中的存储器集线器都包括交叉开关，所述交叉开关用于将所述第一组存储器端口的任何一个连接到所述第二组存储器端口的任何一个和任何一个所述存储装置。

36.根据权利要求 35 所述的存储器系统，其中所述交叉开关进一步用于将所述第二组存储器端口的任何一个连接到任何一个所述存储装置。

37.一种用于从多个存储器请求端口存取存储装置的方法，该方法包括：

，设置第一级中的第一多个存储器模块，该第一级中的每个存储器模块都包括耦合到多个存储装置的存储器集线器，该第一级中的每个存储器模块内的存储器集线器包括多个存储器控制器、第一多个链路接口以及具有所述多个存储器请求端口的交叉开关；

设置第二级中的第二多个存储器模块，该第二级中的每个存储器模块都包括耦合到多个存储装置的存储器集线器，该第二级中的每个存储器模块内的存储器集线器包括多个存储器控制器、第一多个链路接口以及交叉开关；

从任一所述存储器请求端口存取所述第一级中的每个存储器模块；以及

通过所述第一级中的至少一个存储器模块，从任一所述存储器请求端口来存取所述第二级中的每个存储器模块。

38.根据权利要求 37 所述的方法，其中通过所述第一级中的至少一个存储器模块来存取所述第二级中每个存储器模块的处理包括：通过所述第一级中的每个存储器模块来存取所述第二级中的每个存储器模块。

39.根据权利要求 37 所述的方法，其中通过所述第一级中的至少一个存储器模块来存取所述第二级中每个存储器模块的处理包括：通过与所述第二级中的一组存储器模块相对应的所述第一级的存储器模块来存取所述第二级中的一组存储器模块。

40.根据权利要求 37 所述的方法，进一步包括从所述第二级中的至少一些存储器模块来存取所述第一级中的每一个存储器模块。

41.根据权利要求 37 所述的方法，其中通过所述第一级中的至少一个存储器模块，从任一所述存储器请求端口来存取所述第二级中每个存储器模块的处理包括：改变借以从所述存储器请求端口之一存取所述第二级存储器模块的所述第一级存储器模块的数目，以改变所述

存储器请求端口和正在存取的所述第二级存储器模块之间的数据带宽。

42.根据权利要求 37 所述的方法，进一步包括在至少一些所述存储器模块中积累写存储器存取，并顺序地执行所存储的写存储器存取。

包括多个存储器集线器模块的多处理器系统和方法

技术领域

本发明涉及计算机系统，并且尤其涉及一种具有能够以多种配置连接到几个存储器集线器模块的几个处理器或其它存储器存取装置的计算机系统。

背景技术

计算机系统使用存储装置如 DRAM（动态随机存取存储器）装置来存储处理器所存取的指令和数据。这些存储装置通常作为计算机系统中的系统存储器。在典型计算机系统中，处理器通过处理器总线和存储器控制器与系统存储器进行通信。处理器发布存储器请求，该存储器请求包括诸如读命令的存储器命令、以及指明数据或指令要被读出或写入的位置的地址。存储器控制器利用该命令和地址来产生应用于系统存储器的适当命令信号以及行和列地址。响应于这些命令和地址，数据在系统存储器和处理器之间被传送。存储器控制器常常是系统控制器的一部分，系统控制器也包括用于将处理器总线连接到扩展总线如 PCI（外围部件互联）总线的总线桥电路。

虽然存储装置的操作速度已不断增加，但是这种操作速度的增加没有跟上处理器操作速度的增加。结果，处理器与它所连接的存储装置之间的数据带宽大大低于处理器的数据带宽能力。处理器与存储装置之间的数据带宽在很大程度上受处理器和存储装置之间的更低数据带宽的限制。

除处理器与存储装置之间的有限带宽以外，计算机系统的性能也受到增加从存储装置读取数据所需时间的等待时间问题的限制。更具体地说，当存储装置读命令被耦合到存储装置如 SDRAM（同步动态随机存取存储器）装置时，只有在几个时钟周期的延迟之后，所读取的数据才从 SDRAM 装置输出。因此，虽然 SDRAM 装置能够以高数

据速率同步输出猝发数据，但是最初提供数据时的延迟可以大大降低使用这种 SDRAM 装置的计算机系统的操作速度。

图 1 示出了一种缓解存储器等待时间问题的方法。如图 1 所示，计算机系统 10 包括连接到几个存储器模块 20a-f 的处理器 14，虽然可以使用更少或更多数量的存储器模块 20。每个存储器模块 20 都包括连接到几个存储装置 28 的存储器集线器 24，存储装置 28 可以是 SDRAM 装置。在图 1 中，存储器模块 20 被显示为通过单向输入总线 30 和单向输出总线 38 连接到处理器 14 以及互连。然而，应该理解，存储器模块 20 可以通过双向总线（未示出）连接到处理器 14 以及互连。

在图 1 中，存储器模块 20 被显示为以点对点配置方式进行连接，其中每条总线 30 和 38 只在两个点之间进行连接。然而，作为选择可以使用其它总线系统。例如，也可以使用如图 2A 所示的开关总线系统、如图 2B 所示的共享总线系统或其它某种总线系统。图 2A 所示的开关总线系统包括连接到开关电路 42 的处理器 40。开关电路 42 连接到几个存储器模块 44a-d、图形处理器 46 及 I/O（输入/输出）设备 48。在操作中，开关电路 42 将处理器 40 连接到存储器模块 44a-d、图形处理器 46 或 I/O 设备 48 中的任何一个。图 2B 所示的共享总线系统包括通过共享总线系统 58 连接到几个存储器模块 54a-c 的处理器 50。

上述体系结构的任何一种也可用于将多个处理器连接到多个存储器模块。例如，如图 3 所示，一对处理器 60、62 通过各自的双向总线系统 64 连接到各自的存储器模块组 66a-e、68a-e。存储器模块 66a-e 和 68a-e 的每一个都包括连接到几个存储装置 28 的存储器集线器 24。

如图 1 和 3 所示的存储器集线器结构能够提供远远优于其中处理器直接或通过系统或存储器控制器连接到几个存储装置的体系结构的性能。然而，它们仍然受到几种限制。例如，图 1 所示的体系结构对于处理器 14 可以存取存储器模块 20a-f 的方式不提供高度灵活性。例如，如果总线 30-38 包括 32 位数据总线，则即使正在从存储器模

块 20a-f 读出、或者正在向存储器模块 20a-f 写入较少数量的数据位，所有对存储器模块 20a-f 的存取也都将是 32 位双字节形式。

图 1 和 3 所示体系结构的灵活性也受其它方面的限制。例如，图 3 所示的体系结构对于处理器 60 和 62 分别可以存取存储器模块 66a-e 和 68a-e 的方式不提供高度灵活性。虽然处理器 60 可以存取存储器模块 66a-f 的任何一个，并且处理器 62 可以存取存储器模块 68a-e 的任何一个，但是处理器 60 不能存取存储器模块 68a-e 的任何一个，而且处理器 62 也不能存取存储器模块 66a-e 的任何一个。结果，如果处理器 60 向存储器模块 66a-e 写入充足的数据，从而达到了存储器模块 66a-e 的存储容量，则即使存储器模块 68a-e 中可能有大量未使用容量，处理器 60 也将不能存储任何更多的数据。

图 1 和 3 所示存储器体系结构的另一个限制是处理器 14、60 和 62 在存取它们各自的存储器模块 20、66 和 68 的过程中所引起的较长等待时间。在通过位于存储器模块和处理器之间的任何存储器模块来存取每个存储器模块的范围内，在通过其间的存储器模块来传送地址、数据和控制信号的过程中可以引起大延迟。进一步，如果存储器模块 20、66 和 68 的任何一个变得有缺陷，则必须通过该有缺陷的模块进行存取的存储器模块将变得不可用。

发明内容

因此，需要这样一种存储器系统体系结构，该存储器系统体系结构具有较强容错（fault-intolerant）能力，提供较短等待时间存储器存取，并允许多处理器对于它们存取基于集线器的存储器模块的方式具有高度灵活性。

一种存储器系统包括连接到第一级存储器模块的多个存储器请求器。第一级存储器模块的每一个都包括在数量上和存储器请求器数目相对应的第一组存储器端口。第一级中的每个存储器端口都连接到相应的一个存储器请求器。第一级存储器模块进一步包括第二组存储器端口。该存储器系统还包括第二级存储器模块，第二级存储器模块的每一个都具有通过第二组存储器端口连接到第一级中至少一个存

储器模块的至少一个存储器端口。第一和第二级中的每个存储器模块都包括多个存储装置、以及连接到存储装置和第一组及任何第二组存储器端口的存储器集线器。存储器集线器优选地包括：连接到模块中相应存储装置的多个存储器控制器；多个链路接口，每个链路接口都连接到存储器请求器之一或另一模块；以及交叉开关，该交叉开关具有连接到相应链路接口的第一多个开关端口、以及连接到相应存储器控制器的多个存储器端口。该交叉开关用于选择性地将每个链路接口连接到任一存储器控制器。

根据本发明的第一方面，提供一种用于将多个存储器请求器的每一个连接到多个存储装置的每一个的存储器集线器，该存储器集线器包括：多个存储器控制器，该多个存储器控制器的每一个都连接到至少一个所述存储装置；第一多个链路接口，其中每个链路接口都是单向或双向的；第二多个链路接口，其中每个链路接口都是单向或双向的；以及具有第一多个开关端口、第二多个开关端口和多个存储器端口的交叉开关，所述第一多个开关端口中的每一个都连接到所述第一多个链路接口中的相应一个，所述第二多个开关端口中的每一个都耦合到所述第二多个链路接口中的相应一个，并且每个所述存储器端口都连接到相应的一个所述存储器控制器，所述交叉开关用于选择性地将每个所述链路接口连接到任何一个所述存储器控制器。

根据本发明的第二方面，提供一种存储器模块，包括：基板；由所述基板承载的多个存储装置；以及由所述基板承载的存储器集线器，该存储器集线器包括：多个存储器控制器，该多个存储器控制器的每一个都连接到至少一个所述存储装置；第一多个链路接口，该第一多个链路接口的每一个用于连接到多个存储器请求器的每一个，并且该第一多个链路接口的每一个都是单向或双向的；第二多个链路接口，该第二多个链路接口的每一个都是单向或双向的；以及具有第一多个开关端口、第二多个开关端口和多个存储器端口的交叉开关，所述第一多个开关端口中的每一个都连接到所述第一多个链路接口中的相应的一个，所述第二多个开关端口中的每一个都连接到所述第二多个链路接口中的相应的一个，并且每个所述存储器端口都连接到相

应的一个所述存储器控制器，所述交叉开关用于选择性地将每个所述链路接口连接到任何一个所述存储器控制器。

根据本发明的第三方面，提供一种存储器系统，包括：多个存储器请求器；连接到所述存储器请求器的第一级存储器模块，该第一级中的每个存储器模块都连接到多个所述存储器请求器，每个所述存储器模块包括：多个存储装置；以及存储器集线器，该存储器集线器包括：多个存储器控制器，该多个存储器控制器的每一个都连接到至少一个所述存储装置；第一多个链路接口，该第一多个链路接口的每一个都连接到相应的一个所述存储器请求器，该第一多个链路接口的每一个都是单向或双向的；第二多个链路接口，该第二多个链路接口的每一个都是单向或双向的；以及具有第一多个开关端口、第二多个开关端口和多个存储器端口的交叉开关，所述第一多个开关端口中的每一个都连接到所述第一多个链路接口中的相应的一个，所述第二多个开关端口中的每一个都连接到所述第二多个链路接口中的相应的一个，并且每个所述存储器端口都连接到相应的一个所述存储器控制器，所述交叉开关用于选择性地将每个所述链路接口连接到任何一个所述存储器控制器。

根据本发明的第四方面，提供一种存储器系统，包括：多个存储器请求器；连接到所述存储器请求器的第一级存储器模块，该第一级存储器模块的每一个都包括在数量上和所述存储器请求器的数目相对应的第一组存储器端口，所述第一级中的每个存储器端口都连接到相应的一个所述存储器请求器，所述第一级存储器模块进一步包括第二组存储器端口，所述第一级中的每个存储器模块都包括多个存储装置以及连接到所述存储装置和所述第一及其第二组存储器端口的存储器集线器；第二级存储器模块，该第二级存储器模块的每一个都包括通过所述第二组存储器端口连接到所述第一级的存储器模块的至少一个存储器端口，所述第二级中的每个存储器模块都包括多个存储装置以及连接到所述存储装置和所述至少一个存储器端口的存储器集线器。

根据本发明的第五方面，提供一种用于从多个存储器请求端口存

取存储装置的方法，该方法包括：设置第一级中的第一多个存储器模块，该第一级中的每个存储器模块都包括耦合到多个存储装置的存储器集线器，该第一级中的每个存储器模块内的存储器集线器包括多个存储器控制器、第一多个链路接口以及具有所述多个存储器请求端口的交叉开关；设置第二级中的第二多个存储器模块，该第二级中的每个存储器模块都包括耦合到多个存储装置的存储器集线器，该第二级中的每个存储器模块内的存储器集线器包括多个存储器控制器、第一多个链路接口以及交叉开关；从任一所述存储器请求端口存取所述第一级中的每个存储器模块；以及通过所述第一级中的至少一个存储器模块，从任一所述存储器请求端口来存取所述第二级中的每个存储器模块。

根据本发明实现的存储器系统体系结构，具有较强容错能力，缩短存储器存取等待时间，并允许多处理器对于它们存取基于集线器的存储器模块的方式具有高度灵活性。

附图说明

图 1 是包括几个存储器模块的、基于处理器的常规电子系统的框图，其中每个存储器模块都包括连接到几个存储装置的存储器集线器。

图 2A 和 2B 所示为用于将存储器模块连接到多个处理器的各种常规体系结构的框图。

图 3 是包括连接到相应存储器模块组的多个处理器的、基于处理器的常规电子系统的框图，其中每个存储器模块都包括连接到几个存储装置的存储器集线器。

图 4 是根据本发明一个实施例的、连接到几个存储器模块的基于处理器的系统的框图。

图 5 是可用于图 4 和图 6 的基于处理器的系统中的存储器模块的框图。

图 6 是根据本发明另一实施例的、连接到几个存储器模块的基于处理器的系统的框图。

具体实施方式

图 4 示出了根据本发明一个例子的基于处理器的电子系统 100。系统 100 包括三个处理器 104、106、108 以及 DMA（直接存储器存取）装置 110，如图形控制器。DMA 装置 110 和处理器 104-108 的每一个都包括 4 个存储器存取端口 112、114、116 和 118。端口 112-118 优选地包括数据端口以及单独或共享控制和地址端口。然而，应该理解，可以使用其它某种存储器端口配置，如用于接收和发送分组的端口。系统 100 还包括第一级（130）4 个存储器模块 132、134、136 和 138，每个存储器模块都包括第一组 4 个存储器存取端口 212、214、216 和 218。如下所说明的，存储器模块 132-138 的每一个都包括连接到 8 个存储装置的存储器集线器，这 8 个存储装置优选地为 DRAM（动态随机存取存储器）装置，并且更为优选地是 SDRAM（同步 DRAM）装置。然而，应该理解，在存储器模块 132-138 的每一个中，可以将更多或更少数量的存储装置连接到存储器集线器。

第一处理器 104 的存储器存取端口 112、114、116 和 118 通过相应总线 162、164、166 和 168 分别连接到存储器模块 132、134、136 和 138 的每一个的存储器存取端口 142。类似地，第二处理器 106 的存储器存取端口 112、114、116 和 118 通过相应总线 172、174、176 和 178 分别连接到存储器模块 132、134、136 和 138 的每一个的存储器存取端口 144，并且第三处理器 108 的存储器存取端口 112、114、116 和 118 通过相应总线 182、184、186 和 188 分别连接到存储器模块 132、134、136 和 138 的每一个的存储器存取端口 146。结果，处理器 104-108 的任何一个都能够存取存储器模块 132-138 的任何一个。以类似的方式，DMA 装置 110 的存储器存取端口 112、114、116 和 118 通过相应总线 192、194、196 和 198 分别连接到存储器模块 132、134、136 和 138 的存储器存取端口 148。因而，DMA 装置 108 也能够存取存储器模块 132、134、136 和 138 的每一个。

存储器模块 132、134、136 和 138 的每一个也包括第二组 4 个存储器存取端口 202、204、206 和 208，这第二组 4 个存储器存取端口

202、204、206 和 208 连接到第二级 (210) 4 个存储器模块 212、214、216 和 218。更具体地说，存储器模块 132 的存储器存取端口 202、204、206 和 208 通过相应总线 232、234、236 和 238 分别连接到存储器模块 212、214、216 和 218 的相应存储器存取端口 222。类似地，存储器模块 134 的存储器存取端口 202、204、206 和 208 通过相应总线 242、244、246 和 248 分别连接到存储器模块 212、214、216 和 218 的每一个的存储器存取端口 224，并且存储器模块 136 的存储器存取端口 202、204、206 和 208 通过相应总线 252、254、256 和 258 分别连接到存储器模块 212、214、216 和 218 的每一个的存储器存取端口 226。最后，存储器模块 138 的存储器存取端口 202、204、206 和 208 通过相应总线 262、264、266 和 268 分别连接到存储器模块 212、214、216 和 218 的每一个的存储器存取端口 228。

和第一级 130 中的存储器模块 132-138 一样，第二级 210 中的存储器模块 212-218 的每一个都包括连接到 8 个存储装置的存储器集线器。如以下更详细说明的，第一级 130 的存储器模块 132-138 中的每一个存储器集线器都包括能够将存储器存取端口 112-118 的任何一个连接到存储器存取端口 202-208 的任何一个的交叉开关（图 4 中未示出）。同样地，第二级 210 中的存储器模块 212-218 的每一个中的存储器集线器都能够将存储器存取端口 202-208 的任何一个连接到存储器存取端口 222-228 的任何一个。结果，处理器 102-106 和 DMA 装置 108 的任何一个都能够直接存取存储器模块 132-138 的任何一个，以及通过存储器模块 132-138 存取存储器模块 212-218 的任何一个。与利用图 1 和 3 所示类型的存储器体系结构可以得到的等待时间相比，处理器 102-106 与存储器模块 132-138 和 212-218 之间、以及 DMA 装置 108 与存储器模块 132-138 和 212-218 之间的这种紧密接近性导致了较短的等待时间。

图 4 所示存储器拓扑结构的另外优点是，通过只改变到存储器模块 212-218 的互连数量，就能够改变处理器 102-106 或 DMA 装置 108 的任何一个与第二级 210 中的存储器模块 212-218 的任何一个之间的数据带宽。例如，如果每一条总线都是 16 位宽，则处理器 106 可以

只利用一条从处理器 106 延伸到模块 132-138 之一的总线、以及一条从模块 132-138 之一延伸到模块 212-218 之一的总线，来通过 16 位数据总线连接到存储器模块 212-218 的任何一个。处理器 106 可以通过连接到模块 132-138 中的两个模块、并通过相应总线从这两个模块 132-138 的每一个连接到模块 212-218 之一，经由 32 位数据总线连接到存储器模块 212-218 的任何一个。处理器 106 可以通过连接到模块 132-138 中的三个模块、并通过相应总线从这三个模块 132-138 的每一个连接到模块 212-218 之一，经由 48 位数据总线连接到存储器模块 212-218 的任何一个。最后，处理器 106 可以通过连接到所有 4 个模块 132-138、并通过相应总线从这 4 个模块 132-138 的每一个连接到模块 212-218 之一，经由 64 位数据总线连接到存储器模块 212-218 的任何一个。

图 5 示出了可用于图 4 的存储器模块 132-138、212-218 中的存储器集线器 300 的一个实施例。存储器集线器 300 包括 4 个链路接口 304a-d，这 4 个链路接口 304a-d 连接到相应总线，如图 4 所示第一组中的总线。类似地，4 个附加链路接口 308a-d 被包括进来，它们也连接到相应总线，如图 4 所示第二组中的总线。所有链路接口 304 和 308 都连接到交叉开关 310，交叉开关 310 可以具有常规或以下开发的结构。如前面参考图 4 所说明的，交叉开关 310 能够将链路接口 304a-d 的任何一个连接到链路接口 308a-d 的任何一个。链路接口 304a-d 和 308a-d 可以是单向或双向接口，并且耦合到或耦合自链路接口 304a-d 和 308a-d 的存储器存取的性质可以随意变化，包括常规 DRAM 地址、控制和数据信号、共享地址和控制信号、以及分组存储器存取信号。

交叉开关 310 也能够将链路接口 304a-d 和 308a-d 的任何一个连接到 4 个 DRAM 控制器 314a-d，每个 DRAM 控制器都连接到多个 DRAM 装置(图 5 中未示出)。DRAM 控制器 314a-d 可以是常规 DRAM 控制器或以下开发的某种 DRAM 控制器结构。当然，DRAM 控制器 314a-d 的特定结构和操作将取决于存储器模块中所使用的 DRAM 装置的性质。交叉开关 310 将链路接口 304a-d 连接到 DRAM 控制器

314a-d，以允许多个存储器存取装置的任何一个向连接到控制器314a-d的DRAM装置写数据、或从中读数据，如以上参考图5所说明的。交叉开关310将链路接口308a-d连接到DRAM控制器314a-d，以允许将任何数据从连接到DRAM控制器314a-d的DRAM装置传送到包括存储器集线器300的其它存储器模块，或者将任何数据从包括存储器集线器300的其它存储器模块传送给连接到DRAM控制器314a-d的DRAM装置。

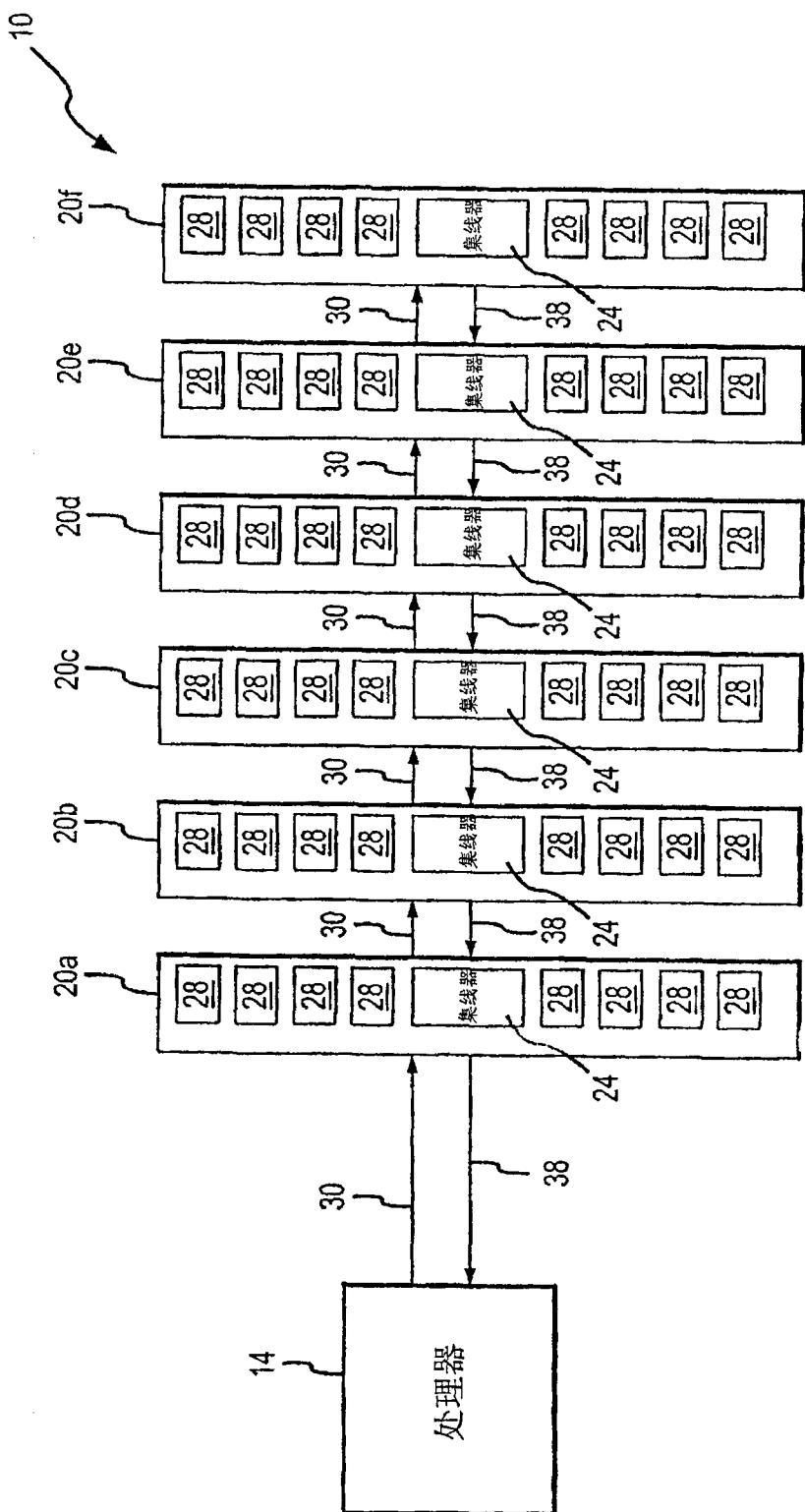
对于由相应DRAM控制器314a-d服务的每个DRAM装置，存储器集线器300还包括高速缓冲存储器320a-d和写缓冲器324a-d。如本领域所周知的，可以是SRAM（静态随机存取存储器）装置的高速缓冲存储器320a-d的每一个都存储由相应DRAM控制器314a-d服务的DRAM装置中所存储的最近或经常存取数据。如果DRAM装置正忙于为读存储器请求服务，或者有其它读请求被挂起，则写缓冲器324a-d积累针对由DRAM控制器314a-d中相应DRAM控制器服务的DRAM装置的写地址和数据。通过这样积累写存储器请求，可以以流水线方式更有效地处理它们，因为不必引起与交替写和读请求关联的延迟。

如上所述，可以将数据从一个包括存储器集线器300的存储器模块传送到另一个包括存储器集线器300的存储器模块。这些模块间数据传送受DMA（直接存储器存取）引擎330控制，DMA引擎330可以具有常规或以下开发的结构。DMA引擎330也可用于在禁止部分有缺陷存储器模块的操作之前，将数据从多个有缺陷存储器模块传送给正确运行的存储器模块。

存储器集线器300一般将包括除图5所示部件以外的部件。然而，为简洁或清楚起见而省略了这些部件。同样，在某些应用中，可以省略图5所示的部件。例如，如果写/读存取翻转可以接受，则可以省略写缓冲器324a-d。同样，虽然图5所示的存储器集线器300包括2组4个链路接口304a-d和308a-d、以及4个DRAM控制器314a-d，但是链路接口组的数目、每一组中链路接口的数目以及DRAM控制器的数目可以随意变化。

图 6 示出了基于处理器的电子系统 350 的替换实施例。系统 350 包括 4 个存储器请求器 352a-d, 如处理器或直接存储器存取装置, 存储器请求器 352a-d 的每一个都通过一般以 358 表示的总线连接到第一级 354 的 4 个存储器模块 356a-d。从而, 用和图 4 实施例相同的方式来配置存储器模块 356a-d。然而, 不是象图 4 实施例那样将第一级 354 中的每个存储器模块 356 连接到第二级存储器模块中的每个存储器模块, 而是将存储器模块 356a-d 每一个都连接到第二级 360 中的相应一组 4 个存储器模块。从而, 第一存储器模块 356a 连接到 4 个存储器模块 362a-d, 第二存储器模块 356b 连接到 4 个存储器模块 362e-h, 第三存储器模块 356c 连接到 4 个存储器模块 362i-l, 以及第四存储器模块 356d 连接到 4 个存储器模块 362m-p。图 6 所示拓扑结构比图 4 所示拓扑结构的有利之处在于, 与使用图 4 所示拓扑结构的第二级 210 中的存储器模块相比, 第二级 360 的存储器模块 362 提供更大的存储容量。然而, 图 6 所示存储器拓扑结构的不利之处在于, 它提供较小的带宽和较小的存取第二级 360 中的存储器模块 362 的灵活性。

由以上应该理解, 虽然在此为说明起见而描述了本发明的特定实施例, 但是在不背离本发明精神和范围的情况下可以进行各种更改。例如, 虽然处理器 104-108 和 DMA 装置 110 被显示为直接连接到存储器模块 132-138, 但是应该理解, 它们可以通过其它装置如总线桥进行连接。同样, 图 4 和图 6 分别显示的系统 100 和 350 正常将包括除所示部件以外的部件。因此, 本发明不受除附加权利要求以外的事物的限制。



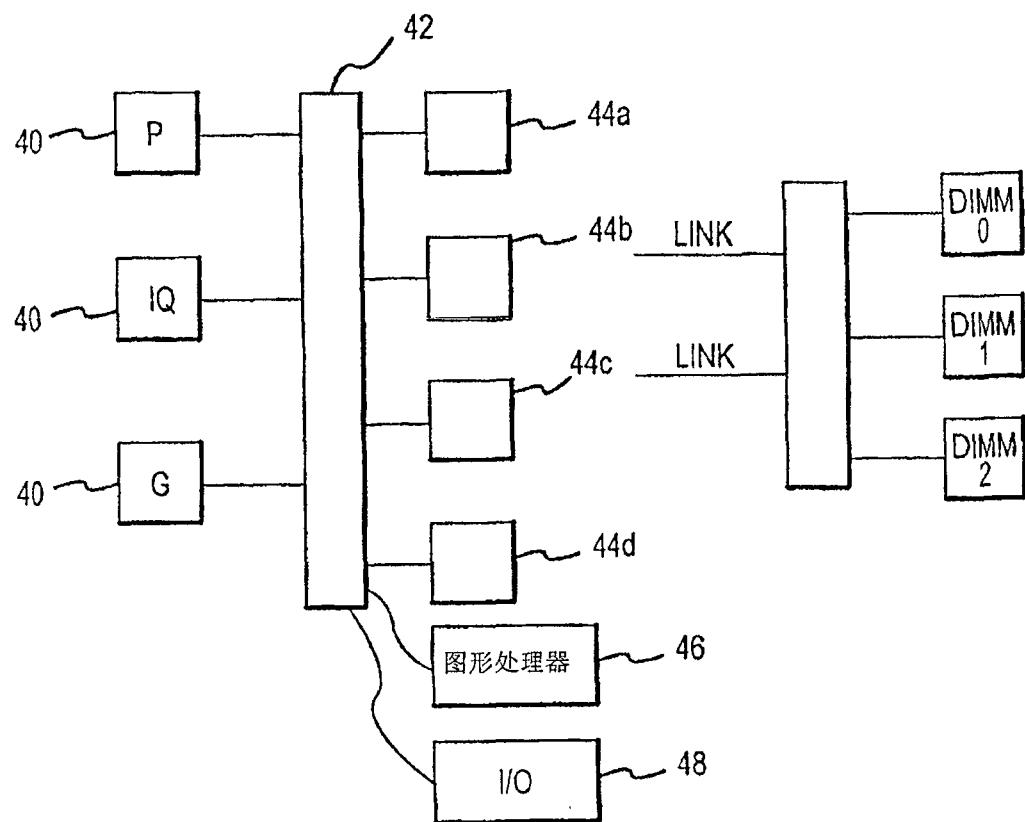


图2A

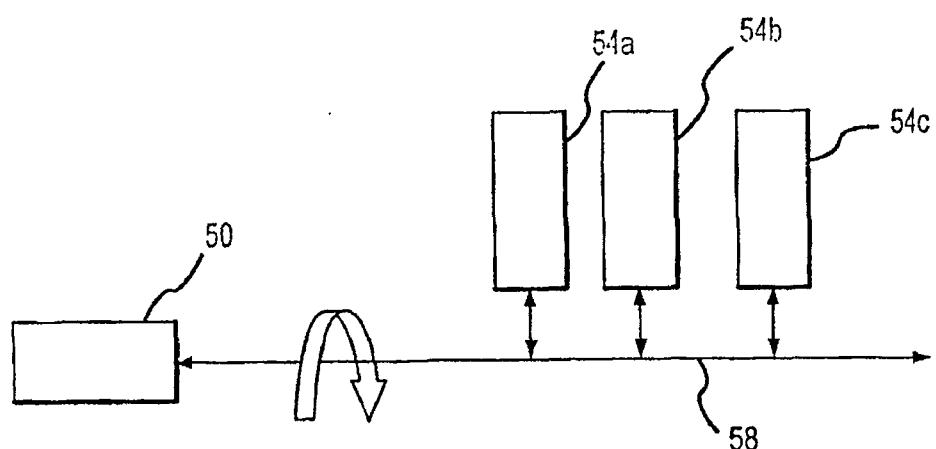
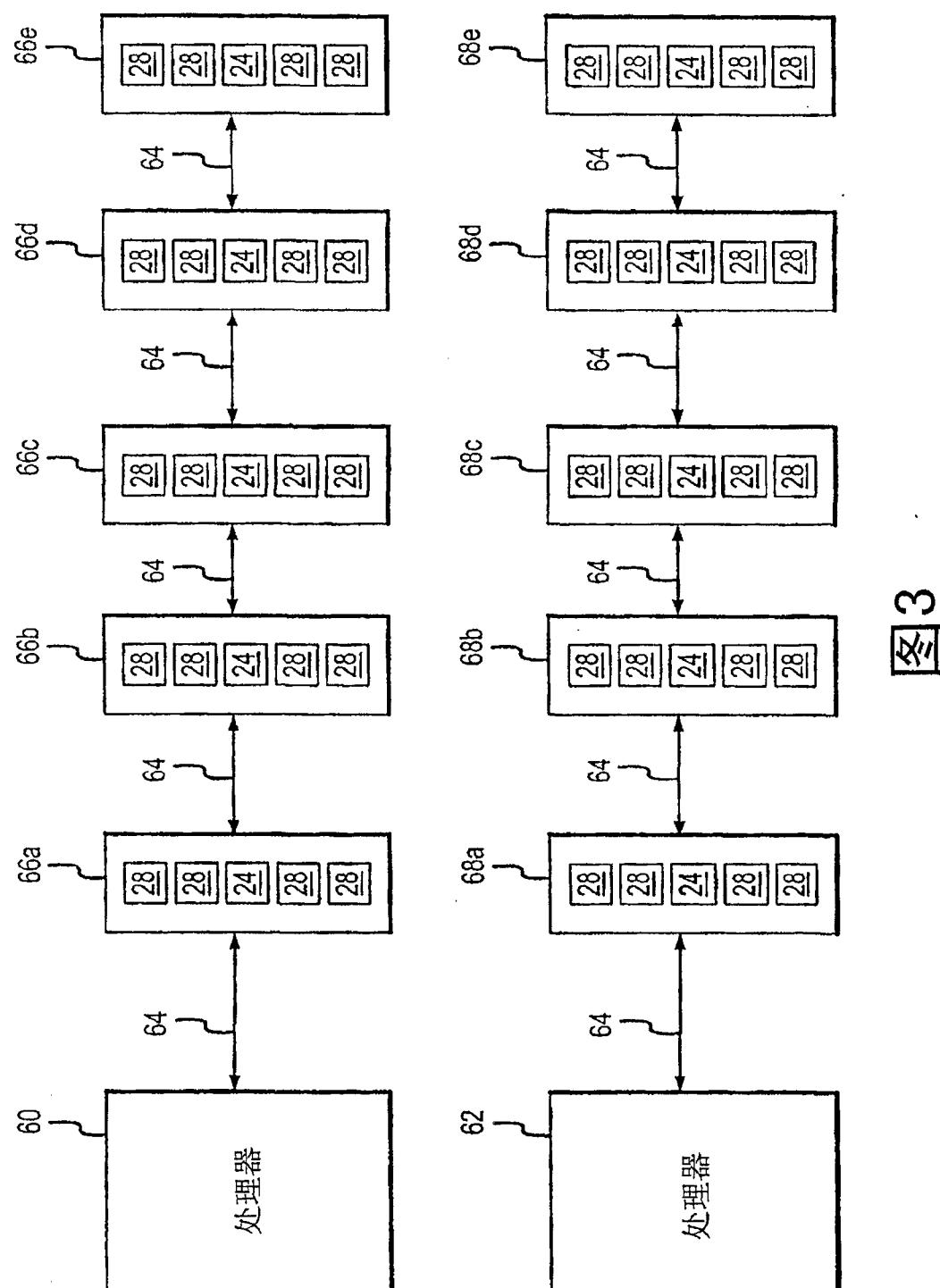


图2B



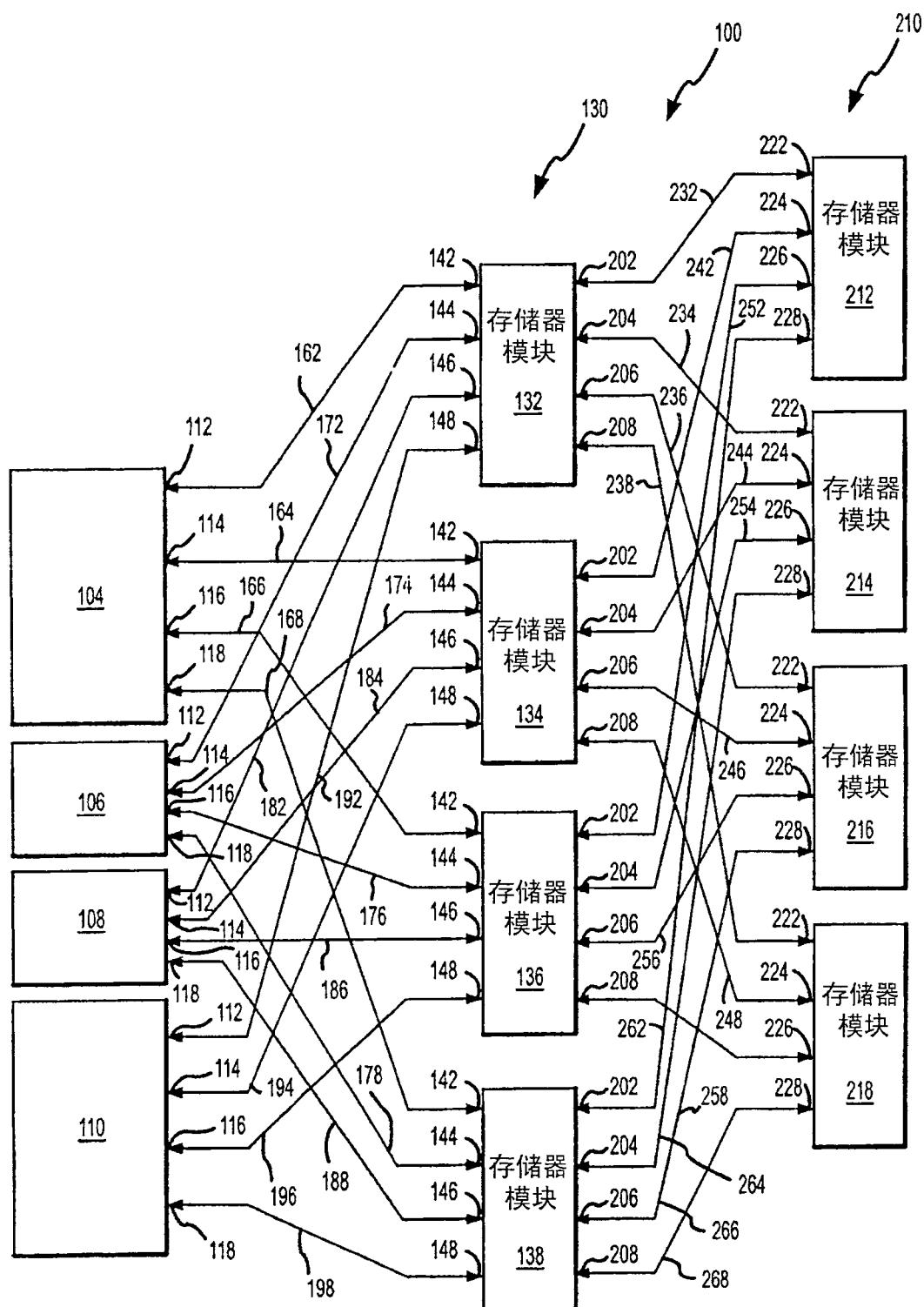


图 4

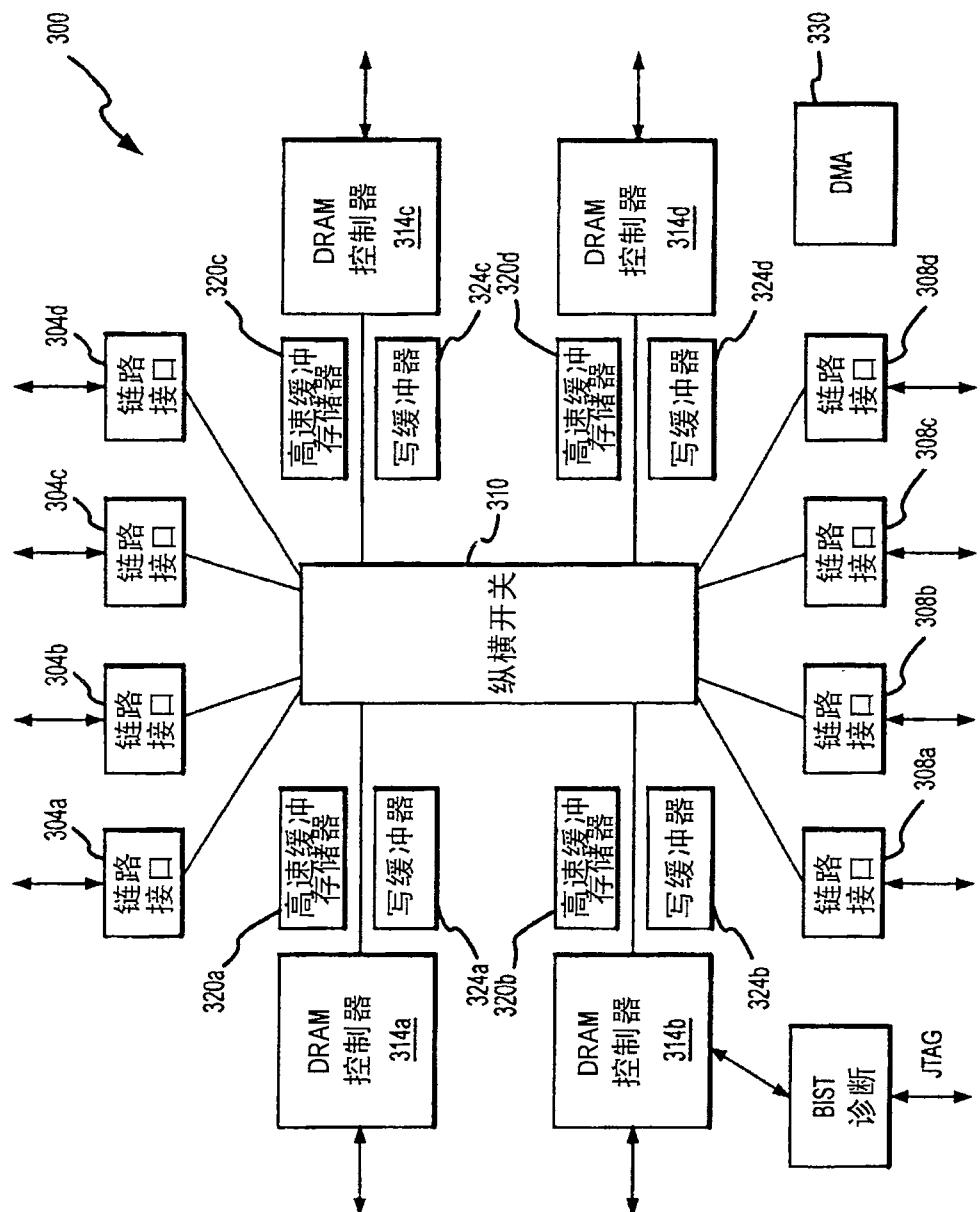


图5

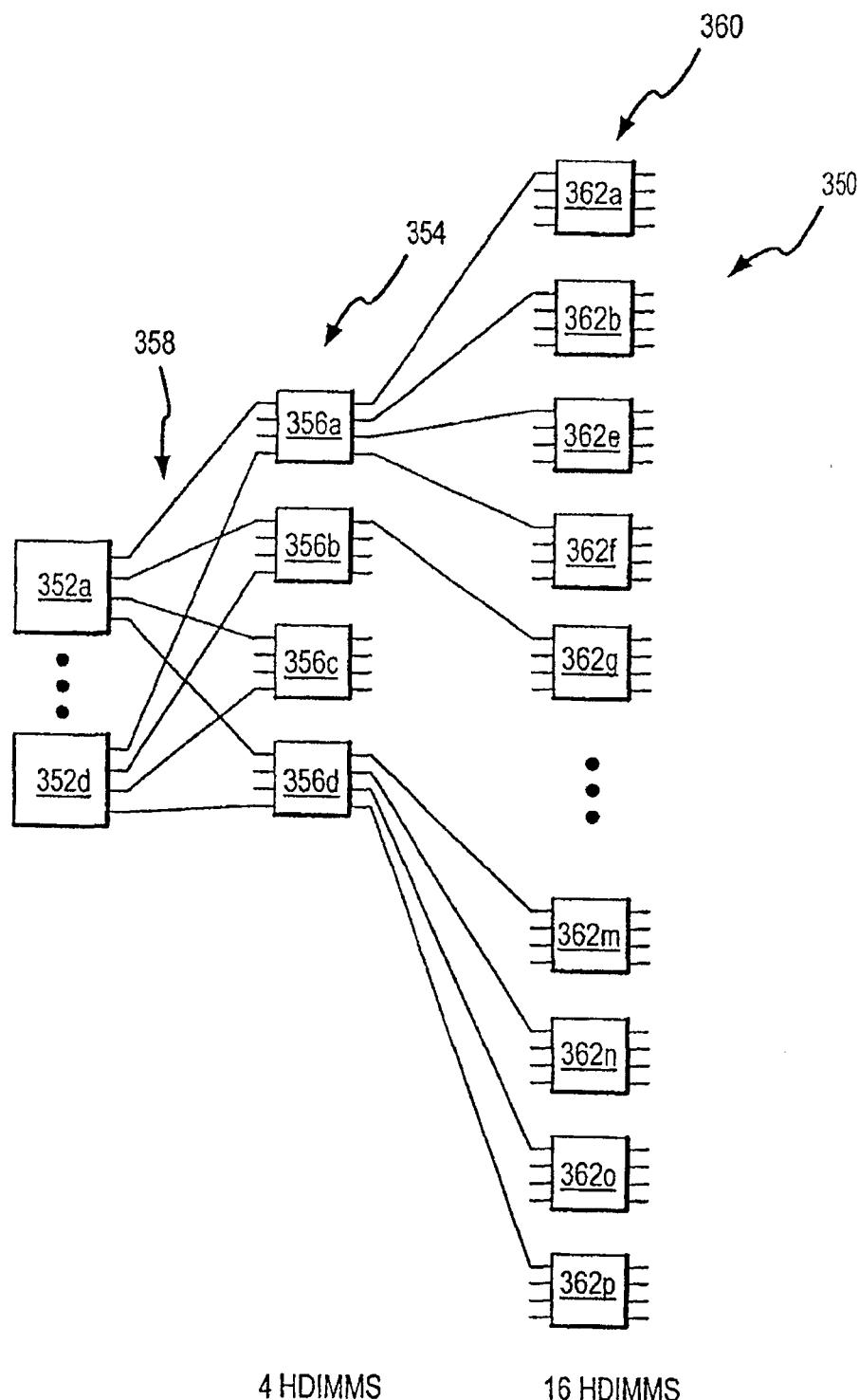


图 6