



(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2009년10월27일
(11) 등록번호 10-0923507
(24) 등록일자 2009년10월19일

(51) Int. Cl.

G09G 3/30 (2006.01)

(21) 출원번호 10-2002-0057513
(22) 출원일자 2002년09월23일
심사청구일자 2007년09월07일
(65) 공개번호 10-2003-0025888
(43) 공개일자 2003년03월29일

(30) 우선권주장

JP-P-2001-00290290 2001년09월21일 일본(JP)

(56) 선행기술조사문헌

JP12268957 A

WO1999065011 A2

JP2000268957 A*

*는 심사관에 의하여 인용된 문헌

(73) 특허권자

가부시키가이샤 한도오따이 에네루기 켄큐쇼

일본국 가나가와Ken 아쓰기시 하세 398

(72) 발명자

야마자키순페이

일본국가나가와Ken아쓰기시하세398가부시키가이샤
한도오따이에네루기켄큐쇼나이

오사다마이

일본국가나가와Ken아쓰기시하세398가부시키가이샤
한도오따이에네루기켄큐쇼나이

코야마준

일본국가나가와Ken아쓰기시하세398가부시키가이샤
한도오따이에네루기켄큐쇼나이

(74) 대리인

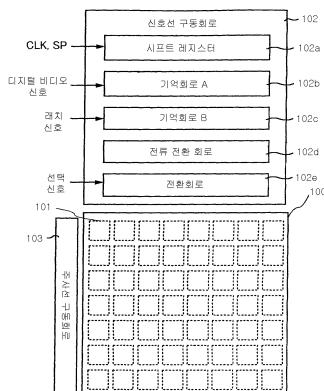
권태복, 김홍두, 이화익

전체 청구항 수 : 총 27 항

심사관 : 조기덕

(54) 발광장치 및 발광장치의 구동방법**(57) 요 약**

본 발명은, 발광소자의 휙도를 TFT에 인가하는 전압에 의해서 제어하는 것이 아니라, TFT에 흐르는 전류를 신호선 구동회로에서 제어함으로써, TFT의 특성에 좌우되지 않고서 발광소자에 흐르는 전류를 원하는 값으로 유지한다. 또한, 일정기간마다 발광소자에 역바이어스의 전압을 인가한다. 상기 2개의 구성이 상승효과를 가져와, 유기 발광층의 열화에 의한 휙도의 저하를 막을 수 있고, 게다가 TFT의 특성에 좌우되지 않고서 발광소자에 흐르는 전류를 원하는 값으로 유지할 수 있다.

대 표 도 - 도1

특허청구의 범위**청구항 1**

삭제

청구항 2

삭제

청구항 3

삭제

청구항 4

삭제

청구항 5

삭제

청구항 6

제 1 트랜지스터와, 제 2 트랜지스터와, 제 3 트랜지스터와, 제 4 트랜지스터와, 제 5 트랜지스터와, 발광소자와, 전원선과, 주사선과, 신호선과, 상기 전원선과 상기 발광소자의 대향전극간의 전압을 제어하는 전원을 갖는 화소와,

입력 비디오신호의 전압에 대응한 크기의 전류를 생성하는 제 1 수단과 상기 생성된 전류의 상기 신호선에의 공급 또는 소정 전압의 상기 신호선에의 공급을 선택하는 제 2 수단을 갖는 신호선 구동회로와,

상기 제 4 트랜지스터의 게이트와 상기 제 5 트랜지스터의 게이트가 상기 주사선에 접속되어 있고,

상기 제 4 트랜지스터의 제 1 단자와 제 2 단자는, 한쪽은 상기 신호선에, 또 한쪽은 상기 제 1 트랜지스터의 제 2 단자에 접속되어 있고,

상기 제 5 트랜지스터의 제 1 단자와 제 2 단자는, 한쪽은 상기 신호선에, 또 한쪽은 상기 제 3 트랜지스터의 게이트에 접속되어 있고,

상기 제 1 트랜지스터와 상기 제 2 트랜지스터는, 모두 제 1 단자가 상기 전원선에 접속되어 있고,

상기 제 1 트랜지스터의 게이트는, 상기 제 2 트랜지스터의 게이트 및 제 2 단자와 접속되어 있고,

상기 제 3 트랜지스터의 제 1 단자는 상기 제 2 트랜지스터의 제 2 단자에 접속되고, 상기 제 3 트랜지스터의 제 2 단자는 상기 발광소자가 갖는 화소전극에 접속되어 있고,

상기 소정 전압은, 상기 제 3 트랜지스터를 온으로 하는 크기이고,

상기 제 2 트랜지스터가 상기 소정 전압에 의해 온될 때, 상기 전원에 의해서 역바이어스의 전압이 상기 발광소자에 공급되는 것을 특징으로 하는 발광장치.

청구항 7

삭제

청구항 8

제 1 트랜지스터와, 제 2 트랜지스터와, 제 3 트랜지스터와, 제 4 트랜지스터와, 제 5 트랜지스터와, 제 6 트랜지스터와, 발광소자와, 전원선과, 제 1 주사선과, 제 2 주사선과, 제 3 주사선과, 신호선과, 상기 전원선과 상기 발광소자의 대향전극간의 전압을 제어하는 전원을 갖는 화소와,

입력 비디오신호의 전압에 대응한 크기의 전류를 생성하는 제 1 수단과 상기 생성된 전류의 상기 신호선에의 공급 또는 소정 전압의 상기 신호선에의 공급을 선택하는 제 2 수단을 갖는 신호선 구동회로와,

상기 제 3 트랜지스터의 게이트는 상기 제 1 주사선에 접속되어 있고,

상기 제 4 트랜지스터의 게이트는 상기 제 2 주사선에 접속되어 있고,

상기 제 5 트랜지스터의 게이트는 상기 제 3 주사선에 접속되어 있고,

상기 제 6 트랜지스터의 게이트는 상기 제 3 주사선에 접속되어 있고,

상기 제 1 트랜지스터와 상기 제 2 트랜지스터의 게이트가 서로 접속되어 있고,

상기 제 3 트랜지스터의 제 1 단자와 제 2 단자는, 한쪽은 상기 신호선에, 또 한쪽은 상기 제 1 및 상기 제 2 트랜지스터의 제 1 단자에 접속되어 있고,

상기 제 4 트랜지스터의 제 1 단자와 제 2 단자는, 한쪽은 상기 제 1 및 상기 제 2 트랜지스터의 게이트에 접속되어 있고, 또 한쪽은 상기 전원선에 접속되어 있고,

상기 제 6 트랜지스터의 제 1 단자와 제 2 단자는, 한쪽은 상기 전원선에, 또 한쪽은 상기 제 2 트랜지스터의 제 2 단자에 접속되어 있고,

상기 제 5 트랜지스터의 제 1 단자와 제 2 단자는, 한쪽은 상기 제 1 및 상기 제 2 트랜지스터의 제 1 단자에 접속되어 있고, 또 한쪽은 상기 발광소자의 화소전극에 접속되어 있고,

상기 소정 전압은, 상기 제 2 트랜지스터를 온으로 하는 크기이고,

상기 제 2 트랜지스터가 상기 소정 전압에 의해 온될 때, 상기 전원에 의해서 역바이어스의 전압이 상기 발광소자에 공급되는 것을 특징으로 하는 발광장치.

청구항 9

삭제

청구항 10

제 1 트랜지스터와, 제 2 트랜지스터와, 제 3 트랜지스터와, 제 4 트랜지스터와, 제 5 트랜지스터와, 제 6 트랜지스터와, 발광소자와, 전원선과, 제 1 주사선과, 제 2 주사선과, 제 3 주사선과, 신호선과, 상기 전원선과 상기 발광소자의 대향전극간의 전압을 제어하는 전원을 갖는 화소와,

입력 비디오신호의 전압에 대응한 크기의 전류를 생성하는 제 1 수단과 상기 생성된 전류의 상기 신호선에의 공급 또는 소정 전압의 상기 신호선에의 공급을 선택하는 제 2 수단을 갖는 신호선 구동회로와,

상기 제 3 트랜지스터의 게이트는 상기 제 1 주사선에 접속되어 있고,

상기 제 4 트랜지스터의 게이트는 상기 제 2 주사선에 접속되어 있고,

상기 제 5 트랜지스터의 게이트는 상기 제 3 주사선에 접속되어 있고,

상기 제 1 트랜지스터와 상기 제 2 트랜지스터는, 모두 제 1 단자가 상기 전원선에 접속되어 있고,

상기 제 1 트랜지스터와 상기 제 2 트랜지스터의 게이트가 서로 접속되어 있고,

상기 제 3 트랜지스터의 제 1 단자와 제 2 단자는, 한쪽은 상기 신호선에, 또 한쪽은 상기 제 1 트랜지스터의 제 2 단자에 접속되어 있고,

상기 제 4 트랜지스터의 제 1 단자와 제 2 단자는, 한쪽은 상기 제 1 트랜지스터의 제 2 단자 또는 상기 신호선에, 또 한쪽은 상기 제 1 및 상기 제 2 트랜지스터의 게이트에 접속되어 있고,

상기 제 5 트랜지스터의 제 1 단자와 제 2 단자는, 한쪽은 상기 제 6 트랜지스터의 제 2 단자에, 또 한쪽은 상기 제 2 트랜지스터의 제 2 단자에 접속되어 있고,

상기 제 6 트랜지스터의 게이트는, 상기 제 1 및 상기 제 2 트랜지스터의 게이트에 접속되어 있고,

상기 제 6 트랜지스터의 제 1 단자는, 상기 제 1 트랜지스터의 제 2 단자에 접속되어 있고,

상기 제 2 트랜지스터의 제 2 단자는, 상기 발광소자의 화소전극에 접속되어 있고,

상기 소정 전압은, 상기 제 2 트랜지스터를 온으로 하는 크기이고,

상기 제 2 트랜지스터가 상기 소정 전압에 의해 온될 때, 상기 전원에 의해서 역바이어스의 전압이 상기 발광소자에 공급되는 것을 특징으로 하는 발광장치.

청구항 11

삭제

청구항 12

제 1 트랜지스터와, 제 2 트랜지스터와, 제 3 트랜지스터와, 제 4 트랜지스터와, 제 5 트랜지스터와, 제 6 트랜지스터와, 발광소자와, 전원선과, 제 1 주사선과, 제 2 주사선과, 제 3 주사선과, 신호선과, 상기 전원선과 상기 발광소자의 대향전극간의 전압을 제어하는 전원을 갖는 화소와,

입력 비디오신호의 전압에 대응한 크기의 전류를 생성하는 제 1 수단과 상기 생성된 전류의 상기 신호선에의 공급 또는 소정 전압의 상기 신호선에의 공급을 선택하는 제 2 수단을 갖는 신호선 구동회로와,

상기 제 3 트랜지스터의 게이트는 상기 제 1 주사선에 접속되어 있고,

상기 제 4 트랜지스터의 게이트는 상기 제 2 주사선에 접속되어 있고,

상기 제 5 트랜지스터의 게이트는 상기 제 3 주사선에 접속되어 있고,

상기 제 6 트랜지스터의 게이트는 상기 제 1 트랜지스터 및 상기 제 2 트랜지스터의 게이트에 접속되어 있고,

상기 제 1 트랜지스터와 상기 제 2 트랜지스터의 게이트가 서로 접속되어 있고,

상기 제 3 트랜지스터의 제 1 단자와 제 2 단자는, 한쪽은 상기 신호선에, 또 한쪽은 상기 제 1 트랜지스터의 제 2 단자에 접속되어 있고,

상기 제 4 트랜지스터의 제 1 단자와 제 2 단자는, 한쪽은 상기 제 1 트랜지스터의 제 2 단자 또는 상기 신호선에, 또 한쪽은 상기 제 1 및 상기 제 2 트랜지스터의 게이트에 접속되어 있고,

상기 제 5 트랜지스터의 제 1 단자와 제 2 단자는, 한쪽은 상기 제 2 트랜지스터의 제 2 단자 및 상기 전원선에, 또 한쪽은 상기 제 6 트랜지스터의 제 2 단자에 접속되어 있고,

상기 제 6 트랜지스터의 제 1 단자는 상기 제 1 트랜지스터의 제 2 단자에 접속되어 있고,

상기 제 1 및 상기 제 2 트랜지스터의 제 1 단자는, 상기 발광소자의 화소전극에 접속되어 있고,

상기 소정 전압은, 상기 제 2 트랜지스터를 온으로 하는 크기이고,

상기 제 2 트랜지스터가 상기 소정 전압에 의해 온될 때, 상기 전원에 의해서 역바이어스의 전압이 상기 발광소자에 공급되는 것을 특징으로 하는 발광장치.

청구항 13

제 1 트랜지스터와, 제 2 트랜지스터와, 제 3 트랜지스터와, 제 4 트랜지스터와, 제 5 트랜지스터와, 발광소자와, 제 1 주사선과, 제 2 주사선과, 제 3 주사선과, 전원선과, 신호선과, 상기 전원선과 상기 발광소자의 대향전극간의 전압을 제어하는 전원을 갖는 화소와,

입력 비디오신호의 전압에 대응한 크기의 전류를 생성하는 제 1 수단과 상기 생성된 전류의 상기 신호선에의 공급 또는 소정 전압의 상기 신호선에의 공급을 선택하는 제 2 수단을 갖는 신호선 구동회로와,

상기 제 3 트랜지스터의 게이트는 상기 제 1 주사선에 접속되어 있고,

상기 제 4 트랜지스터의 게이트는 상기 제 2 주사선에 접속되어 있고,

상기 제 5 트랜지스터의 게이트는 상기 제 3 주사선에 접속되어 있고,

상기 제 1 트랜지스터와 상기 제 2 트랜지스터의 게이트가 서로 접속되어 있고,

상기 제 3 트랜지스터의 제 1 단자와 제 2 단자는, 한쪽은 상기 신호선에, 또 한쪽은 상기 제 1 트랜지스터의 제 1 단자에 접속되어 있고,

상기 제 4 트랜지스터의 제 1 단자와 제 2 단자는, 한쪽은 상기 제 1 트랜지스터의 제 2 단자에, 또 한쪽은 상기 제 1 및 상기 제 2 트랜지스터의 게이트에 접속되어 있고,

상기 제 5 트랜지스터의 제 1 단자와 제 2 단자는, 한쪽은 상기 제 1 트랜지스터의 제 1 단자에, 또 한쪽은 상기 제 2 트랜지스터의 제 1 단자에 접속되어 있고,

상기 제 1 및 상기 제 2 트랜지스터의 제 2 단자는 상기 전원선에 접속되어 있고,

상기 제 2 트랜지스터의 제 1 단자는, 상기 발광소자의 화소전극에 접속되어 있고,

상기 소정 전압은, 상기 제 2 트랜지스터를 온으로 하는 크기이고,

상기 제 2 트랜지스터가 상기 소정 전압에 의해 온될 때, 상기 전원에 의해서 역바이어스의 전압이 상기 발광소자에 공급되는 것을 특징으로 하는 발광장치.

청구항 14

제 6 항에 있어서,

상기 제 1 트랜지스터와 상기 제 2 트랜지스터는 극성이 동일한 것을 특징으로 하는 발광장치.

청구항 15

삭제

청구항 16

제 8 항에 있어서,

상기 제 1 트랜지스터와 상기 제 2 트랜지스터는 극성이 동일한 것을 특징으로 하는 발광장치.

청구항 17

삭제

청구항 18

제 10 항에 있어서,

상기 제 1 트랜지스터와 상기 제 2 트랜지스터는 극성이 동일한 것을 특징으로 하는 발광장치.

청구항 19

삭제

청구항 20

제 12 항에 있어서,

상기 제 1 트랜지스터와 상기 제 2 트랜지스터는 극성이 동일한 것을 특징으로 하는 발광장치.

청구항 21

제 13 항에 있어서,

상기 제 1 트랜지스터와 상기 제 2 트랜지스터는 극성이 동일한 것을 특징으로 하는 발광장치.

청구항 22

삭제

청구항 23

삭제

청구항 24

삭제

청구항 25

제 6 항에 있어서,

상기 발광장치는, 전자기기에 사용되는 것을 특징으로 하는 발광장치.

청구항 26

삭제

청구항 27

제 8 항에 있어서,

상기 발광장치는, 전자기기에 사용되는 것을 특징으로 하는 발광장치.

청구항 28

삭제

청구항 29

제 10 항에 있어서,

상기 발광장치는, 전자기기에 사용되는 것을 특징으로 하는 발광장치.

청구항 30

1 프레임기간에 제 1 기간, 제 2 기간 및 제 3 기간이 출현하는 발광장치의 구동방법에 있어서,

상기 제 1, 상기 제 2 및 상기 제 3 기간에서, 상기 발광장치가 갖는 제 1 트랜지스터와 제 2 트랜지스터는 게이트가 서로 접속되어 있고, 상기 제 2 트랜지스터의 게이트와 제 2 단자가 접속되어 있고, 상기 제 2 트랜지스터의 제 2 단자는 상기 발광장치가 갖는 제 3 트랜지스터의 제 1 단자에 접속되어 있고, 상기 제 3 트랜지스터의 제 2 단자는 상기 발광장치가 갖는 발광소자의 화소전극에 접속되어 있고,

상기 제 1 기간에서, 상기 제 1 트랜지스터의 제 2 단자와 상기 제 3 트랜지스터의 게이트가 접속되고, 비디오 신호의 전압에 의해서 정해진 전류가 상기 제 1 트랜지스터의 제 1 단자와 제 2 단자의 사이에 흐르고, 상기 제 1 및 상기 제 2 트랜지스터의 제 1 단자에 제 1 전압이 인가되고,

상기 제 2 기간에서, 상기 제 1 트랜지스터의 제 2 단자와 상기 제 3 트랜지스터의 게이트가 전기적으로 분리되고, 상기 제 1 및 상기 제 2 트랜지스터의 제 1 단자에 상기 제 1 전압이 인가되고,

상기 제 3 기간에서, 상기 제 1 트랜지스터의 제 2 단자와 상기 제 3 트랜지스터의 게이트가 접속되어, 상기 제 1 및 제 2 트랜지스터의 게이트에 제 2 전압이 인가됨으로써 상기 제 2 트랜지스터가 온되고, 상기 제 1 및 제 2 트랜지스터의 제 1 단자에 제 3 전압이 인가되고,

상기 제 1 전압과 상기 제 3 전압은, 상기 발광소자의 대향전극의 전압에 대하여 극성이 반대로 되어 있고,

상기 제 3 기간에서 상기 발광소자에 인가되는 전압은 역바이어스인 것을 특징으로 하는 발광장치의 구동방법.

청구항 31

삭제

청구항 32

삭제

청구항 33

1 프레임기간에 제 1 기간, 제 2 기간 및 제 3 기간이 출현하는 발광장치의 구동방법에 있어서,

상기 제 1, 상기 제 2 및 상기 제 3 기간에서, 상기 발광장치가 갖는 제 1 트랜지스터와 제 2 트랜지스터는 게이트가 서로 접속되어 있고, 상기 제 2 트랜지스터의 제 2 단자는 상기 발광장치가 갖는 발광소자의 화소전극에 접속되어 있고,

상기 제 1 기간에서, 비디오신호의 전압에 의해서 정해진 전류가 상기 제 1 트랜지스터의 제 1 단자와 제 2 단자의 사이에 흐르고, 상기 제 1 및 상기 제 2 트랜지스터의 제 1 단자에 제 1 전압이 인가되고, 상기 제 1 트랜지스터의 게이트와 제 2 단자가 서로 접속되어 있고,

상기 제 2 기간에서, 상기 제 1 트랜지스터의 제 2 단자와 게이트가 전기적으로 분리되고, 상기 제 1 및 상기 제 2 트랜지스터의 제 1 단자에 상기 제 1 전압이 인가되고,

상기 제 3 기간에서, 상기 제 1 트랜지스터의 게이트와 제 2 단자가 서로 접속되어 있고, 상기 제 1 및 제 2 트랜지스터의 게이트에 제 2 전압이 인가됨으로써 상기 제 2 트랜지스터가 온되고, 상기 제 1 및 제 2 트랜지스터의 제 1 단자에 제 3 전압이 인가되고,

상기 제 1 전압과 상기 제 3 전압은, 상기 발광소자의 대향전극의 전압에 대하여 극성이 반대로 되어 있고,

상기 제 3 기간에서 상기 발광소자에 인가되는 전압은 역바이어스인 것을 특징으로 하는 발광장치의 구동방법.

청구항 34

1 프레임기간에 제 1 기간, 제 2 기간 및 제 3 기간이 출현하는 발광장치의 구동방법에 있어서,

상기 제 1, 상기 제 2 및 상기 제 3 기간에서, 상기 발광장치가 갖는 제 1 트랜지스터와 제 2 트랜지스터는 게이트가 서로 접속되어 있고, 상기 제 1 트랜지스터와 상기 제 2 트랜지스터의 제 1 단자는 상기 발광장치가 갖는 제 3 트랜지스터의 제 2 단자에 접속되어 있고, 상기 제 3 트랜지스터의 제 1 단자는 상기 발광장치가 갖는 발광소자의 화소전극에 접속되어 있고,

상기 제 1 기간에서, 비디오신호의 전압에 의해서 정해진 전류가 상기 제 1 트랜지스터의 제 1 단자와 제 2 단자의 사이에 흐르고, 상기 제 1 트랜지스터의 제 2 단자에 제 1 전압이 인가되어, 상기 제 1 트랜지스터의 게이트와 제 2 단자가 서로 접속되어 있고, 상기 제 3 트랜지스터가 오프되고,

상기 제 2 기간에서, 상기 제 1 트랜지스터의 제 2 단자와 게이트가 전기적으로 분리되고, 상기 제 1 및 상기 제 2 트랜지스터의 제 2 단자에 상기 제 1 전압이 인가되고, 상기 제 3 트랜지스터가 온되고,

상기 제 3 기간에서, 상기 제 1 트랜지스터의 게이트와 제 2 단자가 서로 접속되어 있고, 상기 제 1 및 제 2 트랜지스터의 게이트에 제 2 전압이 인가됨으로써 상기 제 2 트랜지스터가 온되고, 상기 제 1 트랜지스터의 제 2 단자에 제 3 전압이 인가되고, 상기 제 3 트랜지스터가 온되고,

상기 제 1 전압과 상기 제 3 전압은, 상기 발광소자의 대향전극의 전압에 대하여 극성이 반대로 되어 있고,

상기 제 3 기간에서 상기 발광소자에 인가되는 전압은 역바이어스인 것을 특징으로 하는 발광장치의 구동방법.

청구항 35

1 프레임기간에 제 1 기간, 제 2 기간 및 제 3 기간이 출현하는 발광장치의 구동방법에 있어서,

상기 제 1, 상기 제 2 및 상기 제 3 기간에서, 상기 발광장치가 갖는 제 1 트랜지스터와 제 2 트랜지스터는 게이트가 서로 접속되어 있고, 상기 제 2 트랜지스터의 제 1 단자는 상기 발광장치가 갖는 제 3 트랜지스터의 제 2 단자에 접속되어 있고, 상기 제 3 트랜지스터의 제 1 단자는 상기 발광장치가 갖는 발광소자의 화소전극에 접속되어 있고,

상기 제 1 기간에서, 비디오신호의 전압에 의해서 정해진 전류가 상기 제 1 트랜지스터의 제 1 단자와 제 2 단자의 사이에 흐르고, 상기 제 1 트랜지스터 및 제 2 트랜지스터의 제 2 단자에 제 1 전압이 인가되어, 상기 제 1 트랜지스터의 게이트와 제 2 단자가 서로 접속되어 있고, 상기 제 3 트랜지스터가 오프되고,

상기 제 2 기간에서, 상기 제 1 트랜지스터의 제 2 단자와 게이트가 전기적으로 서로 분리되어, 상기 제 1 및 상기 제 2 트랜지스터의 제 2 단자에 상기 제 1 전압이 인가되고, 상기 제 3 트랜지스터가 온되고,

상기 제 3 기간에서, 상기 제 1 트랜지스터의 게이트와 제 2 단자가 접속되어 있고, 상기 제 1 및 제 2 트랜지-

스터의 게이트에 제 2 전압이 인가됨으로써 상기 제 2 트랜지스터가 온되고, 상기 제 1 트랜지스터 및 상기 제 2 트랜지스터의 제 2 단자에 제 3 전압이 인가되어, 상기 제 3 트랜지스터가 온되고,
 상기 제 1 전압과 상기 제 3 전압은, 상기 발광소자의 대향전극의 전압에 대하여 극성이 반대로 되어 있고,
 상기 제 3 기간에서 상기 발광소자에 인가되는 전압은 역바이어스인 것을 특징으로 하는 발광장치의 구동방법.

청구항 36

1 프레임기간에 제 1 기간, 제 2 기간 및 제 3 기간이 출현하는 발광장치의 구동방법에 있어서,
 상기 제 1, 상기 제 2 및 상기 제 3 기간에서, 상기 발광장치가 갖는 제 1 트랜지스터와 제 2 트랜지스터는 게이트가 서로 접속되어 있고, 상기 제 2 트랜지스터의 제 2 단자는 상기 발광장치가 갖는 발광소자의 화소전극에 접속되어 있고,
 상기 제 1 기간에서, 상기 제 1 트랜지스터의 제 2 단자와 게이트가 서로 접속되어, 비디오신호의 전압에 의해 정해진 전류가 상기 제 1 트랜지스터의 제 1 단자와 제 2 단자의 사이에 흐르고, 상기 제 1 및 상기 제 2 트랜지스터의 제 1 단자에 제 1 전압이 인가되고,
 상기 제 2 기간에서, 상기 제 1 트랜지스터의 제 2 단자와 게이트가 전기적으로 서로 분리되어, 상기 제 1 트랜지스터 및 상기 제 2 트랜지스터의 게이트가 상기 발광장치가 갖는 제 3 트랜지스터의 게이트와 접속되고, 상기 제 1 트랜지스터의 제 2 단자와 상기 제 3 트랜지스터의 제 1 단자가 접속되고, 상기 제 3 트랜지스터의 제 2 단자와 상기 발광소자의 화소전극이 접속되고, 상기 제 1 및 상기 제 2 트랜지스터의 제 1 단자에 상기 제 1 전압이 인가되고,
 상기 제 3 기간에서, 상기 제 1 트랜지스터의 제 2 단자와 게이트가 접속되어, 상기 제 1 및 제 2 트랜지스터의 게이트에 제 2 전압이 인가됨으로써 상기 제 2 트랜지스터가 온되고, 상기 제 1 및 제 2 트랜지스터의 제 1 단자에 제 3 전압이 인가되어, 상기 제 1 트랜지스터의 제 2 단자가 상기 발광소자의 화소전극과 전기적으로 서로 분리되고,
 상기 제 1 전압과 상기 제 3 전압은, 상기 발광소자의 대향전극의 전압에 대하여 극성이 반대로 되어 있고,
 상기 제 3 기간에서 상기 발광소자에 인가되는 전압은 역바이어스인 것을 특징으로 하는 발광장치의 구동방법.

청구항 37

삭제

청구항 38

삭제

청구항 39

삭제

청구항 40

제 6 항에 있어서,

상기 발광장치는, 디지털 스틸 카메라, 랩탑 컴퓨터, 모바일 컴퓨터, 휴대용 영상재생장치, 헤드 마운트 디스플레이, 비디오 카메라 및 휴대전화로 이루어진 군으로부터 선택된 하나에 사용되는 것을 특징으로 하는 발광장치.

청구항 41

삭제

청구항 42

제 8 항에 있어서,

상기 발광장치는, 디지털 스틸 카메라, 랩탑 컴퓨터, 모바일 컴퓨터, 휴대용 영상재생장치, 헤드 마운트 디스플

레이, 비디오 카메라 및 휴대전화로 이루어진 군으로부터 선택된 하나에 사용되는 것을 특징으로 하는 발광장치.

청구항 43

삭제

청구항 44

제 10 항에 있어서,

상기 발광장치는, 디지털 스틸 카메라, 랩탑 컴퓨터, 모바일 컴퓨터, 휴대용 영상재생장치, 헤드 마운트 디스플레이, 비디오 카메라 및 휴대전화로 이루어진 군으로부터 선택된 하나에 사용되는 것을 특징으로 하는 발광장치.

청구항 45

삭제

청구항 46

제 12 항에 있어서,

상기 발광장치는, 디지털 스틸 카메라, 랩탑 컴퓨터, 모바일 컴퓨터, 휴대용 영상재생장치, 헤드 마운트 디스플레이, 비디오 카메라 및 휴대전화로 이루어진 군으로부터 선택된 하나에 사용되는 것을 특징으로 하는 발광장치.

청구항 47

제 30 항에 있어서,

상기 발광장치는, 디지털 스틸 카메라, 랩탑 컴퓨터, 모바일 컴퓨터, 휴대용 영상재생장치, 헤드 마운트 디스플레이, 비디오 카메라 및 휴대전화로 이루어진 군으로부터 선택된 하나에 사용되는 것을 특징으로 하는 발광장치의 구동방법.

청구항 48

삭제

청구항 49

삭제

청구항 50

제 33 항에 있어서,

상기 발광장치는, 디지털 스틸 카메라, 랩탑 컴퓨터, 모바일 컴퓨터, 휴대용 영상재생장치, 헤드 마운트 디스플레이, 비디오 카메라 및 휴대전화로 이루어진 군으로부터 선택된 하나에 사용되는 것을 특징으로 하는 발광장치의 구동방법.

청구항 51

제 34 항에 있어서,

상기 발광장치는, 디지털 스틸 카메라, 랩탑 컴퓨터, 모바일 컴퓨터, 휴대용 영상재생장치, 헤드 마운트 디스플레이, 비디오 카메라 및 휴대전화로 이루어진 군으로부터 선택된 하나에 사용되는 것을 특징으로 하는 발광장치의 구동방법.

청구항 52

제 35 항에 있어서,

상기 발광장치는, 디지털 스틸 카메라, 랩탑 컴퓨터, 모바일 컴퓨터, 휴대용 영상재생장치, 헤드 마운트 디스플레이, 비디오 카메라 및 휴대전화로 이루어진 군으로부터 선택된 하나에 사용되는 것을 특징으로 하는 발광장치의 구동방법.

청구항 53

제 36 항에 있어서,

상기 발광장치는, 디지털 스틸 카메라, 랩탑 컴퓨터, 모바일 컴퓨터, 휴대용 영상재생장치, 헤드 마운트 디스플레이, 비디오 카메라 및 휴대전화로 이루어진 군으로부터 선택된 하나에 사용되는 것을 특징으로 하는 발광장치의 구동방법.

명세서

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

<49> 본 발명은, 기판 상에 형성된 발광소자를, 해당 기판과 커버부재 사이에 봉입한 발광패널에 관한 것이다. 또한, 이 발광패널에 콘트롤러를 포함하는 IC 등을 실장한 발광모듈에 관한 것이다. 이때, 본 명세서에서, 발광패널 및 발광모듈을 일반적으로 발광장치라고 총칭한다. 또한, 본 발명은, 이 발광장치의 구동방법 및 이 발광장치를 사용한 전자기기에 관한 것이다.

<50> 발광소자는 스스로 발광하기 때문에 시감도가 높고, 액정표시장치(LCD)에 필요한 백라이트가 필요하지 않아 박형화에 최적이다. 또한, 상기 발광소자는, 시야각에도 제한이 없다. 그 때문에, 최근 발광소자를 사용한 발광장치는, CRT나 LCD를 대체하는 표시장치로서 주목받고 있다.

<51> 이때, 본 명세서에서 발광소자는, 전류 또는 전압에 의해 휙도가 제어되는 소자를 의미한다. 상기 발광소자는, OLED(Organic Light Emitting Diode)나, FED(Field Emission Display)에 사용된 MIM형 전자 소스소자(전자방출소자) 등을 포함하고 있다.

<52> OLED는, 전계를 가함으로서 발생하는 루미네센스(Electroluminescence)가 얻어지는 유기 화합물(유기발광재료)을 포함하는 층(이하, 유기 발광층이라 한다)과, 양극층과 음극층을 갖는다. 유기 화합물에 있어서의 루미네센스에는, 단일항 여기상태로부터 기저상태로 되돌아갈 때의 발광(형광)과 3중항 여기상태로부터 기저상태로 되돌아갈 때의 발광(인광)이 있다. 본 발명의 발광장치는, 전술한 발광 중에서, 어느 한쪽의 발광을 사용하여도 되고, 또는 양쪽의 발광을 사용하여도 된다.

<53> 이때, 본 명세서에서는, OLED의 양극과 음극 사이에 설치된 모든 층을 유기 발광층으로 정의한다. 유기 발광층에는 구체적으로, 발광층, 정공주입층, 전자주입층, 정공수송층, 전자수송층 등이 포함된다. 이 층들에는 무기 화합물을 가져도 된다. 기본적으로, OLED는, 양극, 발광층, 음극이 순차적으로 적층된 구조를 갖는다. 이 구조에 덧붙여, 양극, 정공주입층, 발광층, 음극이나, 양극, 정공주입층, 발광층, 전자수송층, 음극 등의 순서로 적층된 구조를 갖는 경우도 있다.

발명이 이루고자 하는 기술적 과제

<54> 도 41에, 일반적인 발광장치의 화소의 구성을 나타낸다. 도 41에 나타낸 화소는, TFT(50, 51)과, 저장용량(52)과, 발광소자(53)를 가지고 있다.

<55> TFT(50)는, 게이트가 주사선(55)에 접속되어 있고, 소스와 드레인이 한쪽은 신호선(54)에, 또 한 쪽은 TFT(51)의 게이트에 접속되어 있다. TFT(51)는, 소스가 전원(56)에 접속되어 있고, 드레인이 발광소자(53)의 양극에 접속되어 있다. 발광소자(53)의 음극은 전원(57)에 접속되어 있다. 저장용량(52)은 TFT(51)의 게이트와 소스 사이의 전압을 유지하도록 설치된다.

<56> 주사선(55)의 전압에 의해 TFT(50)가 온이 되면, 신호선(54)에 입력된 비디오신호가 TFT(51)의 게이트에 입력된

다. 비디오신호가 입력되면, 입력된 비디오신호의 전압에 따라서, TFT(51)의 게이트전압(게이트와 소스 사이의 전압차)이 정해진다. 그리고, 이 게이트전압에 의해 흐르는 TFT(51)의 드레인전류는, 발광소자(53)에 공급되고, 발광소자(53)는 공급된 전류에 의해 발광한다.

<57> 그런데, 폴리실리콘으로 형성된 TFT는, 비결정질 실리콘으로 형성된 TFT보다도 전계 효과 이동도가 높고, 온 전류가 크기 때문에, 폴리실리콘으로 형성된 TFT는 비결정질 실리콘으로 형성된 TFT보다 발광패널의 트랜지스터에 더욱 적합하다.

<58> 그러나, 폴리실리콘을 사용한 TFT도, 그것의 전기적 특성은 필경 단결정 실리콘 기판에 형성되는 MOS 트랜지스터의 특성에 필적할만한 것은 아니다. 예를 들면, 전계 효과 이동도는 단결정 실리콘의 1/10 이하이다. 또한, 폴리실리콘을 사용한 TFT는, 결정입계에 형성되는 결함으로 인하여, 그것의 특성에 격차가 생기기 쉽다고 하는 문제점을 가지고 있다.

<59> 도 41에 나타낸 화소에 있어서, TFT(51)의 임계값이나 온 전류 등의 특성이 화소마다 변동하면, 비디오신호의 전압이 동일하더라도 TFT(51)의 드레인전류의 크기가 화소 사이에서 변화하여 발광소자(53)의 휘도에 격차가 생긴다.

<60> 또한, OLED를 사용한 발광장치를 실용화하는 데에 있어서 문제로 되고 있는 것이, 유기 발광층의 열화에 의한 OLED의 수명의 짧음이었다. 유기발광재료는, 수분, 산소, 빛, 열에 약하고, 이것들에 의해 열화가 촉진된다. 구체적으로는, 발광장치를 구동하는 디바이스의 구조, 유기발광재료의 특성, 전극의 재료, 발광장치의 구동방법 등에 의해, 그것의 열화의 속도가 좌우된다.

<61> 유기 발광층에 인가되는 전압이 동일하더라도, 유기 발광층이 열화하면 OLED의 휘도는 저하하여, 표시된 화상은 불선명하게 된다.

<62> 또한, 유기 발광층의 온도는, 외기온이나 OLED 패널 자신이 발생하는 열 등에 좌우된다. 일반적으로, OLED는 온도에 따라 흐르는 전류의 값이 변화한다. 구체적으로는, 전압이 일정할 때, 유기 발광층의 온도가 높아지면, OLED에 흐르는 전류는 커진다. 그리고, OLED에 흐르는 전류와 OLED의 휘도는 비례관계에 있기 때문에, OLED에 흐르는 전류가 크면 클수록, OLED의 휘도는 높아진다. 이와 같이, 유기 발광층의 온도에 의해 OLED의 휘도가 변화하기 때문에, 원하는 계조를 표시하는 것이 어렵고, 온도의 상승에 따라 발광장치의 소비전류가 커진다.

<63> 본 발명은 전술한 문제를 감안하여, 발광소자에 공급되는 전류를 제어하는 TFT의 특성에 의해, 발광소자의 휘도가 변동하는 것을 막을 수 있고, 더구나 유기 발광층의 열화로 인한 발광소자의 휘도가 감소하는 것을 막을 수 있고, 유기 발광층의 열화나 온도변화 등에 좌우되지 않고 일정한 휘도를 제공할 수 있는 발광장치를 제공하는데 그 목적이 있다.

발명의 구성 및 작용

<64> 본 발명자는, OLED에 인가된 전압을 일정하게 유지하여 발광시키는 방법과 비교하여, OLED에 흐르는 전류량을 일정하게 유지하여 발광시키는 방법이, 열화에 의한 OLED의 휘도의 저하가 작다는 것에 착안하였다. 이때, 본 명세서에서, 발광소자에 흐르는 전류를 "구동전류"로 부르며, 발광소자에 인가되는 전압을 "구동전압"으로 부른다.

<65> 그리고, 발명자는, 발광장치의 휘도를 TFT에 인가하는 전압에 의해 제어하는 대신에, TFT에 흐르는 전류를 신호선 구동회로에서 적절하게 제어함으로써, TFT의 특성에 좌우되지 않고 발광소자에 흐르는 전류량을 원하는 값으로 유지할 수 있고, 또한 OLED 그 자체의 열화에 의한 OLED의 휘도의 변화를 방지할 수 있을지도 모른다고 생각하였다.

<66> 더구나, 「TSUTSUIT, JPN J Appl.Phys.Part2 Vol.37, No. 11B Page L1406-L1408, 1998」에서 개시되어 있는 것처럼, 발광장치에 일정기간마다 반대의 극성의 구동전압을 가함으로써, 발광장치의 전류-전압특성의 열화가 개선되는 것이 알려져 있다. 이 검출된 특성을 이용하여, 본 발명은 전술한 구성에 덧붙여, 일정기간마다 발광장치에 역바이어스의 전압을 인가한다. 이때, 발광소자는 다이오드이기 때문에, 순바이어스 전압을 인가하면 발광하고, 역바이어스의 전압을 인가하면 발광소자는 발광하지 않는다.

<67> 상술한 것처럼, 발광장치에 일정기간마다 역바이어스의 구동전압을 인가하는 AC(교류)-구동방법을 사용함으로써, 발광소자의 전류/전압특성의 열화가 최소화되어, 발광소자의 수명을 종래의 구동방법과 비교하여

길게 할 수 있다.

- <68> 상기한 2개의 구성이 상승효과를 가져와, 보다 유기 발광층의 열화에 의한 휘도의 저하를 방지할 수 있고, 더구나 TFT의 특성에 좌우되지 않고 발광소자에 흐르는 전류량을 원하는 일정한 값으로 유지할 수 있다.
- <69> 또한, 상술한 것과 같이, 교류구동에 있어서, 1프레임 기간마다 화상을 표시하는 경우, 그 표시된 화소는 시각적으로 플리커가 생겨 버리는 경우가 있다. 이 때문에, 교류구동의 경우는, 순바이어스의 전압만 인가하는 DC(직류)-구동에 있어서 플리커가 생기지 않을 정도의 주파수보다도 높은 주파수로 발광장치를 구동하여, 플리커의 발생을 방지하도록 하는 것이 바람직하다.
- <70> 상술한 구성에 의해, 발광소자에 공급되는 전류를 제어하기 위한 TFT의 특성이, 화소마다 변동하라도, 도 41에 나타낸 일반적인 발광장치와 비교하여 화소 사이에서 발광소자의 휘도에 격차가 생기는 것을 막을 수 있다. 또한, 도 41에 나타낸 전압입력형 화소의 TFT(51)를 선형영역에서 동작시켰을 때와 비교하여, 발광소자의 열화에 의한 휘도의 저하를 억제할 수 있다. 또한, 유기 발광층의 온도가 외기온이나 발광패널 자신이 발생하는 열 등에 좌우되더라도, 발광소자의 휘도가 변화되는 것을 억제할 수 있고, 또한 온도의 상승에 따라 소비전류가 커지는 것을 방지할 수 있다.
- <71> 이때, 본 발명의 발광장치에 있어서, 화소에 사용하는 트랜지스터는, 단결정 실리콘을 사용하여 형성된 트랜지스터라도 되고, 다결정실리콘이나 비정질 실리콘을 사용한 박막트랜지스터이어도 된다. 또한, 유기반도체를 사용한 트랜지스터이어도 된다.
- <72> 이때, 본 발명의 발광장치의 화소에 설치된 트랜지스터는, 싱글케이트 구조를 갖어도 되고, 더블케이트구조나 그 이상의 케이트전극을 가지는 멀티케이트 구조이어도 된다.
- <73> [발명의 실시예]
- <74> 도 1에 본 발명의 발광장치의構성을 볼록도로 나타낸다. 도면부호 100은 화소부로서, 복수의 화소(101)가 매트릭스 형태로 배치되어 있다. 또한, 도면부호 102는 신호선 구동회로이다. 도면부호 103은 주사선 구동회로이다.
- <75> 이때, 도 1에서는 신호선 구동회로(102)와 주사선 구동회로(103)가, 화소부(100)와 같은 기판 상에 형성되어 있다. 그렇지만, 본 발명의 범위는 이 구성으로 한정되지 않는다. 신호선 구동회로(102)와 주사선 구동회로(103)가 화소부(100)와 다른 기판 상에 형성되고, FPC 등의 커넥터를 통해, 화소부(100)와 접속되어 있어도 된다. 또한, 도 1에서는 신호선 구동회로(102)와 주사선 구동회로(103)는 1개씩 설치된다. 그렇지만, 본 발명의 범위는 이 구성으로 한정되지 않고, 신호선 구동회로(102)와 주사선 구동회로(103)의 수는 설계자가 임의로 설정할 수 있다.
- <76> 이때, 본 명세서에서 "접속"이란, 특별히 기재가 없는 한 전기적인 접속을 의미하고, "분리"란, 접속하지 않고 전기적으로 분리되어 있는 상태를 의미한다.
- <77> 또한, 도 1에서는 도시하지 않았지만, 화소부(100)에는 신호선 S1~Sx, 전원선 V1~Vx, 주사선 G1~Gy가 설치된다. 이때, 신호선과 전원선의 수는 반드시 동일하다고는 한정되지 않는다. 또한, 이를 배선을 반드시 모두 가지고 있지 않아도 되며, 이 배선들 이외에, 별도의 다른 배선이 설치되어도 된다.
- <78> 신호선 구동회로(102)는, 입력된 비디오신호의 전압에 적당한 크기의 전류량을 각 신호선 S1~Sx에 공급할 수 있다. 또한, 역바이어스의 전압을 도 2에 도시된 발광소자(104)에 인가할 때에는, 발광소자(104)에 공급되는 전류 또는 전압의 크기를 제어하는 TFT가 온이 될만큼 충분한 전압을 해당 TFT의 케이트에 인가할 수 있는 회로이면 된다. 구체적으로, 본 실시예에서는, 신호선 구동회로(102)는, 시프트 레지스터(102a)와, 디지털 비디오신호를 기억할 수 있는 기억회로 A(102b), 기억회로 B(102c)와, 이 디지털 비디오신호의 전압에 적당한 크기의 전류를 정전류원을 사용하여 생성하는 전류변환회로(102d)와, 이 생성된 전류를 신호선에 공급하여, 역바이어스의 전압을 인가하는 기간에만, 발광소자(104)에 공급되는 전류 또는 전압의 크기를 제어하는 TFT에, 이 TFT가 온이 되도록 전압을 인가하는 전환회로(102e)를 가지고 있다. 이때, 본 발명의 발광장치의 신호선 구동회로(102)는 전술한 구성으로 한정되지 않는다. 또한, 도 1에서는 디지털 비디오신호에 대응한 신호선 구동회로이지만, 본 발명의 신호선 구동회로는 이것으로 한정되지 않고, 아날로그 비디오신호에 대응하여도 된다.
- <79> 도 2에, 도 1에 나타낸 화소(101)의 상세한 구성을 나타낸다. 도 2에 나타낸 화소(101)는, S1~Sx 중의 하나인 신호선 Si, G1~Gy 중의 하나인 주사선 Gj 및 V1~Vx 중의 하나인 전원선 Vi를 갖는다. 또한, 화소(101)는, 트

랜지스터 Tr1, Tr2, Tr3, Tr4, Tr5, 발광소자(104) 및 저장용량(105)을 갖는다. 저장용량(105)은 트랜지스터 Tr1 및 Tr2의 게이트와 소스 사이의 게이트전압을 보다 확실히 유지하기 위해 설치된다. 그렇지만, 저장용량(105)을 반드시 설치할 필요는 없다. 이때, 본 명세서에서 '전압'이란, 특별히 기재가 없는 한 접지와의 전위차를 의미한다.

- <80> 트랜지스터 Tr4와 트랜지스터 Tr5의 게이트는, 모두 주사선 Gj에 접속되어 있다. 트랜지스터 Tr4의 제 1 단자와 제 2 단자(둘 중의 하나는 "제 1 단자"로서 정의하고, 나머지 하나는 "드레인"으로 정의함)는, 한쪽은 신호선 Si에, 또 한쪽은 트랜지스터 Tr1의 제 2 단자에 접속되어 있다. 또한, 트랜지스터 Tr5의 제 1 단자와 제 2 단자는, 한쪽은 신호선 Si에, 또 한쪽은 트랜지스터 Tr3의 게이트에 접속되어 있다.
- <81> 트랜지스터 Tr1과 Tr2의 게이트는 서로 접속되어 있다. 또한, 트랜지스터 Tr1과 Tr2의 제 1 단자는, 모두 전원선 Vi에 접속되어 있다. 트랜지스터 Tr2는, 게이트와 제 2 단자가 서로 접속되어 있고, 게다가 제 2 단자는 트랜지스터 Tr3의 제 1 단자에 접속되어 있다.
- <82> 트랜지스터 Tr3의 제 2 단자는, 발광소자(104)가 가지는 화소전극에 접속되어 있다. 발광소자(104)는 양극과 음극을 가지고 있다. 여기서, 양극을 화소전극으로서 사용하는 경우는 음극을 "대향전극"으로 부르고, 음극을 화소전극으로서 사용하는 경우는 양극을 "대향전극"으로 부른다. 대향전극의 전압은 소정 높이로 유지되어 있다.
- <83> 이때, 트랜지스터 Tr4와 Tr5는, n채널형 트랜지스터와 p채널형 트랜지스터의 어느 쪽이어도 된다. 그러나, 트랜지스터 Tr4와 Tr5의 극성은 동일하다.
- <84> 또한, 트랜지스터 Tr1, Tr2 및 Tr3은, n채널형 트랜지스터와 p채널형 트랜지스터의 어느 쪽이어도 된다. 그러나, 트랜지스터 Tr1, Tr2 및 Tr3의 극성은 동일하다. 그리고, 양극을 화소전극으로서 사용하고, 음극을 대향전극으로서 사용하는 경우, 트랜지스터 Tr1, Tr2 및 Tr3은 p채널형 트랜지스터인 것이 바람직하다. 반대로, 양극을 대향전극으로서 사용하고, 음극을 화소전극으로서 사용하는 경우, 트랜지스터 Tr1, Tr2 및 Tr3은 n채널형 트랜지스터인 것이 바람직하다.
- <85> 저장용량(105)이 가지는 2개의 전극은, 한쪽은 트랜지스터 Tr3의 게이트에, 또 한쪽은 전원선 Vi에 접속되어 있다. 저장용량(105)은 트랜지스터 Tr3의 게이트와 소스 사이의 전압(게이트전압)을 보다 확실히 유지하기 위해 설치되지만, 반드시 설치할 필요는 없다. 또한, 트랜지스터 Tr1 및 Tr2의 게이트전압을 보다 확실히 유지하기 위한 저장용량을 형성하여도 된다.
- <86> 다음에, 본 실시예의 발광장치의 동작에 관해 도 3을 사용하여 설명한다. 본 발명의 실시예에 따른 발광장치의 동작은, 각 라인의 화소마다 기록기간 Ta와, 표시기간 Td와, 역바이어스 기간 Ti로 나누어 설명할 수 있다. 도 3은, 각 기간에 있어서의 트랜지스터 Tr1, Tr2, Tr3, 발광소자(104)의 접속을 간단히 나타낸 도면이다. 여기서, Tr1, Tr2 및 Tr3은 p 채널형 TFT로 이루어진 예이고, 발광소자(104)의 양극은 화소전극으로서 주어진다.
- <87> 우선, 각 라인의 화소에서 기록기간 Ta가 개시되면, 전원선 V1~Vx의 전압은, 트랜지스터 Tr1 및 Tr2가 온이 되었을 때에 순바이어스의 전류가 발광소자에 흐르는 정도의 레벨로 유지된다. 즉, Tr1, Tr2, Tr3이 p채널형 TFT이고 발광소자(104)의 양극이 화소전극으로서 사용되고, 전원선 Vi의 전압은 상기 대향전극의 전압보다 높도록 설정된다. 반대로, Tr1, Tr2, Tr3이 n채널형 TFT이고 발광소자(104)의 음극이 화소전극으로서 사용되고, 전원선 Vi의 전압은 대향전극의 전압보다 낮도록 설정된다.
- <88> 이때, 도 1에서는 흑백사진의 화상을 표시하는 발광장치의 구성을 보이고 있지만, 본 발명은 칼라의 화상을 표시하는 발광장치이어도 된다. 그 경우, 전원선 V1~Vx의 전압의 레벨을 모두 같게 유지하지 않아도 되며, 그 전압은 대응하는 색마다 바꾸도록 하여도 된다.
- <89> 그리고, 주사선 구동회로(103)에 의해 각 라인의 주사선이 순차적으로 선택되어, 트랜지스터 Tr4와 Tr5가 온이 된다. 이때, 각 주사선의 선택기간은, 서로 겹치지 않는다. 그리고, 신호선 구동회로(102)에 입력되는 비디오신호에 근거하여, 신호선 S1~Sx에 비디오신호의 전압에 대응한 크기의 전류 Ic(이후, "신호전류 Ic"라 칭함)가 공급될 때, Tr3의 게이트 전압은 낮아지고, Tr2와 Tr2의 임계치에 의해 감산된 전원선 Vi의 전압인 전압에 이른다. Tr1, Tr2 및 Tr3이 n채널형 TFT일 때, Tr3의 게이트 전압이 증가하는 크기의 신호전류 IC가 신호선 S1-Sx에 공급되어서, 그 전압은 결국 Tr2 및 Tr3의 임계치에 의해 가산된 전원선 Vi의 전압까지 도달한다.
- <90> 여기서, 게이트와 드레인은 서로 접속되어 있으므로, Tr2는 포화영역에서 동작한다. 따라서, Tr2와 Tr3은 온 되어, 드레인 전류는 흐르기 시작한다. Tr2와 Tr1은 이 게이트와 소스를 통해 서로 접속되어, Tr2가 온될 때, 드레인전류도 Tr1에 흐르기 시작한다.

- <91> Tr1의 드레인전류 I_1 은, 신호선 S1-Sx에 공급되는 신호전류 I_c 와 같은 크기로 유지된다. 이때, Tr2의 게이트 전압 V_{GS} 과 Tr3의 게이트 전압 V_{GS} 이 합쳐진 전압은 저장용량(105)에 유지된다. 따라서, Tr1, Tr2 및 Tr3의 특성이 동일하면, 그것은 $|V_{GS}-V_{TH}| < |V_{DS}|$ 로 되므로, Tr1은 포화영역에서 동작한다.
- <92> 도 3a에, 기록기간 Ta에 있어서, 화소(101)의 개략도를 나타낸다. 도면부호 106은 대향전극에 전압을 제공하는 전원파의 접속용 단자를 의미하고 있다. 또한, 도면부호 107은 신호선 구동회로(102)가 가지는 정전류원을 의미한다.
- <93> 상술한 것처럼, 트랜지스터 Tr1은 포화영역에서 동작하므로, Tr1은 이하의 식 1에 따라 동작한다. 여기서, " V_G "는 게이트전압, " μ "를 이동도, " C_0 "을 단위면적당의 게이트용량, W/L 을 채널형성영역의 채널폭 W 와 채널길이 L 의 비, V_{TH} 를 임계치, 드레인전류를 I 로 한다.
- <94> (수학식 1)
- <95> $I = \mu C_0 W/L (V_{GS} - V_{TH})^2 / 2$
- <96> 식 1에 있어서 μ , C_0 , W/L , V_{TH} 는 모두 각각의 트랜지스터에 의해 결정되는 고정값이다. 식 1로부터, Tr1의 신호전류 I_c 와 드레인전류 I_1 은 서로 동일하므로, 트랜지스터 Tr1의 게이트전압 V_{GS} 는 신호전류의 전류값 I_c 에 의해 정해지는 것을 알 수 있다.
- <97> 그리고, 트랜지스터 Tr2의 게이트는, 트랜지스터 Tr1의 게이트에 접속되어 있고, 트랜지스터 Tr2의 소스는, 트랜지스터 Tr1의 소스에 접속되고, 트랜지스터 Tr1의 게이트전압은, 그대로 트랜지스터 Tr2의 게이트전압이 된다. 따라서, 트랜지스터 Tr2의 드레인전류는, 트랜지스터 Tr1의 드레인전류에 비례한다. 특히, $\mu C_0 W/L$ 및 V_{TH} 가 서로 같을 때, 트랜지스터 Tr1과 트랜지스터 Tr2의 드레인전류는 서로 같아져, $I_2=I_c$ 가 된다.
- <98> 그리고, 트랜지스터 Tr2의 드레인전류 I_2 는, 트랜지스터 Tr3의 채널형성영역을 통해 발광소자(104)에 흐른다. 따라서, 발광소자에 흐르는 구동전류는, 정전류원(107)에서 정해진 신호전류 I_c 에 따른 크기가 된다. 발광소자(104)는 구동전류의 크기에 적당한 휘도로 발광한다. 발광소자(104)에 흐르는 전류가 0에 매우 가깝거나, 발광소자에 흐르는 전류가 역바이어스의 방향으로 흐르거나 하는 경우는, 발광소자(104)는 발광하지 않는다.
- <99> 이때, 드레인전류 I_2 가 트랜지스터 Tr3의 채널형성영역에 흐를 경우, 식 1에 따라서 드레인전류 I_2 의 값에 대응한 크기의 게이트전압이 트랜지스터 Tr3에서 발생한다.
- <100> 기록기간 Ta가 종료하면, 각 라인의 주사선의 선택이 종료한다. 각 라인의 화소에 있어서 기록기간 Ta가 종료하면, 각각의 라인의 화소에서 표시기간 T_d 가 개시된다. 표시기간 T_d 에서의 전원선 V_i 의 전압은, 기록기간 Ta에서의 전압과 같은 레벨로 유지되어 있다.
- <101> 도 3b에, 표시기간 T_d 에서의 화소의 개략도를 나타낸다. 트랜지스터 Tr4 및 트랜지스터 Tr5는 오프의 상태로 있다. 또한, 트랜지스터 Tr1 및 트랜지스터 Tr2의 소스는 전원선 V_i 에 접속되어 있다.
- <102> 표시기간 T_d 에서는, 트랜지스터 Tr1의 드레인은, 다른 배선 및 전원 등으로부터 전압이 공급되지 않은, 소위 "플로팅(floating)" 상태에 있다. 한편, 트랜지스터 Tr2, Tr3에 있어서는, 기록기간 Ta에서 정해진 V_{GS} 가 유지된다. 그 때문에, 트랜지스터 Tr2의 드레인전류 I_2 의 값은, I_c 와 같은 크기로 유지된 채이며, 해당 드레인전류 I_2 가 트랜지스터 Tr3의 채널형성영역을 통해 발광소자(104)에 공급된다. 따라서, 표시기간 T_d 에서는, 기록기간 Ta에서 정해진 구동전류의 크기에 대응한 휘도로, 발광소자(104)가 발광한다.
- <103> 이때, 기록기간 Ta의 직후에는 반드시 표시기간 T_d 가 출현한다. 표시기간 T_d 의 직후에는, 다음 기록기간 Ta가 출현하거나, 또는 역바이어스 기간 T_i 가 출현한다.
- <104> 역바이어스 기간이 개시되면, 전원선 $V_1 \sim V_x$ 의 전압은, 트랜지스터 Tr2 및 Tr3이 온이 되었을 때에 역바이어스의 전압이 발광소자에 인가되는 정도의 레벨로 유지된다. 즉, Tr1, Tr2 및 Tr3이 p채널형 TFT이고 발광소자(104)의 양극이 화소전극으로서 사용될 때, 전원선 V_i 의 전압은 대향전극의 전압보다 낮게 설정된다. 반대로,

Tr1, Tr2 및 Tr3이 n채널형 TFT이고 발광소자(104)의 음극이 화소전극으로서 사용될 때, 전원선 Vi의 전압은 대향전극의 전압보다 높게 설정된다.

<105> 그리고, 주사선 구동회로(103)에 의해 각 라인의 주사선이 순차적으로 선택되어, 트랜지스터 Tr4와 Tr5가 온이 된다. 그리고, 신호선 구동회로(102)에 의해, 신호선 S1~Sx의 각각에 트랜지스터 Tr2 및 Tr3이 온 되도록 전압이 인가된다. 즉, Tr2의 임계전압 V_{TH} 과 Tr3의 임계전압 V_{TH} 이 합쳐진 전압보다 낮은 전압이 인가된다. Tr1, Tr2 및 Tr3이 n채널형 TFT일 때, Tr2의 임계전압 V_{TH} 과 Tr3의 임계전압 V_{TH} 이 합쳐진 전압보다 높은 전압이 인가된다.

<106> 도 3c에, 역바이어스 기간 Ti에서의 화소(101)의 개략도를 나타낸다. 역바이어스 기간 Ti에서는, Tr2 및 Tr3이 온이 되므로, 역바이어스의 전압이 발광소자(104)에 인가되게 된다. 발광소자(104)는 역바이어스의 전압이 인가되면 발광하지 않은 상태가 된다.

<107> 도 2에 도시된 화소에 있어서, 역바이어스 기간 Ti에서, 신호선에 입력된 전압에 의해 온되어 선형영역에서 동작하므로, 소스와 드레인간의 전압차는, 대략 0과 같게 된다. 그러나, Tr2의 게이트와 소스가 서로 접속되고 전원선의 전압 Vi는 대향전극의 전압보다 낮아, Tr2는 오프 상태에 있게 되고, Tr2의 소스와 드레인의 전압은 서로 같지 않게 된다. 따라서, 발광소자(104)에 인가된 역바이어스 전압이 전원선 Vi와 대향전극 간의 전압과 같지 않지만, Tr2의 V_{DS} 만큼 감산된 대향전극과 전원선 Vi 간의 전압차의 값이 된다. 그러나, 발광소자(104)에 신뢰성 있게 역바이어스 전압을 인가하는 하는 것이 가능하므로, 발광소자의 열화로 인해 휘도가 감소하는 것을 막을 수 있다.

<108> 또한, 역바이어스 기간 Ti의 길이는, 듀티비(1프레임기간에서의 표시기간의 길이의 총합의 비율)를 고려하여, 설계자가 적절히 설정하는 것이 가능하다.

<109> 디지털 비디오신호를 사용한 시간계조의 구동방법(디지털 구동법)의 경우, 1프레임기간 동안에 각 비트의 디지털 비디오신호에 대응한 기록기간 Ta와 표시기간 Td가 반복하여 출현함으로써, 하나의 화상을 표시하는 것이 가능하다. 예를 들면, n 비트의 비디오신호에 의해 화상을 표시하는 경우, 적어도 n 개의 기록기간과, n 개의 표시기간이 1 프레임기간 내에 설치된다. n 개의 기록기간(Ta1~Tan)과, n 개의 표시기간(Td1~Tdn)은, 비디오신호의 각 비트에 대응한다.

<110> 예를 들면, 기록기간 Tam(m은 1~n의 임의의 수)의 다음에는, 같은 비트수에 대응하는 표시기간, 이 경우 Tdm이 출현한다. 기록기간 Ta와 표시기간 Td를 합쳐서 "서브프레임기간 SF"로 부른다. m번째 비트에 대응하고 있는 기록기간 Tam과 표시기간 Tdm을 가지는 서브프레임기간은 "SFm"이 된다.

<111> 디지털 비디오신호를 사용한 경우, 역바이어스 기간 Ti는, 표시기간 Td1~Tdn의 직후에 설치하여도 되고, Td1~Tdn 중 1프레임기간의 최후에 출현한 표시기간의 직후에 설치하여도 된다. 또한, 각 프레임기간마다 역바이어스 기간 Ti를 반드시 설치할 필요는 없고, 수 프레임기간마다 출현시키도록 하여도 된다. 몇개의 역바이어스 기간 Ti를 언제, 얼마만큼의 기간 출현시킬까에 관해서는, 설계자가 적절히 설정하는 것이 가능하다.

<112> 도 4에, 역바이어스 기간 Ti를 1 프레임기간의 최후에 출현시킨 경우의 화소 (i, j)에서의 주사선에 인가된 전압과, 전원선에 인가된 전압과, 발광소자에 인가된 전압의 타이밍도를 나타낸다. 이때, 도 4에서는, Tr4, Tr5가 모두 n 채널형 TFT이고, Tr1, Tr2 및 Tr3이 p 채널형 TFT인 경우에 관해 나타낸다. 각 기록기간 Ta1~Tan과 역바이어스 기간 Ti에서, 주사선 Gj가 선택되어, Tr4, Tr5가 온으로 된다. 각 표시기간 Td1~Tdn에서 주사선 Gj가 선택되어 있지 않아, Tr4, Tr5가 오프로 되어 있다. 또한, 전원선 Vi의 전압은, 각 기록기간 Ta1~Tan 및 각 표시기간 Td1~Tdn에서, Tr2 및 Tr3이 온일 때에 발광소자(104)에 순바이어스의 전류가 흐르는 정도의 레벨로 유지되어 있고, 역바이어스 기간 Ti에서, 전원선 Vi의 전압은, 발광소자(104)에 역바이어스의 전압이 인가되는 정도의 레벨로 유지되어 있다. 발광소자의 인가전압은, 각 기록기간 Ta1~Tan 및 각 표시기간 Td1~Tdn에서 순바이어스로 유지되어 있고, 역바이어스 기간 Ti에서 역바이어스로 유지되어 있다.

<113> 서브프레임기간 SF1~SFn의 길이는, $SF1:SF2:\dots:SFn=2^0:2^1:\dots:2^{n-1}$ 을 만족한다.

<114> 각 서브프레임기간에 있어서, 발광소자를 발광시킬지 시키지 않을지가, 디지털 비디오신호의 각 비트에 의해 선택된다. 그리고, 1프레임기간 동안에 발광하는 표시기간의 길이의 합을 제어함으로써, 계조수를 제어할 수 있다.

<115> 이때, 표시 상에서의 화질향상을 위해, 표시기간이 긴 서브프레임기간을 몇 개로 분할하여도 된다. 구체적인 분

할방법에 관해서는, 일본국 특원 2000-267164호에 개시되어 있다.

<116> 또한, 면적 계조와 조합하여 계조를 표시하도록 하여도 된다.

<117> 아날로그 비디오신호를 사용하여 계조를 표시하는 경우, 기록기간 Ta와, 표시기간 Td가 종료하면 1프레임기간이 종료한다. 1개의 프레임기간에서 1개의 화상이 표시된다. 그리고, 다음 프레임기간이 개시되고, 다시 기록기간 Ta가 개시되어, 전술한 동작이 반복된다.

<118> 아날로그 비디오신호를 사용한 경우, 역바이어스 기간 Ti는 표시기간 Td의 직후에 설치한다. 이때, 각 프레임기간마다 역바이어스 기간 Ti를 반드시 설치할 필요는 없지만, 수 프레임기간마다 출현시키도록 하여도 된다. 몇 개의 역바이어스 기간 Ti를 언제, 얼마만큼의 기간 출현시킬까에 관해서는, 설계자가 적절히 설정하는 것이 가능하다.

<119> 본 발명은, 트랜지스터 Tr2, Tr3의 특성이 화소마다 변동하더라도, 도 41에 나타낸 일반적인 발광장치와 비교하여, 화소 사이에서 발광소자의 휘도에 격차가 생기는 것을 방지할 수 있다. 또한, 도 41에 나타낸 전압입력형 화소의 TFT(51)를 선형영역에서 동작시켰을 때와 비교하여, 발광소자의 열화에 의한 휘도의 저하를 억제할 수 있다. 또한, 유기 발광층의 온도가 외기온이나 발광패널 자신이 발생하는 열 등에 좌우되더라도, 발광소자의 휘도가 변화되는 것을 억제할 수 있다. 또한, 온도의 상승에 따라 소비전류가 커지는 것을 방지할 수 있다.

<120> 이때, 본 발명의 화소는, Tr4, Tr5는, 기록기간 Ta에서는 도 3a와 같이 접속되고, 표시기간 Td에서는 도 3b와 같이 접속되며, 역바이어스 기간 Ti에서는 도 3c와 같이 접속되어 있으면 된다.

<121> 본 발명에서 사용된 발광소자에 관하여, 정공주입층, 전자주입층, 정공도전층, 전자도전층 등이 단일 무기 화합물 또는 유기화합물과 무기 화합물이 혼합된 재료로 형성되어도 된다. 또는 이 부분은 서로 혼합되어도 된다.

<122> <실시예>

<123> 이하에서, 본 발명의 실시예에 관해 설명한다.

<124> (실시예 1)

<125> 본 실시예에서는, 도 2에 나타낸 화소에 있어서, 도 4와는 다른 타이밍으로 역바이어스 기간 Ti를 출현시킨 경우에 관해 설명한다. 본 실시예의 구동방법에 관해, 도 5를 참조하여 설명한다.

<126> 도 5에 본 실시예의 화소(i, j)에서의 주사선에 인가된 전압과, 전원선에 인가된 전압과, 발광소자에 인가된 전압의 타이밍도를 나타낸다. 이때, 도 5에서는, Tr4, Tr5가 모두 n 채널형 TFT이고, 트랜지스터 Tr1, Tr2 및 Tr3 이 p 채널형 TFT인 경우에 나타낸다.

<127> 기록기간 Ta1~Tan 및 표시기간 Td1~Tdn을 모두 가산한 길이를 T_1으로 하고, 이 기록 및 표시기간에서의 전원선 Vi와 발광소자의 대향전극과의 전압차를 V_1로 한다. 그리고, 역바이어스 기간 Ti의 지속기간을 T_2로 하고, 이 역바이어스 기간 Ti에서의 전원선 Vi와 발광소자의 대향전극과의 전압차를 V_2로 한다. 본 실시예에서는, 전원선 Vi의 전압을, $|T_1 \times V_1| = |T_2 \times V_2|$ 가 되는 정도의 크기로 유지한다. 더구나, 전원선 Vi의 전압은, 발광소자(104)에 역바이어스의 전압이 인가될 수 있는 정도의 크기로 유지되어 있다.

<128> 유기 발광층 중에 존재하는 이온성 불순물이, 한쪽의 전극소자에 퇴적됨으로써, 유기 발광층의 일부에, 저항이 다른 것과 비교하여 낮은 부분이 형성되고, 그 저항이 낮은 부분에 강하게 전류가 흐름으로써, 유기 발광층의 열화가 촉진된다고 생각된다. 본 발명에서는, 반전 구동법을 사용함으로써, 이온성 불순물이 한쪽의 전극소자에 퇴적되는 것을 방지하여, 유기 발광층의 원하지 않는 열화를 억제할 수 있다. 특히, 본 실시예에서는, 상기 구성에 의해, 단순히 반전구동법을 시키는 것보다도, 오히려 이온성 불순물이 한쪽의 전극소자에만 퇴적되는 것을 방지할 수 있어, 유기 발광층의 원하지 않는 열화를 더욱 억제할 수 있다.

<129> (실시예 2)

<130> 본 실시예에서는, 도 2에 나타낸 화소에 있어서, 도 4, 도 5와는 다른 타이밍으로 역바이어스 기간 Ti를 출현시킨 경우에 관해 설명한다. 본 실시예의 구동방법에 관해서, 도 6을 참조하여 설명한다.

- <131> 도 6에, 본 실시예의 화소(i, j)에서의 주사선에 인가된 전압과, 전원선에 인가된 전압과, 발광소자에 인가된 전압의 타이밍도를 나타낸다. 이때, 도 6에서는, Tr4, Tr5가 모두 n 채널형 TFT이고, Tr1, Tr2 및 Tr3이 p 채널형 TFT의 경우에 관해 나타낸다.
- <132> 본 실시예에서는, 각 표시기간 Td1~Tdn의 직후, 바꿔 말하면 각 서브프레임기간의 직후에, 역바이어스 기간 Ti1~Tin이 각각 출현한다. 예를 들면, m(m=1~n의 임의의 수)번째의 서브프레임기간 SFm에서 기록기간 Tam의 직후에 표시기간 Tdm이 출현한다. 역바이어스 기간 Tim은, 표시기간 Tdm의 직후에 출현하게 된다.
- <133> 이때, 본 실시예에서는, 역바이어스 기간 Ti1~Tin의 지속기간은 서로 정확히 동일하고, 각 동작기간에서의 전원선 Vi의 전압의 크기도 모두 같게 공급된다. 그러나, 본 발명의 범위는 이 구성으로 한정되지 않는다. 각 역바이어스 기간 Ti1~Tin의 지속기간 및 인가 전압은, 설계자가 적절히 설정하는 것이 가능하다.
- <134> (실시예 3)
- <135> 본 실시예에서는, 도 2에 나타낸 화소에 있어서, 도 4, 도 5, 도 6과는 다른 타이밍으로 역바이어스 기간 Ti를 출현시킨 경우에 관해 설명한다. 본 실시예의 구동방법에 관해, 도 7을 참조하여 설명한다.
- <136> 도 7에, 본 실시예의 화소(i, j)에서의 주사선에 인가된 전압과, 전원선에 인가된 전압과, 발광소자에 인가된 전압의 타이밍도를 나타낸다. 이때, 도 7에서는, Tr4, Tr5가 모두 n 채널형 TFT이고, Tr1, Tr2 및 Tr3이 p 채널형 TFT의 경우에 관해서 나타낸다.
- <137> 본 실시예에서는, 각 표시기간 Td1~Tdn의 직후, 바꿔 말하면 각 서브프레임기간의 종료 직후에, 역바이어스 기간 Ti1~Tin이 각각 출현한다. 예를 들면, m(m=1~n의 임의의 수)번째의 서브프레임기간 SFm에서 기록기간 Tam의 직후에 표시기간 Tdm이 출현한다. 그래서, 역바이어스 기간 Tim은, 표시기간 Tdm의 직후에 출현하게 된다.
- <138> 더구나, 본 실시예에서는, 역바이어스 기간 직전에 출현하는 표시기간의 지속기간이 길면 길수록, 역바이어스 기간 Ti1-Tin의 지속기간이 길어진다. 상기 구성에 의해, 도 4 내지 6에 나타낸 구동방법보다 더욱 효과적으로 유기 발광층의 열화를 방지할 수 있다.
- <139> (실시예 4)
- <140> 본 실시예에서는, 도 2에 나타낸 화소에 있어서, 도 4 내지 도 7과는 다른 타이밍으로 역바이어스 기간 Ti를 출현시킨 경우에 관해서 설명한다. 본 실시예의 구동방법에 관해서, 도 8을 참조하여 설명한다.
- <141> 도 8에, 본 실시예의 화소(i, j)에서의 주사선에 인가된 전압과, 전원선에 인가된 전압과, 발광소자에 인가된 전압의 타이밍도를 나타낸다. 이때, 도 8에는, Tr4, Tr5가 모두 n 채널형 TFT이고, Tr1, Tr2 및 Tr3이 p 채널형 TFT의 경우에 관해서 나타낸다.
- <142> 본 실시예에서는, 각 표시기간 Td1~Tdn의 직후, 바꿔 말하면 각 서브프레임기간의 직후에, 역바이어스 기간 Ti1~Tin이 각각 출현한다. 예를 들면, m(m=1~n의 임의의 수)번째의 서브프레임기간 SFm에서 기록기간 Tam의 직후에 표시기간 Tdm이 출현한다. 그래서, 역바이어스 기간 Tim은, 표시기간 Tdm의 직후에 출현하게 된다.
- <143> 더구나, 본 실시예에서는, 더구나, 본 실시예에서는, 역바이어스 기간 직전에 출현하는 표시기간의 지속기간이 길면 길수록, 각 역바이어스 기간에서의 전원선 Vi의 전압과 발광소자의 대향전극의 전압간의 전위차의 절대치가 커지도록 구성된다. 상기 전원선 전압 Vi의 동일한 지속기간은, 각 역바이어스 기간 Ti1-Tin으로 지속된다. 상기 구성에 의해, 도 4 내지 6에 나타낸 구동방법보다 더욱 효과적으로 유기 발광층의 열화를 방지할 수 있다.
- <144> (실시예 5)
- <145> 본 실시예에서는, 디지털 비디오신호로 구동하는 본 발명의 발광장치가 갖는 신호선 구동회로 및 주사선 구동회로의 구성에 관해서 설명한다.
- <146> 도 9에 본 발명을 실행하는데 사용된 신호선 구동회로(102)의 구성을 볼록도로 나타낸다. 도면부호 102a는 시프트 레지스터, 102b는 기억회로 A, 102c는 기억회로 B, 102d는 전류변환회로, 102e는 전환회로이다.
- <147> 시프트 레지스터(102a)에는 클록신호 CLK와, 스타트업 웨스신호 SP가 입력된다. 또한, 기억회로 A(102b)에는 디지털 비디오신호(Digital Video Signals)가 입력되고, 기억회로 B(102c)에는 래치신호(Latch Signals)가 입력

된다. 전환회로(102e)에는 선택신호(Select Signals)가 입력된다. 이하, 각 회로의 동작에 관해서, 신호의 흐름에 따라서 자세히 설명한다.

<148> 시프트 레지스터(102a)에 소정의 배선으로부터 클록신호 CLK와 스타트업 펄스신호 SP가 입력되는 것에 의해, 타이밍신호가 생성된다. 타이밍신호는, 기억회로 A(102b)가 가지는 복수의 래치 A(LATA_1~LATA_X)에 각각 입력된다. 또 이때, 시프트 레지스터(102a)에서 생성된 타이밍신호를, 버퍼링수단 등으로 완충 증폭하고 나서, 기억회로 A(102b)가 가지는 복수의 래치 A(LATA_1~LATA_X)에 각각 입력하도록 하여도 된다.

<149> 기억회로 A(102b)에 타이밍신호가 입력되면, 이 타이밍신호에 동기하여, 비디오신호선(130)에 입력되기 전에 1비트분의 복수의 디지털 비디오신호가, 순차적으로 복수의 래치 A(LATA_1~LATA_X)의 각각에 기록되어 저장된다.

<150> 이때, 본 실시예에서는 LATA_1~LATA_X를 포함한 기억회로 A(102b)에 순차적으로 복수의 디지털 비디오신호를 기록한다. 그렇지만, 본 발명의 범위는 이 구성으로 한정되지 않는다. 예를 들면, 기억회로 A(102b)가 가지는 복수의 스테이지의 래치를 복수의 그룹으로 나누어, 각 그룹마다 서로 병렬로 동시에 디지털 비디오신호를 입력할 수 있다. 이 방법을 예를 들면, 소위 "분할구동(division drive)"이라고 한다. 또 이때의 그룹의 수를 분할 수로 부른다. 예를 들면, 4개의 스테이지마다 래치를 복수의 그룹으로 나눈 경우, 4분할 구동한다고 한다.

<151> 기억회로 A(102b)의 모든 스테이지의 래치에의 복수의 디지털 비디오신호의 기록이 대충 종료할 때까지의 시간을, 라인기간으로 부른다. 실제로는, 상기 라인기간에 수평귀선기간이 더해진 기간을 라인기간에 포함하는 경우가 있다.

<152> 1 라인기간이 종료하면, 기억회로 B(102c)가 가지는 복수의 래치 B(LATB_1~LATB_X)에, 래치신호선(131)을 통해 래치신호가 공급된다. 이 순간, 기억회로 A(102b)가 가지는 복수의 래치 A(LATA_1~LATA_X)에 유지되어 있는 복수의 디지털 비디오신호는, 기억회로 B(102c)가 가지는 복수의 래치 B(LATB_1~LATB_X)에 한번에 모두 기록되어 저장된다.

<153> 상기 유지된 디지털 비디오신호를 기억회로 B(102c)에 송출을 끝낸 기억회로 A(102b)에는, 다시 시프트 레지스터(102a)로부터 공급된 타이밍신호에 동기하여, 다음의 1비트분의 디지털 비디오신호의 기록이 순차로 행해진다. 이 2번째의 1라인기간 동안에는, 기억회로 B(102c)에 저장되어 있는 디지털 비디오신호가, 전류변환회로(102d)에 입력된다.

<154> 전류변환회로(102d)는 복수의 전류설정회로(C1~Cx)를 가지고 있다. 전류설정회로(C1~Cx)의 각각에서, 입력된 디지털 비디오신호가 가지는 1 또는 0의 정보에 근거하여, 후단의 전환회로(102e)에 공급되는 신호전류 Ic의 크기가 결정된다. 구체적으로는, 신호전류 Ic는, 발광소자가 발광하는 정도의 크기나, 또는 발광하지 않을 정도의 크기를 가진다.

<155> 그리고, 전환회로(102e)에서, 전환 신호선(132)으로부터 입력되는 전환 신호에 따라서, 신호전류 Ic를 신호선에 공급할지, 트랜지스터 Tr2를 온으로 하도록 전압을 신호선에 공급할지가 선택된다.

<156> 도 10에 전류설정회로 C1 및 전환회로 D1의 구체적인 구성의 일례를 나타낸다. 이때, 전류설정회로 C2~Cx도 전류설정회로 C1과 같은 구성을 가진다. 또한, 전류설정회로 D2~Dx도 전류설정회로 D1과 같은 구성을 가진다.

<157> 전류설정회로 C1은, 정전류원(631)과, 4개의 트랜스미션 게이트 SW1~SW4와, 한 쌍의 인버터 Inb1, Inb2를 가지고 있다. 이때, 정전류원(631)이 가지는 트랜지스터(650)의 극성은, 화소가 가지는 트랜지스터 Tr1 및 Tr2의 극성과 동일하다.

<158> 기억회로 B(102c)가 가지는 래치 LATB_1으로부터 출력된 디지털 비디오신호에 의해, 트랜스미션 게이트 SW1~SW4의 스위칭 동작이 제어된다. 이때, 트랜스미션 게이트 SW1 및 SW3에 입력되는 디지털 비디오신호와, 트랜스미션 게이트 SW2 및 SW4에 입력되는 디지털 비디오신호는, 인버터 Inb1, Inb2에 의해 각각 반전된다. 그 때문에, 트랜스미션 게이트 SW1 및 SW3이 온일 때에는 SW2 및 SW4는 오프, SW1 및 SW3이 오프일 때에는 SW2 및 SW4는 온으로 된다.

<159> 트랜스미션 게이트 SW1 및 SW3이 온일 때, 정전류원(631)으로부터 0이 아닌 소정의 값의 전류 Id가 트랜스미션 게이트 SW1 및 SW3을 통해, 신호전류 Ic로서 전환회로 D1에 공급된다.

<160> 반대로, 트랜스미션 게이트 SW2 및 SW4가 온일 때에는, 정전류원(631)으로부터 출력된 전류 Id는 SW2를 통해 차단된다. 또한, 트랜스미션 게이트 SW4를 통해 전원선 V1~Vx의 전원전압이 전환회로 D1에 인가되어, Ic= 0이

된다.

<161> 전환회로 D1은, 2개의 트랜스미션 게이트 SW5, SW6과, 1개의 인버터 Inb3을 가지고 있다. 트랜스미션 게이트 SW5, SW6은, 전환신호에 의해 그것의 스위칭 동작이 제어된다. 그리고, 트랜스미션 게이트 SW5, SW6의 각각에 입력되는 전환 신호는, 인버터 Inb3에 의해 서로 그것의 극성이 반전하고 있기 때문에, SW5가 온일 때 SW6은 오프가 되고, SW5가 오프일 때 SW6은 온이 된다. 트랜스미션 게이트 SW5가 온일 때 신호선 S1에 신호전류 Ic가 입력된다. 또한, 트랜스미션 게이트 SW6이 온일 때, 신호선 S1에 트랜지스터 Tr2를 온으로 되기에 충분한 전압이 공급된다.

<162> 다시 도 9를 참조하여, 상기한 연속적인 동작이, 1라인기간 내에, 전류변환회로(102d)가 가지는 모든 전류설정 회로(C1~Cx)에서 동시에 행해진다. 따라서, 대응한 디지털 비디오신호에 의해, 모든 신호선에 입력되는 신호전류 Ic의 실제값이 선택된다.

<163> 본 발명에서 사용되는 구동회로는, 본 실시예에서 나타낸 구성으로만 한정되지 않는다. 더구나, 본 실시예에 나타낸 전류변환회로는, 도 10에 나타낸 구성으로 한정되지 않는다. 본 발명에서 사용되는 전류변환회로는, 신호전류 Ic가 취득하는 2값 중에서 어느 한쪽을 디지털 비디오신호에 의해 선택하고, 선택된 값을 가지는 신호전류를 신호선에 공급할 수 있으면, 어떠한 구성을 가져도 된다. 또한, 전환회로도 도 10에 나타낸 구성에 첨가하여, 신호전류 Ic를 신호선에 입력할지, 트랜지스터 Tr2를 온으로 하도록 전압을 신호선에 입력할지를 선택할 수 있는 회로이면 된다.

<164> 이때, 시프트 레지스터 대신에, 예를 들면 디코더회로와 같은 신호선의 선택을 할 수 있는 별도의 회로를 사용하여도 된다.

<165> 다음에, 주사선 구동회로의 구성에 관해서 설명한다.

<166> 도 11은 주사선 구동회로(641)의 구성을 나타낸 블록도로, 이 주사선구동회로(641)는, 각각 시프트 레지스터(642), 버퍼회로(643)를 가지고 있다. 또한, 경우에 따라서는, 레벨 시프터를 구비하여도 된다.

<167> 주사선 구동회로(641)에 있어서, 클록신호 CLK 및 스타트업 펄스신호 SP가 입력되는 것에 의해, 타이밍신호가 생성된다. 그 생성된 타이밍신호는 버퍼회로(643)에서 완충 증폭되어, 대응하는 주사선에 공급된다.

<168> 각 주사선에는, 1라인분의 화소의 트랜지스터의 게이트가 접속되어 있다. 그리고, 1라인분의 화소의 트랜지스터를 일제히 ON으로 하지 않으면 안되기 때문에, 버퍼회로(643)는 큰 전류를 흘리는 것이 가능한 것이 사용된다.

<169> 이때, 본 발명의 발광장치가 가지는 주사선 구동회로(641)는, 도 11에 나타낸 구성으로만 한정되지 않는다. 예를 들면, 시프트 레지스터 대신에, 디코더회로와 같은 주사선을 선택할 수 있는 별도의 회로를 사용하여도 된다.

<170> 본 실시예의 구성은, 실시예 1~4와 자유롭게 조합하여 실시하는 것이 가능하다.

<171> (실시예 6)

<172> 본 실시예에서는, 아날로그 구동법으로 구동하는 본 발명의 발광장치가 가지는 신호선 구동회로의 구성에 관해서 설명한다. 이때, 주사선 구동회로의 구성은, 상기 실시예 5에서 나타낸 구성을 사용할 수 있기 때문에, 여기서는 설명을 생략한다.

<173> 도 12에 본 발명을 수행하는데 사용된 본 실시예의 신호선 구동회로(401)의 블록도를 나타낸다. 도면번호 402는 시프트 레지스터, 403은 버퍼회로, 404는 샘플링회로, 405는 전류변환회로, 406은 전환회로를 나타내고 있다.

<174> 시프트 레지스터(402)에는, 클록신호(CLK), 스타트업 펄스신호(SP)가 입력된다. 시프트 레지스터(402)에 클록신호(CLK)와 스타트업 펄스신호(SP)가 입력되면, 타이밍신호가 생성된다.

<175> 상기 생성된 타이밍신호는, 버퍼회로(403)에서 증폭 또는 완충 증폭되어, 샘플링회로(404)에 입력된다. 이때, 버퍼회로 대신에 레벨 시프터를 설치하여, 타이밍신호를 증폭하여도 된다. 또한, 버퍼회로와 레벨 시프터를 양쪽에 설치하여도 된다.

<176> 샘플링회로(404)에서는, 비디오신호선(430)으로부터 입력된 아날로그 비디오신호를, 타이밍신호에 동기하여 후단의 전류변환회로(405)에 입력한다.

- <177> 전류변환회로(405)에서는, 입력된 아날로그 비디오신호의 전압에 적당한 크기의 신호전류 I_c 를 생성하여, 그 생성된 신호전류 I_c 를 후단의 전환회로(406)에 입력한다. 전환회로(406)에서는, 신호전류 I_c 를 신호선에 입력할지, 트랜지스터 Tr2를 오프로 하도록 전압을 신호선에 입력할지가 선택된다.
- <178> 도 13에 샘플링회로(404)와, 전류변환회로(405)가 가지는 복수의 전류설정회로($C1 \sim Cx$)의 구체적인 구성을 나타낸다. 이때, 샘플링회로(404)는, 단자(410)를 거쳐 베피회로(403)와 접속되어 있다.
- <179> 샘플링회로(404)에는, 복수의 스위치(411)가 설치되어 있다. 그리고, 샘플링회로(404)에는, 비디오신호선(406)으로부터 아날로그 비디오신호가 입력된다. 스위치(411)는 타이밍신호에 동기하여, 이 아날로그 비디오신호를 샘플링하여, 후단의 전류설정회로 $C1$ 에 입력한다. 이때, 도 13에서는, 전류설정회로 $C1 \sim Cx$ 중의 1개인 전류설정회로 $C1$ 은 샘플링회로(404)가 가지는 스위치(411)의 1개에 접속되어 있다. 그렇지만, 샘플링회로(404)에 설치된 각 스위치(411)의 후단에, 도 13에 나타낸 것과 같은 전류설정회로 $C1$ 이 접속되어 있는 것으로 한다.
- <180> 또한, 본 실시예에서는, 각 스위치(411)에 트랜지스터를 1개만 사용하고 있다. 이때, 그렇지만, 스위치(411)는, 타이밍신호에 동기하여 아날로그 비디오신호를 적절하게 샘플링할 수 있는 스위치이면 되며, 본 실시예의 구성으로 한정되지 않는다.
- <181> 상기 샘플링된 아날로그 비디오신호는, 전류설정회로 $C1$ 이 가지는 전류출력회로(412)에 입력된다. 전류출력회로(412)는, 입력된 아날로그 비디오신호의 전압에 적당한 값의 신호전류를 출력한다. 이때, 도 12에서는 앰프 및 트랜지스터를 사용하여 전류출력회로를 구성한다. 하지만, 본 발명의 범위는, 이 구성으로만 한정되지 않고, 입력된 아날로그 비디오신호의 전압에 적당한 전류를 출력할 수 있는 회로이면 된다.
- <182> 이 신호전류는, 마찬가지로 전류설정회로 $C1$ 이 가지는 리셋트회로(417)에 입력되고, 이때, 리셋트회로(417)는, 한 쌍의 트랜스미션 게이트(413, 414)와, 인버터(416)를 가지고 있다.
- <183> 트랜스미션 게이트 414에는 리셋트신호(Res)가 입력되고, 트랜스미션 게이트 413에는, 인버터(416)에 의해 반전된 리셋트신호(Res)가 입력된다. 그리고, 트랜스미션 게이트 413과 트랜스미션 게이트 414는, 반전된 리셋트신호와 리셋트신호에 각각 동기하여 동작하여, 한쪽이 온일 때 한쪽이 오프로 된다.
- <184> 그리고, 트랜스미션 게이트(413)가 온일 때에 신호전류는 후단의 전환회로 D1에 입력된다. 반대로, 트랜스미션 게이트(414)가 온일 때에 전원(415)의 전압이 후단의 전환회로 D1에 공급된다. 이때, 신호선은, 귀선기간 동안에 리셋트되는 것이 바람직하다. 그러나, 화소를 표시하고 있는 기간 이외라면, 필요에 따라서 귀선기간 이외의 기간에 리셋트되는 것도 가능하다.
- <185> 전환회로 D1은, 한 쌍의 트랜스미션 게이트 SW1, SW2와, 1개의 인버터 Inb를 가지고 있다. 트랜스미션 게이트 SW1, SW2는, 전환신호에 의해 그것의 스위칭 동작이 제어된다. 그리고, 트랜스미션 게이트 SW1, SW2의 각각에 입력되는 전환신호는, 인버터 Inb에 의해 서로 그것의 극성이 반전하고 있기 때문에, SW1이 온일 때 SW2는 오프, SW1이 오프일 때 SW2는 온이 된다. 트랜스미션 게이트 SW1이 온일 때 신호선 S1에 상기 신호전류 I_c 가 입력된다. 트랜스미션 게이트 SW2가 온일 때 신호선 S1에 트랜지스터 Tr2를 온으로 하도록 전압이 공급된다.
- <186> 이때, 시프트 레지스터 대신에, 예를 들면 디코더회로와 같은 신호선을 선택할 수 있는 별도의 회로를 사용하여도 된다.
- <187> 본 발명의 발광장치를 구동하는 신호선 구동회로는, 본 실시예에서 나타낸 구성으로만 한정되지 않는다. 본 실시예의 구성은, 상기 실시예 1~실시예 4에 나타낸 구성과 자유롭게 조합하여 실시하는 것이 가능하다.
- <188> (실시예 7)
- <189> 본 실시예에서는, 도 2와는 다른 본 발명의 발광장치의 화소의 구성에 관해서 설명한다.
- <190> 도 14에 본 실시예 7의 화소의 구성을 나타낸다. 도 1에 나타낸 화소(101)는, 신호선 Si(S1~Sx 중의 1개), 제 1 주사선 Gj(G1~Gy 중의 1개), 제 2 주사선 Pj(P1~Py 중의 1개) 및 전원선 Vi(V1~Vx 중의 1개)를 가지고 있다.
- <191> 또한, 화소(101)는, Tr1, Tr2, Tr3 및 Tr4, 발광소자(204) 및 저장용량(205)을 가지고 있다.
- <192> Tr3과 Tr4의 게이트는, 모두 제 1 주사선 Gj에 접속되어 있다. Tr3의 제 1 단자와 제 2 단자는, 한쪽은 신호선 Si에, 또 한쪽은 Tr2의 소스에 접속되어 있다. 또한, Tr4의 제 1 단자와 제 2 단자는, 한쪽은 Tr2의 제 1 단자,

또 한쪽은 Tr1의 게이트에 접속되어 있다. 요컨대, Tr3의 제 1 단자와 제 2 단자 중 어느 한쪽과, Tr4의 제 1 단자와 제 2 단자 중 어느 한쪽과는, 접속되어 있다.

<193> Tr1의 제 1 단자는 전원선 Vi에, 제 2 단자는 Tr2의 제 1 단자에 접속되어 있다. Tr2의 게이트는 제 2 주사선 Pj에 접속되어 있다. 그리고, Tr2의 제 2 단자는, 발광소자(204)가 가지는 화소전극에 접속되어 있고, 발광소자(204)는, 화소전극과, 대향전극과, 화소전극과 대향전극 사이에 설치된 유기 발광층을 가지고 있다. 발광소자(204)의 대향전극은, 발광패널의 외부에 설치된 전원으로부터 일정한 전압이 공급된다.

<194> 이때, Tr3과 Tr4는, n 채널형 TFT과 p 채널형 TFT의 어느 쪽이어도 된다. 그러나, Tr3과 Tr4의 극성은 동일하다. 또한, Tr1은 n 채널형 TFT과 p 채널형 TFT의 어느 쪽이어도 된다. Tr2는, n 채널형 TFT과 p 채널형 TFT의 어느 쪽이어도 된다. 발광소자의 화소전극과 대향전극은, 한쪽이 양극이고, 다른 쪽이 음극이다. Tr2가 p 채널형 TFT인 경우, 양극을 화소전극으로서 사용하고, 음극을 대향전극으로서 사용하는 것이 바람직하다. 반대로, Tr2가 n 채널형 TFT인 경우, 음극을 화소전극으로서 사용하고, 양극을 대향전극으로서 사용하는 것이 바람직하다.

<195> 저장용량(205)은, Tr1의 게이트와 소스의 사이에 형성되어 있다. 저장용량(205)은 Tr1의 게이트와 소스 사이의 전압(게이트 전압)을 보다 확실히 유지하기 위해서 설치되지만, 저장용량을 반드시 설치할 필요는 없다.

<196> 다음에, 본 실시예의 발광장치의 동작에 관해서 도 15를 참조하여 설명한다. 본 발명의 발광장치의 동작은, 각 라인의 화소마다 기록기간 Ta와, 표시기간 Td와, 역바이어스 기간 Ti으로 나누어 설명할 수 있다. 도 15는, 각 기간에서의 트랜지스터 Tr1, Tr2, 발광소자(204)의 접속을 간단히 나타낸 도면이다. 여기서, Tr1이 p채널형 TFT이고 발광소자(204)의 양극이 화소전극으로서 사용된 경우가 일례로서 주어진다.

<197> 우선, 각 라인의 화소에 있어서 기록기간 Ta가 개시되면, 전원선 V1~Vx의 전압은, 트랜지스터 Tr2 및 Tr3이 온 되었을 때에 순바이어스의 전류가 발광소자에 흐르는 정도의 레벨로 유지된다. 즉, Tr1이 p채널형 TFT이고 발광소자(204)의 양극을 화소전극으로 사용하고, 전원선 Vi의 전압을 상기 대향전극의 전압보다 크도록 한다. 반대로, Tr1이 n채널형 TFT이고 발광소자(204)의 음극을 화소전극으로 사용하고, 전원선 Vi의 전압을 상기 대향전극의 전압보다 낮도록 한다.

<198> 그리고, 주사선 구동회로(103)에 의해 각 라인의 제 1 주사선이 순차적으로 선택되어, 트랜지스터 Tr3과 Tr4가 온이 된다. 그러나, 각 제 1 주사선의 선택기간은 서로 겹치지 않는다. 또한, 제 2 주사선 P1~Py는 선택되지 않는다. 그리고, 신호선 구동회로(102)에 입력되는 비디오신호에 근거하여, 신호선 S1~Sx와 전원선 V1~Vx의 사이에, 각각 비디오신호의 전압에 따른 크기의 신호전류 Ic가 흐른다.

<199> 도 15a에, 기록기간 Ta에서, 신호선 Si에 신호전류 Ic가 흐른 경우의 화소(101)의 개략도를 나타낸다. 도면부호 206은 대향전극에 전압을 제공하는 전원과의 접속용 단자를 의미하고 있다. 또한, 도면부호 207은 신호선 구동회로(102)가 가지는 정전류원을 의미한다.

<200> Tr3 및 Tr4는 온의 상태에 있기 때문에, 신호선 Si에 신호전류 Ic가 흐르면, 신호전류 Ic는 Tr1의 드레인과 제 1 단자 사이에 흐른다. 이때, Tr1의 제 1 단자는 전원선 Vi에 접속되어 있다.

<201> Tr1은 게이트와 드레인이 접속되어 있기 때문에, 포화영역에서 동작한다. 따라서, 식 1로부터, 트랜지스터 Tr1의 게이트전압 V_{GS}는 신호전류의 전류값 Ic에 의해 정해지는 것을 알 수 있다.

<202> 기록기간 Ta가 종료하면, 표시기간 Td가 개시된다. 표시기간 Td에서의 전원선 Vi의 전압은, 기록기간 Ta에서의 전압과 같은 레벨로 유지된다. 또한, 표시기간 Td에서는, 제 1 주사선 G1~Gy가 모두 선택되지 않고, 제 2 주사선 P1~Py가 모두 선택된다.

<203> 도 15b에, 표시기간 Td에서의 화소의 개략도를 나타낸다. Tr3 및 Tr4은 오프의 상태에 있다. 또한, Tr1의 소스는, 전원선 Vi에 접속되어 있다. 표시기간 Td에서는, 기록기간 Ta에서 정해진 V_{GS}가 그대로 유지되어 있고, 따라서 기록기간 Ta와 같은 크기의 구동전류가, 발광소자에 흘러, 발광소자(204)는, 상기 구동전류의 크기에 따른 휘도로 발광한다.

<204> 이때, 기록기간 Ta의 직후에는 반드시 표시기간 Td가 출현한다. 표시기간 Td의 직후에는, 다음 기록기간 Ta가 출현하거나, 또는 역바이어스 기간 Ti가 출현한다.

<205> 역바이어스 기간이 개시되면, 전원선 V1~Vx의 전압은, 트랜지스터 Tr1 및 Tr2가 온이 되었을 때에 역바이어스의 전압이 발광소자에 인가되는 정도의 레벨로 유지된다. 즉, Tr1이 p채널형 TFT이고 발광소자(204)의 양극을

화소전극으로 사용하고, 전원선 Vi의 전압을 상기 대향전극의 전압보다 낮도록 한다. 반대로, Tr1이 n채널형 TFT이고 발광소자(204)의 음극을 화소전극으로 사용하고, 전원선 Vi의 전압을 상기 대향전극의 전압보다 높도록 한다.

- <206> 상기 실시예에 의하면, 표시기간 Td와 같은 역바이어스 기간에서, 트랜지스터 Tr3 및 Tr4는 오프상태에 있고 Tr2는 온 상태에 있다.
- <207> 도 15c에, 역바이어스 기간 Ti에서의 화소(101)의 개략도를 나타낸다. 발광소자(204)는, 역바이어스 전압이 입력될 때 발광하지 않는 상태로 된다. 기록기간 Ta에서, Tr1이 완전히 온되고 Tr1의 소스와 드레인 사이의 전압차가 거의 0일 경우, 전원선 Vi과 대향전극 사이의 전압차는 발광소자(204)에 그대로 입력된다.
- <208> 원하는 역바이어스 기간 Ti의 지속기간은, 듀티비(1프레임기간에서의 표시기간의 지속기간의 총합의 비율)와의 관계를 고려하여, 설계자가 적절히 설정하는 것이 가능하다.
- <209> 이때, 본 실시예의 발광장치는, 디지털 비디오신호를 사용하여 표시를 하는 것도 가능하고, 아날로그 비디오신호를 사용하여 표시를 하는 것도 가능하다.
- <210> 본 실시예는, 실시예 1~6과 조합하여 실시하는 것이 가능하다.

<211> (실시예 8)

- <212> 본 실시예에서는, 도 2 및 도 14와는 다른 본 발명의 발광장치의 화소의 구성에 관해서 설명한다.
- <213> 도 16에, 도 1에 나타낸 화소(101)의 자세한構成을 나타낸다. 도 16에 나타낸 화소(101)는, 신호선 Si(S1~Sx 중의 1개), 제 1 주사선 Gj(G1~Gy 중의 1개), 제 2 주사선 Pj(P1~Py 중의 1개) 및 전원선 Vi(V1~Vx 중의 1개)을 가지고 있다.
- <214> 본 실시예의 화소(101)는, 트랜지스터 Tr1, Tr2, Tr3, Tr4, 발광소자(224) 및 저장용량(225)을 가지고 있다.
- <215> 트랜지스터 Tr3과 트랜지스터 Tr4의 게이트는, 모두 제 1 주사선 Gj에 접속되어 있다. 트랜지스터 Tr3의 제 1 단자와 제 2 단자는, 한쪽은 신호선 Si에, 또 한쪽은 트랜지스터 Tr1의 게이트에 접속되어 있다. 또한, 트랜지스터 Tr4의 제 1 단자와 제 2 단자는, 한쪽은 신호선 Si에, 또 한쪽은 트랜지스터 Tr1의 제 2 단자에 접속되어 있다.
- <216> 트랜지스터 Tr1의 제 1 단자는 전원선 Vi에 접속되어 있고, 제 2 단자는 트랜지스터 Tr2의 제 1 단자에 접속되어 있다. 트랜지스터 Tr2의 게이트는 제 2 주사선 Pj에 접속되어 있다. 트랜지스터 Tr2의 제 2 단자는, 발광소자(224)가 가지는 화소전극에 접속되어 있고, 대향전극의 전압은 소정 레벨로 유지되어 있다.
- <217> 이때, 트랜지스터 Tr3과 트랜지스터 Tr4는, n채널형 트랜지스터와 p채널형 트랜지스터의 어느 쪽이어도 된다. 그러나, 트랜지스터 Tr3과 트랜지스터 Tr4의 극성은 동일하다.
- <218> 또한, 트랜지스터 Tr1과 Tr2는, n채널형 트랜지스터와 p채널형 트랜지스터의 어느 쪽이어도 된다. 단, 트랜지스터 Tr1과 Tr2의 극성은 동일하다. 그리고, 양극을 화소전극으로서 사용하고, 음극을 대향전극으로서 사용하는 경우, 트랜지스터 Tr1과 Tr2는 p채널형 트랜지스터인 것이 바람직하다. 반대로, 양극을 대향전극으로서 사용하고, 음극을 화소전극으로서 사용하는 경우, 트랜지스터 Tr1과 Tr2는 n채널형 트랜지스터인 것이 바람직하다.
- <219> 저장용량(225)은 트랜지스터 Tr1의 게이트와 소스 사이에 형성되어 있다. 저장용량(225)은 트랜지스터 Tr1의 게이트와 소스 사이의 전압(게이트전압)을 유지하기 위해서 설치되지만, 저장용량을 반드시 설치할 필요는 없다.
- <220> 다음에, 본 실시예의 발광장치의 동작에 관해서 도 17을 참조하여 설명한다. 본 발명의 발광장치의 동작은, 각 라인의 화소마다 기록기간 Ta와, 표시기간 Td와, 역바이어스 기간 Ti으로 나누어 설명할 수 있다. 도 17은, 각 기간에서의 트랜지스터 Tr1, Tr2, 발광소자(224)의 접속을 간단히 나타낸 도면이다. 여기서, Tr1이 p채널형 TFT이고 발광소자(224)의 양극이 화소전극으로서 사용된 경우가 일례로서 주어진다.
- <221> 우선, 기록기간 Ta에서는, 각 라인의 화소에서 기록기간 Ta가 개시되면, 전원선 V1~Vx의 전압은, 트랜지스터 Tr1 및 Tr2가 온이 되었을 때에 순바이어스의 전류가 발광소자에 흐르는 정도의 레벨로 유지된다. 즉, Tr1이 p채널형 TFT이고 발광소자(224)의 양극을 화소전극으로 사용하고, 전원선 Vi의 전압을 상기 대향전극의 전압보다 크도록 한다. 반대로, Tr1이 n채널형 TFT이고 발광소자(224)의 음극을 화소전극으로 사용하고, 전원선 Vi의 전

압을 상기 대향전극의 전압보다 낮도록 한다.

<222> 그리고, 주사선 구동회로(103)에 의해 각 라인의 제 1 주사선이 순차적으로 선택되고, 제 1 주사선 Gj에 게이트가 접속된 트랜지스터 Tr3 및 Tr4가 온이 된다. 이때, 각 제 1 주사선이 선택되는 기간은 서로 겹치지 않는다. 기록기간 Ta에서는, 제 2 주사선 Pj는 선택되어 있지 않고, Tr2는 오프로 되어 있다.

<223> 그리고, 신호선 구동회로(102)에 입력된 비디오신호의 전압에 근거하여, 신호선 S1~Sx와 전원선 V1~Vx의 사이에, 각각 비디오신호에 따른 신호전류 Ic가 흐른다.

<224> 도 17a에, 기록기간 Ta에서, 신호선 S1에 신호전류 Ic가 흐른 경우의 화소(101)의 개략도를 나타낸다. 도면부호 227은 신호선 구동회로(102)가 가지는 정전류원을 의미한다. 또한, 도면부호 226은 대향전극에 전압을 제공하는 전원에의 접속용 단자이다.

<225> 기록기간 Ta에서, 트랜지스터 Tr3 및 Tr4는 온의 상태에 있기 때문에, 신호선 Si에 신호전류 Ic가 흐르면, 신호전류 Ic는 트랜지스터 Tr1의 소스와 드레인 사이에 흐른다. 이때, 트랜지스터 Tr1은 게이트와 드레인이 접속되어 있기 때문에, 포화영역에서 동작한다. 따라서, 식 1로부터 알 수 있는 바와 같이, 트랜지스터 Tr1의 게이트전압 V_{GS} 는 신호전류 Ic의 값에 의해 정해진다.

<226> 기록기간 Ta가 종료하면, 표시기간 Td가 개시된다. 표시기간 Td에서의 전원선 Vi의 전압은, 기록기간 Ta에서의 전압과 같은 레벨로 유지되어 있다. 또한, 표시기간 Td에서, 제 1 주사선 Gj는 선택되어 있지 않고, 제 2 주사선 Pj가 선택된다.

<227> 도 17b에, 표시기간 Td에서의 화소의 개략도를 나타낸다. 트랜지스터 Tr3 및 트랜지스터 Tr4는 오프로 되어 있다. 또한, 트랜지스터 Tr2는 온으로 되어 있다.

<228> 표시기간 Td에서는, 트랜지스터 Tr1은, 기록기간 Ta에서 정해진 V_{GS} 가 그대로 유지되어 있다. 그 때문에, 트랜지스터 Tr1의 드레인전류는 신호전류 Ic와 같은 값으로 유지된 상태이다. 또한, 트랜지스터 Tr2는 온으로 되어 있기 때문에, 드레인전류는 트랜지스터 Tr2를 통해 발광소자(224)로 흐른다. 따라서, 표시기간 Td에서는, 이 신호전류 Ic와 같은 크기의 구동전류가 발광소자(224)에 흐르고, 또한 이 구동전류의 크기에 적당한 휘도로, 발광소자(224)가 발광한다.

<229> 이때, 기록기간 Ta의 직후에는 반드시 표시기간 Td가 출현한다. 표시기간 Td의 직후에는, 다음 기록기간 Ta가 출현하거나, 또는 역바이어스 기간 Ti가 출현한다.

<230> 역바이어스 기간이 개시되면, 전원선 V1~Vx의 전압은, 트랜지스터 Tr1 및 Tr2가 온이 되었을 때에 역바이어스의 전압이 발광소자에 인가되는 정도의 레벨로 유지된다. 즉, Tr1이 p채널형 TFT이고 발광소자(224)의 양극을 화소전극으로 사용하고, 전원선 Vi의 전압을 상기 대향전극의 전압보다 낮도록 한다. 반대로, Tr1이 n채널형 TFT이고 발광소자(224)의 음극을 화소전극으로 사용하고, 전원선 Vi의 전압을 상기 대향전극의 전압보다 높도록 한다.

<231> 상기 실시예에 의하면, 표시기간 Td와 같은 역바이어스 기간에서, 트랜지스터 Tr3 및 Tr4는 오프상태에 있고 Tr2는 온 상태에 있다.

<232> 도 17c에, 역바이어스 기간 Ti에서 화소(101)의 개략도를 나타낸다. 발광소자(224)는, 역바이어스 전압이 입력될 때 발광하지 않는 상태로 된다. 기록기간 Ta에서, Tr1이 완전히 온되고 Tr1의 소스와 드레인 사이의 전압차가 거의 0일 경우, 전원선 Vi와 대향전극 사이의 전압차는 발광소자(224)에 그대로 입력된다.

<233> 원하는 역바이어스 기간 Ti의 지속기간은, 뉴티비(1프레임기간에서의 표시기간의 지속기간의 총합의 비율)와의 관계를 고려하여, 설계자가 적절히 설정하는 것이 가능하다.

<234> 또한, 본 실시예의 발광장치는, 디지털 비디오신호를 사용하여 표시를 행하는 것도 가능하고, 아날로그 비디오신호를 사용하여 표시를 행하는 것도 가능하다.

<235> 본 실시예는, 실시예 1~6과 조합하여 실시하는 것이 가능하다.

<236> (실시예 9)

<237> 본 실시예에서는, 도 2, 도 14, 도 16과는 다른 본 발명의 발광장치의 화소의 구성에 관해서 설명한다.

- <238> 도 18에, 도 1에 나타낸 화소(101)의 자세한 구성을 나타낸다. 도 18에 나타내는 화소(101)는, 신호선 Si(S1~Sx 중의 1개), 제 1 주사선 Gj(G1~Gy 중의 1개), 제 2 주사선 Pj(P1~Py 중의 1개), 제 3 주사선 Rj(R1~Ry 중의 1개) 및 전원선 Vi(V1~Vx 중의 1개)를 가지고 있다.
- <239> 또한, 본 실시예의 화소(101)는, 트랜지스터 Tr1, Tr2, Tr3, Tr4, Tr5, 발광소자(234) 및 저장용량(235)을 가지고 있다. 저장용량(235)은 트랜지스터 Tr1 및 Tr2의 게이트와 소스 사이의 전압을 보다 확실히 유지하기 위해서 설치되지만, 반드시 설치할 필요는 없다.
- <240> 트랜지스터 Tr3의 게이트는 제 1 주사선 Gj에 접속되어 있다. 그리고, 트랜지스터 Tr3의 제 1 단자와 제 2 단자는, 한쪽은 신호선 Si에 접속되어 있고, 또 한쪽은 트랜지스터 Tr1의 제 2 단자에 접속되어 있다.
- <241> 트랜지스터 Tr4의 게이트는, 제 2 주사선 Pj에 접속되어 있다. 그리고 트랜지스터 Tr4의 제 1 단자와 제 2 단자는, 한쪽은 신호선 Si에, 또 한쪽은 트랜지스터 Tr1의 게이트 및 트랜지스터 Tr2의 게이트에 접속되어 있다.
- <242> 트랜지스터 Tr5의 게이트는, 제 3 주사선 Rj에 접속되어 있다. 그리고 트랜지스터 Tr5의 제 1 단자와 제 2 단자는, 한쪽은 트랜지스터 Tr1의 제 2 단자에, 또 한쪽은 트랜지스터 Tr2의 제 2 단자에 접속되어 있다.
- <243> 트랜지스터 Tr1과 트랜지스터 Tr2의 게이트는, 서로 접속되어 있다. 트랜지스터 Tr1과 트랜지스터 Tr2의 제 1 단자는, 모두 전원선 Vi에 접속되어 있다. 그리고, 트랜지스터 Tr2의 제 2 단자는, 발광소자(234)의 화소전극에 접속되어 있다. 대향전극은 소정 전압으로 유지되어 있다.
- <244> 저장용량(235)이 가지는 2개의 전극은, 한쪽은 트랜지스터 Tr1과 트랜지스터 Tr2의 게이트에, 또 한쪽은 전원선 Vi에 접속되어 있다.
- <245> 이때, 트랜지스터 Tr1 및 Tr2는, n채널형 트랜지스터와 p채널형 트랜지스터의 어느 쪽이어도 된다. 단, 트랜지스터 Tr1 및 Tr2의 극성은 동일하다. 그리고, 양극을 화소전극으로서 사용하고, 음극을 대향전극으로서 사용하는 경우, 트랜지스터 Tr1 및 Tr2는 p채널형 트랜지스터인 것이 바람직하다. 반대로, 양극을 대향전극으로서 사용하고, 음극을 화소전극으로서 사용하는 경우, 트랜지스터 Tr1 및 Tr2는 n채널형 트랜지스터인 것이 바람직하다.
- <246> 트랜지스터 Tr3, Tr4, Tr5는, n채널형 트랜지스터와 p채널형 트랜지스터의 어느 쪽이어도 된다.
- <247> 다음에, 본 실시예의 발광장치의 동작에 관해서 도 19를 참조하여 설명한다. 본 발명의 발광장치의 동작은, 각 라인의 화소마다 기록기간 Ta와, 표시기간 Td와, 역바이어스 기간 Ti로 나누어 설명할 수 있다. 도 19는, 각 기간에서의 트랜지스터 Tr1, Tr2, 발광소자(234)의 접속을 간단히 나타낸 도면이다. 여기서, Tr1 및 Tr2가 p채널형 TFT이고 발광소자(234)의 양극이 화소전극으로서 사용된 경우가 일례로서 주어진다.
- <248> 우선, 각 라인의 화소에 있어서 기록기간 Ta가 개시되면, 전원선 V1~Vx의 전압은, 트랜지스터 Tr2가 온이 되었을 때에 순바이어스의 전류가 발광소자에 흐르는 정도의 레벨로 유지된다. 즉, Tr1 및 Tr2가 p채널형 TFT이고 발광소자(234)의 양극을 화소전극으로 사용하고, 전원선 Vi의 전압을 상기 대향전극의 전압보다 크도록 한다. 반대로, Tr1 및 Tr2가 n채널형 TFT이고 발광소자(234)의 음극을 화소전극으로 사용하고, 전원선 Vi의 전압을 상기 대향전극의 전압보다 낮도록 한다.
- <249> 그리고, 주사선 구동회로(103)에 의해 각 라인의 제 1 주사선 및 제 2 주사선이 순차적으로 선택된다. 따라서, 트랜지스터 Tr3과 Tr4가 온이 된다. 이때, 제 3 주사선은 선택되어 있지 않기 때문에, 트랜지스터 Tr5는 오프로 되어 있다. 각 제 1 주사선 및 제 2 주사선의 선택된 기간은 서로 겹치지 않는다.
- <250> 그리고, 신호선 구동회로(102)에 입력되는 비디오신호에 근거하여, 신호선 S1~Sx와 전원선 V1~Vx의 사이에, 각각 비디오신호의 전압에 따른 크기의 신호전류 Ic가 흐른다.
- <251> 도 19a에, 기록기간 Ta에서, 신호선 Si에 비디오신호에 따른 신호전류 Ic가 흐른 경우의 화소(101)의 개략도를 나타낸다. 도면번호 236은 대향전극에 전압을 제공하는 전원파의 접속용 단자를 의미하고 있다. 또한, 도면번호 237은 신호선 구동회로(102)가 가지는 정전류원을 의미한다.
- <252> 트랜지스터 Tr3은 온의 상태에 있기 때문에, 신호선 Si에 비디오신호에 따른 신호전류 Ic가 흐르면, 신호전류 Ic는 트랜지스터 Tr1의 드레인과 소스의 사이에 흐른다. 이때, 트랜지스터 Tr1은, 게이트와 드레인이 접속되어 있기 때문에 포화영역에서 동작하고, 식 1이 성립한다. 따라서, 트랜지스터 Tr1의 게이트전압 Vgs는 전류값 Ic에 의해 정해진다.
- <253> 그리고, 트랜지스터 Tr2의 게이트는, 트랜지스터 Tr1의 게이트에 접속되어 있다. 또한, 트랜지스터 Tr2의 소스

는, 트랜지스터 Tr1의 소스에 접속되어 있다. 따라서, 트랜지스터 Tr1의 게이트전압은, 그대로 트랜지스터 Tr2의 게이트전압이 된다. 따라서, 트랜지스터 Tr2의 드레인전류는, 트랜지스터 Tr1의 드레인전류에 비례한다. 특히, $\mu C_0W/L$ 및 V_{TH} 가 서로 같을 때, 트랜지스터 Tr1과 트랜지스터 Tr2의 드레인전류는 서로 같아져, $I_2=I_1=I_c$ 가 된다.

<254> 그리고, 트랜지스터 Tr2의 드레인전류는 발광소자(234)에 흐른다. 발광소자에 흐르는 전류는, 정전류원(237)에서 정해진 신호전류 I_c 에 따른 크기로서, 발광소자에 흐르는 전류의 크기에 적당한 휘도로 발광소자(234)는 발광한다. 발광소자에 흐르는 전류가 0에 한정되지 않고 가까워지거나, 발광소자에 흐르는 전류가 역바이어스 방향으로 흐르거나 하는 경우는, 발광소자(234)는 발광하지 않는다.

<255> 각 라인의 화소에서 기록기간 Ta가 종료하면, 제 1 주사선, 제 2 주사선의 선택이 종료한다. 이때, 제 2 주사선의 선택이, 제 1 주사선보다도 먼저 종료하는 것이 바람직하다. 왜냐하면, 트랜지스터 Tr3이 먼저 오프로 되어 버리면, 저장용량(235)의 전하가 Tr4를 통해 누설되어 버리기 때문이다.

<256> 기록기간 Ta가 종료하면, 다음에 표시기간 Td가 개시된다. 표시기간 Td에서의 전원선 Vi의 전압은, 기록기간 Ta에서의 전압과 같은 레벨로 유지되어 있다. 표시기간 Td가 개시되면, 제 3 주사선이 순차적으로 선택되어, 트랜지스터 Tr5가 온이 된다. 이때, 제 1 주사선 및 제 2 주사선은 선택되어 있지 않기 때문에, 트랜지스터 Tr3 및 Tr4는 오프로 되어 있다.

<257> 도 19b에, 표시기간 Td에서의 화소의 개략도를 나타낸다. 트랜지스터 Tr3 및 트랜지스터 Tr4는 오프의 상태에 있다. 또한, 트랜지스터 Tr1 및 트랜지스터 Tr2의 소스는 전원선 Vi에 접속되어 있다.

<258> 트랜지스터 Tr1, Tr2에서는, 기록기간 Ta에서 정해진 V_{GS} 가 그대로 유지되어 있다. 따라서, 트랜지스터 Tr1의 드레인전류 I_1 과, 트랜지스터 Tr2의 드레인전류 I_2 의 크기는, 모두 신호전류 I_c 에 따른 크기로 유지된 상태이다. 또한, 트랜지스터 Tr5가 온이기 때문에, 트랜지스터 Tr1의 드레인전류 I_1 과, 트랜지스터 Tr2의 드레인전류 I_2 는, 모두 발광소자(234)에 흐른다. 따라서, 드레인전류 I_1 과, 드레인전류 I_2 를 합친 전류의 크기에 적당한 휘도로, 발광소자(234)는 발광한다.

<259> 이때, 기록기간 Ta의 직후에는 반드시 표시기간 Td가 출현한다. 표시기간 Td의 직후에는, 다음 기록기간 Ta가 출현하거나, 또는 역바이어스 기간 Ti가 출현한다.

<260> 역바이어스 기간 Ti가 개시되면, 전원선 V1~VX의 전압은, 트랜지스터 Tr2가 온이 되었을 때에 역바이어스의 전압이 발광소자에 인가되는 정도의 레벨로 유지된다. 즉, Tr1 및 Tr2가 p채널형 TFT이고 발광소자(234)의 양극을 화소전극으로 사용하고, 전원선 Vi의 전압을 상기 대향전극의 전압보다 낮도록 한다. 반대로, Tr1 및 Tr2가 n채널형 TFT이고 발광소자(234)의 음극을 화소전극으로 사용하고, 전원선 Vi의 전압을 상기 대향전극의 전압보다 높도록 한다.

<261> 그리고, 주사선 구동회로(103)에 의해 각 라인의 제 1, 제 2 및 제 3 주사선이 순차적으로 선택되어, 트랜지스터 Tr3, Tr4 및 Tr5가 온이 된다. 그리고, 신호선 구동회로(102)에 의해, 신호선 S1~Sx의 각각에 트랜지스터 Tr1 및 Tr2가 온이 되도록 전압이 인가된다.

<262> 도 19c에, 역바이어스 기간 Ti에서의 화소(101)의 개략도를 나타낸다. 역바이어스 기간 Ti에서는, Tr1 및 Tr2가 온이 되므로, 전원선 Vi의 전압이 발광소자(234)의 화소전극에 공급된다. 역바이어스의 전압이 발광소자(234)에 인가될 때, 발광소자(234)는 발광하지 않는 상태가 된다.

<263> 이때, 전원선의 전압은, 트랜지스터 Tr1 및 Tr2가 온이 되었을 때에, 역바이어스의 전압이 발광소자에 인가되는 레벨이면 된다. 또한, 역바이어스 기간 Ti의 길이는, 뉴티비(1프레임기간에서의 표시기간의 길이의 총합의 비율)와의 관계를 고려하여, 설계자가 적절히 설정하는 것이 가능하다.

<264> 이때, 발광소자에 흐르는 전류의 크기에 적당한 휘도로 발광소자(234)가 발광하기 때문에, 각 화소의 계조는, 표시기간 Td에서의 발광소자에 흐르는 전류의 크기로 결정된다. 또한, 기록기간 Ta에서도, 드레인전류 I_1 의 크기에 따른 휘도로 발광하지만, 그것의 계조에 미치는 영향은, 실제의 패널에서는 무시할 수 있는 정도로 작다고 생각된다. 왜냐하면, 예를 들면 VGA급 표시패널이면 480라인의 화소가 화소부에 설치되어 있고, 1라인의 화소의 기록기간 Ta는 1프레임기간의 1/480정도로 대단히 작기 때문이다. 물론, 기록기간 Ta에서의 발광소자에 흐르는 전류의 계조에의 영향을 고려하여, 신호전류 I_c 의 크기를 보정하여도 된다.

- <265> 본 실시예의 화소에서는, 표시기간에서 발광소자에 흐르는 전류는 드레인전류 I_1 와, 드레인전류 I_2 의 합이다. 따라서, 발광소자에 흐르는 전류가 드레인전류 I_2 에만 의존하지 않고 있다. 그 때문에, 트랜지스터 Tr1과 트랜지스터 Tr2의 특성이 서로 달라, 트랜지스터 Tr1의 드레인전류 I_1 에 대한 트랜지스터 Tr2의 드레인전류 I_2 의 비가 화소 사이에서 다르더라도, 발광소자에 흐르는 전류의 값이 화소 사이에서 변동하는 것을 억제할 수 있다. 그 결과, 휙도의 격차가 시각적으로 인식되는 것을 방지할 수 있다.
- <266> 또한, 본 발명의 화소에서는, 기록기간 Ta에서 트랜지스터 Tr1의 드레인전류는 발광소자에 흐르고 있지 않다. 따라서, 신호선 구동회로에 의해 화소에 전류가 공급되고, 트랜지스터 Tr1의 드레인전류가 흐르는 것으로 게이트전압이 변화하기 시작하고 나서, 그 값이 안정될 때까지의 시간은, 발광소자의 용량에 좌우되지 않는다. 따라서, 공급된 전류로부터 변환되는 전압이 빨리 안정되기 때문에, 전류를 기록하는 시간을 짧게 할 수 있다. 따라서, 동작 화상표시에 있어서 잔상이 시인되어 버리는 것을 방지할 수 있다.
- <267> 이때, 본 실시예에 있어서, 트랜지스터 Tr4의 제 1 단자와 제 2 단자는, 한쪽은 신호선 Si에, 또 한쪽은 트랜지스터 Tr1의 게이트에 접속되어 있다. 그러나, 본 실시예는 이 구성으로 한정되지 않는다. 이 실시예에서, 본 발명의 화소는, 기록기간 Ta에서 트랜지스터 Tr1의 게이트와 드레인을 서로 접속하고, 표시기간에서 트랜지스터 Tr1의 게이트와 드레인을 분리하도록, 트랜지스터 Tr4가 다른 소자 또는 배선과 접속되어도 된다.
- <268> 요컨대, Tr3, Tr4, Tr5는, Ta에서는 도 19a와 같이 접속되고, Td에서는 도 19b, Ti에서는 도 19c와 같이 접속되어 있으면 된다. 또한, Gj, Pj, Rj는 3가닥이 별도의 배선으로 되어 있지만, 합쳐서 1가닥이나 2가닥이어도 된다.
- <269> 이때, 본 실시예의 발광장치는, 디지털 비디오신호를 사용하여 표시를 행하는 것도 가능하고, 아날로그 비디오신호를 사용하여 표시를 행하는 것도 가능하다.
- <270> 본 실시예는, 실시예 1~6과 조합하여 실시하는 것이 가능하다.
- <271> (실시예 10)
- <272> 본 실시예에서는, 도 2, 도 14, 도 16, 도 18과는 다른 본 발명의 발광장치의 화소의 구성에 관해서 설명한다.
- <273> 도 20에, 도 1에서 나타낸 화소(101)의 자세한構성을 나타낸다. 도 20에 나타낸 화소(101)는, 신호선 Si(S1~Sx 중의 1개), 제 1 주사선 Gj(G1~Gy 중의 1개), 제 2 주사선 Pj(P1~Py 중의 1개), 제 3 주사선 Rj(R1~Ry 중의 1개) 및 전원선 Vi(V1~Vx 중의 1개)를 가지고 있다.
- <274> 또한, 화소(101)는, 트랜지스터 Tr1, Tr2, Tr3, Tr4, Tr5, Tr6, 발광소자(244) 및 저장용량(245)을 가지고 있다. 저장용량(245)은 트랜지스터 Tr1 및 Tr2의 게이트전압을 보다 확실히 유지하기 위해서 설치되지만, 반드시 설치할 필요는 없다.
- <275> 트랜지스터 Tr3의 게이트는 제 1 주사선 Gj에 접속되어 있다. 그리고, 트랜지스터 Tr3의 제 1 단자와 제 2 단자는, 한쪽은 신호선 Si에 접속되어 있고, 또 한쪽은 트랜지스터 Tr1 및 Tr2의 제 1 단자에 접속되어 있다.
- <276> 트랜지스터 Tr4의 게이트는, 제 2 주사선 Pj에 접속되어 있다. 그리고, 트랜지스터 Tr4의 제 1 단자와 제 2 단자는, 한쪽은 전원선 Vi에, 또 한쪽은 트랜지스터 Tr1 및 Tr2의 게이트에 접속되어 있다.
- <277> 트랜지스터 Tr5의 게이트는, 제 3 주사선 Rj에 접속되어 있다. 그리고, 트랜지스터 Tr5의 제 1 단자와 제 2 단자는, 한쪽은 트랜지스터 Tr1 및 Tr2의 제 1 단자에, 또 한쪽은 발광소자(244)의 화소전극에 접속되어 있다.
- <278> 트랜지스터 Tr6의 게이트는, 제 3 주사선 Rj에 접속되어 있다. 그리고, 트랜지스터 Tr6의 제 1 단자와 제 2 단자는, 한쪽은 전원선 Vi에, 또 한쪽은 트랜지스터 Tr2의 제 2 단자에 접속되어 있다.
- <279> 트랜지스터 Tr1과 트랜지스터 Tr2의 게이트는 서로 접속되어 있다. 트랜지스터 Tr1의 제 2 단자는, 전원선 Vi에 접속되어 있다.
- <280> 저장용량(245)이 가지는 2개의 전극은, 한쪽은 트랜지스터 Tr1 및 Tr2의 게이트에, 또 한쪽은 트랜지스터 Tr1 및 Tr2의 소스에 접속되어 있다. 대향전극은 소정 전압으로 유지되어 있다.
- <281> 이때, 트랜지스터 Tr1 및 Tr2는 n채널형 트랜지스터와 p채널형 트랜지스터의 어느 쪽이어도 된다. 단, 트랜지스터 Tr1 및 Tr2의 극성은 동일하다. 그리고, 양극을 화소전극으로서 사용하고, 음극을 대향전극으로서 사용하는

경우, 트랜지스터 Tr1 및 Tr2는 n채널형 트랜지스터인 것이 바람직하다. 반대로, 양극을 대향전극으로서 사용하고, 음극을 화소전극으로서 사용하는 경우, 트랜지스터 Tr1 및 Tr2는 p채널형 트랜지스터인 것이 바람직하다.

<282> 트랜지스터 Tr3, Tr4, Tr5, Tr6은, n채널형 트랜지스터와 p채널형 트랜지스터의 어느 쪽이어도 된다. 단, 트랜지스터 Tr5와 Tr6은, 모두 게이트가 제 3 주사선 Rj에 접속되어 있기 때문에, 그것의 극성을 같게 한다. 트랜지스터 Tr5의 게이트와 Tr6의 게이트가 같은 배선에 접속되어 있지 않은 경우, 그것의 극성은 같지 않아도 된다.

<283> 다음에, 본 실시예의 발광장치의 동작에 관해서 도 21을 참조하여 설명한다. 본 발명의 발광장치의 동작은, 각 라인의 화소마다 기록기간 Ta와, 표시기간 Td와, 역바이어스 기간 Ti으로 나누어 설명할 수 있다. 도 21은, 각 기간에서의 트랜지스터 Tr1, Tr2, Tr5, 발광소자(244)의 접속을 간단히 나타낸 도면이다. 여기서, Tr1 및 Tr2가 n채널형 TFT이고 발광소자(244)의 양극이 화소전극으로서 사용된 경우가 일례로서 주어진다.

<284> 우선, 각 라인의 화소에 있어서 기록기간 Ta가 개시되면, 전원선 V1~Vx의 전압은, 트랜지스터 Tr2, Tr5 및 Tr6이 온이 되었을 때에 순바이어스의 전류가 발광소자에 흐르는 정도의 레벨로 유지된다. 즉, Tr1 및 Tr2가 n채널형 TFT이고 발광소자(244)의 양극을 화소전극으로 사용하고, 전원선 Vi의 전압을 상기 대향전극의 전압보다 크도록 한다. 반대로, Tr1 및 Tr2가 p채널형 TFT이고 발광소자(244)의 음극을 화소전극으로 사용하고, 전원선 Vi의 전압을 상기 대향전극의 전압보다 낮도록 한다.

<285> 그리고, 각 라인의 제 1 주사선 및 제 2 주사선이 순차적으로 선택된다. 따라서, 트랜지스터 Tr3, Tr4가 온이 된다. 이때, 제 1 및 제 2 주사선의 선택되는 기간은 서로 겹치지 않는다. 또한, 제 3 주사선은 선택되어 있지 않기 때문에, 트랜지스터 Tr5, Tr6은 오프로 되어 있다.

<286> 그리고, 신호선 구동회로(102)에 입력되는 비디오신호에 근거하여, 신호선 S1~Sx와 전원선 V1~Vx의 사이에, 각각 비디오신호에 따른 신호전류 Ic가 흐른다.

<287> 도 21a에, 기록기간 Ta에서, 신호선 Si에 신호전류 Ic가 흐르는 경우의 화소(101)의 개략도를 나타낸다. 도면부호 246은 대향전극에 전압을 제공하는 전원과의 접속용 단자를 의미하고 있다. 또한, 도면부호 247은 신호선 구동회로(102)가 가지는 정전류원을 의미한다.

<288> 트랜지스터 Tr3은 온의 상태에 있기 때문에, 신호선 Si에 신호전류 Ic가 흐르면, 신호전류 Ic는 트랜지스터 Tr1의 드레인과 소스 사이에 흐른다. 이때, 트랜지스터 Tr1은, 게이트와 드레인이 접속되어 있기 때문에 포화영역에서 동작하고 있어, 식 1이 성립한다. 따라서, 트랜지스터 Tr1의 게이트전압 V_{GS}는 전류값 Ic에 의해 정해진다.

<289> 그리고, 트랜지스터 Tr2의 게이트는, 트랜지스터 Tr1의 게이트에 접속되어 있다. 또한, 트랜지스터 Tr2의 소스는, 트랜지스터 Tr1의 소스에 접속되어 있다. 따라서, 트랜지스터 Tr1의 게이트전압은, 그대로 트랜지스터 Tr2의 게이트전압이 된다.

<290> 이때, 기록기간 Ta에서는 트랜지스터 Tr2의 드레인은, 다른 배선 및 전원 등으로부터 전압이 주어지고 있지 않은, 소위 플로팅 상태에 있다. 따라서, 트랜지스터 Tr2에 드레인전류는 흐르지 않는다.

<291> 이때, 기록기간 Ta에서는 트랜지스터 Tr2의 드레인은, 다른 배선 및 전원 등으로부터 전압이 주어지고 있지 않은, 소위 플로팅의 상태에 있다. 따라서, 트랜지스터 Tr2에 드레인전류는 흐르지 않는다.

<292> 기록기간 Ta가 종료하면, 각 라인의 제 1 주사선 및 제 2 주사선의 선택이 순차적으로 종료한다. 이때, 제 2 주사선의 선택이, 제 1 주사선보다도 먼저 종료하는 것이 바람직하다. 왜냐하면, 트랜지스터 Tr3이 먼저 오프로 되어 버리면, 저장용량(245)의 전하가 Tr4를 통해 누설되기 때문이다.

<293> 한편, 각 라인의 화소에 있어서 기록기간 Ta가 종료하면, 다음에 표시기간 Td가 개시된다. 표시기간 Td에서의 전원선 Vi의 전압은, 기록기간 Ta에서의 전압과 같은 레벨로 유지되어 있다. 표시기간 Td가 개시되면, 각 라인의 제 3 주사선이 순차적으로 선택되어, 트랜지스터 Tr5, Tr6이 온이 된다. 이때, 제 1 주사선 및 제 2 주사선은 선택되어 있지 않기 때문에, 트랜지스터 Tr3 및 Tr4는 오프로 되어 있다.

<294> 도 21b에, 표시기간 Td에서의 화소의 개략도를 나타낸다. 트랜지스터 Tr3 및 트랜지스터 Tr4는 오프의 상태에 있다. 또한, 트랜지스터 Tr1 및 트랜지스터 Tr2의 드레인은 전원선 Vi에 접속되어 있다.

<295> 한편, 트랜지스터 Tr1, Tr2에서는 기록기간 Ta에서 정해진 V_{GS}가 그대로 유지되어 있다. 따라서, 트랜지스터 Tr1과 같은 게이트전압이 트랜지스터 Tr2에 공급된다. 더구나, 트랜지스터 Tr6이 온이 되고, 트랜지스터 Tr2의 드레인은 전원선 Vi에 접속되기 때문에, 트랜지스터 Tr2의 드레인전류는, 트랜지스터 Tr1의 드레인전류에 비례하

는 크기가 된다. 특히, $\mu C_0 W/L$ 및 V_{TH} 가 서로 같을 때, 트랜지스터 Tr1과 트랜지스터 Tr2의 드레인전류는 서로 같아져, $I_2=I_1=I_c$ 가 된다.

<296> 또한, 트랜지스터 Tr5가 온이기 때문에, 트랜지스터 Tr1의 드레인전류 I_1 와, 트랜지스터 Tr2의 드레인전류 I_2 는, 모두 발광소자에 흐르는 전류로서 발광소자(244)에 흐른다. 따라서, 표시기간 T_d 에서는, 드레인전류 I_1 과, 드레인전류 I_2 를 합친 크기의 전류가 발광소자(244)에 흘러, 이 발광소자에 흐르는 전류의 크기에 적당한 휘도로 발광소자(244)가 발광한다.

<297> 이때, 기록기간 T_a 의 직후에는 반드시 표시기간 T_d 가 출현한다. 표시기간 T_d 의 직후에는, 다음 기록기간 T_a 가 출현하거나, 또는 역바이어스 기간 T_i 가 출현한다.

<298> 역바이어스 기간 T_i 가 개시되면, 전원선 $V_1 \sim V_x$ 의 전압은, 트랜지스터 Tr2, Tr5 및 Tr6이 온이 되었을 때에 역바이어스의 전압이 발광소자에 인가되는 정도의 레벨로 유지된다. 즉, Tr1 및 Tr2가 n채널형 TFT이고 발광소자(244)의 양극을 화소전극으로 사용하고, 전원선 V_i 의 전압을 상기 대향전극의 전압보다 낮도록 한다. 반대로, Tr1 및 Tr2가 p채널형 TFT이고 발광소자(244)의 음극을 화소전극으로 사용하고, 전원선 V_i 의 전압을 상기 대향전극의 전압보다 높도록 한다.

<299> 그리고, 주사선 구동회로(103)에 의해 각 라인의 제 1, 제 2 및 제 3 주사선이 순차적으로 선택되어, 트랜지스터 Tr3, Tr4, Tr5 및 Tr6이 온이 된다. 그리고, 신호선 구동회로(102)에 의해, 신호선 S1~Sx의 각각 트랜지스터 Tr1 및 Tr2가 온이 되는 레벨의 전압이 인가된다.

<300> 도 21c에, 역바이어스 기간 T_i 에서의 화소(101)의 개략도를 나타낸다. 역바이어스 기간 T_i 에서는, Tr2, Tr5 및 Tr6이 온이 되고, 전원선 V_i 의 전압이 발광소자(244)의 화소전극에 주어지기 때문에, 역바이어스의 전압이 발광소자(244)에 인가되게 된다. 발광소자(244)는 역바이어스의 전압이 인가되면 발광하지 않는 상태가 된다.

<301> 이때, 전원선의 전압은, 트랜지스터 Tr2, Tr5 및 Tr6이 온이 되었을 때에, 역바이어스의 전압이 발광소자에 인가되는 레벨이면 된다. 또한, 역바이어스 기간 T_i 의 길이는, 둑티비(1프레임기간에서의 표시기간의 길이의 총합의 비율)와의 관계를 고려하여, 설계자가 적절히 설정하는 것이 가능하다.

<302> 또한, 발광소자에 흐르는 전류의 크기에 적당한 휘도로 발광소자(244)가 발광하기 때문에, 각 화소의 계조는, 표시기간 T_d 에서의 발광소자에 흐르는 전류의 크기로 결정된다.

<303> 본 실시예의 화소에서는, 표시기간에서 발광소자에 흐르는 전류는 드레인전류 I_1 과, 드레인전류 I_2 의 합이다. 따라서, 발광소자에 흐르는 전류가 드레인전류 I_2 에만 의존하지 않는다. 그 때문에, 트랜지스터 Tr1과 트랜지스터 Tr2의 특성이 서로 달라, 트랜지스터 Tr1의 드레인전류 I_1 에 대한 트랜지스터 Tr2의 드레인전류 I_2 의 비가 화소간에 다르더라도, 발광소자에 흐르는 전류의 값이 화소 사이에서 변동하는 것을 억제한다. 그 결과, 휘도의 격차가 시각적으로 인식되는 것을 방지할 수 있다.

<304> 또한, 본 실시예의 화소에서는, 기록기간 T_a 에서 트랜지스터 Tr1의 드레인전류는 발광소자에 흐르지 않는다. 따라서, 신호선 구동회로에 의해 화소에 전류가 공급되어, 트랜지스터 Tr1의 드레인전류가 흐르는 것으로 게이트 전압이 변화하기 시작하고 나서, 그 값이 안정할 때까지의 시간은, 발광소자의 용량에 좌우되지 않는다. 따라서, 공급된 전류로부터 변환되는 전압이 빨리 안정되기 때문에, 전류를 기록하는 시간을 짧게 할 수 있다. 그 결과, 동작 화상표시에 있어서 잔상이 시인되어 버리는 것을 방지할 수 있다.

<305> 이때, 본 실시예에 있어서, 트랜지스터 Tr4의 제 1 단자와 제 2 단자는, 한쪽은 트랜지스터 Tr1의 제 2 단자에, 또 한쪽은 트랜지스터 Tr1의 게이트 및 트랜지스터 Tr2의 게이트에 접속되어 있다. 그러나, 본 실시예는 이 구성으로 한정되지 않는다. 본 실시예의 화소는, 기록기간 T_a 에서 트랜지스터 Tr1의 게이트와 드레인을 접속하고, 표시기간에서 트랜지스터 Tr1의 게이트와 드레인을 분리할 수 있도록, 트랜지스터 Tr4가 다른 소자 또는 배선과 접속되어 있으면 된다.

<306> 요컨대, Tr3, Tr4, Tr5, Tr6은, T_a 에서는 도 21a와 같이 접속되고, T_d 에서는 도 21b와 같이 접속되고, T_i 에서는 도 21c와 같이 접속되어 있으면 된다. 또한, Gj, Pj, Rj는 3가닥이 별도의 배선으로 되어 있지만, 합쳐서 1가닥이나 2가닥이어도 된다.

<307> 또한, 트랜지스터 Tr5는, 기록기간 T_a 에서 신호전류 I_c 와 트랜지스터 Tr1의 드레인전류 I_1 을 같은 값으로 가깝

게 하도록 설치된다. 트랜지스터 Tr5의 제 1 단자와 제 2 단자는, 한쪽은 트랜지스터 Tr1 및 Tr2의 제 1 단자에, 또 한쪽은 발광소자(244)의 화소전극에 반드시 접속할 필요는 없다. 트랜지스터 Tr5는, 기록기간 Ta에서, 트랜지스터 Tr2의 소스가 발광소자(244)의 화소전극과 신호선 Si와의 어느 한쪽에 접속되도록, 다른 배선 또는 소자와 접속하면 된다.

<308> 요컨대, Ta에서 Tr1을 흐르는 전류는 모두 전류원에 흐르고, 전류원을 흐르는 전류는 모두 Tr1에 흐르면 된다. Td에서는 Tr1과 Tr2를 통해 흐르는 전류는 발광소자에 흐르면 된다.

<309> 이때, 본 실시예의 발광장치는, 디지털 비디오신호를 사용하여 표시를 행하는 것도 가능하고, 아날로그 비디오 신호를 사용하여 표시를 행하는 것도 가능하다.

<310> 본 실시예는, 실시예 1~6과 조합하여 실시하는 것이 가능하다.

<311> (실시예 11)

<312> 본 실시예에서는, 도 2, 도 14, 도 16, 도 18, 도 20과는 다른 본 실시예의 발광장치의 화소의 구성에 관해서 설명한다.

<313> 도 22에, 도 1에서 나타낸 화소(101)의 자세한 구성을 나타낸다. 도 22에 나타낸 화소(101)는, 신호선 Si(S1~Sx 중의 1개), 제 1 주사선 Gj(G1~Gy 중의 1개), 제 2 주사선 Pj(P1~Py 중의 1개), 제 3 주사선 Rj(R1~Ry 중의 1개) 및 전원선 Vi(V1~Vx 중의 1개)를 가지고 있다.

<314> 또한, 화소(101)는, 트랜지스터 Tr1, Tr2, Tr3, Tr4, Tr5, Tr6, 발광소자(254) 및 저장용량(255)을 갖고 있다. 저장용량(255)은 트랜지스터 Tr1 및 Tr2의 게이트전압을 보다 확실히 유지하기 위해서 설치되지만, 반드시 설치 할 필요는 없다.

<315> 트랜지스터 Tr3의 게이트는 제 1 주사선 Gj에 접속되어 있다. 그리고, 트랜지스터 Tr3의 제 1 단자와 제 2 단자는, 한쪽은 신호선 Si에 접속되어 있고, 또 한쪽은 트랜지스터 Tr1의 제 1 단자에 접속되어 있다.

<316> 트랜지스터 Tr4의 게이트는, 제 2 주사선 Pj에 접속되어 있다. 그리고, 트랜지스터 Tr4의 제 1 단자와 제 2 단자는, 한쪽은 전원선 Vi에, 또 한쪽은 트랜지스터 Tr1 및 Tr2의 게이트에 접속되어 있다.

<317> 트랜지스터 Tr6의 게이트는, 제 3 주사선 Rj에 접속되어 있다. 그리고, 트랜지스터 Tr6의 제 1 단자와 제 2 단자는, 한쪽은 트랜지스터 Tr2의 제 1 단자에, 또 한쪽은 발광소자(254)의 화소전극에 접속되어 있다.

<318> 트랜지스터 Tr5의 게이트는, 제 3 주사선 Rj에 접속되어 있다. 그리고, 트랜지스터 Tr5의 제 1 단자와 제 2 단자는, 한쪽은 트랜지스터 Tr1의 제 1 단자에, 또 한쪽은 발광소자(254)의 화소전극에 접속되어 있다. 대향전극은 소정 전압으로 유지되어 있다.

<319> 트랜지스터 Tr1과 트랜지스터 Tr2의 게이트는 서로 접속되어 있다. 트랜지스터 Tr1 및 Tr2의 제 2 단자는 전원 선 Vi에 접속되어 있다.

<320> 저장용량(255)이 가지는 2개의 전극은, 한쪽은 트랜지스터 Tr1 및 Tr2의 게이트에, 또 한쪽은 트랜지스터 Tr1의 소스에 접속되어 있다.

<321> 이때, 트랜지스터 Tr1 및 Tr2는, n채널형 트랜지스터와 p채널형 트랜지스터의 어느 쪽이어도 된다. 단, 트랜지스터 Tr1 및 Tr2의 극성은 동일하다. 그리고, 양극을 화소전극으로서 사용하고, 음극을 대향전극으로서 사용하는 경우, 트랜지스터 Tr1 및 Tr2는 n채널형 트랜지스터인 것이 바람직하다. 반대로, 양극을 대향전극으로서 사용하고, 음극을 화소전극으로서 사용하는 경우, 트랜지스터 Tr1 및 Tr2는 p채널형 트랜지스터인 것이 바람직하다.

<322> 트랜지스터 Tr3, Tr4, Tr5, Tr6은, n채널형 트랜지스터와 p채널형 트랜지스터의 어느 쪽이어도 된다. 단, 트랜지스터 Tr5와 Tr6은 모두 게이트가 제 3 주사선 Rj에 접속되어 있기 때문에, 그것의 극성을 같게 한다. 트랜지스터 Tr5의 게이트와 Tr6의 게이트가 같은 배선에 접속되어 있지 않은 경우, 그것의 극성은 같지 않아도 된다.

<323> 다음에, 본 실시예의 발광장치의 동작에 관해서 도 23을 참조하여 설명한다. 본 발명의 발광장치의 동작은, 각 라인의 화소마다 기록기간 Ta와, 표시기간 Td와, 역바이어스 기간 Ti으로 나누어 설명할 수 있다. 도 23은, 각 기간에서의 트랜지스터 Tr1, Tr2, Tr6, 발광소자(254)의 접속을 간단히 나타낸 도면이다. 여기서, Tr1 및 Tr2가 n채널형 TFT이고 발광소자(254)의 양극이 화소전극으로서 사용된 경우가 일례로서 주어진다.

- <324> 우선, 각 라인의 화소에서 기록기간 Ta가 개시되면, 전원선 V1~Vx의 전압은, 트랜지스터 Tr2 및 Tr6이 온이 되었을 때에 순바이어스의 전류가 발광소자에 흐르는 정도의 레벨로 유지된다. 즉, Tr1 및 Tr2가 n채널형 TFT이고 발광소자(254)의 양극을 화소전극으로 사용하고, 전원선 Vi의 전압을 상기 대향전극의 전압보다 크도록 한다. 반대로, Tr1 및 Tr2가 p채널형 TFT이고 발광소자(254)의 음극을 화소전극으로 사용하고, 전원선 Vi의 전압을 상기 대향전극의 전압보다 낮도록 한다.
- <325> 그리고, 각 라인의 제 1 주사선 및 제 2 주사선이 순차적으로 선택된다. 따라서, 트랜지스터 Tr3, Tr4가 온이 된다. 이때, 각 제 1 주사선 및 제 2 주사선의 선택되는 기간은 서로 겹치지 않는다. 또한, 제 3 주사선은 선택되어 있지 않기 때문에, 트랜지스터 Tr5, Tr6은 오프로 되어 있다.
- <326> 그리고, 신호선 구동회로(102)에 입력되는 비디오신호에 근거하여, 신호선 S1~Sx와 전원선 V1~Vx의 사이에, 각각 비디오신호에 따른 신호전류 Ic가 흐른다.
- <327> 도 23a에, 기록기간 Ta에서, 신호선 Si에 신호전류 Ic가 흐른 경우의 화소(101)의 개략도를 나타낸다. 도면부호 256은 대향전극에 전압을 제공하는 전원과의 접속용 단자를 의미하고 있다. 또한, 도면부호 257은 신호선 구동회로(102)가 가지는 정전류원을 의미한다.
- <328> 트랜지스터 Tr3은 온의 상태에 있기 때문에, 신호선 Si에 신호전류 Ic가 흐르면, 신호전류 Ic는 트랜지스터 Tr1의 드레인과 소스 사이에 흐른다. 이때, 트랜지스터 Tr1은, 게이트와 드레인이 접속되어 있기 때문에 포화영역에서 동작하고 있어, 식 1이 성립한다. 따라서, 트랜지스터 Tr1의 게이트전압 V_{GS} 는 전류값 Ic에 의해 정해진다.
- <329> 이때, 표시기간 Td에서는, 트랜지스터 Tr6이 오프이기 때문에, 트랜지스터 Tr2의 드레인은, 다른 배선 및 전원 등으로부터 전압이 공급되지 않은, 소위 플로팅 상태에 있다. 따라서, 트랜지스터 Tr2에 드레인전류는 흐르지 않는다.
- <330> 각 라인의 화소에서 기록기간 Ta가 종료하면, 제 1 주사선, 제 2 주사선의 선택이 순차로 종료한다. 이때, 제 2 주사선의 선택이, 제 1 주사선보다도 먼저 종료하는 것이 바람직하다. 왜냐하면, 트랜지스터 Tr3이 먼저 오프로 되어 버리면, 저장용량(255)의 전하가 Tr4를 통해 누설되기 때문이다.
- <331> 각 라인의 화소에서 기록기간 Ta가 종료하면, 다음에 표시기간 Td가 개시된다. 표시기간 Td에서의 전원선 Vi의 전압은, 기록기간 Ta에서의 전압과 같은 레벨로 유지되고 있다. 표시기간 Td가 개시되면, 제 3 주사선이 선택된다. 따라서, 각 라인의 화소에서 트랜지스터 Tr5, Tr6이 온이 된다. 이때, 제 1 주사선 및 제 2 주사선은 선택되어 있지 않기 때문에, 트랜지스터 Tr3 및 Tr4는 오프로 되어 있다.
- <332> 도 23b에, 표시기간 Td에서의 화소의 개략도를 나타낸다. 트랜지스터 Tr3 및 트랜지스터 Tr4는 오프의 상태에 있다. 또한, 트랜지스터 Tr1 및 트랜지스터 Tr2의 드레인은 전원선 Vi에 접속되어 있다.
- <333> 한편, 트랜지스터 Tr1에서는 기록기간 Ta에서 정해진 V_{GS} 가 그대로 유지되어 있다. 그리고, 트랜지스터 Tr2의 게이트는, 트랜지스터 Tr1의 게이트에 접속되어 있다. 또한, 트랜지스터 Tr2의 소스는, 트랜지스터 Tr1의 소스에 접속되어 있다. 따라서, 트랜지스터 Tr1의 게이트전압은, 그대로 트랜지스터 Tr2의 게이트전압이 된다. 더구나, 트랜지스터 Tr2의 드레인은 전원선 Vi에 접속되어 있기 때문에, 트랜지스터 Tr2의 드레인전류 I_2 는, 트랜지스터 Tr1의 드레인전류에 비례하는 크기가 된다. 특히, $\mu C_0W/L$ 및 V_{TH} 가 서로 같을 때, 트랜지스터 Tr1과 트랜지스터 Tr2의 드레인전류는 서로 같아져, $I_2=I_1=I_c$ 가 된다.
- <334> 또한, 트랜지스터 Tr5가 온이기 때문에, 트랜지스터 Tr1의 드레인전류 I_1 와, 트랜지스터 Tr2의 드레인전류 I_2 는, 모두 발광소자에 흐르는 전류로서 발광소자(254)에 흐른다. 따라서, 표시기간 Td에서는, 드레인전류 I_1 과, 드레인전류 I_2 를 합친 크기의 전류가 발광소자(254)에 흘러, 이 발광소자에 흐르는 전류의 크기에 적당한 휘도로 발광소자(254)가 발광한다.
- <335> 이때, 기록기간 Ta의 직후에는 반드시 표시기간 Td가 출현한다. 표시기간 Td의 직후에는, 다음 기록기간 Ta가 출현하거나, 또는 역바이어스 기간 Ti가 출현한다.
- <336> 역바이어스 기간이 개시되면, 전원선 V1~Vx의 전압은, 트랜지스터 Tr2 및 Tr6이 온이 되었을 때에 역바이어스의 전압이 발광소자에 인가되는 정도의 레벨로 유지된다. 즉, Tr1 및 Tr2가 p채널형 TFT이고 발광소자(254)의 양극을 화소전극으로 사용하고, 전원선 Vi의 전압을 상기 대향전극의 전압보다 낮도록 한다. 반대로, Tr1 및

Tr2가 p채널형 TFT이고 발광소자(254)의 음극을 화소전극으로 사용하고, 전원선 Vi의 전압을 상기 대향전극의 전압보다 높도록 한다.

<337> 그리고, 주사선 구동회로(103)에 의해 각 라인의 제 1 및 제 2 및 제 3 주사선이 순차적으로 선택되어, 트랜지스터 Tr3, Tr4, Tr5 및 Tr6이 온이 된다. 그리고, 신호선 구동회로(102)에 의해, 신호선 S1~Sx의 각각 트랜지스터 Tr1 및 Tr2가 온이 되도록 전압이 인가된다.

<338> 도 23c에, 역바이어스 기간 Ti에서의 화소(101)의 개략도를 나타낸다. 역바이어스 기간 Ti에서는, Tr2 및 Tr6이 온이 되기 때문에, 전원선 Vi의 전압이 발광소자(254)의 화소전극에 주어지기 때문에, 역바이어스의 전압이 발광소자(254)에 인가되게 된다. 발광소자(254)는 역바이어스의 전압이 인가되면 발광하지 않는 상태가 된다.

<339> 이때, 전원선의 전압은, 트랜지스터 Tr2 및 Tr6이 온이 되었을 때에, 역바이어스의 전압이 발광소자에 인가되는 레벨이면 된다. 또한, 역바이어스 기간 Ti의 길이는, 듀티비(1프레임기간에서의 표시기간의 길이의 총합의 비율)와의 관계를 고려하여, 설계자가 적절히 설정하는 것이 가능하다.

<340> 또한, 발광소자에 흐르는 전류의 크기에 적당한 휘도로 발광소자(254)가 발광하기 때문에, 각 화소의 계조는, 표시기간 Td에서의 발광소자에 흐르는 전류의 크기로 결정된다.

<341> 본 실시예의 화소에서는, 표시기간에서 발광소자에 흐르는 전류는 드레인전류 I₁과, 드레인전류 I₂의 합이다. 따라서, 발광소자에 흐르는 전류가 드레인전류 I₂에만 의존하지 않는다. 그 때문에, 트랜지스터 Tr1과 트랜지스터 Tr2의 특성이 서로 달라, 트랜지스터 Tr1의 드레인전류 I₁에 대한 트랜지스터 Tr2의 드레인전류 I₂의 비가 화소 사이에서 다르더라도, 발광소자에 흐르는 전류의 값이 화소 사이에서 변동하는 것을 억제한다. 그래서, 휘도의 격차가 시각적으로 인식되는 것을 방지할 수 있다.

<342> 또한, 본 실시예의 화소에서는, 기록기간 Ta에서 트랜지스터 Tr1의 드레인전류는 발광소자에 흐르고 있지 않다. 따라서, 신호선 구동회로에 의해 화소에 전류가 공급되어, 트랜지스터 Tr1의 드레인전류가 흐르는 것으로 게이트전압이 변화하기 시작하고 나서, 그 값이 안정할 때까지의 시간은, 발광소자의 용량에 좌우되지 않는다. 따라서, 공급된 전류로부터 변환되는 전압이 빨리 안정되기 때문에, 전류를 기록하는 시간을 짧게 할 수 있다. 따라서, 동작 화상표시에서 잔상이 시인되어 버리는 것을 방지할 수 있다.

<343> 이때, 본 실시예에서, 트랜지스터 Tr4의 제 1 단자와 제 2 단자는, 한쪽은 트랜지스터 Tr1의 제 2 단자에, 또 한쪽은 트랜지스터 Tr1의 게이트 및 트랜지스터 Tr2의 게이트에 접속되어 있다. 그러나, 본 실시예는 이 구성으로 한정되지 않는다. 본 실시예의 화소는, 기록기간 Ta에서 트랜지스터 Tr1의 게이트와 드레인을 접속하고, 표시기간에서 트랜지스터 Tr1의 게이트와 드레인을 분리할 수 있도록, 트랜지스터 Tr4가 다른 소자 또는 배선과 접속되어 있으면 된다.

<344> 요컨대, Tr3, Tr4, Tr5, Tr6은, Ta에서는 도 23a와 같이 접속되고, Td에서는 도 23b와 같이 접속되고, Ti에서는 도 23c와 같이 접속되어 있으면 된다. 또한, Gj, Pj, Rj는 3가닥이 별도의 배선으로 되어 있지만, 합쳐서 1가닥이나 2가닥으로 하여도 된다.

<345> 요컨대, Ta에서 Tr1을 흐르는 전류는 모두 전류원에 흐르고, 전류원을 흐르는 전류는 모두 Tr1에 흐르고 있으면 된다. Td에서는 Tr1과 Tr2를 통해 흐르는 전류는 발광소자에 흐르면 된다.

<346> 이때, 본 실시예의 발광장치는, 디지털 비디오신호를 사용하여 표시를 행하는 것도 가능하고, 아날로그 비디오 신호를 사용하여 표시를 행하는 것도 가능하다.

<347> 본 실시예는, 실시예 1~6과 조합하여 실시하는 것이 가능하다.

<348> (실시예 12)

<349> 본 실시예에서는, 도 2, 도 14, 도 16, 도 18, 도 20, 도 22와는 다른 본 발명의 발광장치의 화소의 구성에 관해서 설명한다.

<350> 도 24에 나타낸 화소(101)의 자세한 구성을 나타낸다. 도 24에 나타내는 화소(101)는, 신호선 Si(S1~Sx 중의 1개), 제 1 주사선 Gj(G1~Gy 중의 1개), 제 2 주사선 Pj(P1~Py 중의 1개), 제 3 주사선 Rj(R1~Ry 중의 1개) 및 전원선 Vi(V1~Vx 중의 1개)를 가지고 있다.

- <351> 또한, 화소(101)는, 트랜지스터 Tr1, Tr2, Tr3, Tr4, Tr5, Tr6, 발광소자(264) 및 저장용량(265)을 가지고 있다. 저장용량(265)은 트랜지스터 Tr1 및 Tr2의 게이트와 소스 사이의 전압(게이트전압)을 보다 확실히 유지하기 위해서 설치되지만, 반드시 설치할 필요는 없다.
- <352> 트랜지스터 Tr3의 게이트는 제 1 주사선 Gj에 접속되어 있다. 그리고, 트랜지스터 Tr3의 제 1 단자와 제 2 단자는, 한쪽은 신호선 Si에 접속되어 있고, 또 한쪽은 트랜지스터 Tr1의 제 2 단자에 접속되어 있다.
- <353> 트랜지스터 Tr4의 게이트는, 제 2 주사선 Pj에 접속되어 있다. 그리고, 트랜지스터 Tr4의 제 1 단자와 제 2 단자는, 한쪽은 트랜지스터 Tr1의 제 2 단자에, 또 한쪽은 트랜지스터 Tr1 및 Tr2의 게이트에 접속되어 있다.
- <354> 트랜지스터 Tr6의 게이트는, 트랜지스터 Tr1 및 Tr2의 게이트에 접속되어 있다. 그리고, 트랜지스터 Tr6의 제 1 단자와 제 2 단자는, 한쪽은 트랜지스터 Tr1의 제 2 단자에, 또 한쪽은 트랜지스터 Tr5의 제 1 단자 또는 제 2 단자에 접속되어 있다.
- <355> 트랜지스터 Tr5의 게이트는, 제 3 주사선 Rj에 접속되어 있다. 그리고, 트랜지스터 Tr5의 제 1 단자와 제 2 단자는, 한쪽은 트랜지스터 Tr2의 제 2 단자에, 또 한쪽은 트랜지스터 Tr6의 제 1 단자 또는 제 2 단자에 접속되어 있다.
- <356> 트랜지스터 Tr1, 트랜지스터 Tr2 및 Tr6의 게이트는 서로 접속되어 있다. 트랜지스터 Tr1과 트랜지스터 Tr2의 소스는, 모두 전원선 Vi에 접속되어 있다. 그리고, 트랜지스터 Tr2의 제 2 단자는, 발광소자(264)의 화소전극에 접속되어 있다. 대향전극은 소정 전압으로 유지되어 있다.
- <357> 저장용량(265)이 가지는 2개의 전극은, 한쪽은 트랜지스터 Tr1과 트랜지스터 Tr2의 게이트에, 또 한쪽은 전원선 Vi에 접속되어 있다.
- <358> 이때, 트랜지스터 Tr1, Tr2 및 Tr6은, n채널형 트랜지스터와 p채널형 트랜지스터의 어느 쪽이어도 된다. 단, 트랜지스터 Tr1, Tr2 및 Tr6의 극성은 동일하다. 그리고, 양극을 화소전극으로서 사용하고, 음극을 대향전극으로서 사용하는 경우, 트랜지스터 Tr1 및 Tr2는 p채널형 트랜지스터인 것이 바람직하다. 반대로, 양극을 대향전극으로서 사용하고, 음극을 화소전극으로서 사용하는 경우, 트랜지스터 Tr1 및 Tr2는 n채널형 트랜지스터인 것이 바람직하다.
- <359> 트랜지스터 Tr3, Tr4, Tr5는, n채널형 트랜지스터와 p채널형 트랜지스터의 어느 쪽이어도 된다.
- <360> 다음에, 본 실시예의 발광장치의 동작에 관해서 도 25를 참조하여 설명한다. 본 발명의 발광장치의 동작은, 각 라인의 화소마다 기록기간 Ta와, 표시기간 Td와, 역바이어스 기간 Ti으로 나누어 설명할 수 있다. 도 25는, 각 기간에서의 트랜지스터 Tr1, Tr2, Tr6, 발광소자(264)의 접속을 간단히 나타낸 도면이다. 여기서, Tr1, Tr2 및 Tr6이 n채널형 TFT이고 발광소자(264)의 양극이 화소전극으로서 사용된 경우가 일례로서 주어진다.
- <361> 우선, 각 라인의 화소에서 기록기간 Ta가 개시되면, 전원선 V1~Vx의 전압은, 트랜지스터 Tr2가 온이 되었을 때에 순바이어스의 전류가 발광소자에 흐르는 정도의 레벨로 유지된다. 즉, Tr1, Tr2 및 Tr6이 p채널형 TFT이고 발광소자(264)의 양극을 화소전극으로 사용하고, 전원선 Vi의 전압을 상기 대향전극의 전압보다 크도록 한다. 반대로, Tr1, Tr2 및 Tr6이 p채널형 TFT이고 발광소자(264)의 음극을 화소전극으로 사용하고, 전원선 Vi의 전압을 상기 대향전극의 전압보다 낮도록 한다.
- <362> 그리고, 각 라인의 제 1 주사선 및 제 2 주사선이 순차적으로 선택된다. 따라서, 트랜지스터 Tr3 및 Tr4가 온이 된다. 또한, 각 제 1 및 제 2 주사선의 선택되는 기간은 서로 겹치지 않는다. 또한, 제 3 주사선은 선택되지 않기 때문에, 트랜지스터 Tr5는 오프로 되어 있다.
- <363> 그리고, 신호선 구동회로(102)에 입력되는 비디오신호에 근거하여, 신호선 S1~Sx와 전원선 V1~Vx 사이에, 각각 비디오신호에 따른 신호전류 Ic가 흐른다.
- <364> 도 25a에, 기록기간 Ta에서, 신호선 Si에 비디오신호에 따른 신호전류 Ic가 흐른 경우의 화소(101)의 개략도를 나타낸다. 도면부호 266은 대향전극에 전압을 제공하는 전원파의 접속용 단자를 의미하고 있다. 또한, 도면부호 267은 신호선 구동회로(102)가 가지는 정전류원을 의미한다.
- <365> 트랜지스터 Tr3은 온의 상태에 있기 때문에, 신호선 Si에 비디오신호에 따른 신호전류 Ic가 흐르면, 신호전류 Ic는 트랜지스터 Tr1의 드레인과 소스의 사이에 흐른다. 이때, 트랜지스터 Tr1은, 게이트와 드레인이 접속되어 있기 때문에 포화영역에서 동작하고 있어, 식 1이 성립한다. 따라서, 트랜지스터 Tr1의 게이트전압 Vgs는 전류값

I_c 에 의해 정해진다. 이때에, 전류값 I_c 에 따른 트랜지스터 Tr1의 게이트전압 V_{GS} 는 Tr1의 임계치 V_{TH} 와 Tr6의 임계치 V_{TH} 를 가산하여 얻어진 전압보다 낮도록 전류값 I_c 의 값을 정한다. Tr1, Tr2 및 Tr6이 n채널형 TFT일 때, 전류값 I_c 의 값은, Tr1의 임계치 V_{TH} 와 Tr6의 임계치 V_{TH} 를 가산하여 얻어진 값보다 크도록 정해진다.

<366> 그리고, 트랜지스터 Tr2의 게이트는, 트랜지스터 Tr1의 게이트에 접속되어 있다. 또한, 트랜지스터 Tr2의 소스는, 트랜지스터 Tr1의 소스에 접속되어 있다. 따라서, 트랜지스터 Tr1의 게이트전압은, 그대로 트랜지스터 Tr2의 게이트전압이 된다. 따라서, 트랜지스터 Tr2의 드레인전류는, 트랜지스터 Tr1의 드레인전류에 비례한다. 특히, $\mu C_0 W/L$ 및 V_{TH} 가 서로 같을 때, 트랜지스터 Tr1과 트랜지스터 Tr2의 드레인전류는 서로 같아져, $I_2=I_c$ 가 된다.

<367> 그리고, 트랜지스터 Tr2의 드레인전류 I_2 는 발광소자(264)에 흐른다. 발광소자에 흐르는 전류는, 정전류원(267)에서 정해진 신호전류 I_c 에 따른 크기로서, 흐르는 전류의 크기에 적당한 휘도로 발광소자(264)는 발광한다. 발광소자에 흐르는 전류가 0에 한정되지 않고 가까워지거나, 발광소자에 흐르는 전류가 역바이어스의 방향으로 흐르거나 하는 경우는, 발광소자(264)는 발광하지 않는다.

<368> 기록기간 Ta가 종료하면, 제 1 주사선, 제 2 주사선의 선택이 종료한다. 이때, 제 2 주사선의 선택이, 제 1 주사선보다도 먼저 종료하는 것이 바람직하다. 왜냐하면, 트랜지스터 Tr3이 먼저 오프로 되어 버리면, 저장용량(265)의 전하가 Tr4를 통해 누설되기 때문이다.

<369> 기록기간 Ta가 종료하면, 다음에 표시기간 Td가 개시된다. 표시기간 Td에서의 전원선 Vi의 전압은, 기록기간 Ta에서의 전압과 같은 레벨로 유지되고 있다. 표시기간 Td가 개시되면, 제 3 주사선이 선택되어 트랜지스터 Tr5가 온이 된다. 이때, 제 1 주사선 및 제 2 주사선은 선택되어 있지 않기 때문에, 트랜지스터 Tr3 및 Tr4는 오프로 되어 있다.

<370> 도 25b에, 표시기간 Td에서의 화소의 개략도를 나타낸다. 트랜지스터 Tr3 및 트랜지스터 Tr4는 오프의 상태에 있다. 또한, 트랜지스터 Tr1 및 트랜지스터 Tr2의 소스는 전원선 Vi에 접속되어 있다.

<371> 한편, 트랜지스터 Tr1, Tr2에서는 기록기간 Ta에서 정해진 V_{GS} 가 그대로 유지되어 있다. 상기 V_{GS} 는, Tr1의 임계치 V_{TH} 와 Tr6의 임계치 V_{TH} 를 가산한 전압보다 낮다. 더구나, 트랜지스터 Tr6의 게이트는 트랜지스터 Tr1 및 Tr2의 게이트와 접속되어 있다. 그 때문에, 트랜지스터 Tr1의 드레인전류와 트랜지스터 Tr6의 드레인전류는 같은 크기로 유지된다. 그리고, 식 1에서, 트랜지스터 Tr1의 드레인전류는, 트랜지스터 Tr6의 채널길이 및 채널 폭에 좌우된다.

<372> 트랜지스터 Tr1과 Tr6의 게이트전압, 이동도, 단위면적당의 게이트용량, 임계값, 채널폭이 같다고 가정하면, 식 1에서 이하의 식 2가 도출된다. 이때, 식 2에서 트랜지스터 Tr1의 채널길이를 L1, Tr6의 채널길이를 L6, Tr1 및 Tr6의 드레인전류를 I_3 로 한다.

<373> [수학식 2]

$$I_3 = I_1 \times L1 / (L1 + L6)$$

<375> 한편, 트랜지스터 Tr2의 드레인전류 I_2 의 값은, 신호전류 I_c 에 따른 크기로 유지된 상태이다. 그리고, 트랜지스터 Tr5가 온이기 때문에, 트랜지스터 Tr1 및 Tr6의 드레인전류 I_3 과, 트랜지스터 Tr2의 드레인전류 I_2 는, 모두 발광소자(264)에 흐른다. 따라서, 드레인전류 I_3 과, 드레인전류 I_2 를 합친 전류의 크기에 적당한 휘도로 발광소자(264)는 발광한다.

<376> 이때, 기록기간 Ta의 직후에는 반드시 표시기간 Td가 출현한다. 표시기간 Td의 직후에는, 다음 기록기간 Ta가 출현하거나, 또는 역바이어스 기간 Ti가 출현한다.

<377> 역바이어스 기간이 개시되면, 전원선 V1~Vx의 전압은, 트랜지스터 Tr2가 온이 되었을 때에 역바이어스의 전압이 발광소자에 인가되는 정도의 레벨로 유지된다. 즉, Tr1, Tr2 및 Tr6이 p채널형 TFT이고 발광소자(264)의 양극을 화소전극으로 사용하고, 전원선 Vi의 전압을 상기 대향전극의 전압보다 낮도록 한다. 반대로, Tr1, Tr2 및 Tr6이 n채널형 TFT이고 발광소자(264)의 음극을 화소전극으로 사용하고, 전원선 Vi의 전압을 상기 대향전극의

전압보다 높도록 한다.

<378> 그리고, 주사선 구동회로(103)에 의해 각 라인의 제 1 및 제 2 주사선이 순차적으로 선택되어, 트랜지스터 Tr3, Tr4가 온이 된다. 그리고, 신호선 구동회로(102)에 의해, 신호선 S1~Sx의 각각 트랜지스터 Tr1, Tr2 및 Tr6이 온이 되도록 전압이 인가된다. 이때, 제 3 주사선은 선택하거나 선택하지 않더라도 어느 쪽이어도 된다. 도 25c는, 제 3 주사선을 선택하지 않고 있는 경우에 관해서 나타내고 있고, Tr5는 오프로 되어 있다.

<379> 도 25c에, 역바이어스 기간 Ti에서의 화소(101)의 개략도를 나타낸다. 역바이어스 기간 Ti에서는 Tr2가 온이 되므로, 전원선 Vi의 전압이 발광소자(264)의 화소전극에 공급되기 때문에, 역바이어스의 전압이 발광소자(264)에 인가되게 된다. 발광소자(264)는 역바이어스의 전압이 인가되면 발광하지 않는 상태가 된다.

<380> 이때, 전원선의 전압은, 트랜지스터 Tr2가 온이 되었을 때에, 역바이어스의 전압이 발광소자에 인가되는 레벨이면 된다. 또한, 역바이어스 기간 Ti의 길이는, 뉴티비(1프레임기간에서의 표시기간의 길이의 총합의 비율)와의 관계를 고려하여, 설계자가 적절히 설정하는 것이 가능하다.

<381> 또한, 발광소자에 흐르는 전류의 크기에 적당한 휘도로 발광소자(264)가 발광하기 때문에, 각 화소의 계조는, 표시기간 Td에서의 발광소자에 흐르는 전류의 크기로 결정된다. 이때, 기록기간 Ta에서도, 드레인전류 I₁의 크기에 적당한 휘도로 발광하고 있지만, 그것의 계조에 미치는 영향은, 실제의 패널에서는 무시할 수 있을 정도로 작다고 생각된다. 왜냐하면, 예를 들면 VGA급이면 480라인의 화소가 화소부에 설치되어 있고, 1라인의 화소의 기록기간 Ta는 1프레임기간의 1/480정도로 대단히 작기 때문이다. 물론, 기록기간 Ta에서의 발광소자에 흐르는 전류의 계조에의 영향을 고려하여, 신호전류 I_c의 크기를 보정하도록 하여도 된다.

<382> 본 실시예의 화소에서는, 표시기간에서 발광소자에 흐르는 전류는 드레인전류 I₂와, 드레인전류 I₃의 합이다. 따라서, 발광소자에 흐르는 전류가 드레인전류 I₂에만 의존하지 않는다. 그 때문에, 트랜지스터 Tr1과 트랜지스터 Tr2의 특성이 서로 달라, 트랜지스터 Tr2의 드레인전류 I₂와 신호전류 I_c의 비가 화소 사이에서 다르더라도, 발광소자에 흐르는 전류의 값이 화소 사이에서 변동하는 것을 억제한다. 그 결과, 휘도의 격차가 시각적으로 인식되는 것을 방지할 수 있다.

<383> 또한, 본 실시예의 화소에서는, 기록기간 Ta에서 트랜지스터 Tr1의 드레인전류는 발광소자에 흐르지 않는다. 따라서, 신호선 구동회로에 의해 화소에 전류가 공급되어, 트랜지스터 Tr1의 드레인전류가 흐르는 것으로 게이트 전압이 변화하기 시작하고 나서, 그 값이 안정할 때까지의 시간은, 발광소자의 용량에 좌우되지 않는다. 따라서, 공급된 전류로부터 변환되는 전압이 빨리 안정되기 때문에, 전류를 기록하는 시간을 짧게 할 수 있다. 그 결과, 동작 화상표시에서 잔상이 시인되어 버리는 것을 방지할 수 있다.

<384> 더구나, 본 실시예의 화소에서는, 도 2, 도 14, 도 16, 도 18, 도 20 및 도 22에 나타낸 화소와 비교하여, 기록기간에서의 트랜지스터 Tr1의 드레인전류보다도, 표시기간에서의 Tr1의 드레인전류가 작기 때문에, 신호전류 I_c에 대하여 발광소자에 흐르는 전류의 비가 작아진다. 따라서, 신호전류 I_c를 보다 크게 할 수 있기 때문에, 잡음의 영향을 받기 어렵다.

<385> 이때, 본 실시예에서, 트랜지스터 Tr4의 제 1 단자와 제 2 단자는, 한쪽은 트랜지스터 Tr1의 제 2 단자에, 또 한쪽은 트랜지스터 Tr1의 게이트 및 트랜지스터 Tr2의 게이트에 접속되어 있다. 그러나, 본 실시예는 이 구성으로 한정되지 않는다. 본 실시예의 화소는, 기록기간 Ta에서 트랜지스터 Tr1의 게이트와 드레인을 접속하고, 표시기간에서 트랜지스터 Tr1의 게이트와 드레인을 분리할 수 있도록, 트랜지스터 Tr4가 다른 소자 또는 배선과 접속되어 있으면 된다.

<386> 또한, 본 실시예에서, 트랜지스터 Tr5의 제 1 단자와 제 2 단자는, 한쪽은 Tr2의 제 2 단자에, 또 한쪽은 Tr6의 제 1 단자 또는 제 2 단자에 접속되어 있다. 그러나, 본 실시예는 이 구성으로 한정되지 않는다. 본 실시예의 화소는, 기록기간 Ta에서 트랜지스터 Tr1의 드레인과 화소전극을 분리하고, 표시기간에서 트랜지스터 Tr1의 드레인과 화소전극을 접속할 수 있도록, 트랜지스터 Tr5가 다른 소자 또는 배선과 접속되어 있으면 된다.

<387> 요컨대, Tr3, Tr4, Tr5는, Ta에서는 도 25a와 같이 접속되고, Td에서는 도 25b와 같이, Ti에서는 도 25c와 같이 접속되어 있으면 된다. 또한, Gj, Pj, Rj는 3가닥이 별도의 배선으로 되어 있지만, 합쳐서 1가닥이나 2가닥으로 하여도 된다.

<388> 요컨대, Ta에서 Tr1을 흐르는 전류는 모두 전류원에 흐르고, 전류원을 흐르는 전류는 모두 Tr1에 흐르면 된다. Td에서는 Tr1과 Tr2를 흐르는 전류는 발광소자에 흐르면 된다.

- <389> 이때, 본 실시예의 발광장치는, 디지털 비디오신호를 사용하여 표시를 행하는 것도 가능하고, 아날로그 비디오 신호를 사용하여 표시를 행하는 것도 가능하다.
- <390> 본 실시예는, 실시예 1~6과 조합하여 실시하는 것이 가능하다.
- <391> (실시예 13)
- <392> 본 실시예에서는, 도 2, 도 14, 도 16, 도 18, 도 20, 도 22, 도 24와는 다른 본 발명의 발광장치의 화소의 구성에 관해서 설명한다.
- <393> 도 26에, 도 1에 나타낸 화소(101)의 자세한 구성을 나타낸다. 도 26에 나타낸 화소(101)는, 신호선 Si(S1~Sx 중의 1개), 제 1 주사선 Gj(G1~Gy 중의 1개), 제 2 주사선 Pj(P1~Py 중의 1개), 제 3 주사선 Rj(R1~Ry 중의 1개) 및 전원선 Vi(V1~Vx 중의 1개)를 가지고 있다.
- <394> 또한, 화소(101)는, 트랜지스터 Tr1, Tr2, Tr3, Tr4, Tr5, 발광소자(274) 및 저장용량(275)을 가지고 있다. 저장용량(275)은 트랜지스터 Tr1 및 Tr2의 게이트와 소스 사이의 전압(게이트전압)을 보다 확실히 유지하기 위해서 설치되지만, 반드시 설치할 필요는 없다.
- <395> 트랜지스터 Tr3의 게이트는 제 1 주사선 Gj에 접속되어 있다. 그리고, 트랜지스터 Tr3의 제 1 단자와 제 2 단자는, 한쪽은 신호선 Si에 접속되어 있고, 또 한쪽은 트랜지스터 Tr1의 제 2 단자에 접속되어 있다.
- <396> 트랜지스터 Tr4의 게이트는, 제 2 주사선 Pj에 접속되어 있다. 그리고, 트랜지스터 Tr4의 제 1 단자와 제 2 단자는, 한쪽은 트랜지스터 Tr1의 제 2 단자에, 또 한쪽은 트랜지스터 Tr1 및 Tr2의 게이트에 접속되어 있다.
- <397> 트랜지스터 Tr5의 게이트는, 제 3 주사선 Rj에 접속되어 있다. 그리고, 트랜지스터 Tr5의 제 1 단자와 제 2 단자는, 한쪽은 트랜지스터 Tr2의 제 2 단자 및 전원선 Vi에, 또 한쪽은 트랜지스터 Tr1의 제 2 단자에 접속되어 있다.
- <398> 트랜지스터 Tr1과 트랜지스터 Tr2의 게이트는 서로 접속되어 있다. 트랜지스터 Tr1과 트랜지스터 Tr2의 제 1 단자는, 모두 발광소자(274)의 화소전극에 접속되어 있다.
- <399> 저장용량(275)이 가지는 2개의 전극은, 한쪽은 트랜지스터 Tr1과 트랜지스터 Tr2의 게이트에, 또 한쪽은 발광소자(274)의 화소전극에 접속되어 있다. 대향전극은 소정 전압으로 유지되어 있다.
- <400> 이때, 트랜지스터 Tr1 및 Tr2는 n채널형 트랜지스터와 p채널형 트랜지스터의 어느 쪽이어도 된다. 단, 트랜지스터 Tr1 및 Tr2의 극성은 동일하다. 그리고, 양극을 화소전극으로서 사용하고, 음극을 대향전극으로서 사용하고 있는 경우, 트랜지스터 Tr1 및 Tr2는 n채널형 트랜지스터인 것이 바람직하다. 반대로, 양극을 대향전극으로서 사용하고, 음극을 화소전극으로서 사용하는 경우, 트랜지스터 Tr1 및 Tr2는 p채널형 트랜지스터인 것이 바람직하다.
- <401> 트랜지스터 Tr3, Tr4, Tr5는, n채널형 트랜지스터와 p채널형 트랜지스터의 어느 쪽이어도 된다.
- <402> 다음에, 본 실시예의 발광장치의 동작에 관해서 도 27을 참조하여 설명한다. 본 발명의 발광장치의 동작은, 각 라인의 화소마다 기록기간 Ta와, 표시기간 Td와, 역바이어스 기간 Ti로 나누어 설명할 수 있다. 도 27은, 각 기간에서의 트랜지스터 Tr1, Tr2, 발광소자(274)의 접속을 간단히 나타낸 도면이다. 여기서, Tr1 및 Tr2가 n채널형 TFT이고 발광소자(274)의 양극이 화소전극으로서 사용된 경우가 일례로서 주어진다.
- <403> 우선, 각 라인의 화소에서 기록기간 Ta가 개시되면, 전원선 V1~Vx의 전압은, 트랜지스터 Tr2가 온이 되었을 때에 순바이어스의 전류가 발광소자에 흐르는 정도의 레벨로 유지된다. 즉, Tr1 및 Tr2가 n채널형 TFT이고 발광소자(274)의 양극을 화소전극으로 사용하고, 전원선 Vi의 전압을 상기 대향전극의 전압보다 크도록 한다. 반대로, Tr1 및 Tr2가 n채널형 TFT이고 발광소자(274)의 음극을 화소전극으로 사용하고, 전원선 Vi의 전압을 상기 대향전극의 전압보다 낮도록 한다.
- <404> 그리고, 주사선 구동회로(103)에 의해 각 라인의 제 1 및 제 2 주사선이 순차적으로 선택된다. 이때, 각 제 1 및 제 2 주사선의 선택되는 기간은 서로 겹치지 않는다. 따라서, 트랜지스터 Tr3과 트랜지스터 Tr4가 온이 된다. 또한, 제 3 주사선은 선택되어 있지 않기 때문에, 트랜지스터 Tr5는 오프로 되어 있다.
- <405> 그리고, 신호선 구동회로(102)에 입력되는 비디오신호에 근거하여, 신호선 S1~Sx와 전원선 V1~Vx 사이에, 각

각 비디오신호에 따른 신호전류 I_c 가 흐른다.

<406> 도 27a에, 기록기간 Ta에서, 신호선 Si에 비디오신호에 따른 신호전류 I_c 가 흐른 경우의 화소(101)의 개략도를 나타낸다. 도면부호 276은 대향전극에 전압을 제공하는 전원과의 접속용 단자를 의미한다. 또한, 도면부호 277은 신호선 구동회로(102)가 가지는 정전류원을 의미한다.

<407> 트랜지스터 Tr3은 온의 상태에 있기 때문에, 신호선 Si에 비디오신호에 따른 신호전류 I_c 가 흐르면, 신호전류 I_c 는 트랜지스터 Tr1의 드레인과 소스 사이에 흐른다. 이때, 트랜지스터 Tr1은, 게이트와 드레인이 접속되어 있기 때문에 포화영역에서 동작하고 있어, 식 1이 성립한다. 따라서, 트랜지스터 Tr1의 게이트전압 V_{GS} 는 전류값 I_c 에 의해 정해진다.

<408> 그리고, 트랜지스터 Tr2의 게이트는, 트랜지스터 Tr1의 게이트에 접속되어 있다. 또한, 트랜지스터 Tr2의 소스는, 트랜지스터 Tr1의 소스에 접속되어 있다. 따라서, 트랜지스터 Tr1의 게이트전압은, 그대로 트랜지스터 Tr2의 게이트전압이 된다. 따라서, 트랜지스터 Tr2의 드레인전류는, 트랜지스터 Tr1의 드레인전류에 비례한다. 특히, $\mu C_0W/L$ 및 V_{TH} 가 서로 같을 때, 트랜지스터 Tr1과 트랜지스터 Tr2의 드레인전류는 서로 같아져, $I_2=I_c$ 가 된다.

<409> 그리고, 트랜지스터 Tr2의 드레인전류 I_2 는 발광소자(274)에 흐른다. 발광소자에 흐르는 전류는, 정전류원(277)에서 정해진 신호전류 I_c 에 따른 크기이며, 흐르는 전류의 크기에 적당한 휘도로 발광소자(274)는 발광한다. 발광소자에 흐르는 전류가 0에 한정되지 않고 가까워지거나, 발광소자에 흐르는 전류가 역바이어스의 방향으로 흐르거나 하는 경우는, 발광소자(274)는 발광하지 않는다.

<410> 기록기간 Ta가 종료하면, 제 1 주사선, 제 2 주사선의 선택이 종료한다. 이때, 제 2 주사선의 선택이, 제 1 주사선보다도 먼저 종료하는 것이 바람직하다. 왜냐하면, 트랜지스터 Tr3이 먼저 오프로 되어 버리면, 저장용량(275)의 전하가 Tr4를 통해 누설되기 때문이다.

<411> 기록기간 Ta가 종료하면, 다음에 표시기간 Td가 개시된다. 표시기간 Td에서의 전원선 Vi의 전압은, 기록기간 Ta에서의 전압과 같은 레벨로 유지되어 있다. 표시기간 Td가 개시되면, 각 라인의 제 3 주사선이 순차적으로 선택되어, 트랜지스터 Tr5가 온이 된다. 이때, 제 1 주사선 및 제 2 주사선은 선택되어 있지 않기 때문에, 트랜지스터 Tr3 및 Tr4는 오프로 되어 있다.

<412> 도 27b에, 표시기간 Td에서의 화소의 개략도를 나타낸다. 트랜지스터 Tr3 및 트랜지스터 Tr4는 오프의 상태에 있다. 또한, 트랜지스터 Tr1 및 트랜지스터 Tr2의 소스는 발광소자(274)의 화소전극에 접속되어 있다.

<413> 한편, 트랜지스터 Tr1, Tr2에서는 기록기간 Ta에서 정해진 V_{GS} 가 그대로 유지된다. 그리고, 트랜지스터 Tr2의 게이트는, 트랜지스터 Tr1의 게이트에 접속되어 있다. 또한, 트랜지스터 Tr2의 소스는, 트랜지스터 Tr1의 소스에 접속되어 있다. 따라서, 트랜지스터 Tr1의 게이트전압은, 그대로 트랜지스터 Tr2의 게이트전압이 된다. 더구나, 트랜지스터 Tr1의 드레인 및 트랜지스터 Tr2의 드레인은 전원선 Vi에 접속되어 있기 때문에, 트랜지스터 Tr2의 드레인전류 I_2 는, 트랜지스터 Tr1의 드레인전류 I_1 에 비례하는 크기가 된다. 특히, $\mu C_0W/L$ 및 V_{TH} 가 서로 같을 때, 트랜지스터 Tr1과 트랜지스터 Tr2의 드레인전류는 서로 같아져, $I_2=I_1=I_c$ 가 된다.

<414> 또한, 트랜지스터 Tr5가 온이기 때문에, 트랜지스터 Tr1의 드레인전류 I_1 과, 트랜지스터 Tr2의 드레인전류 I_2 는, 모두 발광소자에 흐르는 전류로서 발광소자(274)에 흐른다. 따라서, 표시기간 Td에서는, 드레인전류 I_1 와, 드레인전류 I_2 를 합친 크기의 전류가 발광소자(274)에 흐르고, 이 발광소자에 흐르는 전류의 크기에 적당한 휘도로 발광소자(274)가 발광한다.

<415> 이때, 기록기간 Ta의 직후에는 반드시 표시기간 Td가 출현한다. 표시기간 Td의 직후에는, 다음 기록기간 Ta가 출현하거나, 또는 역바이어스 기간 Ti가 출현한다.

<416> 역바이어스 기간이 개시되면, 전원선 V1~Vx의 전압은, 트랜지스터 Tr2가 온이 되었을 때에 역바이어스의 전압이 발광소자에 인가되는 정도의 레벨로 유지된다. 즉, Tr1 및 Tr2가 n채널형 TFT이고 발광소자(274)의 양극을 화소전극으로 사용하고, 전원선 Vi의 전압을 상기 대향전극의 전압보다 낮도록 한다. 반대로, Tr1 및 Tr2가 p채널형 TFT이고 발광소자(274)의 음극을 화소전극으로 사용하고, 전원선 Vi의 전압을 상기 대향전극의 전압보다 높도록 한다.

- <417> 그리고, 주사선 구동회로(103)에 의해 각 라인의 제 1 및 제 2 주사선이 순차적으로 선택되어, 트랜지스터 Tr3과 Tr4가 온이 된다. 그리고, 신호선 구동회로(102)에 의해, 신호선 S1~Sx의 각각에 트랜지스터 Tr1 및 Tr2가 온이 되도록 전압이 인가된다. 또한, 제 3 주사선은 선택하고 있더라도 선택하지 않고 있더라도 어느 쪽이어도 된다. 도 27c는, 제 3 주사선을 선택하지 않고 있는 경우에 관해서 나타내고 있고, Tr5는 오프로 되어 있다.
- <418> 도 27c에, 역바이어스 기간 Ti에서의 화소(101)의 개략도를 나타낸다. 역바이어스 기간 Ti에서는 Tr1 및 Tr2가 온이 되기 때문에, 전원선 Vi의 전압이 발광소자(276)의 화소전극에 공급되어, 역바이어스의 전압이 발광소자(276)에 인가되게 된다. 발광소자(276)는 역바이어스의 전압이 인가되면 발광하지 않는 상태가 된다.
- <419> 이때, 전원선의 전압은, 트랜지스터 Tr1 및 Tr2가 온이 되었을 때에, 역바이어스의 전압이 발광소자에 인가되는 레벨이면 된다. 또한, 역바이어스 기간 Ti의 길이는, 듀티비(1프레임기간에서의 표시기간의 길이의 총합의 비율)와의 관계를 고려하여, 설계자가 적절히 설정하는 것이 가능하다.
- <420> 또한, 발광소자에 흐르는 전류의 크기에 적당한 휘도로 발광소자(274)가 발광하기 때문에, 각 화소의 계조는, 표시기간 Td에서의 발광소자에 흐르는 전류의 크기로 결정된다.
- <421> 본 실시예의 화소에서는, 표시기간에서 발광소자에 흐르는 전류는 드레인전류 I_1 과, 드레인전류 I_2 의 합이다. 따라서, 발광소자에 흐르는 전류가 드레인전류 I_2 에만 의존하지 않는다. 그 때문에, 트랜지스터 Tr1과 트랜지스터 Tr2의 특성이 서로 달라, 트랜지스터 Tr2의 드레인전류 I_2 와 신호전류 I_c 의 비가 화소 사이에서 다르더라도, 발광소자에 흐르는 전류의 값이 화소 사이에서 변동하는 것을 억제한다. 그 결과, 휘도의 격차가 시각적으로 인식되는 것을 방지할 수 있다.
- <422> 또한, 본 실시예의 화소에서는, 기록기간 Ta에서 트랜지스터 Tr1의 드레인전류는 발광소자에 흐르고 있지 않다. 따라서, 신호선 구동회로에 의해 화소에 전류가 공급되고, 트랜지스터 Tr1의 드레인전류가 흐르는 것으로 게이트전압이 변화되기 시작하고 나서, 그 값이 안정할 때까지의 시간은, 발광소자의 용량에 좌우되지 않는다. 따라서, 공급된 전류로부터 변환되는 전압이 빨리 안정되기 때문에, 전류를 기록하는 시간을 짧게 할 수 있다. 그 결과, 동작 화상표시에서 잔상이 시인되어 버리는 것을 방지할 수 있다.
- <423> 이때, 본 실시예에서, 트랜지스터 Tr4의 제 1 단자와 제 2 단자는, 한쪽은 트랜지스터 Tr1의 제 2 단자에, 또 한쪽은 트랜지스터 Tr1의 게이트 및 트랜지스터 Tr2의 게이트에 접속되어 있다. 그러나, 본 실시예는 이 구성으로 한정되지 않는다. 본 실시예의 화소는, 기록기간 Ta에서 트랜지스터 Tr1의 게이트와 드레인을 접속하고, 표시기간에서 트랜지스터 Tr1의 게이트와 드레인을 분리할 수 있도록, 트랜지스터 Tr4가 다른 소자 또는 배선과 접속되어 있으면 된다.
- <424> 또한, 본 실시예에서, 트랜지스터 Tr5의 제 1 단자와 제 2 단자는, 한쪽은 Tr2의 제 2 단자에, 또 한쪽은 Tr6의 제 1 단자 또는 제 2 단자에 접속되어 있다. 그러나, 본 실시예는 이 구성으로 한정되지 않는다. 본 실시예의 화소는, 기록기간 Ta에서 트랜지스터 Tr1의 드레인과 화소전극을 분리하고, 표시기간에서 트랜지스터 Tr1의 드레인과 화소전극을 접속할 수 있도록, 트랜지스터 Tr5가 다른 소자 또는 배선과 접속되어 있으면 된다.
- <425> 요컨대, Tr3, Tr4, Tr5는, Ta에서는 도 27a와 같이 접속되고, Td에서는 도 27b와 같이 접속되며, Ti에서는 도 27c와 같이 접속되어 있으면 된다. 또한, Gj, Pj, Rj는 3가닥이 별도의 배선으로 되어 있지만, 합쳐서 1가닥이나 2가닥으로 하여도 된다.
- <426> 요컨대, Ta에서 Tr1을 통해 흐르는 전류는 모두 전류원에 흐르고, 전류원을 흐르는 전류는 모두 Tr1에 흐르면 된다. Td에서는 Tr1과 Tr2를 흐르는 전류는 발광소자에 흐르면 된다.
- <427> 이때, 본 실시예의 발광장치는, 디지털 비디오신호를 사용하여 표시를 행하는 것도 가능하고, 아날로그 비디오신호를 사용하여 표시를 행하는 것도 가능하다.
- <428> 본 실시예는, 실시예 1~6과 조합하여 실시하는 것이 가능하다.

<429> (실시예 14)

<430> 본 실시예에서는, 도 2, 도 14, 도 16, 도 18, 도 20, 도 22, 도 24, 도 26과는 다른 본 발명의 발광장치의 화소의 구성에 관해서 설명한다.

<431> 도 28에 나타낸 화소(101)의 자세한構성을 나타낸다. 도 28에 나타낸 화소(101)는, 신호선 Si(S1~Sx

중의 1개), 제 1 주사선 Gj(G1~Gy 중의 1개), 제 2 주사선 Pj(P1~Py 중의 1개), 제 3 주사선 Rj(R1~Ry 중의 1개) 및 전원선 Vi(V1~Vx 중의 1개)를 가지고 있다.

<432> 또한, 화소(101)는, 트랜지스터 Tr1, Tr2, Tr3, Tr4, Tr5, Tr6, 발광소자(284) 및 저장용량(285)을 가지고 있다. 저장용량(285)은 트랜지스터 Tr1 및 Tr2의 게이트와 소스 사이의 전압(게이트전압)을 보다 확실히 유지하기 위해 설치되지만, 반드시 설치할 필요는 없다.

<433> 트랜지스터 Tr3의 게이트는 제 1 주사선 Gj에 접속되어 있다. 그리고, 트랜지스터 Tr3의 제 1 단자와 제 2 단자는, 한쪽은 신호선 Si에 접속되어 있고, 또 한쪽은 트랜지스터 Tr1의 제 2 단자에 접속되어 있다.

<434> 트랜지스터 Tr4의 게이트는, 제 2 주사선 Pj에 접속되어 있다. 그리고, 트랜지스터 Tr4의 제 1 단자와 제 2 단자는, 한쪽은 트랜지스터 Tr1의 제 2 단자에, 또 한쪽은 트랜지스터 Tr1 및 Tr2의 게이트에 접속되어 있다.

<435> 트랜지스터 Tr5의 게이트는, 제 3 주사선 Rj에 접속되어 있다. 그리고, 트랜지스터 Tr5의 제 1 단자와 제 2 단자는, 한쪽은 트랜지스터 Tr2의 제 2 단자 및 전원선 Vi에, 또 한쪽은 트랜지스터 Tr6의 제 1 단자 또는 제 2 단자에 접속되어 있다.

<436> 트랜지스터 Tr6의 게이트는, 트랜지스터 Tr1 및 Tr2의 게이트에 접속되어 있다. 그리고, 트랜지스터 Tr6의 제 1 단자와 제 2 단자는, 한쪽은 트랜지스터 Tr1의 제 2 단자에, 또 한쪽은 트랜지스터 Tr5의 제 1 단자 또는 제 2 단자에 접속되어 있다.

<437> 트랜지스터 Tr1과 트랜지스터 Tr2의 게이트는 서로 접속되어 있다. 트랜지스터 Tr1과 트랜지스터 Tr2의 제 1 단자는, 모두 발광소자(284)의 화소전극에 접속되어 있다. 대향전극은 소정 전압으로 유지되어 있다.

<438> 저장용량(285)이 가지는 2개의 전극은, 한쪽은 트랜지스터 Tr1과 트랜지스터 Tr2의 게이트에, 또 한쪽은 발광소자(284)의 화소전극에 접속되어 있다.

<439> 이때, 트랜지스터 Tr1, Tr2 및 Tr6은 n채널형 트랜지스터와 p채널형 트랜지스터의 어느 쪽이어도 된다. 그러나, 트랜지스터 Tr1, Tr2 및 Tr6의 극성은 동일하다. 그리고, 양극을 화소전극으로서 사용하고, 음극을 대향전극으로서 사용하는 경우, 트랜지스터 Tr1, Tr2 및 Tr6은 n채널형 트랜지스터인 것이 바람직하다. 반대로, 양극을 대향전극으로서 사용하고, 음극을 화소전극으로서 사용하는 경우, 트랜지스터 Tr1, Tr2 및 Tr6은 p채널형 트랜지스터인 것이 바람직하다.

<440> 트랜지스터 Tr3, Tr4 및 Tr5는, n채널형 트랜지스터와 p채널형 트랜지스터의 어느 쪽이어도 된다.

<441> 다음에, 본 실시예의 발광장치의 동작에 관해서 도 29를 참조하여 설명한다. 본 발명의 발광장치의 동작은, 각 라인의 화소마다 기록기간 Ta와, 표시기간 Td와, 역바이어스 기간 Ti로 나누어 설명할 수 있다. 도 29는, 각 기간에서의 트랜지스터 Tr1, Tr2, 발광소자(284)의 접속을 간단히 나타낸 도면이다. 여기서, Tr1, Tr2 및 Tr6은 n채널형 TFT이고 발광소자(284)의 양극이 화소전극으로서 사용된 경우가 일례로서 주어진다.

<442> 우선, 각 라인의 화소에서 기록기간 Ta가 개시되면, 전원선 V1~Vx의 전압은, 트랜지스터 Tr1 및 Tr2가 온이 되었을 때에 순바이어스의 전류가 발광소자에 흐르는 정도의 높이로 유지된다. 즉, Tr1, Tr2 및 Tr6이 n채널형 TFT이고 발광소자(284)의 양극을 화소전극으로 사용하고, 전원선 Vi의 전압을 상기 대향전극의 전압보다 크도록 한다. 반대로, Tr1, Tr2 및 Tr6이 p채널형 TFT이고 발광소자(284)의 음극을 화소전극으로 사용하고, 전원선 Vi의 전압을 상기 대향전극의 전압보다 낮도록 한다.

<443> 그리고, 주사선 구동회로(103)에 의해 각 라인의 제 1 및 제 2 주사선이 선택된다. 따라서, 트랜지스터 Tr3과 트랜지스터 Tr4가 온이 된다. 이때, 각 제 1 및 제 2 주사선의 선택되는 기간은 서로 겹치지 않는다. 또한, 제 3 주사선은 선택되어 있지 않기 때문에, 트랜지스터 Tr5는 오프로 되어 있다.

<444> 그리고, 신호선 구동회로(102)에 입력되는 비디오신호에 근거하여, 신호선 S1~Sx와 전원선 V1~Vx의 사이에, 각각 비디오신호에 따른 신호전류 Ic가 흐른다.

<445> 도 29a에, 기록기간 Ta에서, 신호선 Si에 비디오신호에 따른 신호전류 Ic가 흐른 경우의 화소(101)의 개략도를 나타낸다. 도면번호 286은 대향전극에 전압을 제공하는 전원과의 접속용 단자를 의미한다. 또한, 도면번호 287은 신호선 구동회로(102)가 가지는 정전류원을 의미한다.

<446> 트랜지스터 Tr3은 온의 상태에 있기 때문에, 신호선 Si에 비디오신호에 따른 신호전류 Ic가 흐르면, 신호전류 Ic는 트랜지스터 Tr1의 드레인과 소스 사이에 흐른다. 이때, 트랜지스터 Tr1은, 게이트와 드레인이 접속되어 있

기 때문에, 포화영역에서 동작하고 있어, 식 1이 성립한다. 따라서, 트랜지스터 Tr1의 게이트전압 V_{GS} 는 전류값 I_c 에 의해 정해진다. 이때에, 전류값 I_c 에 따른 트랜지스터 Tr1의 게이트전압 V_{GS} 는 Tr1의 임계치 V_{TH} 와 Tr6의 임계치 V_{TH} 를 가산하여 얻어진 전압보다 높도록 전류값 I_c 의 값을 정한다. Tr1, Tr2 및 Tr6이 p채널형 TFT일 때, 전류값 I_c 의 값은, Tr1의 임계치 V_{TH} 와 Tr6의 임계치 V_{TH} 를 가산하여 얻어진 값보다 낮도록 정해진다.

<447> 그리고, 트랜지스터 Tr2의 게이트는, 트랜지스터 Tr1의 게이트에 접속되어 있다. 또한, 트랜지스터 Tr2의 소스는, 트랜지스터 Tr1의 소스에 접속되어 있다. 따라서, 트랜지스터 Tr1의 게이트전압은, 그대로 트랜지스터 Tr2의 게이트전압이 된다. 따라서, 트랜지스터 Tr2의 드레인전류는, 트랜지스터 Tr1의 드레인전류에 비례한다. 특히, $\mu C_0W/L$ 및 V_{TH} 가 서로 같을 때, 트랜지스터 Tr1과 트랜지스터 Tr2의 드레인전류는 서로 같아져, $I_2=I_c$ 가 된다.

<448> 그리고, 트랜지스터 Tr2의 드레인전류 I_2 는 발광소자(284)에 흐른다. 발광소자에 흐르는 전류는, 정전류원(287)에서 정해진 신호전류 I_c 에 따른 크기로서, 흐르는 전류의 크기에 적당한 휘도로 발광소자(284)는 발광한다. 발광소자에 흐르는 전류가 0에 한정되지 않고 가까워지거나, 발광소자에 흐르는 전류가 역바이어스의 방향으로 흐르거나 하는 경우는, 발광소자(284)는 발광하지 않는다.

<449> 기록기간 Ta가 종료하면, 제 1 주사선, 제 2 주사선의 선택이 종료한다. 이때, 제 2 주사선의 선택이, 제 1 주사선보다도 먼저 종료하는 것이 바람직하다. 왜냐하면, 트랜지스터 Tr3이 먼저 오프로 되어 버리면, 저장용량(285)의 전하가 Tr4를 통해 누설되기 때문이다.

<450> 기록기간 Ta가 종료하면, 다음에 표시기간 Td가 개시된다. 표시기간 Td에서의 전원선 Vi의 전압은, 기록기간 Ta에서의 전압과 같은 레벨로 유지되어 있다. 표시기간 Td가 개시되면, 각 라인의 제 3 주사선이 순차적으로 선택되어, 트랜지스터 Tr5가 온이 된다. 이때, 제 1 주사선 및 제 2 주사선은 선택되어 있지 않기 때문에, 트랜지스터 Tr3 및 Tr4는 오프로 되어 있다.

<451> 도 29b에, 표시기간 Td에서의 화소의 개략도를 나타낸다. 트랜지스터 Tr3 및 트랜지스터 Tr4는 오프의 상태에 있다. 또한, 트랜지스터 Tr1 및 트랜지스터 Tr2의 소스는 발광소자(284)의 화소전극에 접속되어 있다.

<452> 한편, 트랜지스터 Tr1, Tr2에서는, 기록기간 Ta에서 정해진 V_{GS} 가 그대로 유지되어 있다. 상기 V_{GS} 는 Tr1의 임계치 V_{TH} 와 Tr6의 임계치 V_{TH} 를 가산하여 얻어진 전압보다 높다. 더구나, 트랜지스터 Tr6의 게이트는, 트랜지스터 Tr1 및 Tr2의 게이트와 접속되어 있다. 그 때문에, 트랜지스터 Tr1의 드레인전류와 트랜지스터 Tr6의 드레인전류는 같은 크기로 유지된다. 그리고, 식 1로부터 입증된 것처럼, 트랜지스터 Tr1의 드레인전류는, 트랜지스터 Tr6의 채널길이 및 채널폭에 좌우된다.

<453> 상술한 것처럼, 트랜지스터 Tr1과 Tr6의 게이트전압, 이동도, 단위면적당의 게이트용량, 임계값, 채널폭이 같다고 가정하면, 식 1로부터 식 2가 도출된다.

<454> 한편, 트랜지스터 Tr2의 드레인전류 I_2 의 값은, 신호전류 I_c 에 따른 크기로 유지된 상태이다.

<455> 그리고, 트랜지스터 Tr5가 온이기 때문에, 트랜지스터 Tr1 및 Tr6의 드레인전류 I_3 과, 트랜지스터 Tr2의 드레인전류 I_2 는, 모두 발광소자(284)에 흐른다. 따라서, 드레인전류 I_1 과, 드레인전류 I_2 를 합친 전류의 크기에 적당한 휘도로 발광소자(284)는 발광한다.

<456> 이때, 기록기간 Ta의 직후에는 반드시 표시기간 Td가 출현한다. 표시기간 Td의 직후에는, 다음 기록기간 Ta가 출현하거나, 또는 역바이어스 기간 Ti가 출현한다.

<457> 역바이어스 기간이 개시되면, 전원선 V1~Vx의 전압은, 트랜지스터 Tr2가 온이 되었을 때에 역바이어스의 전압이 발광소자에 인가되는 정도의 레벨로 유지된다. 즉, Tr1, Tr2 및 Tr6이 n채널형 TFT이고 발광소자(284)의 양극을 화소전극으로 사용하고, 전원선 Vi의 전압을 상기 대향전극의 전압보다 낮도록 한다. 반대로, Tr1, Tr2 및 Tr6이 p채널형 TFT이고 발광소자(284)의 음극을 화소전극으로 사용하고, 전원선 Vi의 전압을 상기 대향전극의 전압보다 높도록 한다.

<458> 그리고, 주사선 구동회로(103)에 의해 각 라인의 제 1 및 제 2 주사선이 순차적으로 선택되어, 트랜지스터 Tr3과 Tr4가 온이 된다. 그리고, 신호선 구동회로(102)에 의해, 신호선 S1~Sx의 각각에 트랜지스터 Tr1, Tr2 및 Tr6이 온이 되도록 전압이 인가된다. 이때, 제 3 주사선은 선택하고 있더라도 선택하지 않고 있더라도 어느 쪽

이어도 된다. 도 29c는, 제 3 주사선을 선택하지 않고 있는 경우에 관해서 나타내고 있고, Tr5는 오프로 되어 있다.

<459> 도 29c에, 역바이어스 기간 Ti에서의 화소(101)의 개략도를 나타낸다. 역바이어스 기간 Ti에서는, Tr2가 온이 되므로, 역바이어스 전압이 발광소자(284)에 공급된다. 역바이어스의 전압이 발광소자(284)에 인가될 때, 발광 소자(284)는 발광하지 않는 상태가 된다.

<460> 이때, 전원선의 전압은, 트랜지스터 Tr2가 온이 되었을 때에, 역바이어스의 전압이 발광소자에 인가되는 레벨이면 된다. 또한, 역바이어스 기간 Ti의 길이는, 듀티비(1프레임기간에서의 표시기간의 길이의 총합의 비율)와의 관계를 고려하여, 설계자가 적절히 설정하는 것이 가능하다.

<461> 또한, 발광소자에 흐르는 전류의 크기에 적당한 휘도로 발광소자(284)가 발광하기 때문에, 각 화소의 계조는, 표시기간 Td에서의 발광소자에 흐르는 전류의 크기로 결정된다.

<462> 본 실시예의 화소에서는, 표시기간에서, 발광소자에 흐르는 전류는 드레인전류 I_2 와, 드레인전류 I_3 의 합이다. 따라서, 발광소자에 흐르는 전류가 드레인전류 I_2 에만 의존하지 않고 있다. 그 때문에, 트랜지스터 Tr1과 트랜지스터 Tr2의 특성이 서로 달라, 트랜지스터 Tr2의 드레인전류 I_2 와 신호전류 I_c 의 비가 화소 사이에서 다르더라도, 발광소자에 흐르는 전류의 값이 화소 사이에서 변동하는 것을 억제한다. 그 결과, 휘도의 격차가 시각적으로 인식되는 것을 방지할 수 있다.

<463> 또한, 본 실시예의 화소에서는, 기록기간 Ta에서 트랜지스터 Tr1의 드레인전류는 발광소자에 흐르지 않는다. 따라서, 신호선 구동회로에 의해 화소에 전류가 공급되어, 트랜지스터 Tr1의 드레인전류가 흐르는 것으로 게이트 전압이 변화하기 시작하고 나서, 그 값이 안정할 때까지의 시간은, 발광소자의 용량에 좌우되지 않는다. 따라서, 공급된 전류로부터 변환되는 전압이 빨리 안정되기 때문에, 전류를 기록하는 시간을 짧게 할 수 있다. 그 결과, 동작 화상표시에서 잔상이 시인되어 버리는 것을 방지할 수 있다.

<464> 더구나, 본 실시예의 화소에서는, 도 2, 도 14, 도 16, 도 18, 도 20, 도 22 및 도 26에 나타낸 화소와 비교하여, 기록기간에서의 트랜지스터 Tr1의 드레인전류보다도, 표시기간에서의 Tr1의 드레인전류가 작기 때문에, 신호전류 I_c 에 대해 발광소자에 흐르는 전류의 비가 작아진다. 따라서, 신호전류 I_c 를 보다 크게 할 수 있기 때문에, 잡음의 영향을 받기 어렵다.

<465> 이때, 본 실시예에서, 트랜지스터 Tr4의 제 1 단자와 제 2 단자는, 한쪽은 트랜지스터 Tr1의 제 2 단자에, 또 한쪽은 트랜지스터 Tr1의 게이트 및 트랜지스터 Tr2의 게이트에 접속되어 있다. 그러나, 본 실시예는 이 구성으로 한정되지 않는다. 본 실시예의 화소는, 기록기간 Ta에서 트랜지스터 Tr1의 게이트와 드레인을 접속하고, 표시기간에서 트랜지스터 Tr1의 게이트와 드레인을 분리할 수 있도록, 트랜지스터 Tr4가 다른 소자 또는 배선과 접속되어 있으면 된다.

<466> 또한, 본 실시예에서, 트랜지스터 Tr5의 제 1 단자와 제 2 단자는, 한쪽은 Tr2의 제 2 단자에, 또 한쪽은 Tr2의 제 2 단자에 접속되어 있다. 그러나, 본 실시예는 이 구성으로 한정되지 않는다. 본 실시예의 화소는, 기록기간 Ta에서 트랜지스터 Tr1의 드레인과 화소전극을 분리하고, 표시기간에서 트랜지스터 Tr1의 드레인과 화소전극을 접속할 수 있도록, 트랜지스터 Tr5가 다른 소자 또는 배선과 접속되어 있으면 된다.

<467> 요컨대, Tr3, Tr4, Tr5, Tr6은, Ta에서는 도 29a와 같이 접속되고, Td에서는 도 29b와 같이 접속되며, Ti에서는 도 29c와 같이 접속되어 있으면 된다. 또한, Gj, Pj, Rj는 3가닥이 별도의 배선으로 되어 있지만, 합쳐서 1가닥이나 2가닥이어야 된다.

<468> 요컨대, Ta에서 Tr1을 통해 흐르는 전류는 모두 전류원에 흐르고, 전류원을 통해 흐르는 전류는 모두 Tr1에 흐르면 된다. Td에서는 Tr1과 Tr2를 흐르는 전류는 발광소자에 흐르면 된다.

<469> 이때, 본 실시예의 발광장치는, 디지털 비디오신호를 사용하여 표시를 행하는 것도 가능하고, 아날로그 비디오 신호를 사용하여 표시를 행하는 것도 가능하다.

<470> 본 실시예는, 실시예 1~6과 조합하여 실시하는 것이 가능하다.

<471> (실시예 15)

<472> 본 실시예에서는, 도 2, 도 14, 도 16, 도 18, 도 20, 도 22, 도 24, 도 26, 도 28과는 다른 본 발명의 발광장

치의 화소의 구성에 관해서 설명한다.

<473> 도 30에, 도 1에 나타낸 화소(101)의 자세한 구성을 나타낸다. 도 30에 나타낸 화소(101)는, 신호선 Si(S1~Sx 중의 1개), 제 1 주사선 Gj(G1~Gy 중의 1개), 제 2 주사선 Pj(P1~Py 중의 1개), 제 3 주사선 Rj(R1~Ry 중의 1개) 및 전원선 Vi(V1~Vx 중의 1개)을 가지고 있다.

<474> 또한, 화소(101)는, 트랜지스터 Tr1, Tr2, Tr3, Tr4, Tr5, 발광장치(294) 및 저장용량(295)을 가지고 있다. 저장용량(295)은 트랜지스터 Tr1 및 Tr2의 게이트와 소스 사이의 전압(게이트전압)을 보다 확실히 유지하기 위해서 설치되지만, 반드시 설치할 필요는 없다.

<475> 트랜지스터 Tr3의 게이트는 제 1 주사선 Gj에 접속되어 있다. 그리고, 트랜지스터 Tr3의 제 1 단자와 제 2 단자는, 한쪽은 신호선 Si에 접속되어 있고, 또 한쪽은 트랜지스터 Tr1의 제 2 단자에 접속되어 있다.

<476> 트랜지스터 Tr4의 게이트는, 제 2 주사선 Pj에 접속되어 있다. 그리고, 트랜지스터 Tr4의 제 1 단자와 제 2 단자는, 한쪽은 트랜지스터 Tr1의 제 2 단자에, 또 한쪽은 트랜지스터 Tr1 및 Tr2의 게이트에 접속되어 있다.

<477> 트랜지스터 Tr5의 게이트는, 제 3 주사선 Rj에 접속되어 있다. 그리고, 트랜지스터 Tr5의 제 1 단자와 제 2 단자는, 한쪽은 트랜지스터 Tr2의 제 1 단자 및 발광소자(294)의 화소전극에, 또 한쪽은 트랜지스터 Tr1의 제 1 단자에 접속되어 있다.

<478> 트랜지스터 Tr1과 트랜지스터 Tr2의 게이트는, 서로 접속되어 있다. 트랜지스터 Tr2의 제 1 단자는, 발광소자(294)의 화소전극에 접속되어 있다. 트랜지스터 Tr1과 트랜지스터 Tr2의 제 2 단자는, 모두 전원선 Vi에 접속되어 있다. 대향전극은 소정 전압으로 유지되어 있다.

<479> 저장용량(295)이 가지는 2개의 전극은, 한쪽은 트랜지스터 Tr1과 트랜지스터 Tr2의 게이트에, 또 한쪽은 발광소자(294)의 화소전극에 접속되어 있다.

<480> 이때, 트랜지스터 Tr1 및 Tr2는 n채널형 트랜지스터와 p채널형 트랜지스터의 어느 쪽이어도 된다. 단, 트랜지스터 Tr1 및 Tr2의 극성은 동일하다. 그리고, 양극을 화소전극으로서 사용하고, 음극을 대향전극으로서 사용하는 경우, 트랜지스터 Tr1 및 Tr2는 n채널형 트랜지스터인 것이 바람직하다. 반대로, 양극을 대향전극으로서 사용하고, 음극을 화소전극으로서 사용하는 경우, 트랜지스터 Tr1 및 Tr2는 p채널형 트랜지스터인 것이 바람직하다.

<481> 트랜지스터 Tr3, Tr4, Tr5는, n채널형 트랜지스터와 p채널형 트랜지스터의 어느 쪽이어도 된다.

<482> 다음에, 본 실시예의 발광장치의 동작에 관해서 도 31을 참조하여 설명한다. 본 발명의 발광장치의 동작은, 각 라인의 화소마다 기록기간 Ta와, 표시기간 Td와, 역바이어스 기간 Ti로 나누어 설명할 수 있다. 도 31은, 각 기간에서의 트랜지스터 Tr1, Tr2, 발광소자(294)의 접속을 간단히 나타낸 도면이다. 여기서, Tr1 및 Tr2가 n채널형 TFT이고 발광소자(294)의 양극이 화소전극으로서 사용된 경우가 일례로서 주어진다.

<483> 우선, 각 라인의 화소에서 기록기간 Ta가 개시되면, 전원선 V1~Vx의 전압은, 트랜지스터 Tr1 및 Tr2가 온이 되었을 때에 순바이어스의 전류가 발광소자에 흐르는 정도의 레벨로 유지된다. 즉, Tr1 및 Tr2가 n채널형 TFT이고 발광소자(294)의 양극을 화소전극으로 사용하고, 전원선 Vi의 전압을 상기 대향전극의 전압보다 크도록 한다. 반대로, Tr1 및 Tr2가 p채널형 TFT이고 발광소자(294)의 음극을 화소전극으로 사용하고, 전원선 Vi의 전압을 상기 대향전극의 전압보다 낮도록 한다.

<484> 그리고, 주사선 구동회로(103)에 의해 각 라인의 제 1 및 제 2 주사선이 순차적으로 선택되어, 트랜지스터 Tr3과 Tr4가 온이 된다. 이때, 각 주사선의 선택되는 기간은 서로 겹치지 않는다. 또한, 제 3 주사선은 선택되어 있지 않기 때문에, 트랜지스터 Tr5는 오프로 되어 있다.

<485> 그리고, 신호선 구동회로(102)에 입력되는 비디오신호에 근거하여, 신호선 S1~Sx와 전원선 V1~Vx의 사이에, 각각 비디오신호에 따른 신호전류 Ic가 흐른다.

<486> 도 31a에, 기록기간 Ta에서, 신호선 Si에 비디오신호에 따른 신호전류 Ic가 흐른 경우의 화소(101)의 개략도를 나타낸다. 도면번호 296은 대향전극에 전압을 제공하는 전원파의 접속용 단자를 의미한다. 또한, 도면번호 297은 신호선 구동회로(102)가 가지는 정전류원을 의미한다.

<487> 트랜지스터 Tr3은 온의 상태에 있기 때문에, 신호선 Si에 비디오신호에 따른 신호전류 Ic가 흐르면, 신호전류 Ic는 트랜지스터 Tr1의 드레인과 소스 사이에 흐른다. 이때, 트랜지스터 Tr1은, 게이트와 드레인이 접속되어 있기 때문에 포화영역에서 동작하고 있어, 식 1이 성립한다. 따라서, 트랜지스터 Tr1의 게이트전압 V_{GS}는 전류값

I_c 에 의해 정해진다. 그리고, 트랜지스터 Tr2의 게이트는, 트랜지스터 Tr1의 게이트에 접속되어 있다.

<488> 기록기간 Ta가 종료하면, 제 1 주사선, 제 2 주사선의 선택이 종료한다. 이때, 제 2 주사선의 선택이, 제 1 주사선보다도 먼저 종료하는 것이 바람직하다. 왜냐하면, 트랜지스터 Tr3이 먼저 오프로 되어 버리면, 저장용량(295)의 전하가 Tr4를 통해 누설되기 때문이다.

<489> 기록기간 Ta가 종료하면, 다음에 표시기간 Td가 개시된다. 표시기간 Td에서의 전원선 Vi의 전압은, 기록기간 Ta에서의 전압과 같은 레벨로 유지되어 있다. 표시기간 Td가 개시되면, 제 3 주사선이 선택되어 트랜지스터 Tr5가 온이 된다. 또 이때, 제 1 주사선 및 제 2 주사선은 선택되어 있지 않기 때문에, 트랜지스터 Tr3 및 Tr4는 오프로 되어 있다.

<490> 도 31b에, 표시기간 Td에서의 화소의 개략도를 나타낸다. 트랜지스터 Tr3 및 트랜지스터 Tr4는 오프의 상태에 있다. 또한, 트랜지스터 Tr1 및 트랜지스터 Tr2의 소스는 발광소자(294)의 화소전극에 접속되어 있다.

<491> 한편, 트랜지스터 Tr1, Tr2에서는, 기록기간 Ta에서 정해진 V_{GS} 가 그대로 유지되어 있다. 그리고, 트랜지스터 Tr2의 게이트는, 트랜지스터 Tr1의 게이트에 접속되어 있다. 또한, 트랜지스터 Tr2의 소스는, 트랜지스터 Tr1의 소스에 접속되어 있다. 따라서, 트랜지스터 Tr1의 게이트전압은, 그대로 트랜지스터 Tr2의 게이트전압이 된다. 더구나, 트랜지스터 Tr1의 드레인 및 트랜지스터 Tr2의 드레인은 전원선 Vi에 접속되어 있기 때문에, 트랜지스터 Tr2의 드레인전류 I_2 는, 트랜지스터 Tr1의 드레인전류 I_1 에 비례하는 크기가 된다. 특히, $\mu C_0W/L$ 및 V_{TH} 가 서로 같을 때, 트랜지스터 Tr1과 트랜지스터 Tr2의 드레인전류는 서로 같아져, $I_2=I_1=I_c$ 가 된다.

<492> 또한, 트랜지스터 Tr5가 온이기 때문에, 트랜지스터 Tr1의 드레인전류 I_1 와, 트랜지스터 Tr2의 드레인전류 I_2 는, 모두 발광소자에 흐르는 전류로서 발광소자(294)에 흐른다. 따라서, 표시기간 Td에서는, 드레인전류 I_1 와, 드레인전류 I_2 를 합친 크기의 전류가 발광소자(294)에 흐르고, 이 발광소자에 흐르는 전류의 크기에 적당한 휘도로 발광소자(294)가 발광한다.

<493> 이때, 기록기간 Ta의 직후에는 반드시 표시기간 Td가 출현한다. 표시기간 Td의 직후에는, 다음 기록기간 Ta가 출현하거나, 또는 역바이어스 기간 Ti가 출현한다.

<494> 역바이어스 기간이 개시되면, 전원선 V1~Vx의 전압은, 트랜지스터 Tr2가 온이 되었을 때에 역바이어스의 전압이 발광소자에 인가되는 정도의 레벨로 유지된다. 즉, Tr1 및 Tr2가 n채널형 TFT이고 발광소자(294)의 양극을 화소전극으로 사용하고, 전원선 Vi의 전압을 상기 대향전극의 전압보다 낮도록 한다. 반대로, Tr1 및 Tr2가 p채널형 TFT이고 발광소자(294)의 음극을 화소전극으로 사용하고, 전원선 Vi의 전압을 상기 대향전극의 전압보다 높도록 한다.

<495> 그리고, 주사선 구동회로(103)에 의해 각 라인의 제 1 및 제 2 주사선이 순차적으로 선택되어, 트랜지스터 Tr3과 Tr4가 온이 된다. 그리고, 신호선 구동회로(102)에 의해, 신호선 S1~Sx의 각각 트랜지스터 Tr1 및 Tr2가 온이 되도록 전압이 인가된다. 이때, 제 3 주사선은 선택하거나 선택하지 않거나 어느 쪽이어도 된다. 도 31c는, 제 3 주사선을 선택하지 않고 있는 경우에 관해서 나타내고 있고, Tr5는 오프로 되어 있다.

<496> 도 31c에, 역바이어스 기간 Ti에서의 화소(101)의 개략도를 나타낸다. 역바이어스 기간 Ti에서는, Tr1 및 Tr2가 온이 되므로, 역바이어스의 전압이 발광소자(294)에 인가된다. 발광소자(294)는 역바이어스의 전압이 인가되면 발광하지 않는 상태가 된다.

<497> 도 30에 도시된 화소에서, 역바이어스 기간 Ti에서, Tr2의 게이트와 소스는 서로 접속되고, 전원선의 전압 Vi는 대향전극의 전압보다 낮고, Tr2는 오프 상태에 있고, Tr2의 소스와 드레인의 전압은 동일하지 않다. 따라서, 발광소자(294)에 입력된 역바이어스 전압은, 전원선 Vi과 대향전극 사이의 전압차와 같지 않지만, Tr2의 V_{DS} 에 의해 감산된 대향전극과 전원선 Vi 사이의 전압차인 값이다. 그러나, 역바이어스 전압은 발광소자(294)에 신뢰성 있게 입력할 수 있기 때문에, 발광소자의 열화로 인해 그 휘도가 감소하는 것을 막을 수 있다.

<498> 또한, 역바이어스 기간 Ti의 길이는, 듀티비(1프레임기간에서의 표시기간의 길이의 총합의 비율)와의 관계를 고려하여, 설계자가 적절히 설정하는 것이 가능하다.

<499> 또한, 발광소자에 흐르는 전류의 크기에 적당한 휘도로 발광소자(294)가 발광하기 때문에, 각 화소의 계조는, 표시기간 Td에서의 발광소자에 흐르는 전류의 크기로 결정된다. 이때, 기록기간 Ta에서도, Tr2의 드레인전류의 크기에 적당한 휘도로 발광하지만, 그 계조에 주는 영향은, 실제의 패널에서는 무시할 수 있을 정도로 작다고

생각된다. 왜냐하면, 예를 들면 VGA급이면 480라인의 화소가 화소부에 설치되어 있고, 1라인의 화소의 기록기간 Ta는 1프레임기간의 1/480정도로 대단히 작기 때문이다.

<500> 본 실시예의 화소에서는, 표시기간에서 발광소자에 흐르는 전류는 드레인전류 I_1 과, 드레인전류 I_2 의 합이다. 따라서, 발광소자에 흐르는 전류가 드레인전류 I_2 에만 의존하지 않는다. 그 때문에, 트랜지스터 Tr1과 트랜지스터 Tr2의 특성이 서로 달라, 트랜지스터 Tr2의 드레인전류 I_2 와 신호전류 I_c 의 비가 화소 사이에서 다르더라도, 발광소자에 흐르는 전류의 값이 화소 사이에서 변동하는 것을 억제한다. 그 결과, 휘도의 격차가 시각적으로 인식되는 것을 방지할 수 있다.

<501> 또한, 본 실시예의 화소에서는, 기록기간 Ta에서 트랜지스터 Tr1의 드레인전류는 발광소자에 흐르지 않는다. 따라서, 신호선 구동회로에 의해 화소에 전류가 공급되어, 트랜지스터 Tr1의 드레인전류가 흐르는 것으로 게이트 전압이 변화하기 시작하고 나서, 그 값이 안정할 때까지의 시간은, 발광소자의 용량에 좌우되지 않는다. 따라서, 공급된 전류로부터 변환되는 전압이 빨리 안정되기 때문에, 전류를 기록하는 시간을 짧게 할 수 있다. 그 결과, 동작 화상표시에서 잔상이 시인되어 버리는 것을 방지할 수 있다.

<502> 이때, 본 실시예에서, 트랜지스터 Tr4의 제 1 단자와 제 2 단자는, 한쪽은 트랜지스터 Tr1의 제 2 단자에, 또 한쪽은 트랜지스터 Tr1의 게이트 및 트랜지스터 Tr2의 게이트에 접속되어 있다. 그러나, 본 실시예는 이 구성으로 한정되지 않는다. 본 실시예의 화소는, 기록기간 Ta에서 트랜지스터 Tr1의 소스와 화소전극을 분리하고, 표시기간에서 트랜지스터 Tr1의 소스와 화소전극을 접속할 수 있도록, 트랜지스터 Tr4가 다른 소자 또는 배선과 접속되어 있으면 된다.

<503> 또한, 본 실시예에서, 트랜지스터 Tr5의 제 1 단자와 제 2 단자는, 한쪽은 Tr2의 제 1 단자에, 또 한쪽은 Tr1의 제 1 단자에 접속되어 있다. 그러나, 본 실시예는 이 구성으로 한정되지 않는다. 본 실시예의 화소는, 기록기간 Ta에서 트랜지스터 Tr1의 소스와 화소전극을 분리하고, 표시기간에서 트랜지스터 Tr1의 소스와 화소전극을 접속할 수 있도록, 트랜지스터 Tr5가 다른 소자 또는 배선과 접속되어 있으면 된다.

<504> 요컨대, Tr3, Tr4, Tr5는, Ta에서는 도 31a와 같이 접속되고, Td에서는 도 31b와 같이 접속되며, Ti에서는 도 31c와 같이 접속되어 있으면 된다. 또한, Gj, Pj, Rj는 3가닥이 별도의 배선으로 되어 있지만, 합쳐서 1가닥이나 2가닥이어도 된다.

<505> 요컨대, Ta에서 Tr1을 흐르는 전류는 모두 전류원에 흐르고, 전류원을 흐르는 전류는 모두 Tr1에 흐르고 있으면 된다. Td에서는 Tr1과 Tr2를 흐르는 전류는 발광소자에 흐르면 된다.

<506> 이때, 본 실시예의 발광장치는, 디지털 비디오신호를 사용하여 표시를 행하는 것도 가능하고, 아날로그 비디오 신호를 사용하여 표시를 행하는 것도 가능하다.

<507> 본 실시예는, 실시예 1~6과 조합하여 실시하는 것이 가능하다.

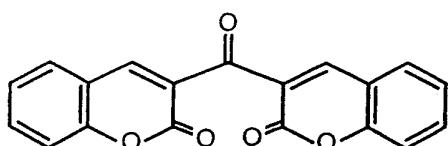
<508> (실시예 16)

<509> 본 발명에서, 3중향 여기자로부터의 인광을 발광에 이용할 수 있는 유기발광재료를 사용하는 것으로, 외부발광 양자효율을 비약적으로 향상시킬 수 있다. 이에 따라, 발광소자의 저소비전력화, 장기 수명화, 및 경량화가 가능하게 된다.

<510> 여기서, 3중향 여기자를 이용하여, 외부발광 양자효율을 향상시킨 보고를 나타낸다.(T.Tsutsui, C.Adachi, S.Saito, Photochemical Processes in Organized Molecular Systems, ed. K.Honda, (Elsevier Sci. Pub., Tokyo, 1991) p. 437.)

<511> 상기한 논문에 의해 보고된 유기발광재료(쿠마린 색소)의 분자식을 이하에 나타낸다.

<512> [화학식 1]

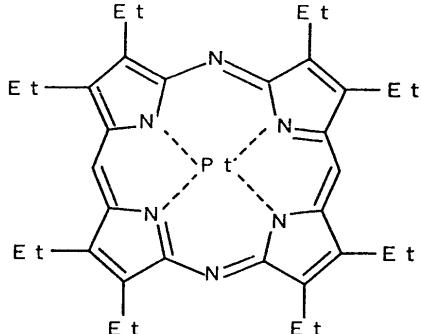


<513>

<514> (M.A.Baldo, D.F.O' Brien, Y.You, A.Shoustikov, S.Sibley, M.E.Thompson, S.R.Forrest, Nature 395(1998) p.151)

<515> 상기한 논문에 의해 보고된 유기발광재료(Pt 착체)의 분자식을 이하에 나타낸다.

<516> [화학식 2]

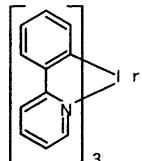


<517>

<518> (M.A.Baldo, S.Lamansky, P.E.Burrows, M.E.Thompson, S.R.Forrest, Appl.Phys.Lett., 75(1999) p.4.) (T.Tsutsui, M.J.Yang, M.Yahiro, K.Nakamura, T.Watanabe, T.tsuji, Y.Fukuda, T.Wakimoto, S.Mayaguchi, Jpn.Appl.Phys., 38(12B)(1999) L1502)

<519> 상기한 논문에 의해 보고된 유기발광재료(Ir 착체)의 분자식을 이하에 나타낸다.

<520> [화학식 3]



<521>

<522> 이상과 같이 3중향 여기자로부터의 인광 발광을 이용할 수 있으면 원리적으로는 단일향 여기자로부터의 형광 발광을 사용하는 경우보다 3~4배가 높은 외부 발광 양자효율의 실현이 가능해진다.

<523> 이때, 본 실시예의 구성은, 실시예 1~실시예 16의 어느 쪽의 구성과도 자유롭게 조합하여 실시하는 것이 가능하다.

<524> (실시예 17)

<525> OLED에 사용된 유기발광재료는, 저분자계와 고분자계로 대별된다. 본 발명의 발광장치는, 저분자계의 유기발광재료에서도 고분자계의 유기발광재료에서도 사용할 수 있다.

<526> 저분자계의 유기발광재료는, 증착법에 의해 막형성된다. 따라서, 적층구조를 형성하기 쉽고, 정공수송층, 전자수송층 등의 기능이 다른 막을 적층함으로써 고효율화하기 쉽다.

<527> 저분자계의 유기발광재료로서는, 퀴놀리놀(quinolinol)을 배위자로 한 알루미늄 착체(Alq_3), 트리페닐아민(triphenylamine) 유도체(TPD) 등을 들 수 있다.

<528> 한편, 고분자계의 유기발광재료는, 저분자계와 비교하여 물리적 강도가 높고, 소자의 내구성이 높다. 또한, 도포에 의해 막을 형성하는 것이 가능하기 때문에, 소자의 제작이 비교적 용이하다.

<529> 고분자계의 유기발광재료를 사용한 발광소자의 구조는, 저분자계의 유기발광재료를 사용하였을 때와 기본적으로는 동일하고, 음극, 유기 발광층 및 양극을 갖는다. 고분자계의 유기발광재료를 사용한 유기 발광층을 형성할 때는, 알려져 있는 것 중에는 2층의 적층구조가 유명하다. 이는, 저분자계의 유기발광재료를 사용하였을 때와

같지 않은 고분자계 재료를 사용하는 적층구조를 형성시키는 것이 곤란하기 때문이다. 구체적으로는, 고분자계 유기발광재료를 사용하는 소자는, 음극, 발광층, 정공수송층, 양극이라는 구조이다. 이때, 고분자계의 유기발광재료를 사용한 발광소자의 경우에는, 음극재료로서 Ca를 사용하는 것도 가능하다.

<530> 이때, 소자의 발광색은, 발광층을 형성하는 재료로 결정된다. 적절한 재료를 선택하여, 원하는 색을 발광하는 발광소자를 형성할 수 있다. 발광층의 형성에 사용할 수 있는 고분자계의 유기발광재료는, 폴리파라페닐렌 비닐렌(polyparaphenylene vinylene)계 재료, 폴리파라페닐렌계 재료, 폴리티오펜(polythiophen)계 재료 또는 폴리풀루오렌(polyfluorene)계 재료를 들 수 있다.

<531> 폴리파라페닐렌 비닐렌계 재료에는, 폴리(파라페닐렌 비닐렌)[PPV]의 유도체, 폴리(2,5-디알콕시(dialkoxy)-1,4-페닐렌 비닐렌)[RO-PPV], 폴리(2-(2'-에틸-헥스옥시(hexoxy))-5-메톡시-1,4-페닐렌 비닐렌)[MEH-PPV], 폴리(2-(디알콕시페닐)-1,4-페닐렌 비닐렌)[ROPh-PPV] 등을 들 수 있다.

<532> 폴리파라페닐렌계 재료는, 폴리파라페닐렌[PPP]의 유도체, 폴리(2,5-디알콕시-1,4-페닐렌)[RO-PPP], 폴리(2,5-디헥스옥시(dihexoxy)-1,4-페닐렌) 등을 들 수 있다.

<533> 폴리티오펜계 재료는, 폴리티오펜[PT]의 유도체, 폴리(3-알킬티오펜)[PAT], 폴리(3-헥실티오펜(hexylthiophene)[PHT], 폴리(3-시클로헥실티오펜(cyclohexylthiophene)[PCHT], 폴리(3-시클로헥실-4-메틸티오펜)[PCHMT], 폴리(3,4-디시클로헥실티오펜)[PDCHT], 폴리(3-(4-옥틸페닐(octylphenyl)-티오펜)[POPT], 폴리(3-(4-옥틸페닐)-2,2비티오펜)[PTOPT] 등을 들 수 있다.

<534> 폴리풀루오렌계 재료는, 폴리풀루오렌[PF]의 유도체, 예를 들면, 폴리(9,9-디알킬풀루오렌)[PDAF], 폴리(9,9-디옥틸풀루오렌)[PDOF] 등을 들 수 있다.

<535> 이때, 정공수송성의 고분자계의 유기발광재료를, 양극과 발광성의 고분자계유기발광재료 사이에 삽입하여 형성하면, 양극으로부터의 정공 주입성을 향상시킬 수 있다. 일반적으로, 억셉터 재료와 함께 물에 용해시킨 것을 스피크트럼 등으로 도포한다. 또한, 정공수송재료는 유기용매에는 불용하기 때문에, 상술한 발광성의 유기발광재료와의 적층이 가능하다.

<536> 정공수송성의 고분자계의 유기발광재료로서는, PEDOT와 억셉터 재료로서의 캄파 술폰산(camphor sulfonic acid, CSA)을 혼합하여 얻는다. 폴리아닐린[PANI]과 억셉터 재료로서의 폴리스티렌 술폰산[PSS]의 혼합물 등을 사용할 수 있다.

<537> 이때, 본 실시예의 구성은, 실시예 1~실시예 16과 조합하여 실시하는 것이 가능하다.

<538> (실시예 18)

<539> 본 발명의 발광장치의 작성방법의 일례에 관해, 도 32~도 35를 사용하여 설명한다. 여기서는 대표적으로, 도 2에 나타낸 화소 트랜지스터 Tr2 및 트랜지스터 Tr4와, 화소부의 주변에 설치되는 구동부의 TFT를 동시에 제작하는 방법에 관해서, 공정에 의거하여 상세히 설명한다. 이때, 트랜지스터 Tr1 및 트랜지스터 Tr3도, 트랜지스터 Tr2 및 트랜지스터 Tr4의 제작방법에 따라서 제작하는 것이 가능하다.

<540> 우선, 본 실시예에서는 코닝사의 #7059 유리나 #1737 유리 등으로 대표되는 바륨보로실리케이트산 유리, 또는 알루미늄보로실리케이트산 유리 등의 유리로 이루어진 기판(900)을 사용한다. 이때, 기판(900)으로서는, 투광성을 가지는 기판이면 한정되지 않으며, 석영기판을 사용하여도 된다. 또한, 본 실시예의 처리온도에 견딜 수 있는 내열성을 가지는 플라스틱 기판을 사용하여도 된다.

<541> 이어서, 도 32a에 나타낸 바와 같이, 기판(900) 상에 산화실리콘막, 질화실리콘막 또는 산화질화실리콘막 등의 절연막으로 이루어진 하지막(901)을 형성한다. 본 실시예에서는 하지막(901)으로서 2층구조를 사용하지만, 상기 절연막의 단층막 또는 2층 이상 적층시킨 구조를 사용하여도 된다. 하지막(901)의 제 1 층으로서는, 플라즈마 CVD법을 사용하여, SiH₄, NH₃ 및 N₂O를 반응가스로 하여 막형성되는 산화질화실리콘막(901a)을 10~200nm(바람직하게는 50~100nm) 형성한다. 본 실시예에서는, 막두께 50nm의 산화질화실리콘막(901a)(조성비 Si=32%, O=27%, N=24%, H=17%)을 형성하였다. 이어서, 하지막(901)의 제 2 층으로서는, 플라즈마 CVD법을 사용하여, SiH₄ 및 N₂O를 반응가스로 하여 막형성되는 산화질화실리콘막(901b)을 50~200nm(바람직하게는 100~150nm)의 두께로 적층 형성한다. 본 실시예에서는, 막두께 100nm의 산화질화실리콘막(901b)(조성비 Si=32%, O=59%, N=7%, H=2%)을 형성하였다.

- <542> 이어서, 하지막(901) 상에 반도체층(902~905)을 형성한다. 반도체층(902~905)은, 비정질구조를 가지는 반도체 막을 공지의 수단(스퍼터링법, LPCVD법, 또는 플라즈마 CVD법 등)에 의해 막형성한 후, 공지의 결정화처리(레이저결정화법, 열결정화법, 또는 니켈 등의 촉매를 사용한 열결정화법 등)를 행하여 얻어진 결정질 반도체막을 원하는 형상으로 패터닝하여 형성한다. 이 반도체층(902~905)의 두께는 25~80nm(바람직하게는 30~60nm)의 두께로 형성한다. 결정질 반도체막의 재료에 한정은 없지만, 바람직하게는 실리콘 또는 실리콘게르마늄($\text{Si}_x\text{Ge}_{1-x}$ ($X=0.0001\sim 0.02$)) 합금 등으로 형성하면 된다. 본 실시예에서는, 플라즈마 CVD법을 사용하여, 55nm의 비정질 실리콘막을 막형성한 후, 니켈을 포함하는 용액을 비정질 실리콘막 상에 유지시켰다. 이 비정질 실리콘막에 탈수소화(500°C, 1시간)를 행한 후, 열결정화(550°C, 4시간)를 행하고, 다시 결정화를 개선하기 위한 레이저 어닐링처리를 행하여 결정질 실리콘막을 형성하였다. 그리고, 이 결정질 실리콘막을 포토리소그래피법을 사용한 패터닝처리에 의해, 반도체층(902~905)을 형성하였다.
- <543> 또한, 반도체층(902~905)을 형성한 후, TFT의 임계치를 제어하기 위해서, 반도체층(902~905)에 미량의 불순물 원소(붕소 또는 인)를 도핑하여도 된다.
- <544> 레이저 결정화법으로 결정질 반도체막을 제작하는 경우는, 펄스발진형 또는 연속발광형의 엑시머 레이저나 YAG 레이저 또는 YVO_4 레이저를 사용한다. 이들 레이저를 사용하는 경우에는, 레이저발진기로부터 방사된 레이저광을 광학계로 선형으로 집광하여, 반도체막에 조사하는 방법을 사용하면 된다. 결정화의 조건은 실시자가 적절히 선택하는 것이지만, 엑시머 레이저를 사용하는 경우는 펄스 발진주파수 300[Hz]로 하고, 레이저 에너지밀도를 100~400[mJ/cm²] (대표적으로는 200~300[mJ/cm²])로 한다. 또한, YAG 레이저를 사용하는 경우에는 그것의 제 2 고조파를 사용하여 펄스 발진주파수 30~300[kHz]로 하고, 레이저 에너지밀도를 300~600[mJ/cm²] (대표적으로는 350~500[mJ/cm²])로 하면 된다. 그리고, 폭 100~1000[μm], 예를 들면 400[μm]에서 선형으로 집광한 레이저광을 기관 전체면에 걸쳐 조사하고, 이때의 선형 레이저광의 중첩율(오버랩율)을 50~90[%]으로 하여 행한다.
- <545> 이때, 레이저는, 연속발진 또는 펄스발진의 기체 레이저 또는 고체 레이저를 사용할 수 있다. 기체 레이저로서, 엑시머 레이저, Ar 레이저, Kr 레이저 등이 있고, 고체 레이저로서, YAG 레이저, YVO_4 레이저, YLF 레이저, YAlO_3 레이저, 유리 레이저, 루비 레이저, 알렉산드라이트 레이저, Ti:사파이어 레이저 등을 들 수 있다. 고체 레이저로서는, Cr, Nd, Er, Ho, Ce, Co, Ti 또는 Tm이 도핑된 YAG, YVO_4 , YLF, YAlO_3 등의 결정을 사용한 레이저 등도 사용 가능하다. 해당 레이저의 기본파는 도핑하는 재료에 따라 다르고, 1/μm 전후의 기본파를 가지는 레이저광을 얻을 수 있다. 기본파에 대응한 고조파는, 비선형 광학소자를 사용함으로써 얻을 수 있다.
- <546> 더구나, 고체 레이저로부터 방사된 적외 레이저광을 비선형 광학소자로 그린(green) 레이저광으로 변환 후, 별도의 비선형 광학소자에 의해서 얻어진 자외 레이저광을 사용할 수 있다.
- <547> 비정질 반도체막의 결정화를 행할 경우, 대입경으로 결정을 얻기 위해서는, 연속발진이 가능한 고체레이저를 사용하여, 기본파의 제 2 고조파~제 4 고조파를 적용하는 것이 바람직하다. 대표적으로는, Nd: YVO_4 레이저(기본파 1064nm)의 제 2 고조파(532nm)나 제 3 고조파(355nm)를 적용하는 것이 바람직하다. 구체적으로는, 출력 10W의 연속발진의 YVO_4 레이저로부터 사출된 레이저광을 비선형 광학소자에 의해 고조파로 변환한다. 또한, 공진기 내에 YVO_4 결정과 비선형 광학소자를 적용하여 고조파를 사출하는 방법도 있다. 그리고, 바람직하게는 광학계에 의해 구형 형상 또는 타원형상의 레이저광으로 형성하여, 피처리체에 조사한다. 이때의 에너지밀도는 0.01~100MW/cm² 정도(바람직하게는 0.1~10MW/cm²)가 필요하다. 그리고, 10~2000cm/s 정도의 속도로 레이저광에 대하여 상대적으로 반도체막을 이동시켜 조사한다.
- <548> 이어서, 반도체층(902~905)을 덮는 게이트절연막(906)을 형성한다. 게이트절연막(906)은 플라즈마 CVD법 또는 스퍼터링법을 사용하여, 두께를 40~150nm로 하여 실리콘을 포함하는 절연막으로 형성한다. 본 실시예에서는, 플라즈마 CVD법에 의해 110nm의 두께로 산화질화실리콘막(조성비 Si=32%, O=59%, N=7%, H=2%)으로 형성하였다. 물론, 게이트절연막은 산화질화실리콘막으로 한정되는 것이 아니고, 다른 실리콘을 포함하는 절연막을 단층 또는 적층구조로서 사용하여도 된다.
- <549> 또한, 산화실리콘막을 사용하는 경우에는, 플라즈마 CVD법으로 TEOS(Tetraethyl Orthosilicate)와 O_2 를 혼합하여, 반응압력 40Pa, 기판온도 300~400°C로 하여, 고주파(13.56 MHz) 전력밀도 0.5~0.8 W/cm²로 방전시켜 형성

할 수 있다. 이와 같이 하여 제작되는 산화실리콘막은, 그 후 400~500°C의 열어닐링에 의해 게이트절연막으로서 양호한 특성을 얻을 수 있다.

<550> 그리고, 게이트절연막(906) 상에 게이트전극을 형성하기 위한 내열성 도전층(907)을 200~400nm(바람직하게는 250~350nm)의 두께로 형성한다. 내열성 도전층(907)은 단층으로 형성하여도 되고, 필요에 따라 2층 또는 3층이라는 복수의 층으로 이루어진 적층구조로 하여도 된다. 내열성 도전층에는 Ta, Ti, W로부터 선택된 원소, 또는 상기 원소를 성분으로 하는 합금이나, 상기 원소를 조합한 합금막이 포함된다. 이들의 내열성 도전층은 스퍼터링법이나 CVD법으로 형성됨으로써, 저저항화를 꾀하기 위해서 함유하는 불순물 농도를 감소시키는 것이 바람직하다. 특히, 산소 농도에 관해서는 30ppm 이하로 하면 좋다. 본 실시예에서는 W막을 300nm의 두께로 형성한다. W막은 W를 타깃으로 하여 스퍼터링법으로 형성하여도 되고, 6 불화 텉스텐(WF₆)을 사용하여 열 CVD법으로 형성하는 것도 가능하다. 어떻든간에 게이트전극으로서 사용하기 위해서는 저저항화를 꾀할 필요가 있어, W막의 저항율은 20 μΩcm 이하로 하는 것이 바람직하다. W막은 결정입을 크게 하는 것으로 저저항율화를 꾀할 수 있지만, W 중에 산소 등의 불순물 원소가 많은 경우에는 결정화가 저해되어 고저항화한다. 이것보다, 스퍼터링법에 의한 경우, 순도 99.9999%의 W 타깃을 사용하고, 다시 막형성에 기상(gas phase)으로부터의 불순물의 혼입이 없도록 충분히 배려하여 W막을 형성함으로써, 저항율 9~20 μΩcm을 실현할 수 있다.

<551> 한편, 내열성 도전층(907)에 Ta막을 사용하는 경우에는, 동일하게 스퍼터링법으로 형성하는 것이 가능하다. Ta막은 스퍼터링 가스로서 Ar를 사용한다. 또한, 스퍼터링시의 가스 중에 적량의 Xe나 Kr를 첨가해 두면, 형성하는 막의 내부 응력을 완화하여 막의 박리를 방지할 수 있다. α상의 Ta 막의 저항율은 20 μΩcm 정도로서 게이트전극에 사용할 수 있지만, β상의 Ta 막의 저항율은 180 μΩcm 정도로서 게이트전극으로 하는데에는 부적절하였다. TaN 막은 α상에 가까운 결정구조를 가지기 때문에, Ta 막의 하지에 TaN 막을 형성하면 α상의 Ta 막이 용이하게 얻어진다. 또한, 도시하지 않았지만, 내열성 도전층(907)의 아래에 2~20nm 정도의 두께로 인(P)을 도핑한 실리콘막을 형성해 두는 것은 효과적이다. 이에 따라, 그 위에 형성되는 도전막의 밀착성 향상과 산화방지를 꾀함과 동시에, 내열성 도전층(907)이 미량으로 함유하는 알칼리 금속원소가 제 1 형상의 게이트 절연막(906)으로 확산하는 것을 방지할 수 있다. 어떻든간에, 내열성 도전층(907)은 저항율을 10~50 μΩcm의 범위로 하는 것이 바람직하다.

<552> 다음에, 포토리소그래피의 기술을 사용하여 레지스트에 의한 마스크(908)를 형성한다. 그리고, 제 1 식각처리를 행한다. 본 실시예에서는 ICP 식각장치를 사용하고, 식각용 가스로 Cl₂와 CF₄를 사용하고, 1 Pa의 압력에서 3.2 W/cm²의 RF(13.56 MHz) 전력을 투입하여 플라즈마를 형성하여 행한다. 기판측(시료 스테이지)에도 224 mW/cm²의 RF(13.56 MHz) 전력을 투입하고, 이에 따라 실질적으로 음의 자기 바이어스 전압이 인가된다. 이 조건에서 W 막의 식각속도는 약 100nm/min이다. 제 1 식각처리는 이 식각속도를 기초로 W 막이 정확히 식각되는 시간을 추정하여, 그것보다도 식각시간을 20% 증가시킨 시간을 식각시간으로 하였다.

<553> 제 1 식각처리에 의해 제 1 테이퍼 형상을 가지는 도전층(909~912)이 형성된다. 도전층(909~913)의 테이퍼부의 각도는 15~30°가 되도록 형성된다. 잔여물을 남기지 않고 식각하기 위해서는, 10~20% 정도의 비율로 식각시간을 증가시키는 과식각을 시행한다. W 막에 대한 산화질화실리콘막(게이트 절연막(906))의 선택비는 2~4(대표적으로는 3)이기 때문에, 과식각처리에 의해, 산화질화실리콘막이 노출된 면은 20~50nm정도 식각된다.(도 32b)

<554> 그리고, 제 1 도핑처리를 행하여 일 도전형의 불순물원소를 반도체층에 첨가한다. 여기서는, n형을 부여하는 불순물 원소 첨가의 공정을 행한다. 제 1 형상의 도전층을 형성한 마스크(908)를 그대로 남기고, 제 1 테이퍼 형상을 가지는 도전층(909~913)을 마스크로 하여 자기 정합적으로 n형을 부여하는 불순물 원소를 이온도핑법으로 첨가한다. n형을 부여하는 불순물 원소를 게이트전극의 단부에서의 테이퍼부와 게이트절연막(906)을 통해, 그 아래에 위치하는 반도체층에 이르도록 첨가하기 위해서 도우즈량을 $1 \times 10^{13} \sim 5 \times 10^{14}$ atoms/cm²로 하고, 가속전압을 80~160keV으로 하여 행한다. n형을 부여하는 불순물 원소로서 15족에 속하는 원소, 전형적으로는 인(P) 또는 비소(As)를 사용하지만, 여기서는 인(P)을 사용하였다. 이러한 이온도핑법에 의해 제 1 불순물 영역(914~917)에는 $1 \times 10^{20} \sim 1 \times 10^{21}$ atomic/cm³의 농도범위로 n형을 부여하는 불순물원소가 첨가된다.(도 32c)

<555> 이 공정에서, 도핑 조건에 따라서는, 불순물이 제 1 형상의 도전층(909~913)의 아래에 설치되어, 제 1 불순물 영역(914~917)이 제 1 형상의 도전층(909~913)과 겹치는 일도 발생할 수 있다.

<556> 다음에, 도 32d에 나타낸 바와 같이 제 2 식각처리를 행한다. 식각처리도 동일하게 ICP 식각장치에 의해

행하되, 식각가스로 CF_4 와 Cl_2 의 혼합가스를 사용하고, RF 전력 3.2 W/cm^2 (13.56 MHz), 바이어스 전력 45mW/cm^2 (13.56 MHz), 압력 1.0 Pa에서 식각을 행한다. 이 조건으로 형성된 제 2 형상을 가지는 도전층(918~922)이 형성된다. 그것의 단부에는 테이퍼부가 형성되고, 이 단부로부터 내측을 향하여 서서히 두께가 증가하는 테이퍼 형상이 된다. 제 1 식각처리와 비교하여 기판측에 인가하는 바이어스 전력을 낮게 한 등방성 식각비가 증가하여, 테이퍼부의 각도는 $30\sim60^\circ$ 로 된다. 마스크(908)는 식각으로 단부가 없어져, 마스크(923)가 된다. 또한, 도 32d의 공정에서, 게이트절연막(906)의 표면이 40nm정도 식각된다.

<557> 그리고, 제 1 도핑처리보다도 도우즈량을 떨어뜨려 고가속 전압의 조건에서 n형을 부여하는 불순물 원소를 도핑 한다. 예를 들면, 가속전압을 $70\sim120 \text{ keV}$ 로 하고, $1\times10^{13}/\text{cm}^2$ 의 도우즈량으로 행하여, 불순물 농도가 커진 제 1 불순물영역(924~927)과, 상기 제 1 불순물영역(924~927)에 접하는 제 2 불순물영역(928~931)을 형성한다. 이 공정에서, 도핑 조건에 따라서는, 불순물이 제 2 형상의 도전층(918~922)의 아래에 형성되어, 제 2 불순물 영역(928~931)이 제 2 형상의 도전층(918~922)과 겹치는 경우도 발생할 수 있다. 제 2 불순물영역에서의 불순물 농도는, $1\times10^{16}\sim1\times10^{18} \text{ atoms/cm}^3$ 가 되도록 한다.(도 33a)

<558> 그리고, (도 33b)에 나타낸 바와 같이, p 채널형 TFT를 형성하는 반도체층(902, 905)에 일 도전형과는 반대의 도전형의 불순물영역(933)(933a, 933b) 및 934(934a, 934b)를 형성한다. 이 경우도 제 2 형상의 도전층(918, 921)을 마스크로 하여 p형을 부여하는 불순물원소를 첨가하여, 자기 정합적으로 불순물 영역을 형성한다. 이때, n 채널형 TFT를 형성하는 반도체층(903, 904)은, 레지스트 마스크(932)를 형성하여 전체면을 피복해 둔다. 여기서 형성되는 불순물영역(933, 934)은 디보란(B_2H_6)을 사용한 이온도핑법으로 형성한다. 불순물영역(933, 934)의 p형을 부여하는 불순물원소의 농도는, $2\times10^{20}\sim2\times10^{21} \text{ atoms/cm}^3$ 이 되도록 한다.

<559> 그렇지만, 이 불순물영역(933, 934)은 상세하게는 n형을 부여하는 불순물 원소를 함유하는 2개의 영역으로 나누어 볼 수 있다. 제 3 불순물영역(933a, 934a)은 $1\times10^{20}\sim1\times10^{21} \text{ atoms/cm}^3$ 의 농도로 n형을 부여하는 불순물원소를 포함하고, 제 4 불순물영역(933b, 934b)은 $1\times10^{17}\sim1\times10^{20} \text{ atoms/cm}^3$ 의 농도로 n형을 부여하는 불순물원소를 포함하고 있다. 그러나, 이를 불순물영역(933b, 934b)의 p형을 부여하는 불순물원소의 농도를 $1\times10^{19} \text{ atoms/cm}^3$ 이상이 되도록 하고, 제 3 불순물영역(933a, 934a)에서는, p형을 부여하는 불순물원소의 농도를 n형을 부여하는 불순물원소의 농도의 1.5 내지 3배가 되도록 함으로써, 제 3 불순물영역에서 p 채널형 TFT의 소스 영역 및 드레인영역으로서 기능하기 위해서 아무런 문제는 생기지 않는다.

<560> 그 후, 도 33c에 나타낸 바와 같이, 제 2 형상을 가지는 도전층(918~922) 및 게이트절연막(906) 상에 제 1 층 간절연막(937)을 형성한다. 제 1 층간절연막(937)은 산화실리콘막, 산화질화실리콘막, 질화실리콘막, 또는 이를 조합한 적층막으로 형성하면 된다. 어떻든간에 제 1 층간절연막(937)은 무기절연물 재료로 형성한다. 제 1 층간절연막(937)의 막두께는 100~200nm로 한다. 제 1 층간절연막(937)으로서 산화실리콘막을 사용하는 경우에는, 플라즈마 CVD법으로 TEOS와 O_2 를 혼합하고, 반응압력 40Pa, 기판온도 $300\sim400^\circ\text{C}$ 로 하여, 고주파(13.56 MHz) 전력밀도 $0.5\sim0.8 \text{ W/cm}^2$ 에서 방전시켜 형성할 수 있다. 또한, 제 1 층간절연막(937)으로서 산화질화실리콘막을 사용하는 경우에는, 플라즈마 CVD법으로 SiH_4 , N_2O , NH_3 로부터 생성된 산화질화실리콘막, 또는 SiH_4 , N_2O 로부터 생성된 산화질화실리콘막으로 형성하면 된다. 이 경우의 제작조건은 반응압력 $20\sim200\text{Pa}$, 기판온도 $300\sim400^\circ\text{C}$ 로 하고, 고주파(60 MHz) 전력밀도 $0.1\sim1.0 \text{ W/cm}^2$ 로 형성할 수 있다. 또한, 제 1 층간절연막(937)으로서 SiH_4 , N_2O , H_2 로부터 제작되는 산화질화수소화 실리콘막을 적용하여도 된다. 질화실리콘막도 동일하게 플라즈마 CVD법으로 SiH_4 , NH_3 로부터 생성하는 것이 가능하다.

<561> 그리고, 각각의 농도로 첨가된 n형 또는 p형을 부여하는 불순물원소를 활성화하는 공정을 행한다. 이 공정은 페니스 어닐링로를 사용하는 열어닐링법으로 행한다. 그 외에, 레이저 어닐링법, 또는 금속 열 어닐링법(RTA법)을 적용할 수 있다. 열 어닐링법으로서는 산소농도가 1 ppm 이하, 바람직하게는 0.1 ppm 이하의 질소 분위기중에서 $400\sim700^\circ\text{C}$, 대표적으로는 $500\sim600^\circ\text{C}$ 에서 행함으로써, 본 실시예에서는 550°C 에서 4시간의 열처리를 행하였다. 또한, 기판(900)에 대해 내열온도가 낮은 플라스틱 기판을 사용하는 경우에는 레이저 어닐링법을 적용하는 것이 바람직하다.

<562> 레이저 어닐링법을 사용하는 경우, 결정화시에 사용한 레이저를 사용하는 것이 가능하다. 활성화의 경우는, 이

동속도는 결정화와 동일하게 하고, $0.01\sim100 \text{ MW/cm}^2$ 정도(바람직하게는 $0.01\sim10 \text{ MW/cm}^2$)의 에너지밀도가 필요하게 된다.

<563> 활성화의 공정에 이어서, 분위기 가스를 변화시켜, 3~100%의 수소를 포함하는 분위기중에서, $300\sim450^\circ\text{C}$ 로 1~12 시간의 열처리를 행하여, 반도체층을 수소화하는 공정을 행한다. 이 공정은 열적으로 여기된 수소에 의해 반도체층에 있는 $10^{16}\sim10^{18}/\text{cm}^3$ 의 맹글링 접합을 종단하는 공정이다. 수소화의 다른 수단으로서, 플라즈마수소화(플라즈마에 의해 여기된 수소를 사용한다)를 행하여도 된다. 어떻든간에, 반도체층(902~905) 중의 결합밀도를 $10^{16}/\text{cm}^3$ 이하로 하는 것이 바람직하다. 그 때문에 수소를 0.01~0.1 atomic% 정도 부여하면 좋다.

<564> 그리고, 유기절연물 재료로 이루어진 제 2 층간절연막(939)을 $1.0\sim2.0 \mu\text{m}$ 의 평균 막두께로 형성한다. 유기수지재료로서는, 폴리이미드, 아크릴, 폴리아미드, 폴리이미드아미드, BCB(벤조시클로부텐) 등을 사용할 수 있다. 예를 들면, 기판에 도포 후, 열중합하는 타입의 폴리이미드를 사용하는 경우에는, 클린오븐에서 300°C 로 소성하여 형성한다. 또한, 아크릴을 사용하는 경우에는, 2개의 액체형의 것을 사용하여, 주재료와 경화제를 혼합한 후, 스피너를 사용하여 기판 전체면에 도포한 후, 핫 플레이트로 80°C 에서 60초의 예비가열을 행하고, 다시 클린오븐으로 250°C 에서 60분 소성하여 형성할 수 있다.

<565> 이와 같이, 제 2 층간절연막(939)을 유기절연물 재료로 형성함으로써, 표면을 양호하게 평탄화시킬 수 있다. 또한, 유기수지재료는 일반적으로 유전율이 낮기 때문에, 기생용량을 감소할 수 있다. 그러나, 흡습성이 있어 보호막으로서는 적합하지 않기 때문에, 본 실시예와 같이, 제 1 층간절연막(937)으로서 형성한 산화실리콘막, 산화질화실리콘막, 질화실리콘막 등으로 조합하여 사용하면 된다.

<566> 그 후, 소정 패턴의 레지스트 마스크를 형성하고, 각각의 반도체층에 형성되어 소스영역 또는 드레인영역으로 하는 불순물영역에 이르는 콘택홀을 형성한다. 콘택홀은 건식식각법으로 형성한다. 이 경우, 식각가스로서 CF_4 , O_2 , He 의 혼합가스를 사용하여 유기수지재료로 이루어진 제 2 층간절연막(939)을 우선 식각하고, 그후, 계속해서 식각가스를 CF_4 , O_2 로 하여 제 1 층간절연막(937)을 식각한다. 더구나, 반도체층에 대하여 선택비를 향상시키기 위해, 식각가스를 CHF_3 로 바꾸어 제 3 형상의 게이트절연막(906)을 식각함으로써 콘택홀을 형성할 수 있다.

<567> 그리고, 도전성 금속막을 스퍼터링법이나 진공증착법으로 형성하여, 마스크로 패터닝하고, 그 후 식각함으로써, 소스배선(940~943, 947)과 드레인배선(944~946)을 형성한다. 이때, 본 명세서에서는, 소스배선과 드레인배선을 아울러 접속배선으로 부른다. 도시하지 않았지만, 본 실시예에서는 이 접속배선을, 그리고, 막두께 50nm의 Ti 막과, 막두께 500nm의 합금막(AI과 Ti와의 합금막)의 적층막으로 형성하였다.

<568> 이어서, 그 위에 투명도전막을 $80\sim120\text{nm}$ 의 두께로 형성하고, 패터닝함으로써 화소전극(947)을 형성한다(도 34a). 이때, 본 실시예에서는 투명전극으로서 산화인듐·주석(ITO)막이나 산화인듐에 2~20 [%]의 산화아연(ZnO)을 혼합한 투명도전막을 사용한다.

<569> 또한, 화소전극(947)은, 드레인배선(946)과 접하여 겹쳐 형성함으로써 트랜지스터 Tr2의 드레인영역과 전기적으로 접속된다.

<570> 도 35에, 도 34a의 공정까지 종료한 시점에서의 화소의 평면도를 나타낸다. 이때, 배선의 위치나 반도체층의 위치를 명확히 하기 위해서, 절연막이나 층간절연막은 생략하였다. 도 35의 A-A'에서의 단면도가, 도 34a의 A-A'에 나타낸 부분에 해당한다.

<571> 도 42에, 도 34의 B-B'에서의 단면도를 나타낸다. 트랜지스터 Tr4는, 주사선(974)의 일부인 게이트전극(975)을 가지고 있고, 게이트전극(975)은 트랜지스터 Tr5의 게이트전극(920)과도 접속되어 있다. 또한, 트랜지스터 Tr3의 반도체층의 불순물영역(977)은, 한쪽은 신호선으로서 기능하는 접속배선(942)에 접속되고, 또 한쪽은, 접속배선(971)에 접속되어 있다.

<572> 트랜지스터 Tr1은, 용량배선(973)의 일부인 게이트전극(976)을 가지고 있고, 게이트전극(976)은 트랜지스터 Tr2의 게이트전극(922)과도 접속되어 있다. 또한, 트랜지스터 Tr1의 반도체층의 불순물영역(978)은, 한쪽은 접속배선(971)에 접속되고, 또 한쪽은, 전원선 V_i로서 기능하는 접속배선(947)에 접속되어 있다.

<573> 접속배선(947)은, 트랜지스터 Tr2의 불순물영역(934a)에도 접속되어 있다. 또한, 도면부호 970은 저장용량으로, 반도체층(972)과, 게이트절연막(906)과, 용량배선(973)을 가지고 있다. 반도체층(972)이 가지는 불순물영역(979)은, 접속배선(943)에 접속되어 있다.

- <574> 다음에, 도 34b에 나타낸 바와 같이, 화소전극(948)에 대응하는 위치에 개구부를 가지는 제 3 충간절연막(949)을 형성한다. 제 3 충간절연막(949)은 절연성을 가지고 있고, 뱅크로서 기능하여, 인접한 화소의 유기 발광층을 분리하는 역할을 가지고 있다. 본 실시예에서는 레지스트를 사용하여 제 3 충간절연막(949)을 형성한다.
- <575> 본 실시예에서는, 제 3 충간절연막(949)의 두께를 $1 \mu\text{m}$ 정도로 하고, 개구부는 화소전극(947)에 가까워지면 질 수록 넓어지는, 소위 역테이퍼 형태가 되도록 형성한다. 이것은 레지스트를 막형성한 후, 개구부를 형성하고자 하는 부분 이외를 마스크로 덮고, UV 광을 조사하여 노광하고, 그 노광된 부분을 현상액으로 제거함으로써 형성된다.
- <576> 본 실시예와 같이, 제 3 충간절연막(949)을 역테이퍼형으로 하는 것으로, 후속의 공정에서 유기 발광층을 막형성하였을 때에, 인접한 화소끼리 유기 발광층이 분리되기 때문에, 유기 발광층과, 제 3 충간절연막(949)의 열팽창 계수가 다르더라도, 유기 발광층이 깨어지거나, 박리하거나 하는 것을 억제할 수 있다.
- <577> 이때, 본 실시예에서는, 제 3 충간절연막으로서 레지스트로 이루어진 막을 사용하고 있지만, 경우에 따라서는, 폴리아미드, 폴리아미드, 아크릴, BCB(벤조시클로부텐), 산화실리콘막 등을 사용하는 것도 가능하다. 제 3 충간절연막은 절연성을 가지는 물질이면, 유기물과 무기물의 어느 쪽을 사용하여도 된다.
- <578> 다음에, 유기 발광층(950)을 증착법에 의해 형성하고, 다시 증착법에 의해 음극(MgAg 전극)(951) 및 보호전극(952)을 형성한다. 이때, 유기 발광층(950) 및 음극(951)을 형성하는 것에 앞서 화소전극(947)에 대하여 열처리를 시행하여, 수분을 완전히 제거해 두는 것이 바람직하다. 이때, 본 실시예에서는 OLED의 음극으로서 MgAg 전극을 사용하지만, 공지의 다른 재료이어도 된다.
- <579> 이때, 유기 발광층(950)으로서는, 공지의 재료를 사용할 수 있다. 본 실시예에서는 정공수송층(Hole transporting layer) 및 발광층으로 이루어진 2층 구조를 유기 발광층으로 하지만, 정공주입층, 전자주입층 또는 전자수송층 중에서 어느 하나를 설치하는 경우도 있다. 이와 같이 조합은 이미 여러 가지 예가 보고되어 있고, 그 어느 쪽의 구성을 사용하더라도 상관없다.
- <580> 본 실시예에서는 정공수송층으로서 폴리페닐렌비닐렌을 증착법에 의해 형성한다. 또한, 발광층으로서는, 폴리비닐카바졸에 1,3,4-옥사디아졸 유도체의 PBD를 30~40% 분자분산시킨 것을 증착법에 의해 형성하고, 녹색 발광 중심으로 하여 쿠마린 6을 약 1% 첨가하고 있다.
- <581> 또한, 보호전극(952)으로 유기 발광층(950)을 수분이나 산소로부터 보호하는 것은 가능하지만, 더욱 바람직하게는 보호막(953)을 설치하면 좋다. 본 실시예에서는 보호막(953)으로서 300nm 두께의 질화실리콘막을 설치한다. 이 보호막도 보호전극(952)의 후에 대기에 노출하지 않고 연속적으로 형성하더라도 상관없다.
- <582> 또한, 보호전극(952)은 음극(951)의 열화를 막기 위해서 설치되고, 알루미늄을 주성분으로 하는 금속막이 대표적이다. 물론, 다른 재료를 사용하여도 된다. 또한, 유기 발광층(950) 및 음극(951)은 매우 수분에 약하기 때문에, 보호전극(952)까지를 대기에 노출하지 않고 연속적으로 형성하여, 외기로부터 유기 발광층을 보호하는 것이 바람직하다.
- <583> 이때, 유기 발광층(950)의 막두께는 10~400[nm](전형적으로는 60~150[nm]), 음극(951)의 두께는 80~200[nm](전형적으로는 100~150[nm])로 하면 좋다.
- <584> 따라서, 도 34b에 나타낸 것과 같은 구조의 발광장치가 완성된다. 이때, 화소전극(948), 유기 발광층(950), 음극(951)이 겹쳐 있는 부분(954)이 OLED에 해당한다.
- <585> p 채널형 TFT(960) 및 n 채널형 TFT(961)는 구동회로가 가지는 TFT로서, CMOS를 형성하고 있다. 트랜지스터 Tr2 및 트랜지스터 Tr4는 화소부가 가지는 TFT이며, 구동회로의 TFT와 화소부의 TFT는 동일기판 상에 형성할 수 있다.
- <586> 이때, OLED를 사용한 발광장치의 경우, 구동회로의 전원의 전압이 5~6V 정도, 최대로도 10V 정도로 충분하기 때문에, TFT에서 열전자에 의한 열화가 그다지 문제가 되지 않는다. 또한, 구동회로를 고속으로 동작시킬 필요가 있기 때문에, TFT의 게이트용량은 작은 쪽이 바람직하다. 따라서, 본 실시예와 같이, TFT의 반도체층이 가지는 제 2 불순물영역(929)과 제 4 불순물영역(933b)이, 각각 게이트전극(918, 919)과 겹치지 않은 구성으로 하는 것이 바람직하다.
- <587> 본 발명의 발광장치의 제작방법은, 본 실시예에서 설명한 제작방법으로 한정되지 않는다. 본 발명의 발광장치는 공지의 방법을 사용하여 제조하는 것이 가능하다.

<588> 본 실시예 18은, 실시예 1~17과 자유롭게 조합하여 실시하는 것이 가능하다.

<589> (실시예 19)

<590> 본 실시예에서는, 본 발명의 반도체장치의 하나인 발광장치의 화소의 구성에 관해서 설명한다. 도 36에 본 실시 예의 발광장치의 화소의 단면도를 나타낸다. 또한, 본 실시예에서는 설명을 간편하게 하기 위해, Tr1, Tr2, Tr4는 도시하지 않았지만, Tr3과 Tr5와 동일한 구성을 사용하는 것이 가능하다.

<591> 도면부호 751은 n 채널형 TFT로서, 도 2의 Tr5에 해당한다. 또한, 도면부호 752는 p 채널형 TFT으로, 도 2의 Tr3에 해당한다. n 채널형 TFT(751)는, 반도체막(753)과, 제 1 절연막(770)과, 한 쌍의 제 1 전극(754, 755)과, 제 2 절연막(771)과, 한 쌍의 제 2 전극(756, 757)을 가지고 있다. 그리고, 반도체막(753)은, 제 1 농도의 일 도전형 불순물영역(758)과, 제 2 농도의 일 도전형 불순물영역(759)과, 채널형성영역(760, 761)을 가지고 있다.

<592> 이때, 본 실시예에서는, 제 1 절연막(770)은 한 쌍의 절연막(770a, 770b)을 적층한 구조를 가지고 있다. 또한, 제 1 절연막(770)은 단층의 절연막이어도 되고, 3층 이상의 절연막을 적층한 구조를 가져도 된다.

<593> 한 쌍의 제 1 전극(754, 755)과 채널형성영역(760, 761)은, 각각 제 1 절연막(770)을 사이에 삽입하여 겹쳐 있다. 또한, 제 2 전극(756, 757)과, 채널형성영역(760, 761)은, 각각 제 2 절연막(771)을 사이에 삽입하여 겹쳐 있다.

<594> p 채널형 TFT(752)은, 반도체막(780)과, 제 1 절연막(770)과, 제 1 전극(782)과, 제 2 절연막(771)과, 제 2 전극(781)을 가지고 있다. 그리고, 반도체막(780)은, 제 3 농도의 일 도전형 불순물영역(783)과, 채널형성영역(784)을 가지고 있다.

<595> 제 1 전극(782)과 채널형성영역(784)은, 각각 제 1 절연막(770)을 사이에 끼워 겹쳐 있다. 제 2 전극(781)과 채널형성영역(784)은, 각각 제 2 절연막(771)을 사이에 끼워 겹쳐 있다.

<596> 그리고, 본 실시예에서는, 도시하지는 않았지만 한 쌍의 제 1 전극(754, 755)과, 한 쌍의 제 2 전극(756, 757)은 전기적으로 서로 접속되어 있다. 이때, 본 발명의 범위는 이 구성으로 한정되지 않고, 제 1 전극(754, 755)과, 제 2 전극(756, 757)이 전기적으로 분리되어 있고, 제 1 전극(754, 755)에 소정 전압이 인가되어도 된다. 또한, 제 1 전극(782)과 제 2 전극(781)이 전기적으로 분리되고, 제 1 전극(782)에 소정 전압이 인가되어도 된다.

<597> 제 1 전극(782)에 소정 전압을 인가함으로써, 전극이 1개인 경우와 비교하여 임계치의 격차를 억제할 수 있으며, 게다가 오프전류를 억제할 수 있다. 또한, 제 1 전극과 제 2 전극에 동일 전압을 인가함으로써, 실질적으로 반도체막의 막두께를 얇게한 것과 같이 공핍층이 빠르게 넓어지기 때문에, 서브-임계 계수를 작게 할 수 있고, 더구나 전계 효과 이동도를 향상시킬 수 있다. 따라서, 전극이 1개인 경우와 비교하여 온 전류를 크게 할 수 있다. 따라서, 이 구조의 TFT를 구동회로에 사용함으로써, 구동전압을 저하시킬 수 있다. 또한, 온 전류를 크게 할 수 있기 때문에, TFT의 채널폭을 작게 할 수 있다. 그 때문에 집적밀도를 향상시킬 수 있다.

<598> 이때, 본 실시예 19는 실시예 1~실시예 17 중 어느 하나와 자유롭게 조합하여 실시하는 것이 가능하다.

<599> (실시예 20)

<600> 본 실시예에서는, 본 발명의 반도체장치의 하나인 발광장치의 화소의 구성에 관해서 설명한다. 도 37에 본 실시 예의 발광장치의 화소의 단면도를 나타낸다. 또한, 본 실시예에서는 설명을 간편하게 하기 위해서, Tr1, Tr2, Tr4는 도시하지 않았다. 하지만, Tr3과 Tr5와 같은 구성을 사용하는 것이 가능하다.

<601> 도 37에서, 도면부호 311은 기판, 312는 하지가 되는 절연막(이하, 하지막이라 한다)이다. 기판(311)으로서는 투광성 기판, 대표적으로는 유리기판, 석영기판, 유리세라믹 기판, 또는 결정화유리 기판을 사용할 수 있다. 단, 제작 프로세스 중의 최고 처리온도에 견디는 것이어야만 한다.

<602> 도면부호 8201은 Tr5, 8202는 Tr3이고, 각각 n 채널형 TFT, p 채널형 TFT로 형성되어 있다. 유기 발광층의 발광 방향이 기판의 하면(TFT 및 유기 발광층이 설치되지 않은 면)의 경우, 상기 구성인 것이 바람직하다. 그러나, Tr3과 Tr5는, n 채널형 TFT라도 p 채널형 TFT라도, 어느 것이어도 상관없다.

- <603> Tr5(8201)는, 소스영역(313), 드레인영역(314), LDD 영역(315a~315d), 분리영역(316) 및 채널형성영역(317a, 317b)을 포함하는 활성층과, 게이트절연막(318)과, 게이트전극(319a, 319b)과, 제 1 충간절연막(320)과, 신호선(321)과, 접속배선(322)을 가지고 있다. 이때, 게이트절연막(318) 또는 제 1 충간절연막(320)은 기판 상의 모든 TFT에 공통이어도 좋으며, 회로 또는 소자에 따라서 다르게 하여도 된다.
- <604> 또한, 도 37에 나타낸 Tr5(8201)는 게이트전극(317a, 317b)이 전기적으로 접속되어 있어, 소위 더블게이트 구조로 되어 있다. 물론, 더블게이트 구조뿐만 아니라, 트리플게이트 구조 등 소위 멀티게이트 구조(직렬로 접속된 두개 이상의 채널형성영역을 가지는 활성층을 포함하는 구조)이어도 된다.
- <605> 멀티게이트 구조는, 오프전류를 감소하는 데에서 매우 유효하여, Tr5의 오프전류를 충분히 낮게 하면, 그만큼 Tr3(8202)의 게이트전극에 접속된 저장용량이 필요로 하는 최저한의 용량을 억제할 수 있다. 즉, 저장용량의 면적을 작게 할 수 있기 때문에, 멀티게이트 구조로 하는 것은 유기발광소자의 유효발광면적을 확대하는 데에도 효과적이다.
- <606> 더구나, Tr5(8201)에서는, LDD 영역(315a~315d)은, 게이트절연막(318)을 통해 게이트전극(319a, 319b)과 겹치지 않도록 설치한다. 이러한 구조는 오프전류를 감소하는 데에서 대단히 효과적이다. 또한, LDD 영역(315a~315d)의 길이(폭)는 $0.5\sim3.5\mu\text{m}$, 대표적으로는 $2.0\sim2.5\mu\text{m}$ 으로 하면 된다. 이때, 2개 이상의 게이트전극을 가지는 멀티게이트구조의 경우, 채널형성영역 사이에 설치된 분리영역(316)(소스영역 또는 드레인영역과 동일한 농도로 동일한 불순물원소가 첨가된 영역)이 오프전류의 감소에 효과적이다.
- <607> 다음에, Tr3(8202)은, 소스영역(326), 드레인영역(327) 및 채널형성영역(329)을 포함하는 활성층과, 게이트절연막(318)과, 게이트전극(330)과, 제 1 충간절연막(320)과, 접속배선 331 및 접속배선 332로 형성되어 있다. 본 실시예 20에서 Tr3(8202)은 p 채널형 TFT이다.
- <608> 이때, 게이트전극(330)은 싱글 게이트구조로 되어 있지만, 멀티게이트구조이어도 된다.
- <609> 이상은 화소 내에 설치된 TFT의 구조에 관해 설명하였지만, 이때 동시에 구동회로도 형성된다. 도 37에는 구동회로를 형성하는 기본단위가 되는 CMOS 회로가 도시되어 있다.
- <610> 도 37에서는 동작속도를 크게 떨어뜨리지 않도록 하면서 핫 캐리어 주입을 감소시키는 구조를 갖는 TFT를 CMOS 회로의 n 채널형 TFT(8204)로서 사용한다. 이때, 여기서 말하는 구동회로로서는, 소스신호측 구동회로, 게이트신호측 구동회로를 가리킨다. 물론, 다른 논리회로(레벨 시프터, A/D 컨버터, 신호분할회로 등)를 형성하는 것도 가능하다.
- <611> 또한, CMOS 회로의 n 채널형 TFT(8204)의 활성층은, 소스영역(335), 드레인영역(336), LDD 영역(337) 및 채널형성영역(338)을 포함한다. LDD 영역(337)은 게이트절연막(318)을 통해 게이트전극(339)과 겹친다.
- <612> 드레인영역(336)측에만 LDD 영역(337)을 형성하는 것은, 동작속도를 떨어뜨리지 않기 위한 배려이다. 또한, 이 n 채널형 TFT(8204)는 오프전류값을 너무 신경 쓸 필요는 없고, 그것보다도 동작속도를 중시한 쪽이 좋다. 따라서, LDD 영역(337)은 완전히 게이트전극에 겹쳐버려, 저항성분을 매우 적게 하는 것이 바람직하다. 즉, 소위 오프셋은 제거하는 쪽이 좋다.
- <613> 또한, CMOS 회로의 p 채널형 TFT(8205)는, 핫 캐리어 주입에 의한 열화가 거의 걱정이 되지 않기 때문에, 특히 LDD 영역을 설치하지 않아도 된다. 따라서, 활성층은 소스영역(340), 드레인영역(341) 및 채널형성영역(342)을 포함하고, 그 활성층 위에는 게이트절연막(318)과 게이트전극(343)이 설치된다. 물론, n 채널형 TFT(8204)와 동일하게 LDD 영역을 설치하여, 핫 캐리어 주입에 대한 대책을 꾀하는 것도 가능하다.
- <614> 도면부호 361~365는 채널형성영역 342, 338, 317a, 317b 및 329를 형성하기 위한 마스크이다.
- <615> 또한, n 채널형 TFT(8204) 및 p 채널형 TFT(8205)은, 각각 소스영역 상에 제 1 충간절연막(320)을 사이에 삽입하여, 소스배선(344, 345)을 가지고 있다. 또한, 접속배선(346)에 의해서 n 채널형 TFT(8204)과 p 채널형 TFT(8205)의 드레인영역은 서로 전기적으로 접속된다.
- <616> 이때, 본 실시예의 구성은, 실시예 1~17과 자유롭게 조합하여 실시하는 것이 가능하다.
- <617> (실시예 21)
- <618> 본 실시예에서는, 음극을 화소전극으로서 사용한 화소의 구성에 관해서 설명한다.

- <619> 본 실시예의 화소의 단면도를 도 38에 나타낸다. 도 38에 있어서, 기판(3501) 상에 설치된 Tr5(3502)는 공지의 방법을 사용하여 제작된다. 본 실시예에서는 더블게이트 구조로 하고 있다. 이때, 본 실시예에서는 더블게이트 구조로 하고 있다. 하지만, 그것은 싱글게이트 구조라도 상관없으며, 트리플 게이트 구조나 그 이상의 게이트 전극을 가지는 멀티게이트 구조라도 상관없다. 또한, 본 실시예에서는 설명을 간편하게 하기 위해서, Tr1, Tr2 및 Tr4는 도시하지 않았다. 하지만, Tr5와 Tr3과 같은 구성을 사용하는 것이 가능하다.
- <620> 또한, 트랜ジ스터 Tr3(3503)은 n 채널형 TFT로, 공지의 방법을 사용하여 제작된다. 또한, 도면부호 38로 도시된 배선은, Tr5(3502)의 게이트전극 39a와 39b를 전기적으로 접속하는 주사선이다.
- <621> 도 38에 도시된 본 실시예에서는 상기 트랜지스터 Tr3(3503)을 싱글게이트 구조로 도시하고 있다. 하지만, 상기 트랜지스터 Tr3(3503)은, 복수의 TFT를 직렬에 연결한 멀티게이트 구조이어도 된다. 더구나, 복수의 TFT를 병렬로 연결하여 실질적으로 채널형성영역을 복수로 분할하여, 열의 방사를 높은 효율로 행할 수 있도록 한 구조로 하여도 된다. 이러한 구조는 열에 의한 열화 대책으로서 효과적이다.
- <622> 트랜지스터 Tr5(3502) 및 Tr3(3503)의 위에는 제 1 충간절연막(41)이 설치된다. 이 제 1 충간절연막 위에 수지 절연막으로 이루어진 제 2 충간절연막(42)이 형성된다. 제 2 충간절연막(42)을 사용하여 TFT에 생성된 단차를 평탄화하는 것은 대단히 중요하다. 나중에 형성되는 유기 발광층은 대단히 얇기 때문에, 단차가 존재하는 것에 의해 발광불량을 일으키는 경우가 있다. 따라서, 유기 발광층을 될 수 있는 한 평탄면으로 형성할 수 있도록 화소전극을 형성하기 전에 평탄화해 두는 것이 바람직하다.
- <623> 또한, 도면부호 43은 반사성이 높은 도전막으로 이루어진 발광소자의 음극, 즉 화소전극(43)이다. 이 화소전극(43)은, Tr3(3503)의 드레인영역에 전기적으로 접속된다. 화소전극(43)으로서는 알루미늄 합금막, 구리 합금막 또는 은 합금막 등 저저항인 도전막 또는 그들의 적층막을 사용하는 것이 바람직하다. 물론, 다른 도전막과의 적층구조로 하여도 된다.
- <624> 도 38은 수지성 절연막으로 형성된 한 쌍의 뱅크(44a, 44b) 사이에 형성된 홈(화소에 해당함) 내부에 발광층(45)이 형성된 것을 나타낸다. 이때, 도 20에 도시되지 않았지만, R(빨강), G(초록), B(파랑)의 각 빛깔에 대응하는 복수의 발광층을 나누어 만들어도 된다. 발광층으로 하는 유기발광재료로서는 π -공역 폴리머계 재료를 사용한다. 대표적인 폴리머계 재료로서는, 폴리파라페닐렌비닐렌(PPV)계, 폴리비닐카바졸(PVK)계, 폴리풀루오렌 등을 들 수 있다.
- <625> 이때, PPV계 유기발광재료로서는 여러 가지 형태의 것이 있지만, 예를 들면 「H.Shenk, H.Becker, O.Gelsen, E.Kluge, W.Kreuder, and H.Spreitzer, "Polymers for Light Emitting Diodes", Euro Display, Proceedings, 1999, p.33-37」이나 특개평 10-92576호 공보에 기재된 것과 같은 재료를 사용하면 된다.
- <626> 구체적인 발광층으로서는, 적색으로 발광하는 발광층에는 시아노폴리페닐렌비닐렌, 녹색으로 발광하는 발광층에는 폴리페닐렌비닐렌, 청색으로 발광하는 발광층에는 폴리페닐렌비닐렌 또는 폴리알킬페닐렌을 사용하면 좋다. 막두께는 30~150 nm(바람직하게는 40~100nm)로 하면 된다.
- <627> 단, 이상의 예는 발광층으로서 사용할 수 있는 유기발광재료의 일례로서, 이것에 한정될 필요는 전혀 없다. 발광층, 전하수송층 또는 전하주입층을 자유롭게 조합하여 유기 발광층(발광 및 그를 위한 캐리어의 이동을 행하게 하기 위한 층)을 형성하면 된다.
- <628> 예를 들면, 본 실시예에서는 폴리머계 재료를 발광층으로서 사용하는 예를 나타내었다. 그렇지만, 예를 들면, 저분자계 유기발광재료를 사용할 수도 있다. 또한, 전하수송층과 전하주입층으로서 예를 들면 탄화실리콘 등의 무기재료를 사용하는 것도 가능하다. 이를 유기재료나 무기재료는 공지의 재료를 사용할 수 있다.
- <629> 본 실시예에서는 발광층(45) 위에 폴리티오펜(PEDOT) 또는 폴리아닐린(PAni)으로 이루어진 정공주입층(46)을 설치한 적층구조의 유기발광층으로 하고 있다. 그리고, 정공주입층(46)의 위에는 투명도전막으로 이루어진 양극(47)이 설치된다. 발광층(45)에서 생성된 빛은 TFT의 상면측을 향해 방사된다. 이 때문에, 양극(47)은 투광성이 아니면 안 된다. 전기적인 투명 도전막으로서는 산화인듐과 산화주석과의 화합물이나 산화인듐과 산화아연과의 화합물을 사용할 수 있다. 그렇지만, 상기 전기적 투명 도전막은, 내열성이 낮은 발광층(45)과 정공주입층(46)을 모두 형성한 후에 형성하기 때문에, 가능한 한 저온에서 양극(47)을 막형성하는 것이 바람직하다.
- <630> 양극(47)까지 형성된 시점에서 발광소자(3505)가 완성된다. 이때, 여기서 발광소자(3505)는, 화소전극(음극)(43), 발광층(45), 정공주입층(46) 및 양극(47)으로 형성되어 있다. 화소전극(43)의 면적은 화소의 면적과 거의 일치하기 때문에, 화소 전체가 발광소자로서 기능한다. 따라서, 발광의 이용효율이 대단히 높아, 밝은 화

상표시가 가능해진다.

<631> 그런데, 본 실시예에서는, 양극(47) 위에 다시 제 2 패시베이션막(48)을 설치하고 있다. 제 2 패시베이션막(48)으로서는 질화실리콘막 또는 질화산화실리콘막이 바람직하다. 이 제 2 패시베이션막(48)은, 외부로부터 발광소자를 차단하는 것으로, 유기발광재료의 산화에 의한 열화를 방지하는 의미와, 유기발광재료로부터의 탈가스를 억제하는 의미와의 양쪽을 더불어 가진다. 이에 따라, 발광장치의 신뢰성이 높아진다.

<632> 이상과 같이 도 38에 도시된 본 발명의 발광장치는, 상기에서와 같은 구조를 각각 갖는 화소부를 구비한다. 특히, 본 발광장치는, 오프전류값이 충분히 낮은 Tr5와, 핫 캐리어 주입에 강한 Tr3을 가진다. 따라서, 높은 신뢰성을 갖고, 또한, 양호한 화상표시가 가능한 도 38에 도시된 발광장치를 얻을 수 있다.

<633> 이때, 본 실시예 21의 구성은, 실시예 1~17의 구성과 자유롭게 조합하여 실시하는 것이 가능하다.

<634> (실시예 22)

<635> 본 실시예 22에서는, 도 2에 나타낸 화소를 가지는 발광장치의 구조에 관해서, 도 39를 참조하여 설명한다.

<636> 도 39는, 트랜ジ스터가 형성된 소자기판을 밀봉재에 의해서 밀봉함으로써 형성된 발광장치의 평면도로서, 도 39b는, 도 39a의 A-A'에 있어서의 단면도, 도 39c는 도 39a의 B-B'에 있어서의 단면도이다.

<637> 기판(4001) 상에 설치된 화소부(4002)와, 신호선 구동회로(4003)와, 제 1 및 제 2 주사선 구동회로(4004a, 4004b)를 둘러싸도록 하여, 밀봉재(4009)가 설치되어 있다. 또한, 화소부(4002)와, 신호선 구동회로(4003)와, 제 1 및 제 2 주사선 구동회로(4004a, 4004b)의 위에 밀봉재(4008)가 설치되어 있다. 따라서, 화소부(4002)와, 신호선 구동회로(4003)와, 제 1 및 제 2 주사선 구동회로(4004a, 4004b)는, 기판(4001)과 밀봉부재(4009)와 밀봉재(4008)에 의해, 충전재(4210)로 밀봉되어 있다.

<638> 또한, 기판(4001) 상에 설치된 화소부(4002)와, 신호선 구동회로(4003)와, 제 1 및 제 2 주사선 구동회로(4004a, 4004b)는, 복수의 TFT를 가지고 있다. 도 39b에서는 대표적으로, 하지막(4010) 상에 형성된, 신호선 구동회로(4003)에 포함되는 구동 TFT(단, 여기서는 n 채널형 TFT과 p 채널형 TFT를 도시함)(4201) 및 화소부(4002)에 포함되는 트랜ジ스터 Tr3(4202)을 도시하였다.

<639> 본 실시예에서는, 구동용 TFT(4201)에는 공지의 방법으로 제작된 p 채널형 TFT 또는 n 채널형 TFT가 사용되고, 트랜ジ스터 Tr3(4202)에는 공지의 방법으로 제작된 p 채널형 TFT가 사용된다.

<640> 구동 TFT(4201) 및 트랜ジ스터 Tr3(4202) 상에는 층간절연막(평탄화막)(4301)이 형성되고, 그 위에 트랜ジ스터 Tr3(4202)의 드레인과 전기적으로 접속하는 화소전극(양극)(4203)이 형성된다. 화소전극(4203)으로서는 일함수가 큰 투명도전막이 사용된다. 투명도전막으로서는, 산화인듐과 산화주석과의 화합물, 산화인듐과 산화아연과의 화합물, 산화아연, 산화주석 또는 산화인듐을 사용할 수 있다. 또한, 상기 투명도전막에 갈륨을 첨가한 것을 사용하여도 된다.

<641> 그리고, 화소전극(4203) 위에는 절연막(4302)이 형성되고, 절연막(4302)은 화소전극(4203) 위에 개구부가 형성되어 있다. 이 개구부에서, 화소전극(4203) 위에는 유기 발광층(4204)이 형성된다. 유기 발광층(4204)은 공지의 유기발광재료 또는 무기발광재료를 사용할 수 있다. 또한, 유기발광재료에는 저분자계(모노머계) 재료와 고분자계(폴리머계) 재료가 있지만 어느 쪽을 사용하여도 된다.

<642> 유기 발광층(4204)의 형성방법은 공지의 증착기술 또는 도포법기술을 사용하면 된다. 또한, 유기 발광층의 구조는 정공주입층, 정공수송층, 발광층, 전자수송층 또는 전자주입층을 자유롭게 조합하여 적층구조 또는 단층구조로 하여도 된다.

<643> 유기 발광층(4204) 위에는 차광성을 가지는 도전막(대표적으로는 알루미늄, 구리 또는 은을 주성분으로 하는 도전막 또는 그들과 다른 도전막과의 적층막)으로 이루어진 음극(4205)이 형성된다. 또한, 음극(4205)과 유기 발광층(4204)의 계면에 존재하는 수분과 산소는 가능한 많이 배제해 두는 것이 바람직하다. 따라서, 유기 발광층(4204)을 질소 또는 희가스 분위기에서 형성하여, 산소와 수분에 접촉시키지 않은 상태로 음극(4205)을 형성하는 것이 본 장치에서는 필요하다. 본 실시예에서는 멀티챔버 방식(클러스터 틀 방식)의 막형성장치를 사용함으로써 상술한 바와 같이 막형성을 가능하게 한다. 그리고, 음극(4205)은 소정의 전압이 공급된다.

<644> 이상과 같이 하여, 화소전극(양극)(4203), 유기 발광층(4204) 및 음극(4205)으로 이루어지는 발광소자(4303)가

형성된다. 그리고, 발광소자(4303)를 덮도록, 절연막(4302) 상에 보호막(4209)이 형성되어 있다. 보호막(4209)은, 발광소자(4303)에 산소나 수분 등이 들어가는 것을 막는 데 효과적이다.

<645> 도면부호 4005a는 전원선에 접속된 인출 배선으로, 트랜지스터 Tr3(4202)의 소스영역에 전기적으로 접속되어 있다. 인출 배선(4005a)은 밀봉부재(4009)와 기판(4001) 사이를 통과하고, 이방성 도전막(4300)을 통해 FPC(4006)가 가지는 FPC용 배선(4206)에 전기적으로 접속된다.

<646> 밀봉재(4008)로서는, 유리재, 금속재(대표적으로는 스테인레스재), 세라믹재, 플라스틱재(플라스틱 필름도 포함함)를 사용할 수 있다. 플라스틱재로서는, FRP(Fiber glass-Reinforced Plastics)판, PVF(폴리비닐풀루오라이드) 필름, 마일러 필름, 폴리에스테르 필름 또는 아크릴수지 필름을 사용할 수 있다. 또한, 알루미늄 호일을 PVF 필름이나 마일러 필름으로 사이에 삽입한 구조의 시이트를 사용하는 것도 가능하다.

<647> 그러나, 발광소자로부터의 빛의 방사방향이 커버부재측을 향하는 경우에는 커버부재는 투명이 아니면 안 된다. 그 경우에는, 유리판, 플라스틱판, 폴리에스테르 필름 또는 아크릴 필름과 같은 투명물질을 사용한다.

<648> 또한, 충전재(4210)로서는 질소나 아르곤 등의 불활성인 기체 이외에, 자외선 경화수지 또는 열경화수지를 사용할 수 있고, PVC(폴리염화비닐, 아크릴, 폴리이미드, 에폭시수지, 실리콘수지, PVB(폴리비닐부티랄) 또는 EVA(에틸렌 비닐아세테이트)를 사용할 수 있다. 본 실시예에서는 충전재로서 질소를 사용하였다.

<649> 또한, 충전재(4210)를 흡습성물질(바람직하게는 산화바륨) 또는 산소를 흡착할 수 있는 물질에 노출시켜 두기 위해서, 밀봉재(4008)의 기판(4001)측의 면에 오목부(4007)를 설치하여 흡습성물질 또는 산소를 흡착할 수 있는 물질(4207)을 배치한다. 그리고, 흡습성물질 또는 산소를 흡착할 수 있는 물질(4207)이 비산하지 않도록, 오목부 커버부재(4208)에 의해서 흡습성물질 또는 산소를 흡착할 수 있는 물질(4207)은 오목부(4007)에 보유되어 있다. 이때, 오목부 커버부재(4208)는 미세한 메쉬 형상으로 되어 있어, 공기와 수분은 통과시키고, 흡습성물질 또는 산소를 흡착할 수 있는 물질(4207)은 통과시키지 않는 구성으로 되어 있다. 흡습성물질 또는 산소를 흡착할 수 있는 물질(4207)을 설치함으로써, 발광소자(4303)의 열화를 억제할 수 있다.

<650> 도 39c에 나타낸 바와 같이, 화소전극(4203)이 형성되는 동시에, 인출 배선(4005a) 상에 접하도록 도전막(4203a)이 형성된다.

<651> 또한, 이방성 도전막(4300)은 도전성 충전재(4300a)를 가지고 있다. 기판(4001)과 FPC(4006)를 열압착함으로써, 기판(4001) 상의 도전막(4203a)과 FPC(4006) 상의 FPC용 배선(4301)이, 도전성 충전재(4300a)에 의해서 전기적으로 서로 접속된다.

<652> 이때, 본 실시예 22의 구성은, 실시예 1~실시예 21에 나타낸 구성과 자유롭게 조합하여 실시하는 것이 가능하다.

<653> (실시예 23)

<654> 발광소자를 사용한 발광장치는 자발광형이기 때문에, 액정디스플레이와 비교하여, 밝은 장소에서의 시감도가 우수하다. 따라서, 발광장치는 시야각이 넓다. 따라서, 발광장치는 여러 가지 전자기기의 표시부에 사용할 수 있다.

<655> 본 발명의 발광장치를 사용한 전자기기로서, 비디오카메라, 디지털 카메라, 고글형 디스플레이(헤드 마운트 디스플레이), 네비게이션시스템, 음향재생장치(카오디오, 오디오 컴포넌트 스테레오 등), 노트형 퍼스널컴퓨터, 게임기, 휴대정보단말(모바일 컴퓨터), 휴대전화, 휴대형 게임기 또는 전자서적 등), 기록매체를 구비한 화상재 생장치(구체적으로는 Digital Versatile Disc(DVD) 등의 기록매체를 재생하여, 그 화상을 표시할 수 있는 디스플레이를 구비한 장치) 등을 들 수 있다. 특히, 경사 방향으로부터 화면을 보는 기회가 많은 휴대정보단말은, 시야각의 넓이가 중요시되기 때문에, 발광장치를 사용하는 것이 바람직하다. 그들 전자기기의 구체예를 도 40에 나타낸다.

<656> 도 40a는 발광소자 표시장치로, 케이싱(2001), 지지대(2002), 표시부(2003), 스페커부(2004), 비디오 입력단자(2005) 등을 포함한다. 본 발명의 발광장치는 표시부(2003)에 사용할 수 있다. 발광장치는 자발광형이기 때문에, 백라이트가 필요없어, 액정디스플레이보다도 얇은 표시부로 할 수 있다. 이때, 발광소자표시장치는, 퍼스널컴퓨터용, TV 방송수신용, 광고표시용 등의 모든 정보표시용 표시장치가 포함된다.

<657> 도 40b는 디지털 스틸 카메라로, 본체(2101), 표시부(2102), 화상 수신부(2103), 조작키(2104), 외부접속포트

(2105), 셔터(2106) 등을 포함한다. 본 발명의 발광장치를 표시부(2102)에 사용함으로써, 본 발명의 디지털 스틸 카메라가 완성된다.

<658> 도 40c는 노트형 퍼스널 컴퓨터로, 본체(2201), 케이싱(2202), 표시부(2203), 키보드(2204), 외부접속포트(2205), 포인팅 마우스(2206) 등을 포함한다. 본 발명의 발광장치를 표시부(2203)에 사용함으로써, 본 발명의 노트형 퍼스널컴퓨터가 완성된다.

<659> 도 40d는 모바일 컴퓨터로, 본체(2301), 표시부(2302), 스위치(2303), 조작키(2304), 적외선포트(2305) 등을 포함한다. 본 발명의 발광장치를 표시부(2302)에 사용함으로써, 본 발명의 모바일 컴퓨터가 완성된다.

<660> 도 40e는 기록매체를 구비한 휴대용 화상재생장치(구체적으로는 DVD 재생장치)로, 본체(2401), 케이싱(2402), 표시부 A(2403), 표시부 B(2404), 기록매체(DVD 등) 관독부(2405), 조작키(2406), 스피커부(2407) 등을 포함한다. 표시부 A(2403)는 주로 화상정보를 표시하며, 표시부 B(2404)는 주로 문자정보를 표시한다. 이때, 기록매체를 구비한 화상재생장치에는 가정용 게임기 등도 포함된다. 본 발명의 발광장치를 표시부 A, B(2403, 2404)에 사용함으로써, 본 발명의 화상재생장치가 완성된다.

<661> 도 40f는 고글형 디스플레이(헤드 마운트 디스플레이)로, 본체(2501), 표시부(2502), 암부(2503) 등을 포함한다. 본 발명의 발광장치를 표시부(2502)에 사용함으로써, 본 발명의 고글형 디스플레이가 완성된다.

<662> 도 40g는 비디오 카메라로, 본체(2601), 표시부(2602), 케이싱(2603), 외부접속포트(2604), 리모콘 수신부(2605), 화상 수신부(2606), 배터리(2607), 음성입력부(2608), 조작키(2609) 등을 포함한다. 본 발명의 발광장치를 표시부(2602)에 사용함으로써, 본 발명의 비디오카메라가 완성된다.

<663> 도 40h는 휴대전화로, 본체(2701), 케이스(2702), 표시부(2703), 음성입력부(2704), 음성 출력부(2705), 조작키(2706), 외부접속포트(2707), 안테나(2708) 등을 포함한다. 이때, 표시부(2703)는 흑색의 배경에 백색의 문자를 표시함으로써 휴대전화의 소비전류를 억제할 수 있다. 본 발명의 발광장치를 표시부(2703)에 사용함으로써, 본 발명의 휴대전화가 완성된다.

<664> 이때, 앞으로, 유기발광재료의 발광 휘도가 높아지면, 출력된 화상정보를 포함하는 빛을 렌즈 등으로 확대 투영하여 프론트형 또는 리어형의 프로젝터에 사용하는 것도 가능해진다.

<665> 또한, 상기 전자기기는 인터넷이나 CATV(cable television system) 등의 전자통신회선을 통하여 분배된 정보를 표시하는 일이 많아져, 특히 동작 화상정보를 표시하는 기회가 늘고 있다. 유기발광재료의 응답속도는 대단히 높기 때문에, 발광장치는 동작 화상표시에 바람직하다.

<666> 또한, 발광장치는 발광하고 있는 부분이 전력을 소비하기 때문에, 발광부분이 매우 적어지도록 정보를 표시하는 것이 바람직하다. 따라서, 휴대정보단말, 특히 휴대전화나 음향재생장치와 같은 문자정보를 주로 표시하는 표시부에 발광장치를 사용하는 경우에는, 비발광 부분을 배경으로 하여 문자정보를 발광부분에서 형성하도록 구동하는 것이 바람직하다.

<667> 이상과 같이, 본 발명의 적용범위는 매우 넓어, 모든 분야의 전자기기에 사용하는 것이 가능하다. 또한, 본 실시예의 전자기기는 실시예 1~22에 나타낸 것과 다른 구성의 발광장치를 사용하여도 된다.

발명의 효과

<668> 본 발명은 상술한 구성에 의해서, TFT의 특성이 화소마다 변동하라도, 도 41에 나타낸 일반적인 발광장치와 비교하여, 화소 사이에서 발광소자의 휘도에 격차가 생기는 것을 방지할 수 있다. 또한, 도 41에 나타낸 전압입력형 화소의 TFT(51)를 선형영역에서 동작시켰을 때와 비교하여, 발광소자의 열화에 의한 휘도의 저하를 억제할 수 있다. 또한, 유기 발광층의 온도가 외기온이나 발광패널 자신이 발생하는 열 등에 좌우되더라도, 발광소자의 휘도가 변화되는 것을 억제할 수 있고, 또한 온도의 상승에 따라 소비전류가 커지는 것을 방지할 수 있다.

<669> 또한, 본 발명에 의하면, 소정 기간마다 발광소자에 역바이어스의 구동전압을 인가하는 구동방법(교류전류 구동)을 사용함으로써, 발광소자의 전류-전압 특성의 열화가 개선된다. 따라서, 종래의 구동방법과 비교하여, 발광소자의 수명을 연장할 수 있다.

도면의 간단한 설명

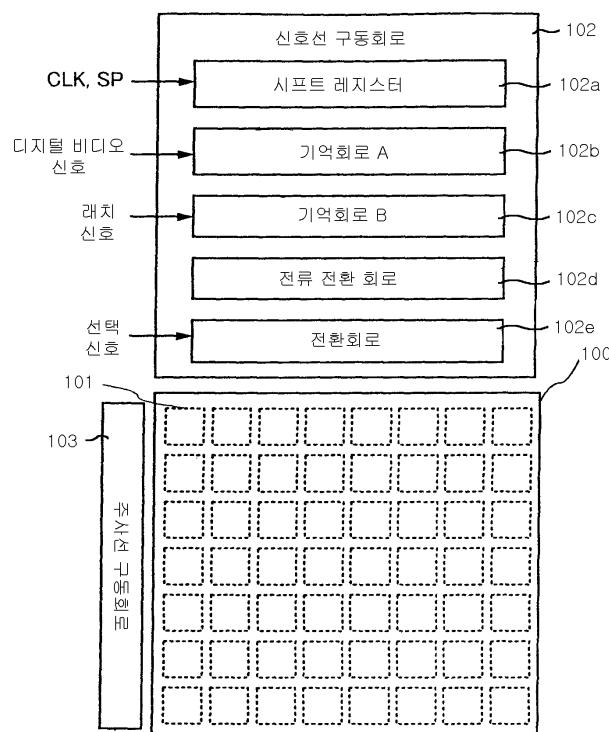
- <1> 도 1은 본 발명의 발광장치의 블록도,
- <2> 도 2는 본 발명의 발광장치의 화소 회로도,
- <3> 도 3은 구동에 있어서의 화소의 개략도,
- <4> 도 4는 주사선 및 전원선에 인가되는 전압의 타이밍도,
- <5> 도 5는 주사선 및 전원선에 인가되는 전압의 타이밍도,
- <6> 도 6은 주사선 및 전원선에 인가되는 전압의 타이밍도,
- <7> 도 7은 주사선 및 전원선에 인가되는 전압의 타이밍도,
- <8> 도 8은 주사선 및 전원선에 인가되는 전압의 타이밍도,
- <9> 도 9는 본 발명의 신호선 구동회로의 블록도,
- <10> 도 10은 전류설정회로 및 전환회로의 회로도,
- <11> 도 11은 주사선 구동회로의 블록도,
- <12> 도 12는 본 발명의 신호선 구동회로의 블록도,
- <13> 도 13은 전류설정회로 및 전환회로의 회로도,
- <14> 도 14는 본 발명의 발광장치의 화소회로도,
- <15> 도 15는 구동에 있어서의 화소의 개략도,
- <16> 도 16은 본 발명의 발광장치의 화소 회로도,
- <17> 도 17은 구동에 있어서의 화소의 개략도,
- <18> 도 18은 본 발명의 발광장치의 화소 회로도,
- <19> 도 19는 구동에 있어서의 화소의 개략도,
- <20> 도 20은 본 발명의 발광장치의 화소 회로도,
- <21> 도 21은 구동에 있어서의 화소의 개략도,
- <22> 도 22는 본 발명의 발광장치의 화소 회로도,
- <23> 도 23은 구동에 있어서의 화소의 개략도,
- <24> 도 24는 본 발명의 발광장치의 화소 회로도,
- <25> 도 25는 구동에 있어서의 화소의 개략도,
- <26> 도 26은 본 발명의 발광장치의 화소 회로도,
- <27> 도 27은 구동에 있어서의 화소의 개략도,
- <28> 도 28은 본 발명의 발광장치의 화소 회로도,
- <29> 도 29는 구동에 있어서의 화소의 개략도,
- <30> 도 30은 본 발명의 발광장치의 화소 회로도,
- <31> 도 31은 구동에 있어서의 화소의 개략도,
- <32> 도 32는 본 발명의 발광장치의 제작방법을 도시한 도면,
- <33> 도 33은 본 발명의 발광장치의 제작방법을 도시한 도면,
- <34> 도 34는 본 발명의 발광장치의 제작방법을 도시한 도면,
- <35> 도 35는 본 발명의 발광장치의 화소의 평면도,
- <36> 도 36은 본 발명의 발광장치의 화소의 단면도,

- <37> 도 37은 본 발명의 발광장치의 화소의 단면도,
 <38> 도 38은 본 발명의 발광장치의 화소의 단면도,
 <39> 도 39는 본 발명의 발광장치의 외관도 및 단면도,
 <40> 도 40은 본 발명의 발광장치를 사용한 전자기기의 도면,
 <41> 도 41은 일반적인 화소의 회로도,
 <42> 도 42는 본 발명의 발광장치의 제작방법을 나타낸 도면.
 <43> *도면의 주요 부분에 대한 부호의 설명*

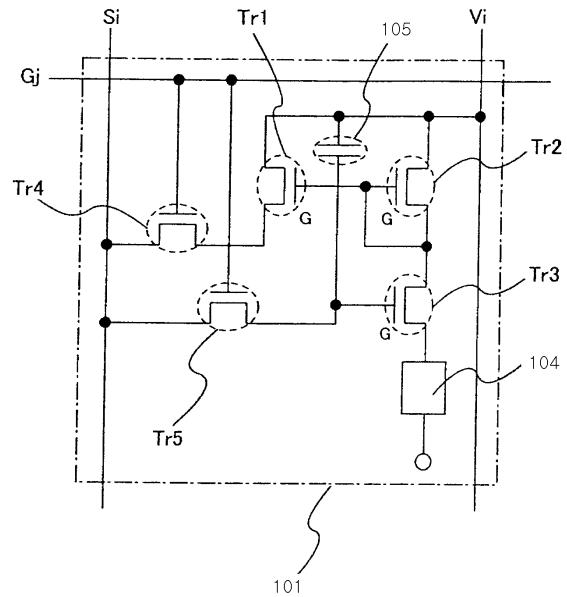
- | | |
|---------------------|-----------------|
| <44> 100 : 화소부 | 101 : 화소 |
| <45> 102 : 신호선 구동회로 | 102a : 시프트 레지스터 |
| <46> 102b : 기억회로 A | 102c : 기억회로 B |
| <47> 102d : 전류변환회로 | 102e : 전환회로 |
| <48> 103 : 주사선 구동회로 | |

도면

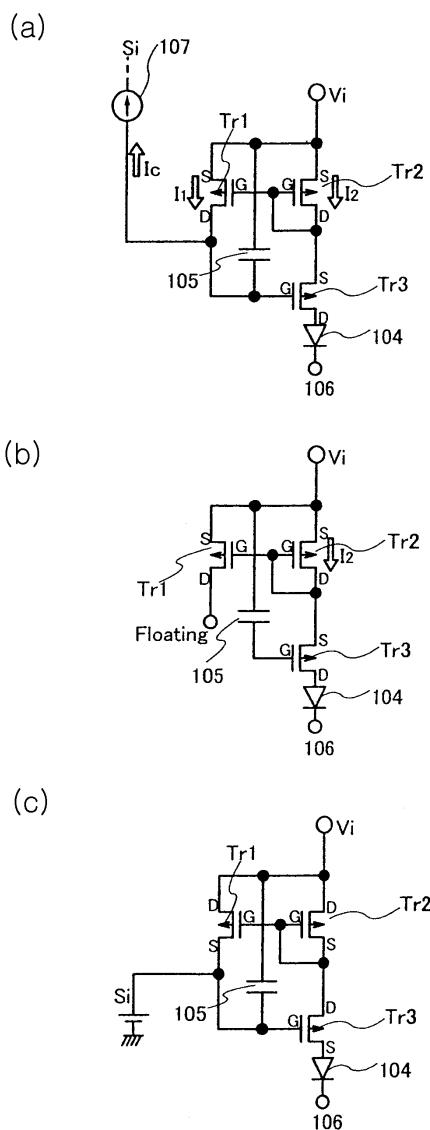
도면1



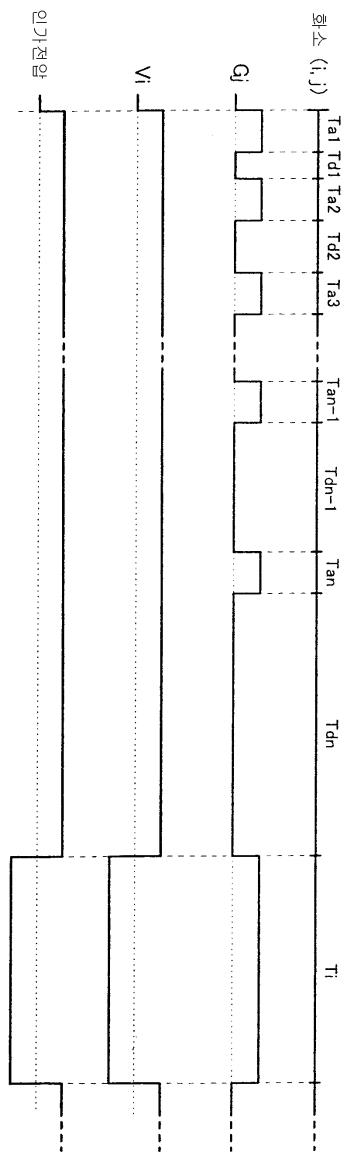
도면2



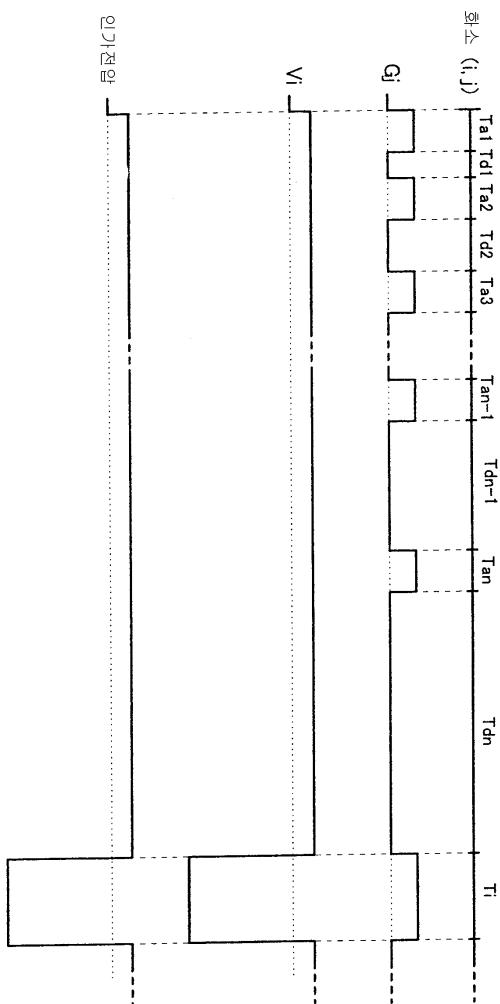
도면3



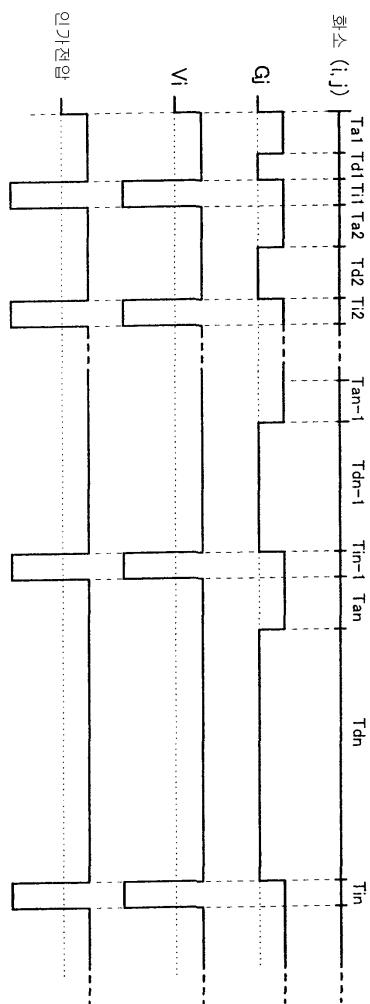
도면4



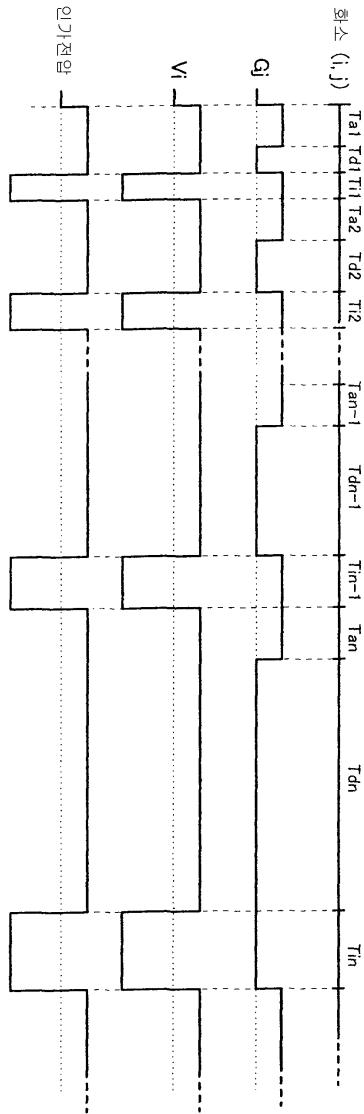
도면5



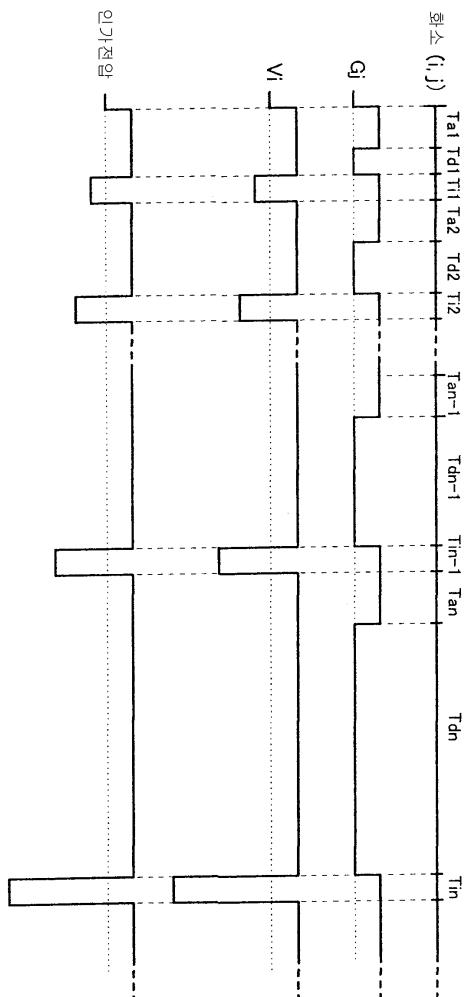
도면6



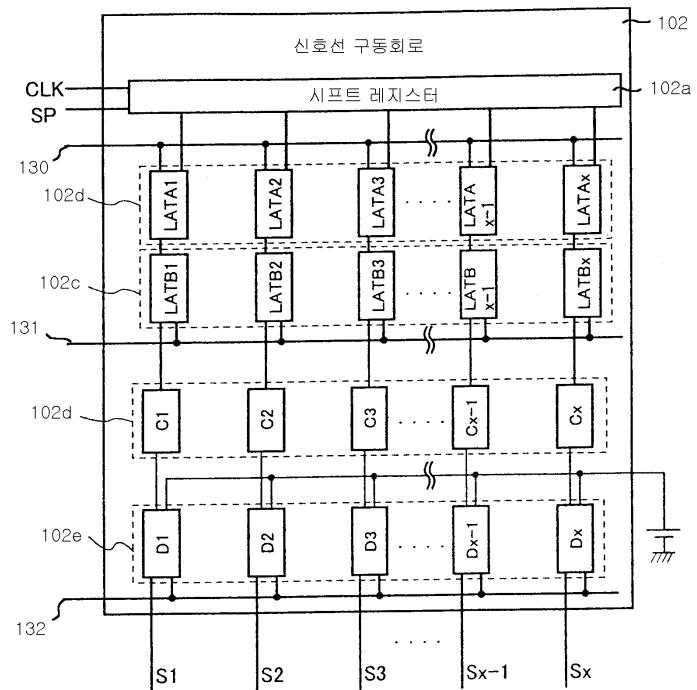
도면7



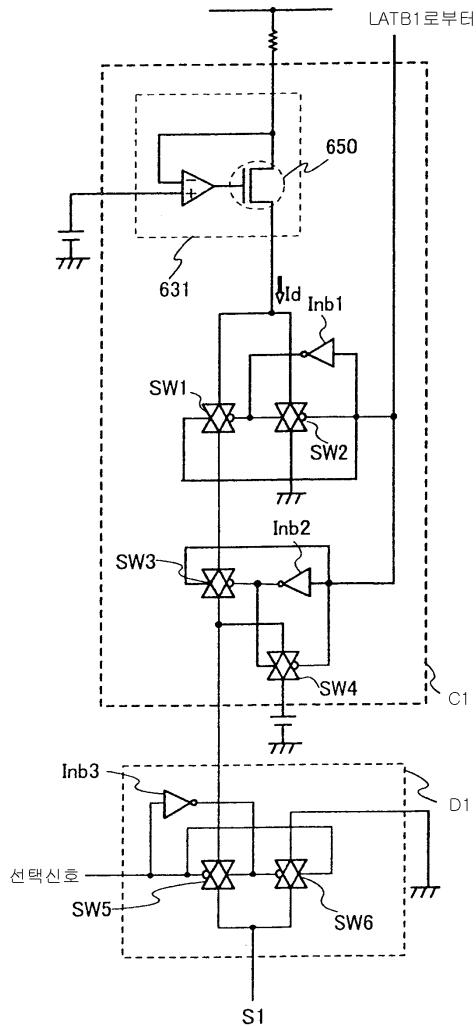
도면8



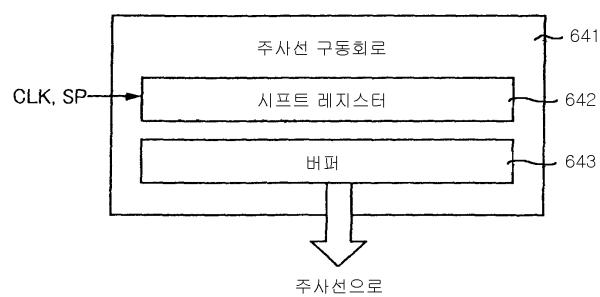
도면9



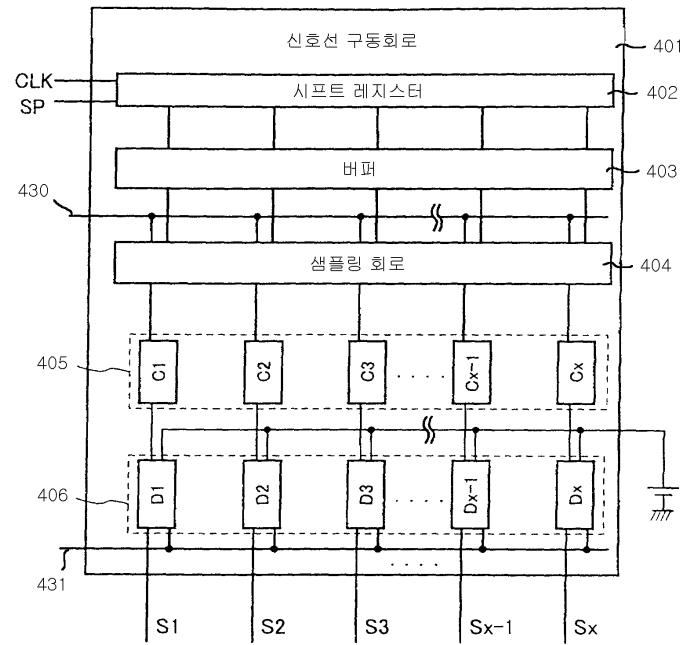
도면10



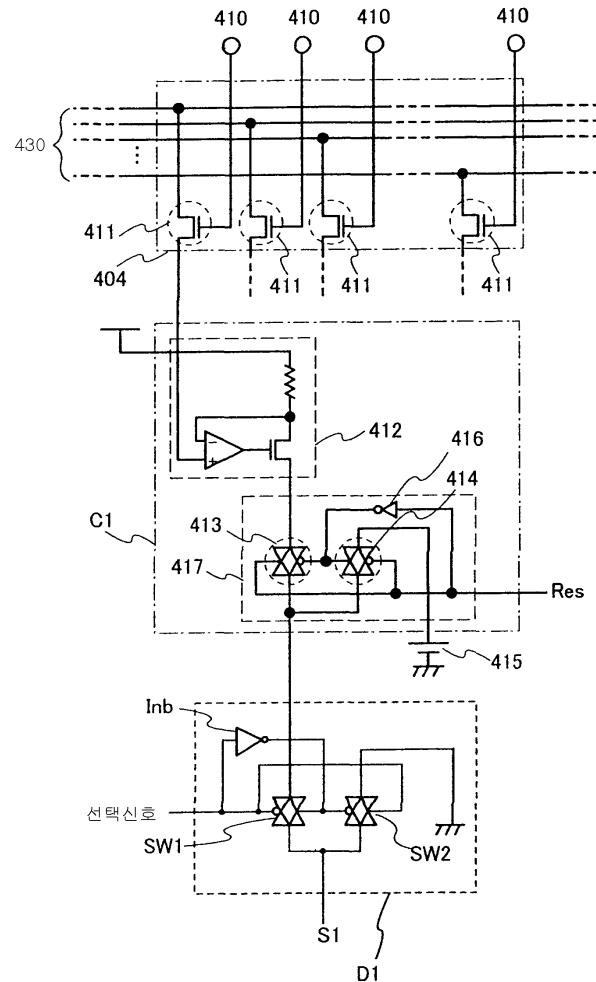
도면11



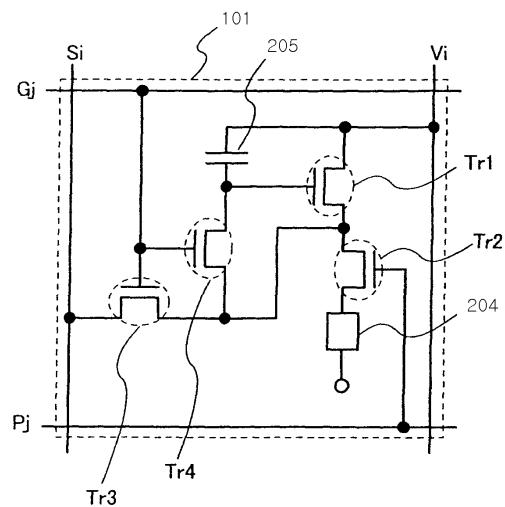
도면12



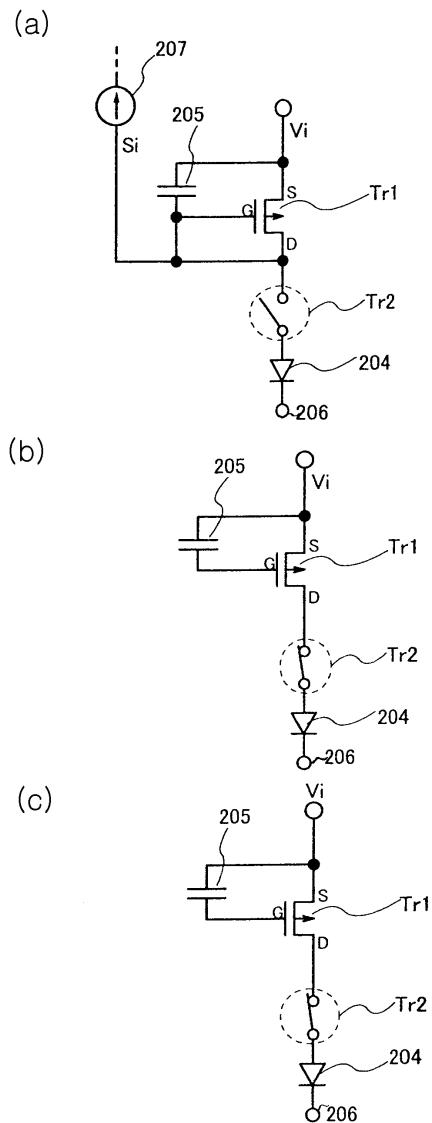
도면13



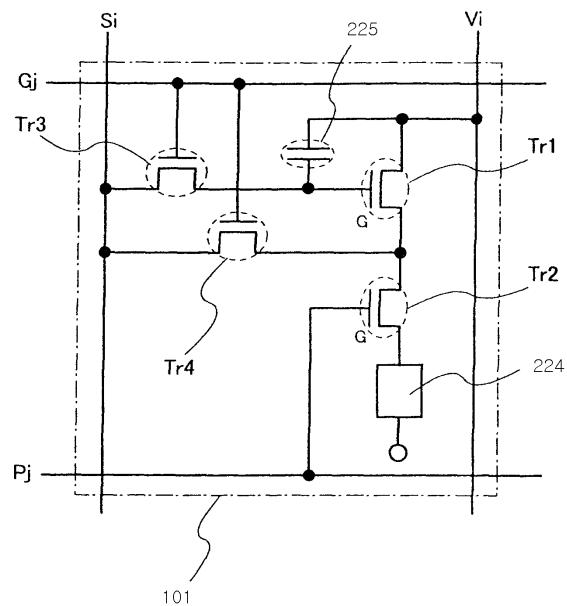
도면14



도면15

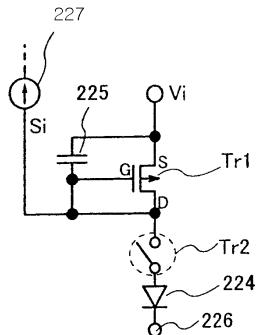


도면16

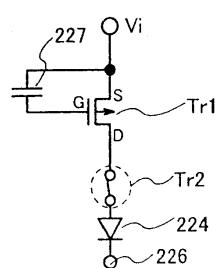


도면17

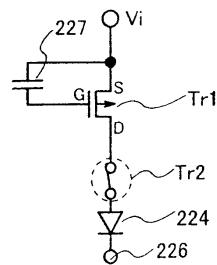
(a)



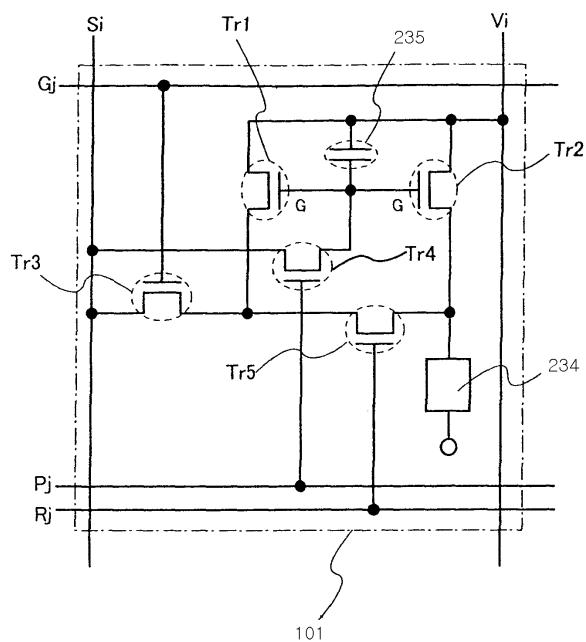
(b)



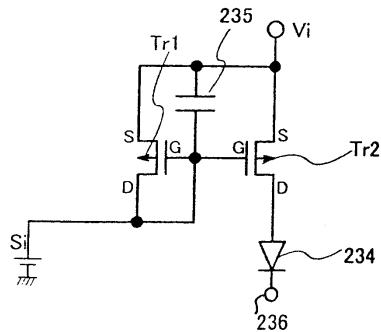
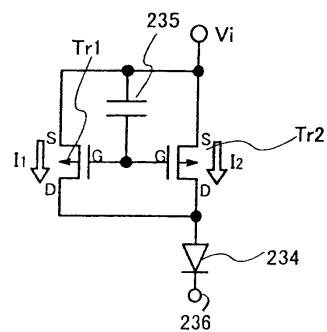
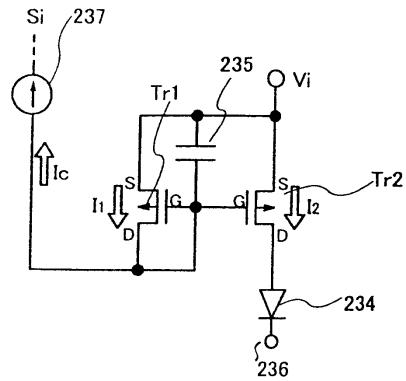
(c)



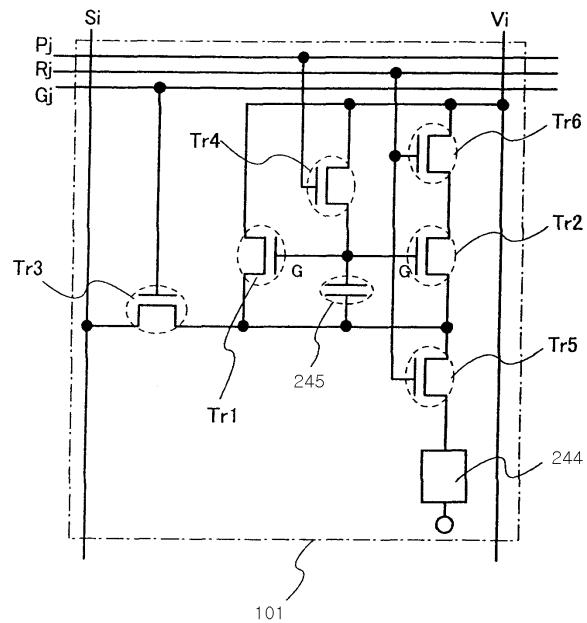
도면18



도면19



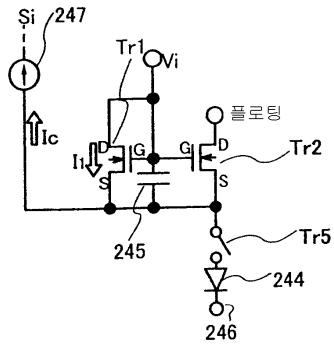
도면20



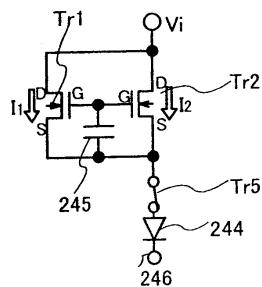
101

도면21

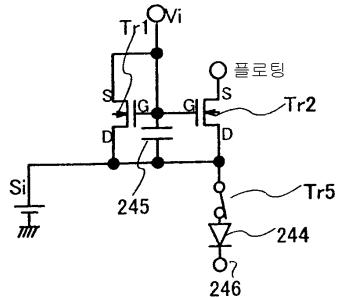
(a)



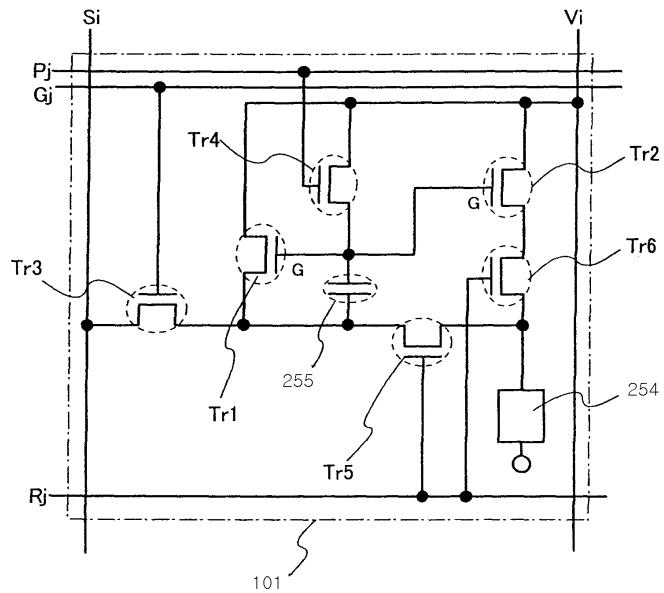
(b)



(c)

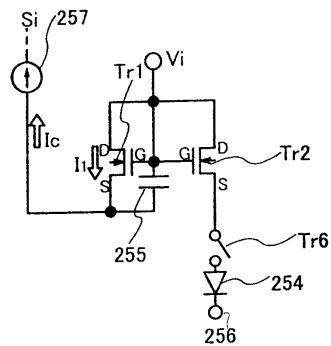


도면22

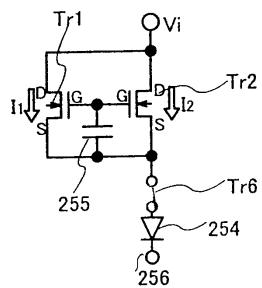


도면23

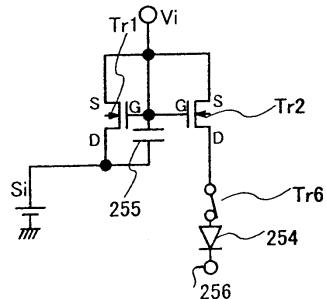
(a)



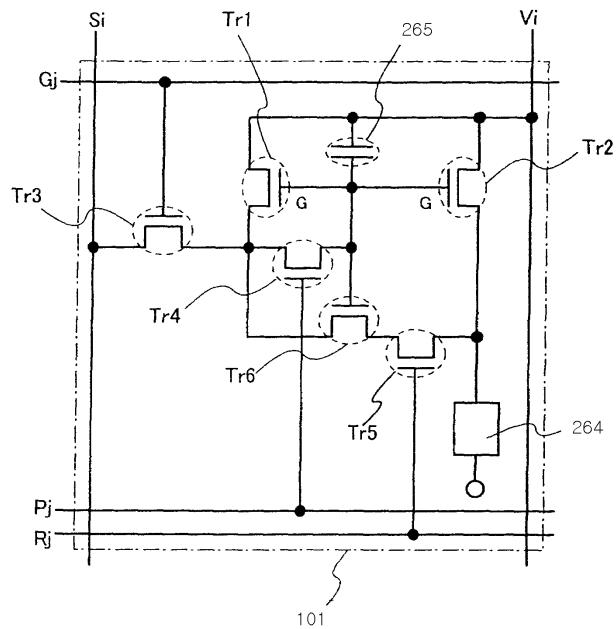
(b)



(c)

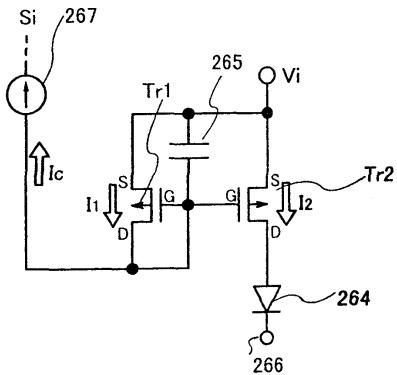


도면24

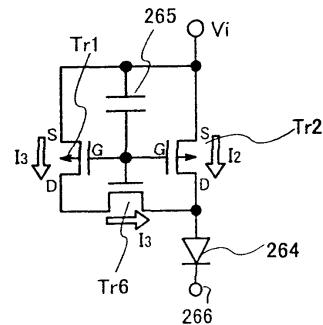


도면25

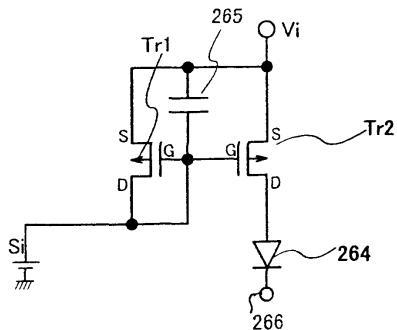
(a)



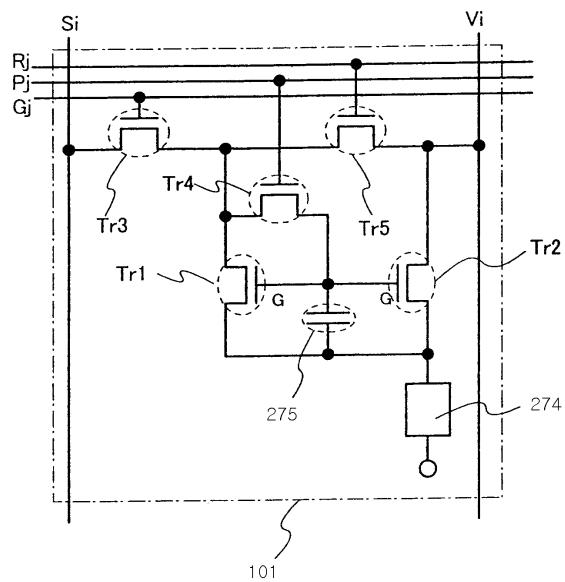
(b)



(c)

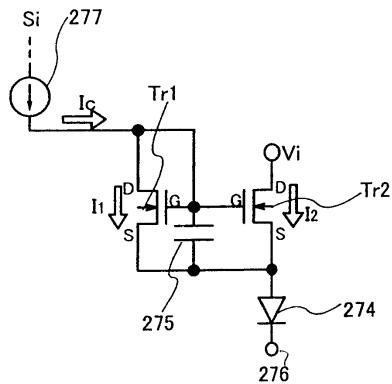


도면26

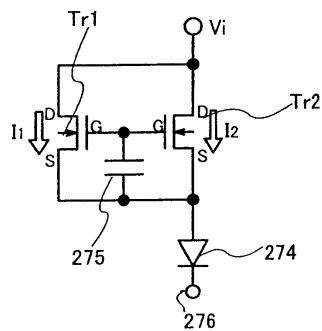


도면27

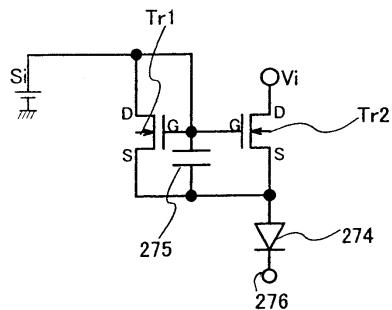
(a)



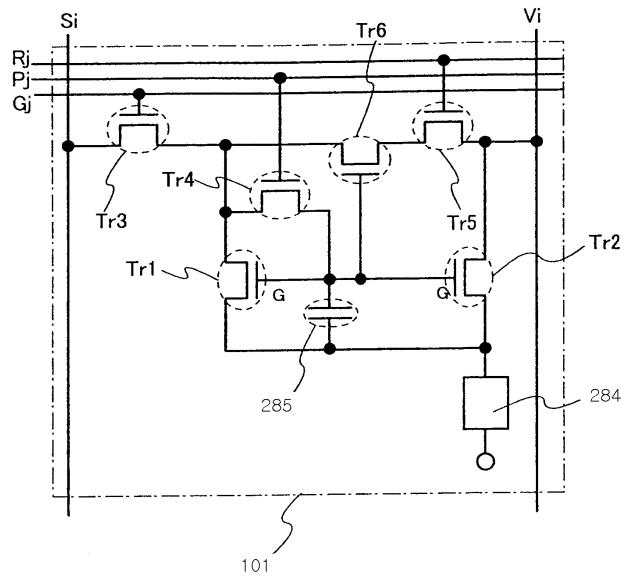
(b)



(c)

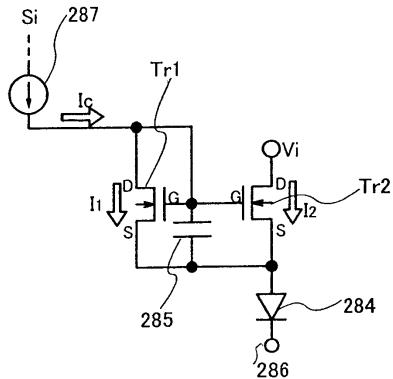


도면28

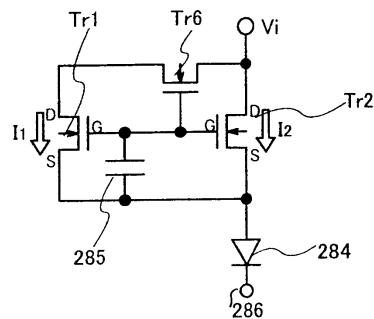


도면29

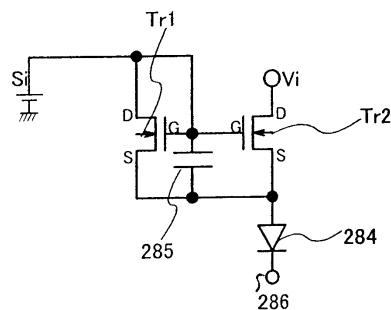
(a)



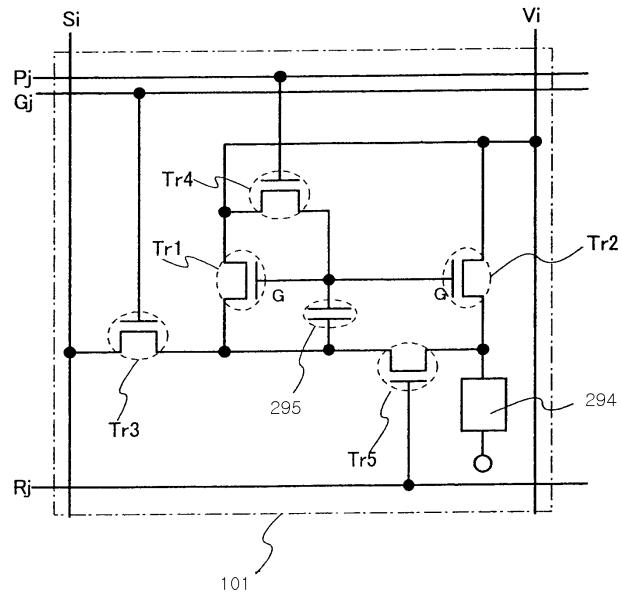
(b)



(c)

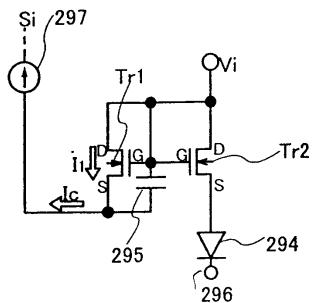


도면30

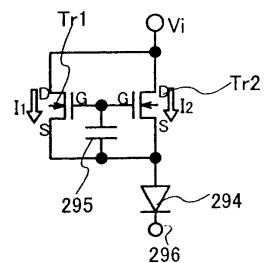


도면31

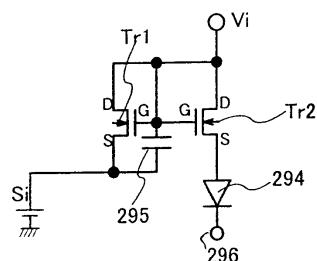
(a)



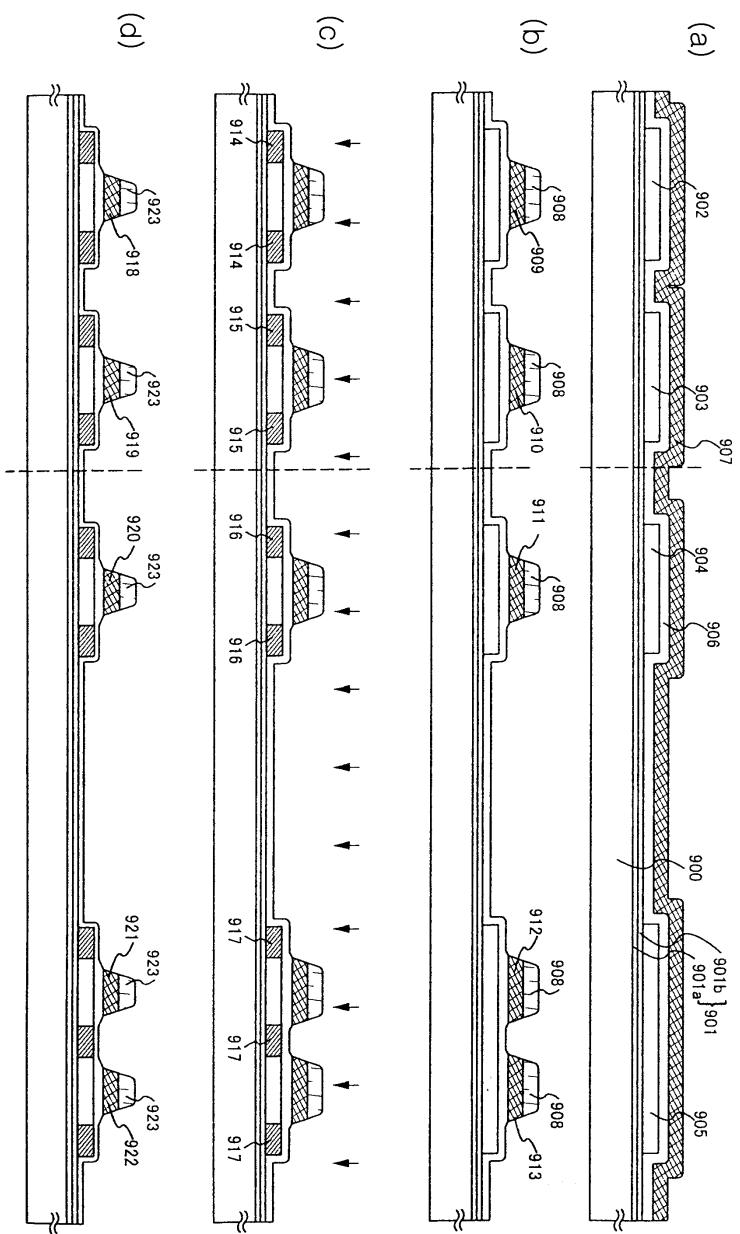
(b)



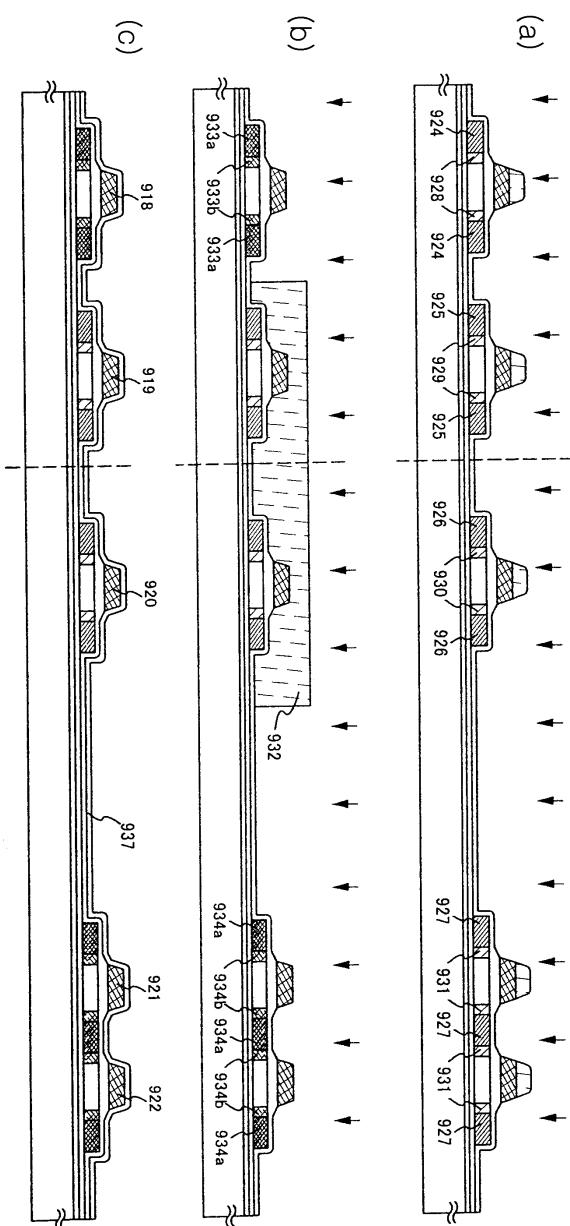
(c)



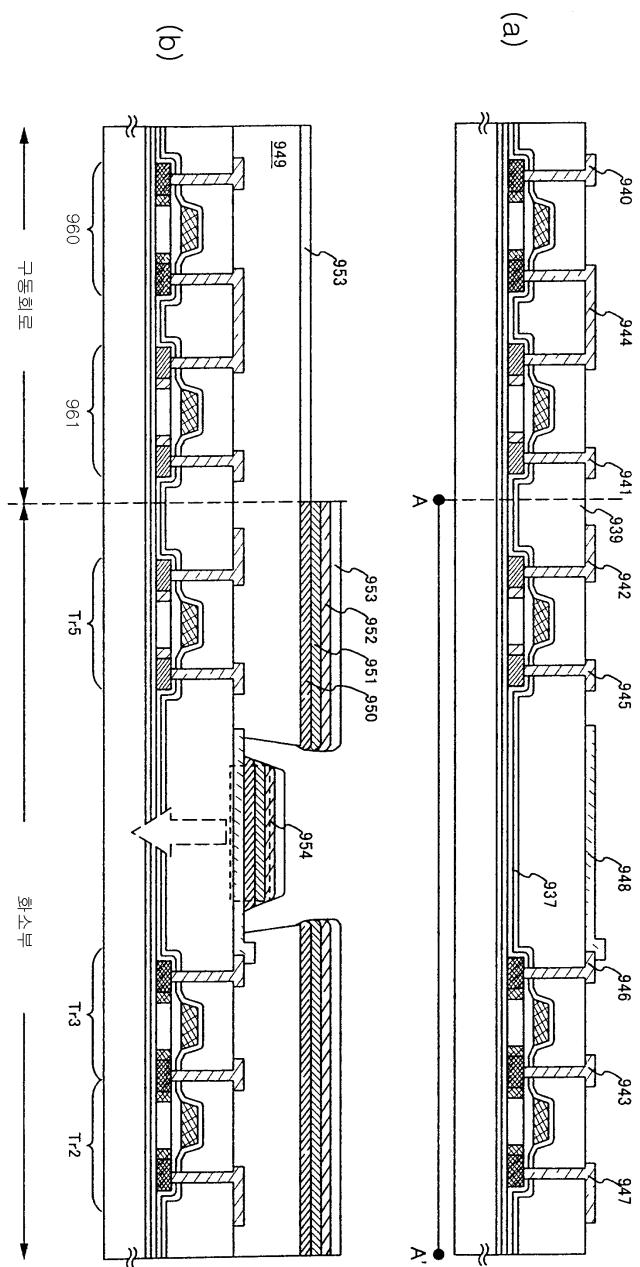
도면32



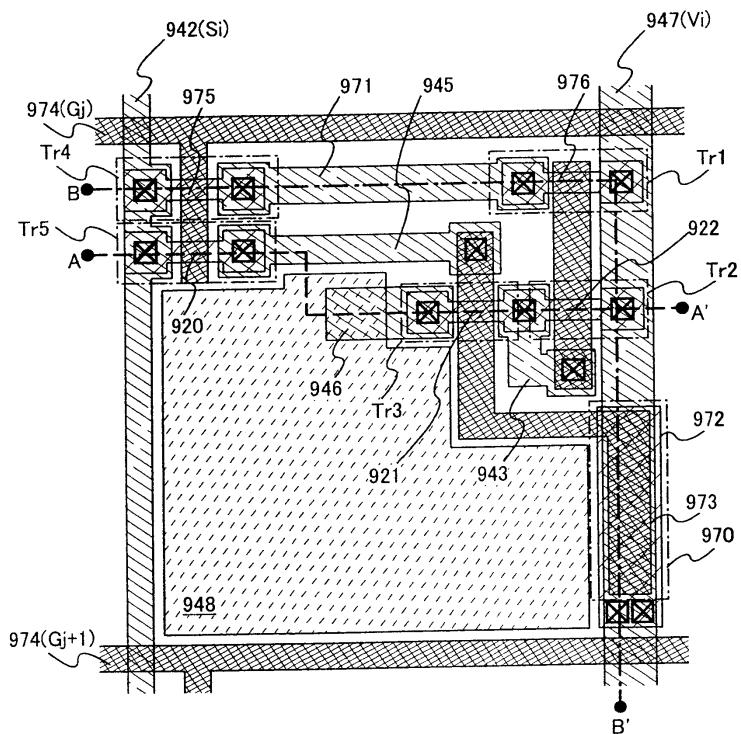
도면33



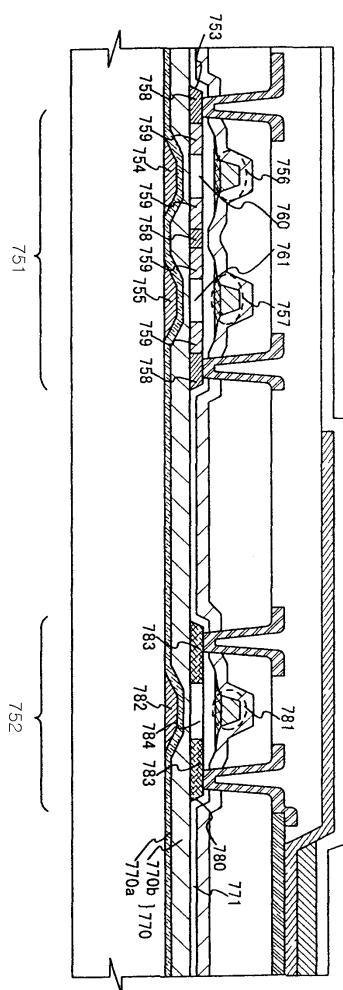
도면34



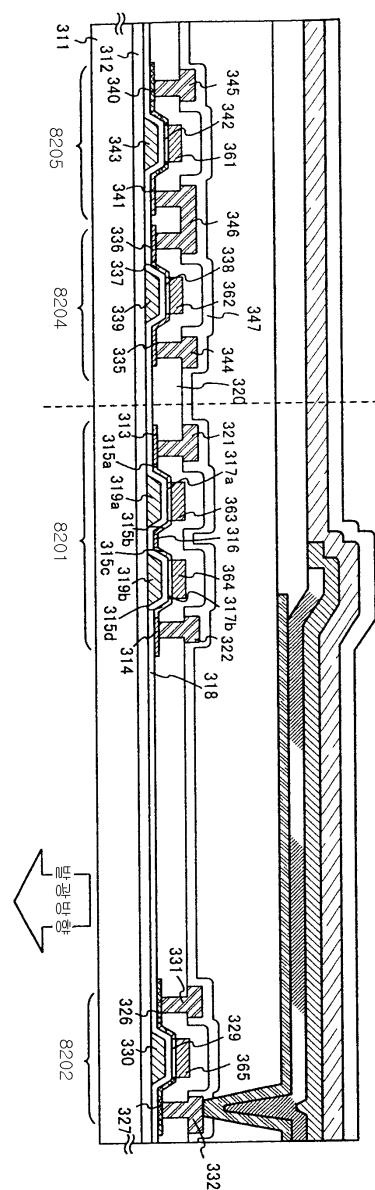
도면35



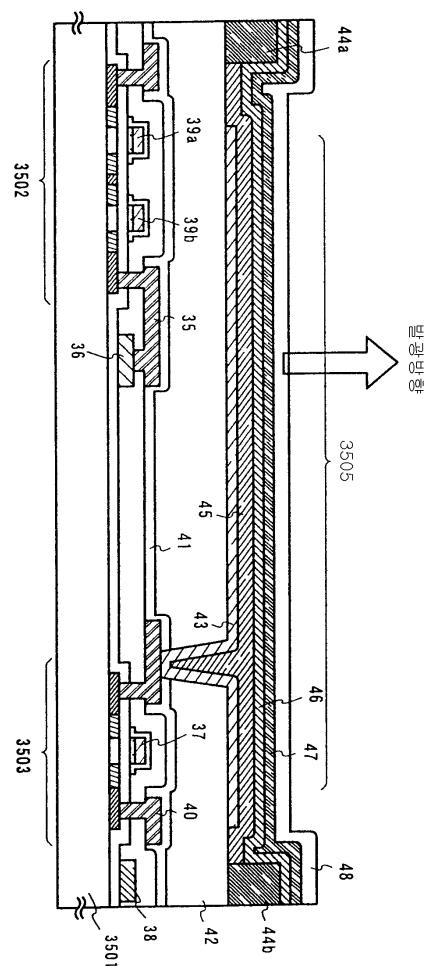
도면36



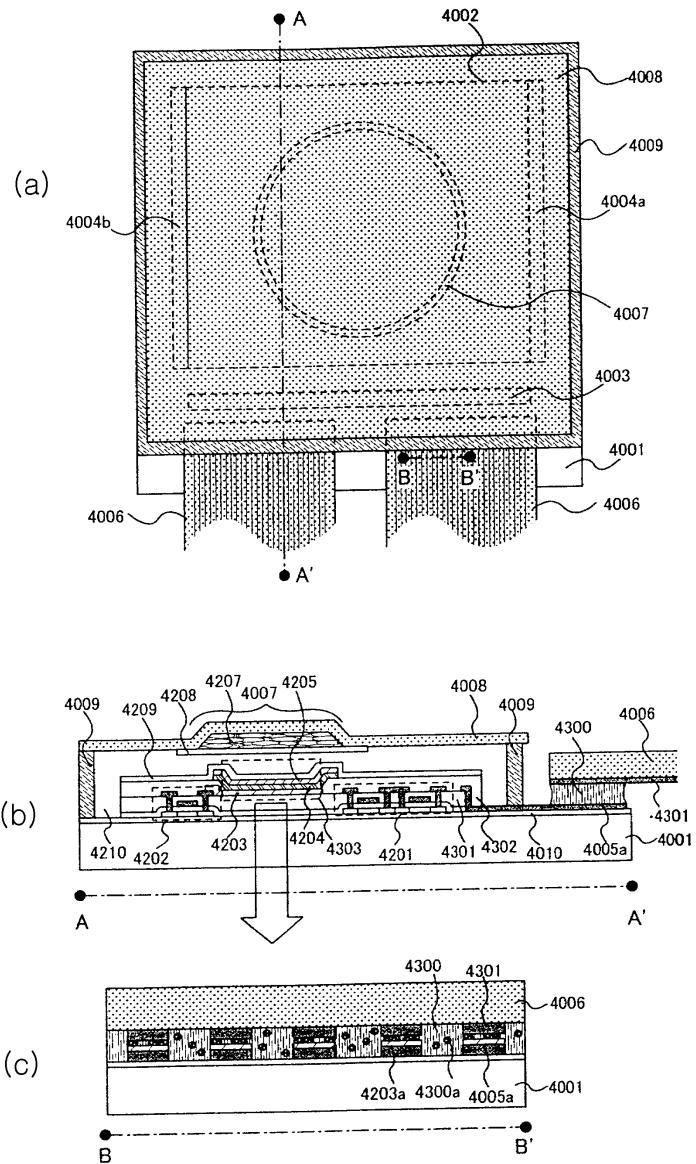
도면37



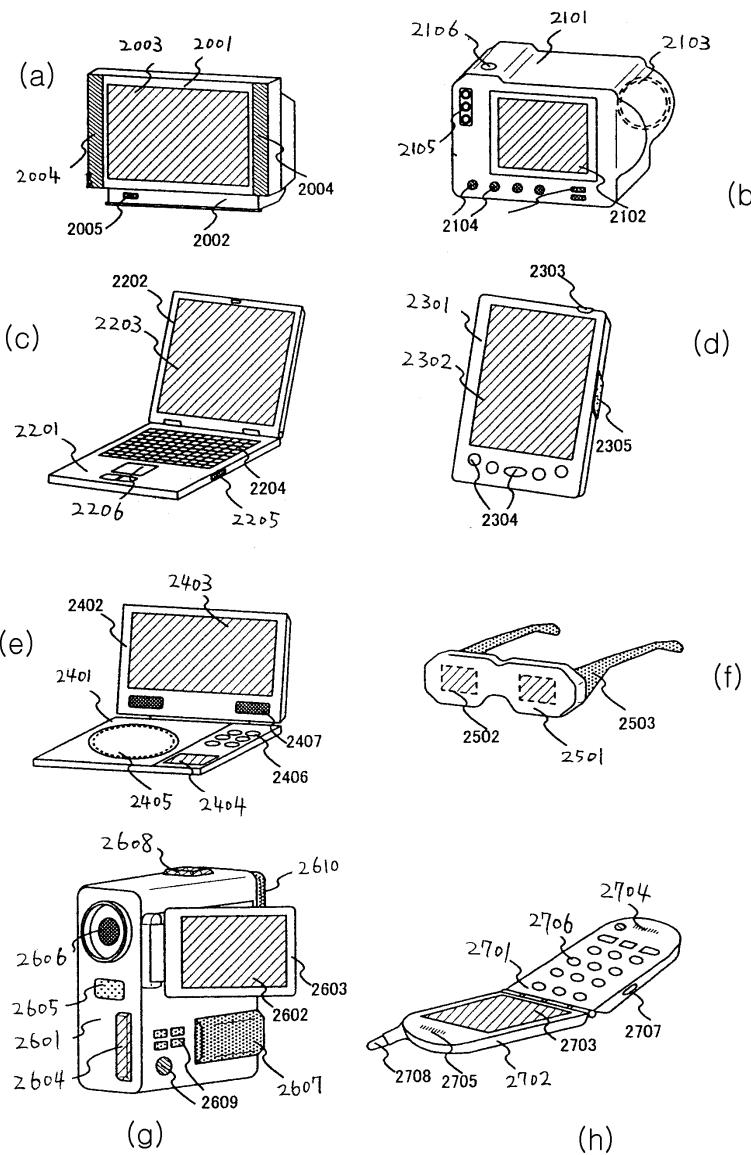
도면38



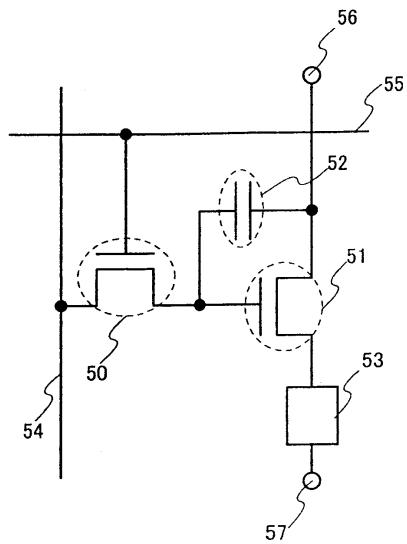
도면39



도면40



도면41



도면42

