

(19) 日本国特許庁(JP)

(12) 特許公報(B2)

(11) 特許番号

特許第6141134号
(P6141134)

(45) 発行日 平成29年6月7日(2017.6.7)

(24) 登録日 平成29年5月12日(2017.5.12)

(51) Int.Cl.

H02M 3/155 (2006.01)

F 1

H02M 3/155

W

請求項の数 3 (全 16 頁)

(21) 出願番号 特願2013-153128 (P2013-153128)
 (22) 出願日 平成25年7月24日 (2013.7.24)
 (65) 公開番号 特開2015-23776 (P2015-23776A)
 (43) 公開日 平成27年2月2日 (2015.2.2)
 審査請求日 平成27年10月16日 (2015.10.16)

(73) 特許権者 000006013
 三菱電機株式会社
 東京都千代田区丸の内二丁目7番3号
 (74) 代理人 100110423
 弁理士 曽我 道治
 (74) 代理人 100111648
 弁理士 梶並 順
 (74) 代理人 100122437
 弁理士 大宅 一宏
 (74) 代理人 100147566
 弁理士 上田 俊一
 (74) 代理人 100161171
 弁理士 吉田 潤一郎
 (74) 代理人 100161115
 弁理士 飯野 智史

最終頁に続く

(54) 【発明の名称】電力変換回路およびその制御方法

(57) 【特許請求の範囲】

【請求項 1】

リアクトルとスイッチング素子とを有するスイッチング回路を、複数並列接続して構成され、前記スイッチング素子がスイッチング動作を行うことにより、入力された直流電圧を昇圧または降圧して出力する電力変換回路であって、

前記電力変換回路が前記直流電圧を昇圧して出力する回路である場合は、前記電力変換回路の出力定格電圧を V_{out} とし、出力定格電流を I_{out} としたときに、前記スイッチング回路内の抵抗成分を $(V_{out} / I_{out}) \times 0.02$ 以上に設定し、

前記電力変換回路が前記直流電圧を降圧して出力する回路である場合は、前記電力変換回路の入力定格電圧を V_{in} とし、出力定格電流を I_{in} としたときに、前記スイッチング回路内の抵抗成分を $(V_{in} / I_{in}) \times 0.02$ 以上に設定する

電力変換回路。

【請求項 2】

前記スイッチング回路が並列接続されて構成された並列回路部分よりも入力側、あるいは、当該並列回路部分よりも出力側に設けられ、各スイッチング回路に設けられた前記リアクトルのインダクタンス値よりも大きいインダクタンス値を有する第2のリアクトルをさらに備えた

請求項1に記載の電力変換回路。

【請求項 3】

前記リアクトルの代わりに、トランスを設けた

請求項 1 に記載の電力変換回路。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は電力変換回路およびその制御方法に関し、特に、複数のスイッチング電源回路を並列にして構成した電力変換回路およびその制御方法に関するものである。

【背景技術】

【0002】

昇圧チョッパ回路とは、チョッパリアクトルとスイッチング素子との直列回路と、このスイッチング素子と並列に接続されたダイオードとコンデンサとの直列回路とからなり、このコンデンサの端子間に接続された負荷に直流出力を供給するように構成したもので、前記スイッチング素子をオンさせることによって直流電圧をチョッパリアクトルに印加してチョッパリアクトルにエネルギーを蓄積し、前記スイッチング素子をオフさせることによってこのエネルギーをダイオードを介してコンデンサに移してコンデンサの端子間電圧を入力電圧より高くするものである。一方、この回路を反対に構成したものが降圧チョッパ回路となる。昇圧および降圧チョッパ回路は非絶縁のスイッチング D C - D C コンバータとして最も基本的なものである。

【0003】

このようなスイッチング回路の電流容量を大きくしようとすると、回路の各素子の電流容量を大きくしていく必要があるが、特にスイッチング素子やダイオードの電流容量は、単一の素子の電流容量には限界があるので、素子を多数並列に構成することになる。しかしながら M O S F E T や I G B T といったスイッチング素子を多並列にして動かすと、わずかなスイッチング特性のズレで素子間の損失が大きく偏る可能性があり、好ましくない。ダイオードについても同様で、わずかな順方向電圧の違いで電流が大きく偏るため、一般に多くの素子を並列にして構成することは好ましくない。このため、1 個または少数の M O S F E T や I G B T などのスイッチング素子およびダイオードで構成されたスイッチング回路を、多数並列にすることで全体としての電流容量を大きくする。スイッチング回路には、先に述べたように、チョッパリアクトル、スイッチング素子、およびダイオードが含まれる。

【0004】

このように構成された多並列のスイッチング回路の場合は、素子の特性ばらつきによって電流の偏りが発生する可能性は少ない。しかしながら、回路上のなんらかの原因で並列接続された回路間で電流が偏る可能性がある。

【0005】

このため、たとえば特許文献 1 では、スイッチング素子およびコイル（チョッパリアクトル）を有し、スイッチング素子がスイッチング動作を行うことにより、入力された直流電圧を昇圧または降圧して出力する複数の入力変換回路を並列に接続した D C - D C コンバータにおいて、複数の入力変換回路のスイッチング素子に対し、コイル（チョッパリアクトル）を流れる電流がゼロのときにオフからオンになるスイッチング動作を行うように制御することにより、電流がある特定のスイッチング素子に偏らないようにしている。

【先行技術文献】

【特許文献】

【0006】

【特許文献 1】特開 2008 - 72798 号公報

【発明の概要】

【発明が解決しようとする課題】

【0007】

しかしながら、実施の形態で後述するような理由により、多並列にしたスイッチング回路を、同じ制御信号で駆動したとしても、個々のスイッチング回路の、わずかな回路インピーダンスのばらつき、スイッチング素子駆動回路の遅延などによって、オンオフタイミ

10

20

30

40

50

ングが異なると、並列接続された回路の電流が一方の回路に偏り、個々の電流値が大きくばらつくことがわかっている。電流値がばらつくと一部の素子に大きな電流が流れ、素子が破損する可能性がある。特許文献1では、上述したような回路間の電流の偏りを防ぐための方策が示されているが、入力電流がゼロになるところを検出する構成であるため、電流不連続モードが前提となっており、大容量の電力変換回路には用いることができないという問題点がある。

【0008】

本発明はかかる問題点を解決するためになされたものであり、複数のスイッチング回路が並列接続された構成であっても、電流の偏りを防止することが可能な電力変換回路およびその制御方法を得ることを目的とする。

10

【課題を解決するための手段】

【0009】

本発明は、リクトルとスイッチング素子とを有するスイッチング回路を、複数並列接続して構成され、前記スイッチング素子がスイッチング動作を行うことにより、入力された直流電圧を昇圧または降圧して出力する電力変換回路であって、前記電力変換回路が前記直流電圧を昇圧して出力する回路である場合は、前記電力変換回路の出力定格電圧を V_{out} とし、出力定格電流を I_{out} としたときに、前記スイッチング回路内の抵抗成分を $((V_{out} / I_{out}) \times 0.02)$ 以上に設定し、前記電力変換回路が前記直流電圧を降圧して出力する回路では、前記電力変換回路の入力定格電圧を V_{in} とし、出力定格電流を I_{in} としたときに、前記スイッチング回路内の抵抗成分を $((V_{in} / I_{in}) \times 0.02)$ 以上に設定する電力変換回路である。

20

【発明の効果】

【0010】

本発明は、リクトルとスイッチング素子とを有するスイッチング回路を、複数並列接続して構成され、前記スイッチング素子がスイッチング動作を行うことにより、入力された直流電圧を昇圧または降圧して出力する電力変換回路であって、前記電力変換回路が前記直流電圧を昇圧して出力する回路では、前記電力変換回路の出力定格電圧を V_{out} とし、出力定格電流を I_{out} としたときに、前記スイッチング回路内の抵抗成分を $((V_{out} / I_{out}) \times 0.02)$ 以上に設定し、前記電力変換回路が前記直流電圧を降圧して出力する回路では、前記電力変換回路の入力定格電圧を V_{in} とし、出力定格電流を I_{in} としたときに、前記スイッチング回路内の抵抗成分を $((V_{in} / I_{in}) \times 0.02)$ 以上に設定する電力変換回路であるので、複数のスイッチング回路が並列接続された構成であっても、電流の偏りを防止することができる。

30

【図面の簡単な説明】

【0011】

【図1】複数個のチョッパ昇圧回路を並列に接続した構成を備えた電力変換回路の構成を示す回路図である。

【図2】2個のチョッパ昇圧回路を並列に接続した構成を備えた電力変換回路の構成を示す回路図である。

【図3】2並列のチョッパ昇圧回路における2つのスイッチング素子のON時間がわずかにずれた状態を示すタイミングチャートである。

40

【図4】2個のチョッパ降圧回路を並列に接続した構成を備えた電力変換回路の構成を示す回路図である。

【図5】本発明の実施の形態1に係る電力変換回路の構成を示した構成図である。

【図6】本発明の実施の形態1に係る電力変換回路の構成の変形例を示した構成図である。

【図7】本発明の実施の形態1に係る電力変換回路の構成のさらなる変形例を示した構成図である。

【図8】本発明の実施の形態1に係る電力変換回路のチョッパ降圧回路の場合の構成を示した構成図である。

50

【図9】本発明の実施の形態2に係る電力変換回路の構成を示した構成図である。

【図10】本発明の実施の形態4に係る電力変換回路の構成を示した構成図である。

【図11】本発明の実施の形態4に係る電力変換回路のチョッパ降圧回路の場合の構成を示した構成図である。

【発明を実施するための形態】

【0012】

実施の形態1.

図1は、複数個のチョッパ昇圧回路を並列に接続した構成を備えた電力変換回路を示している。図1に示すように、当該電力変換回路においては、各チョッパ昇圧回路は、チョッパリアクトル1とスイッチング素子2とを直列に接続した直列回路と、このスイッチング素子2と並列に接続されたダイオード3とコンデンサ4との直列回路とから構成されている。但し、コンデンサ4は、各チョッパ昇圧回路ごとに設けられておらず、1つのコンデンサが各チョッパ昇圧回路に対して共通に設けられている。すなわち、図1に示すように、各チョッパ昇圧回路のチョッパリアクトル1とスイッチング素子2とダイオード3とからなる各回路部分（以下、スイッチング回路と呼ぶ）を並列に接続し、それらのスイッチング回路の出力が並列になった部分の外部に1つのコンデンサ4が各スイッチング回路に対して共通に設けられている。すなわち、複数のスイッチング回路が並列に接続された並列回路の出力側（スイッチング回路の出力が合流する合流点の出力側）にコンデンサ4が配置されている。また、各スイッチング素子2には、それぞれ、駆動回路7が設けられ、駆動回路7からの信号により各スイッチング素子2はON/OFF動作する。このスイッチング動作により、電力変換回路は、入力された直流電圧 V_{in} を昇圧（または降圧）して出力する。このように、図1においては、チョッパリアクトル1とスイッチング素子2とダイオード3とからなる各スイッチング回路が並列に接続された並列回路が入力側に設けられ、コンデンサ4が出力側に設けられている。

【0013】

このような電力変換回路（DC-DC回路）では、出力電圧を一定値に制御するために、出力電圧を検出するための電圧検出部5が設けられている。この電圧検出部5によって検出された電圧検出値30は、外部に設けられた誤差増幅器6に入力される。また、誤差増幅器6は、同じく外部に設けられた電圧制御回路（図示せず）からの電圧指令値31が入力され、電圧指令値31と電圧検出値30との差分を増幅（誤差増幅）して、それに基づき、スイッチング素子2のゲートパルス幅を制御し、パルス幅信号32として各スイッチング素子2に出力する。図1のように複数のチョッパ昇圧回路を並列接続した場合、入力電圧 V_{in} は共通で、出力電圧 V_{out} も共通であるので、基本的には各スイッチング素子2のスイッチングパルスのパルス幅は同じでよく、全てのスイッチング素子2を同じパルス幅信号32で並列に駆動する。このような構成が通常の並列接続の状態である。

【0014】

次に、チョッパ昇圧回路を並列接続した場合に、どういう原理で電流が偏るかについて説明する。図2は、説明を簡単化するために、2個のチョッパ昇圧回路（以下、回路1および回路2と呼ぶ）が並列接続された構成を示しているが、基本的な構成は図1と同じである。図2において、電力変換回路の入力電圧および入力電流をそれぞれ V_{in} および I_{in} とし、出力電圧および出力電流をそれぞれ V_{out} および I_{out} とする。また、回路1の入力電流を I_1 、チョッパリアクトル1のリアクトルを L_1 、スイッチング素子2を S_1 、ダイオード3とD1とし、同様に、回路2の入力電流を I_2 、チョッパリアクトル1のリアクトルを L_2 、スイッチング素子2を S_2 、ダイオード3とD2とし、コンデンサ4をCとする。また、回路1において、スイッチング素子 S_1 がON時の電流経路、すなわち、 L_1 と S_1 を含む経路のインピーダンスを R_{s1} 、スイッチング素子 S_1 のOFF時の経路、すなわち、 L_1 とD1を含む経路のインピーダンスを R_{d1} とする。また、同様に、回路2において、スイッチング素子 S_2 がON時の電流経路、すなわち、 L_2 と S_2 を含む経路のインピーダンスを R_{s2} 、スイッチング素子 S_2 のOFF時の経路、すなわち、 L_2 とD2を含む経路のインピーダンスを R_{d2} とする。

【0015】

いま、この2つの回路（回路1と回路2）のスイッチングのON時間の時間長に違いが生じた場合を考える。図3は、回路1のスイッチング素子S1と回路2のスイッチング素子S2のON時間がわずかにずれた状態を示している。図3において、スイッチング素子S1のON時間を $t_{on} + t_d$ 、OFF時間を t_{off} 、スイッチング素子S2のON時間を t_{on} 、OFF時間を $t_{off} + t_d$ とする。すなわち、スイッチング素子S1のON時間の方が、スイッチング素子S2のON時間よりも、時間 t_d だけ長く、その分だけ、ON時間がわずかにずれている。

【0016】

ここで、回路1と回路2の構成は同じであるため、回路1のインピーダンス R_s1 と回路2のインピーダンス R_s2 とは同じであり、また、回路1のインピーダンス R_d1 と回路2のインピーダンス R_d2 とは同じであるため、以下では、 R_s1 と R_s2 とをまとめて R_s とし、 R_d1 と R_d2 とをまとめて R_d とする。

10

【0017】

このとき、電力変換回路の昇圧比 γ は、下記の式(1)のように表される。また、このとき、スイッチング素子S1, S2を含む回路1, 2の損失が十分に小さいと仮定すると、入力電流と出力電流も式(1)のような関係にある。

【0018】

【数1】

$$\gamma = \frac{V_{out}}{V_{in}} \cong \frac{I_{in}}{I_{out}} \quad (1)$$

20

【0019】

図3のように、スイッチング素子S1およびS2のそれぞれにおいて、一定のスイッチング周期が繰り返されている場合、電圧の平衡条件から、下記の式(2)および(3)がそれぞれ導かれる。

【0020】

【数2】

$$\frac{V_{in} - I_1 R_s}{L_1} (t_{on} + t_d) = \frac{V_{out} + I_1 \frac{R_d}{\gamma} - V_{in}}{L_1} t_{off} \quad (2)$$

30

$$\frac{V_{in} - I_2 R_s}{L_2} t_{on} = \frac{V_{out} + I_2 \frac{R_d}{\gamma} - V_{in}}{L_2} (t_{off} + t_d) \quad (3)$$

40

【0021】

これらの式(2), (3)を解いて下記の式(4)で示される関係を得る。

【0022】

【数3】

$$V_{out} \cdot t_d = (I_1 - I_2) \left(R_s t_{on} + \frac{R_d}{\gamma} t_{off} \right) + t_d \left(I_1 R_s - I_2 \frac{R_d}{\gamma} \right) \quad (4)$$

【0023】

ここで、 t_d 、 R_s 、 R_d は微小と考えて、右辺第2項の2次の項を無視して線形化す

50

ると、下記の式(5)で示される関係を得る。

【0024】

【数4】

$$I_1 - I_2 = \frac{V_{out} \cdot t_d}{R_s t_{on} + \frac{R_d}{\gamma} t_{off}} \quad (5)$$

【0025】

上記の説明においては、チョッパ昇圧回路について説明したが、チョッパ降圧回路についても同様である。図4は、2個のチョッパ降圧回路(回路1、回路2)を並列に接続した構成を示したものである。図4に示すように、当該電力変換回路においては、各チョッパ降圧回路は、スイッチング素子2とチョッパリアクトル1とを直列に接続した直列回路と、このスイッチング素子と並列に接続されたダイオード3とコンデンサ4との直列回路とから構成されている。但し、図4においては、チョッパ降圧回路であるため、各素子の配置順序が図2と逆になっている。すなわち、コンデンサ4が入力側に設けられ、チョッパリアクトル1とスイッチング素子2とダイオード3とからなる各スイッチング回路が並列に接続された並列回路が出力側に設けられている。さらに、スイッチング回路内で、スイッチング素子2が、チョッパリアクトル1よりも入力側になるように設けられている。

【0026】

図4の構成において、電力変換回路の入力電圧および入力電流をそれぞれ V_{in} および I_{in} とし、出力電圧および出力電流をそれぞれ V_{out} および I_{out} とし、回路1の入力電流を I_1 、チョッパリアクトル1のリアクトルを L_1 、スイッチング素子2を S_1 、ダイオード3と D_1 とし、同様に、回路2の入力電流を I_2 、チョッパリアクトル1のリアクトルを L_2 、スイッチング素子2を S_2 、ダイオード3と D_2 とし、コンデンサ4を C とする。また、回路1において、スイッチング素子 S_1 がON時の電流経路、すなわち、 L_1 と S_1 を含む経路のインピーダンスを R_{s1} 、スイッチング素子 S_1 のOFF時の経路、すなわち、 L_1 と D_1 を含む経路のインピーダンスを R_{d1} とする。また、同様に、回路2において、スイッチング素子 S_2 がON時の電流経路、すなわち、 L_2 と S_2 を含む経路のインピーダンスを R_{s2} 、スイッチング素子 S_2 のOFF時の経路、すなわち、 L_2 と D_2 を含む経路のインピーダンスを R_{d2} とする。

【0027】

また、上記の図3と同様に、スイッチング素子 S_1 のON時間を $t_{on} + t_d$ 、OFF時間を t_{off} 、スイッチング素子 S_2 のON時間を t_{on} 、OFF時間を $t_{off} + t_d$ とする。ここで、回路1のインピーダンス R_{s1} と回路2のインピーダンス R_{s2} とは同じであり、また、回路1のインピーダンス R_{d1} と回路2のインピーダンス R_{d2} とは同じであるため、以下では、 R_{s1} と R_{s2} とをまとめて R_s とし、 R_{d1} と R_{d2} とをまとめて R_d とする。

【0028】

このとき、式(1)と同様に、昇圧比 γ を定義すると($\gamma < 1$)、電流の偏りは、下記の式(6)のように求められる。

【0029】

【数5】

$$I_1 - I_2 = \frac{V_{in} \cdot t_d}{\gamma R_s t_{on} + R_d t_{off}} \quad (6)$$

【0030】

式(5)および式(6)によれば、電流の偏りはスイッチングON時間の差 t_d に比例しており、特に回路のインピーダンス R_s 、 R_d が十分に小さく設計されている場合は、

10

20

30

40

50

電流偏りの大きさは非常に大きくなる。これはつまり、回路上の問題によって生じたスイッチング時間のごくわずかな違いが、非常に大きな電流の偏りを発生させることを示している。

【0031】

図5は、このような電流の偏りを抑制するための本実施の形態に係る一つの構成について示している。図5の電力変換回路の構成は、図1の構成に対して、電流検出部8とON時間調整回路9とを追加した構成である。他の構成および動作については、図1と同じであるため、ここでは、同一符号を付して示し、詳細な説明については省略する。

【0032】

電流検出部8は、各チョッパ昇圧回路の入力電流を検出（すなわち、各スイッチング回路を流れる電流を検出）するためのもので、各チョッパ昇圧回路（すなわち、各スイッチング回路）に対してそれぞれ1個ずつ設ける。図5では、電流検出部8は、チョッパリアクトル1とスイッチング素子2との間に接続され、スイッチング素子2を流れる電流値を検出している。各電流検出部8は、検出した電流検出値33を、各チョッパ昇圧回路の外部に設けられたON時間調整回路9に送信する。ON時間調整回路9には、誤差増幅器6からのパルス幅を指令するパルス幅信号32が入力されている。ON時間調整回路9では、各チョッパ昇圧回路で計測された電流値に基づいて、電流値が基準値より大きくなっているチョッパ昇圧回路のパルス幅を減少させ、電流値が基準値より小さいチョッパ昇圧回路のパルス幅は増加させて、各電流値がほぼ一定になるような制御を行う。パルス幅の減少量および増加量は予め設定した値（固定値）としてもよいが、望ましくは、電流値と基準値との差に基づいて決定することが望ましい。こうして調整された各チョッパ昇圧回路のパルス幅を示すパルス幅信号34が各チョッパ昇圧回路のスイッチング素子2の駆動回路7に入力され、各チョッパ昇圧回路のスイッチング素子2を駆動する。これによって、電流の偏りが抑制される。

【0033】

図5の構成では、このように、ON時間調整回路9が、各スイッチング回路ごとに電流検出部8で検出した電流値が閾値以上か否かを判定し、当該電流値が閾値以上のスイッチング回路があった場合、当該スイッチング回路のスイッチング素子2のON時間を短くする制御を行う制御部を構成している。

【0034】

なお、上記の説明においては、ON時間調整回路9が、各チョッパ昇圧回路で計測された電流値に基づいて、電流値が基準値より大きくなっているチョッパ昇圧回路のパルス幅を減少させ、電流値が基準値より小さいチョッパ昇圧回路のパルス幅は増加させて、各電流値がほぼ一定になるような制御を行うと説明したが、基準値を用いずに、各チョッパ昇圧回路間の電流値の差（例えば、回路数が2個であればそれらの電流値の大小関係、回路数が多数であれば、各回路の電流値の平均値との差など）に基づいて、電流値が他の回路の電流値より大きくなっているチョッパ昇圧回路のパルス幅を減少させ、電流値が他の回路の電流値より小さいチョッパ昇圧回路のパルス幅は増加させるようにしてもよい。

【0035】

しかしながら、図5のような構成で電流の偏りを抑制する場合、各チョッパ昇圧回路内に設けられた電流検出部8で検出した電流値を、各チョッパ昇圧回路の外部に設けられたON時間調整回路9に一旦入力し、ON時間調整回路9で、誤差増幅器6が発生するパルス幅信号32とは異なる新たなパルス幅信号34を生成して、各チョッパ昇圧回路にそれを戻して、各チョッパ昇圧回路の駆動回路7を制御する、という手順になる。この場合、各チョッパ昇圧回路からON時間調整回路9との間に往復の信号線が必要になる。また、恐らくは、その間になんらかの絶縁機構も必要になる。

【0036】

本来、図1のようなチョッパ昇圧回路（または降圧回路）の並列動作では、電流の偏りは想定されていないものであり、前述のようなパルス幅の違いが発生した場合に、式(5)あるいは式(6)といった数式に基づいて電流が偏るだけである。つまり電流の偏り抑

10

20

30

40

50

制機能は、本来は必要なく、むしろ回路を破壊するような過電流が流れるのを防ぐための保護動作のような役割が期待されている。このように考えると、図1のようなチョッパ並列構成の場合は、電流の偏りを正確に均一にするような機構はむしろ無駄であり、各チョッパ回路内で保護動作を行うような機構が望ましい。

【0037】

このような考え方に基づいて考案されたのが、図6に示すような本実施の形態に係る回路構成である。図6の構成は、図5の構成におけるON時間調整回路9の代わりに、各チョッパ昇圧回路内に、電流検出部8に接続された比較器10と、比較器10と駆動回路7との間に接続された抑制信号制御回路11とを設けた構成である。他の構成および動作については、図1または図5と同じであるため、ここでは、同一符号を付して示し、説明は省略する。

【0038】

図6の構成においては、電流検出部8から出力された電流検出値33が、各チョッパ昇圧回路内に設けられた比較器10に入力される。比較器10では、各チョッパ昇圧回路で許容できる電流の上限値（以下、上限電流値35と呼ぶ）が入力あるいは内部に設定されている。上限電流値35は、チョッパ昇圧回路の設計値などから予め設定される値である。比較器10は、電流検出部8からの電流検出値33と上限電流値35とを比較して、電流検出値33が上限電流値35を超えていた場合、抑制信号36を出力する。抑制信号36は、電流検出値33が上限電流値35を超えていた場合、抑制信号36を出力する。抑制信号36は、電流検出値33が上限電流値35を超えていた場合、抑制信号36を出力する。抑制信号36は、各チョッパ昇圧回路に設けられた抑制信号制御回路11に入力される。この抑制信号制御回路11には、誤差増幅器6から出力された、全チョッパ昇圧回路共通のパルス幅信号32が入力される。抑制信号制御回路11は、比較器10からの抑制信号36が入力された場合には、当該抑制信号36を駆動信号37として駆動回路7に出力し、一方、比較器10からの抑制信号36がない場合は、誤差増幅器6から入力されたパルス幅信号32を駆動信号37として駆動回路7に出力する。こうして、電流検出部8で検出した電流検出値33が上限電流値35を超えた場合には、抑制信号36を出力して、当該抑制信号36によりパルス幅を減少させて、そのチョッパ昇圧回路の電流値を抑えるように制御を行う。このような制御を行うことによって、各チョッパ昇圧回路の電流値が、回路が許容できる最大電流値（上限電流値）を超えるのを防ぐことができる。この方法は、各チョッパ昇圧回路の電流値を厳密に同じにするように制御するのではなく、ある一定の範囲内に收めることを目的としたものであるが、制御が各チョッパ昇圧回路の内部で行われるので、図5に示した外部のON時間調整回路9との信号のやり取りが不要になり、回路構成が容易になる。

【0039】

このように、図6の構成においては、比較器10と抑制信号制御回路11とが、各スイッチング回路ごとに電流検出部8で検出された電流値が閾値以上か否かを判定し、当該電流値が閾値以上のスイッチング回路があった場合、当該スイッチング回路のスイッチング素子2のON時間を短くする制御を行なう制御部を構成している。

【0040】

なお、図5および図6に示した電流検出部8は、DC電流の計測が可能な電流計や電流測定器などを用いればよいが、その場合に限らず、DC電流の検出が可能であれば、例えば、電流検出用の抵抗でもDC用のCT（Current Transformer）など、他の検出手段でもよいものとする。

【0041】

図7は、本実施の形態1に係る電力変換回路の変形例を示した図である。図7と図6の構成の違いは、電流検出部の配置である。図6においては、電流検出部8をチョッパ昇圧

10

20

30

40

50

回路内の入力側すなわちチョッパリアクトル 1 側に設けていたが、図 7 では、電流検出部 8 A を出力側すなわちダイオード 3 側に配置している。具体的には、図 7 においては、並列に設けられた各スイッチング回路の出力が合流する合流点よりも入力側で、かつ、ダイオード 3 よりも出力側に、電流検出部 8 A が配置されている。図 6 の構成でも図 7 の構成でも、チョッパ昇圧回路の電流を測定することができるため、どちらの方法でもかまわない。但し、図 6 のように、チョッパリアクトル 1 側で電流を検出する場合は、電流のリップルはあるものの、ほぼ DC 的な電流が流れるが、図 7 のように、ダイオード 3 側で電流を検出する場合は、パルス的になるため、検出した電流検出値 33 A を DC 電流に変換するために、フィルタ回路 12 が必要になる。そのため、図 7 の構成においては、各チョッパ昇圧回路において、電流検出部 8 A と比較器 10 との間に、電流検出値 33 A を DC 電流に変換するためのフィルタ回路 12 が設けられており、電流検出部 8 A からの電流検出値 33 A はフィルタ回路 12 で DC 電流に変換後、比較器 10 に入力される。他の構成および動作については、図 6 と同じであるため、同一符号を付して示し、説明は省略する。
10

【0042】

なお、図 7 の構成においては、比較器 10、抑制信号制御回路 11、および、フィルタ回路 12 が、各スイッチング回路ごとに電流検出部 8 A で検出された電流値が閾値以上か否かを判定し、当該電流値が閾値以上のスイッチング回路があった場合、当該スイッチング回路のスイッチング素子 2 の ON 時間を短くする制御を行う制御部を構成している。

【0043】

図 8 は、本実施の形態 1 に係る図 7 の電力変換回路のチョッパ降圧回路の場合の構成を示す図である。図 8 の構成においては、チョッパ降圧回路であるため、各素子の配置順序が図 7 と逆になっている。図 7 においては、スイッチング回路内で、ダイオード 3 の入力側に電流検出部 8 B が設けられている。降圧チョッパの場合は、入力側のスイッチング素子 2 およびダイオード 3 にパルス的な電流が流れ、出力側のチョッパリアクトル 1 はリップルを含む DC 電流が流れる。図 8 では、電流検出部 8 B が、ダイオード 3 を流れる電流を検出している。また、図 8 においては、電流検出部 8 B からの電流検出値 33 B がフィルタ回路 12 に入力され、そこで DC 電流に変換されて、比較器 10 に入力される。比較器 10 では、電流検出値 33 B と上限電流値 35 との比較が行われ、電流検出値 33 B が上限電流値 35 を超えていた場合にのみ、抑制信号 36 を出力される。抑制信号制御回路 11 には、外部に設けられた誤差増幅器 6 から出力された、全チョッパ昇圧回路共通のパルス幅信号 32 が入力される。抑制信号制御回路 11 は、比較器 10 からの抑制信号 36 が入力された場合には、当該抑制信号 36 を駆動信号 37 として駆動回路 7 に出力することで、スイッチング素子 2 の ON 時間が短くなるようにパルス幅を調整し、一方、比較器 10 からの抑制信号 36 がない場合は、誤差増幅器 6 から入力されたパルス幅信号 32 をそのまま駆動信号 37 として駆動回路 7 に出力する。他の動作は、図 7 と同じである。
20
30

【0044】

図 8 の構成においては、比較器 10、抑制信号制御回路 11、および、フィルタ回路 12 が、各スイッチング回路ごとに電流検出部 8 B で検出された電流値が閾値以上か否かを判定し、当該電流値が閾値以上のスイッチング回路があった場合、当該スイッチング回路のスイッチング素子 2 の ON 時間を短くする制御を行う制御部を構成している。
40

【0045】

以上のように、本実施の形態 1 においては、昇圧チョッパの場合も、降圧チョッパの場合も、チョッパリアクトル 1 およびスイッチング素子 2 を備え、スイッチング素子 2 がスイッチング動作を行うことにより、入力された直流電圧を昇圧または降圧して出力するスイッチング回路を、複数並列的に接続した電力変換回路において、各スイッチング回路に流れる電流を検出する電流検出部 8, 8 A, 8 B を備え、各スイッチング回路ごとに、電流検出部 8, 8 A, 8 B で検出された電流値がある規定値（上限電流値 35）以上になっているかを判定し、規定値以上だった場合に、そのスイッチング回路のスイッチング素子 2 のパルス幅を減少させ、当該スイッチング素子 2 の ON 時間を短くする制御を行うようにした。一般に、スイッチング回路を並列にすると、上述したように、電流が偏る可能性
50

があるという問題点があるが、本実施の形態1では、各スイッチング回路に流れる電流の値を検出して、それらの偏りを無くすように、各スイッチング回路ごとに、スイッチング素子のパルス幅を制御するようにしたので、スイッチング素子2間の電流の偏りを防止し、スイッチング素子2の破壊を未然に防ぐことが可能になる。具体的には、電流値の上限を設けて、それを超えた場合に、デューティを絞る保護を行う。

【0046】

実施の形態2.

図9は、本発明の実施の形態2に係る電力変換回路の構成を示した図である。本実施の形態2においては、電流検出の方法について、より具体的な構成を示す。本実施の形態2においては、図9に示すように、図7に示した電流検出部8Aとして、CT (Current Transformer) 13が設けられている。また、図7の構成においては電流検出部8Aと比較器10との間にフィルタ回路12のみが設けられていたが、図9の構成では、CT 13と比較器10との間に、整流回路14とフィルタ回路15とが設けられている。他の構成および動作については、図7と同じであるため、ここでは、同一符号を付して示し、説明は省略する。

【0047】

ダイオード3やスイッチング素子2の電流を計測する場合、その電流はパルス的になっている。計測の目的はDC的な電流であるが、先に示した図7および図8の例では、パルス的な電流を計測して、フィルタ回路12を通すことでDC電流に変換した。

【0048】

図9では、電流の検出に、DC成分を検出することのできないAC用のCT 13、すなわち、トランス型のCTを用いている。このようなAC用のCT 13はDC電流が計測できないものの安価であり、電流検出用の抵抗とは異なり、容易に絶縁された計測が可能である。AC用のCT 13で計測されたパルス的な電流値は、整流回路14とフィルタ回路15とを通すことにより、DC的な電流値に変換することができる。このように、本実施の形態では、AC用のCT 13でスイッチング回路を流れる電流を検出するようにしたので、安価で簡単な回路構成で電流の検出を実現することができる。

【0049】

以上のように、本実施の形態2においては、ダイオード3あるいはスイッチング素子2に流れる電流を検出する電流検出部をCT 13とフィルタ回路15とから構成するようにしたので、CT 13、特に、DC測定ができないトランス型の電流検出器を用いることが可能になるため、安価で容易な回路で電流の検出が可能である。

【0050】

実施の形態3.

上記の実施の形態1～2では、電流検出による制御によって電流の偏りを抑制する方法を示した。本実施の形態3では、各回路のインピーダンスを調整することによって電流の偏りを抑える方法を示す。

【0051】

上記の式(5)および(6)で示したように、電流の偏りはスイッチング素子2のゲートのパルス幅のわずかな違いによって生じ、回路のインピーダンスでバランスされたところで定常値に達する。すなわち、式(5)および(6)に示すように、回路のインピーダンスが小さければ偏りが大きくなり、回路のインピーダンスが大きければ偏りが小さくなる。従って、回路のインピーダンスをある程度大きくすることで偏りを抑制することができる。

【0052】

まず、図2の昇圧チョッパの場合、入力電流 I_{in} に対する電流の偏りの割合の、許容上限値を、下記の式(7)に示すように、とする。

【0053】

10

20

30

40

【数6】

$$\eta > \frac{I_1 - I_2}{I_1 + I_2} = \frac{I_1 - I_2}{I_{in}} \quad (7)$$

【0054】

式(5)を式(7)に代入して変形を行うと、下記の式(8)を得る。

【0055】

【数7】

$$R_s(\gamma - 1) + \frac{R_d}{\gamma} > \frac{Z_{out}}{\eta} f \cdot t_d \quad (8)$$

10

【0056】

ここで、 f は駆動パルスの周波数、 Z_{out} は ($Z_{out} = V_{out} / I_{out}$) である。この式は、パルス幅に偏り t_d が生じたときに、回路のインピーダンスがどれくらい大きければ電流の偏りの上限値を超えないかを示している。左辺には電源の昇圧比 γ が含まれているが、通常のチョッパ昇圧回路では、電源の効率の関係で昇圧比 γ として、たとえば 10 以上などの大きな値が選ばれることは少なく、多くは 2 前後の値である。右辺を 2 とすると左辺は $(R_s + R_d) / 2$ となり、ほぼ回路全体のインピーダンスを示すことがわかる。

20

【0057】

右辺については、たとえば γ は現実的な設計の範囲で 0.5 程度の値が想定される。また $f \times t_d$ は、ゲート駆動パルスの周期に対してパルスのずれがどれくらいか、ということを意味しているが、高い周波数でスイッチングする場合は回路内の遅れも十分小さくなるように設計されることが普通であるので、 t_d は $1/f$ に従って大きくなると考えられる。従って、 $f \times t_d$ を一つの目安とするとすることができ、たとえば 1% などの値が想定される。そのように考えると、右辺は $0.02 \times Z_{out} = 0.02 \times V_{out} / I_{out}$ ということになる。つまり、これが電流の偏りを十分に抑えるための回路インピーダンスの一つの目安ということができる。

30

【0058】

一方、これを逆に考えると、回路のインピーダンスが $0.02 \times Z_{out}$ であるということは、回路内の損失が 2% あるということであり、電源の損失として想定される値である。つまり、適切な電源損失を仮定した場合に、電流の偏り η を 0.5 以下に抑えるためには、 $f \times t_d$ を 1% 以下に制御しなければいけない、ということになる。

【0059】

同じことはチョッパ降圧回路についても言える。電流の偏りの許容上限値 η を今度は出力電流 I_{out} を用いて、下記の式(9)のように定義すると、同様に、下記の式(10)を得る。この場合、 γ は 1 以下であり、典型的には 0.5 などである。0.5 とするとこの左辺は $R_s / 2 + R_d$ となる。右辺は、入力電圧と入力電流の比 Z_{in} は ($Z_{in} = V_{in} / I_{in}$) を用いて同様に表され、同様の議論から、右辺は $0.02 \times Z_{in} = 0.02 \times V_{in} / I_{in}$ 程度であると想像される。これがチョッパ降圧回路の場合の回路のインピーダンスの一つの目安になる。

40

【0060】

【数8】

$$\eta > \frac{I_1 - I_2}{I_1 + I_2} = \frac{I_1 - I_2}{I_{out}} \quad (9)$$

【0061】

50

【数9】

$$\gamma R_s + R_d \left(\frac{1}{\gamma} - 1 \right) > \frac{Z_{in}}{\eta} f \cdot t_d \quad (10)$$

【0062】

以上のように、本実施の形態3では、チョッパリアクトル1およびスイッチング素子2を備え、スイッチング素子2がスイッチング動作を行うことにより、入力された直流電圧を昇圧または降圧して出力するスイッチング回路を、複数並列的に接続した電力変換回路において、電力変換回路の出力定格電圧をV_{out}、出力定格電流をI_{out}としたときに、チョッパ昇圧回路では、回路内の抵抗成分R_cを、V_{out} / I_{out} × 0.02以上に、回路の入力定格電圧をV_{in}、出力定格電流をI_{in}としたときに、チョッパ降圧回路では、回路内の抵抗成分R_cを、V_{in} / I_{in} × 0.02以上に設定する構成とした。このように、回路内の抵抗成分を所定値より大きい値に設定することにより、電流の偏りは生じにくくなるという効果が得られる。10

【0063】

実施の形態4。

図10は、チョッパ昇圧回路を多並列にした場合に、各回路のチョッパリアクトルL₁、L₂、L₃、…を小さくし、並列になった外部に容量の大きなリアクトルL₀を設けたものである。つまり、上記の実施の形態1～3で示したチョッパリアクトル1を2つに分割し、一方を各スイッチング回路内に設け、他方を全ての並列回路でまとめて一つのリアクトルで構成している。各回路のチョッパ動作としては、L₀ + L₁、L₀ + L₂、L₀ + L₃、…(= L₀ + L₁)のインダクタンスで動作する。この回路構成のメリットは、L₁、L₂、L₃、…を比較的小さい簡便なものとし、L₀を大きく構成できることである。こうすることによって、多並列された各回路は、ほぼスイッチング素子2だけになる。また、各回路のリアクトルL₁、L₂、L₃、…は低コストで、かつ、冷却などをあまり考慮する必要がなくなり、十分なインダクタンスが必要で冷却やコストの必要なのは外部のL₀だけとなるので、低コスト化、冷却構造の簡素化、構造の単純化が可能になる。20

【0064】

ここで、L₁、L₂、L₃、…を完全になくしてしまって、L₀だけにしてしまうことも理論的には可能であるが、本発明で議論しているように、各回路のスイッチングに少しのずれが生じた場合に、たとえばS₁のみがONしてS₂以下がOFFした場合、S₁とS₂のドレイン電位が完全に短絡されてしまっているため、その瞬間にはL₁、L₂の経路に大電流が流れてしまう。このような動作を防ぐために、ある程度のインダクタンスがL₁、L₂、L₃、…の位置に必要となる。従って、リアクトルL₁、L₂、L₃、…は、各スイッチング回路内に設けることが、実質的には望ましい。30

【0065】

図11は、チョッパ降圧回路の場合である。図10と同様に、リアクトルを2つに分割し、一方を各スイッチング回路内にリアクトルL₁、L₂、L₃、…として設け、他方を全ての並列回路でまとめて一つのリアクトルL₀として構成することで、構造を簡素化、低コスト化することが可能になる。他の構成については、実施の形態1～3および図10と同じであるため、ここでは説明を省略する。40

【0066】

なお、本実施の形態4のリアクトルの構成は、上記の実施の形態1～3のいずれにも適用可能である。

【0067】

以上のように、本実施の形態によれば、リアクトルおよびスイッチング素子を備え、スイッチング素子がスイッチング動作を行うことにより、入力された直流電圧を昇圧または降圧して出力するスイッチング回路を、複数並列的に接続した電力変換回路において、並50

列接続される手前の入力側、あるいは、並列の出力が合流した後の出力側に、さらに、各スイッチング回路に備えられたリアクトルのインダクタンス値よりも大きいインダクタンス値のリアクトルを備えるようにしたので、並列なリアクトルの一部を大きなリアクトルにまとめることで、低コスト化、構造の単純化を図ることができる。

【0068】

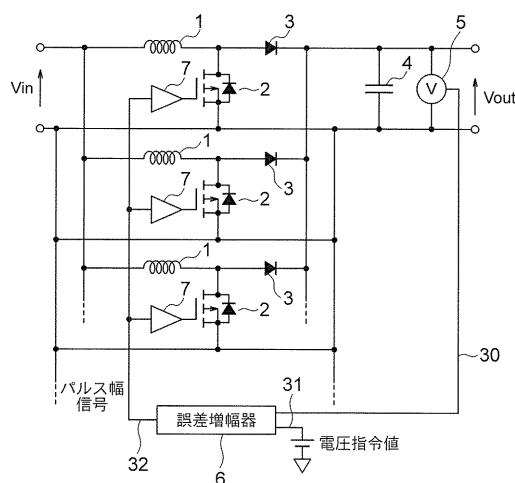
なお、上記の実施の形態1～4においては、チョッパリアクトル1を設けるとして説明した。ここで説明したコンバータは非絶縁型のコンバータであり、その他たとえばフライバック型コンバータなど、非絶縁型コンバータが存在する。フライバック型の場合はリアクトルではなくトランジストにエネルギーを蓄積して電力を変換する。このため、実施の形態1～4で説明したのと同様の効果が、フライバックコンバータなどの絶縁型コンバータについても適用可能である。従って、チョッパリアクトル1の代わりに、トランジストを設けた回路においても本発明は適用可能である。10

【符号の説明】

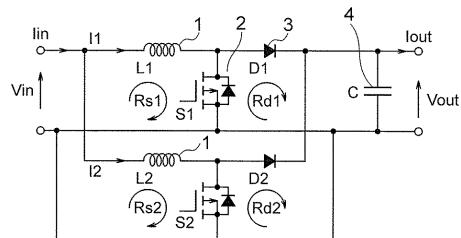
【0069】

1 チョッパリアクトル、2 スイッチング素子、3 ダイオード、4 コンデンサ、
5 電圧検出部、6 誤差増幅器、7 駆動回路、8 電流検出部、9 ON時間調整回路、
10 比較器、11 抑制信号制御回路、12 フィルタ回路、13 CT、14 整流回路、
15 フィルタ回路、30 電圧検出値、31 電圧指令値、32 パルス幅信号、
33, 33A, 33B 電流検出値、34 パルス幅信号、35 上限電流値、
36 抑制信号、37 駆動信号。20

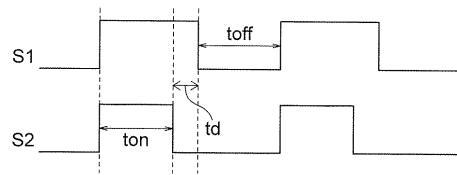
【図1】



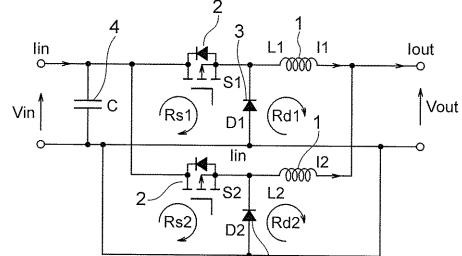
【図2】



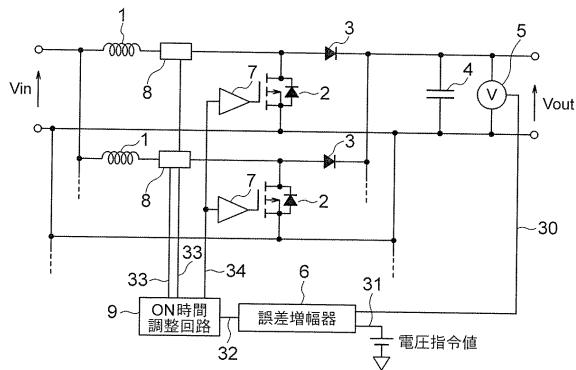
【図3】



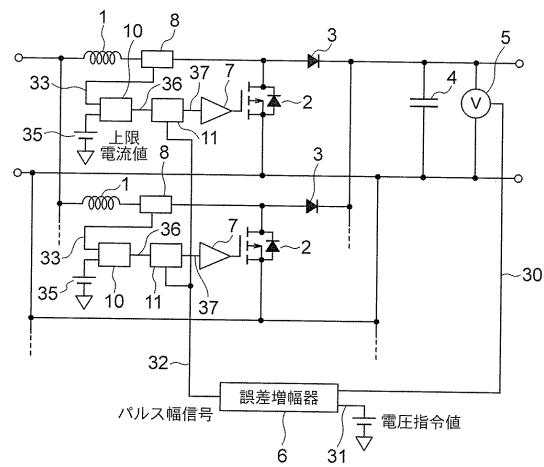
【図4】



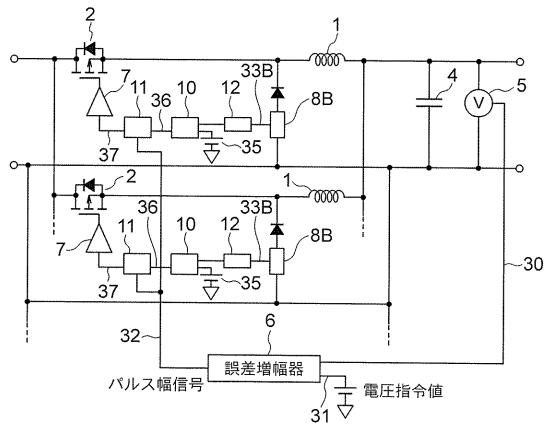
【図5】



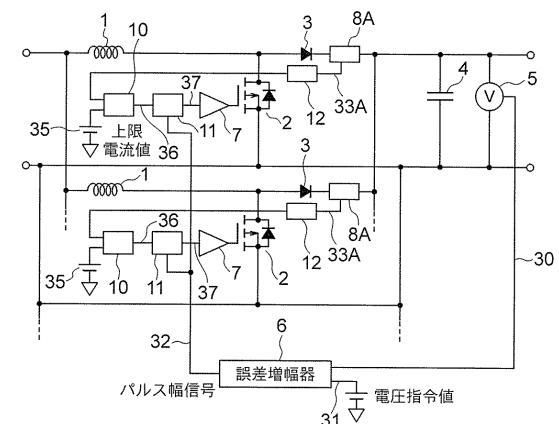
【図6】



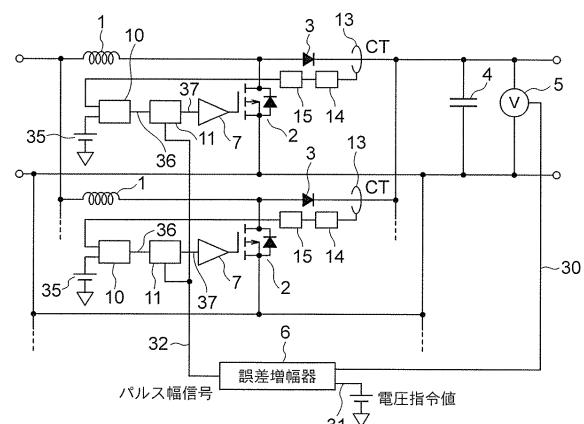
【 四 8 】



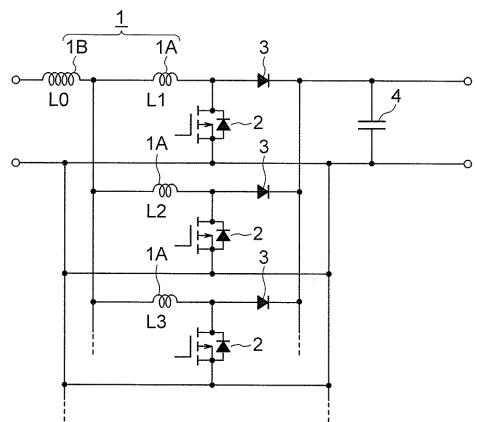
【図7】



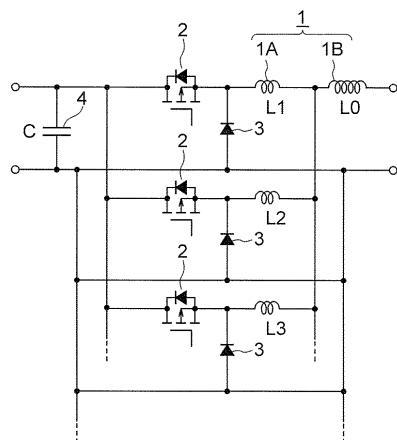
【 図 9 】



【図10】



【図11】



フロントページの続き

(72)発明者 民田 太一郎
東京都千代田区丸の内二丁目 7番 3号 三菱電機株式会社内

(72)発明者 津田 真吾
東京都千代田区丸の内二丁目 7番 3号 三菱電機株式会社内

(72)発明者 久留島 宏
東京都千代田区丸の内二丁目 7番 3号 三菱電機株式会社内

審査官 坂東 博司

(56)参考文献 特開昭62-058871(JP,A)
特開2013-027289(JP,A)
実開昭57-161022(JP,U)
特表2008-511284(JP,A)
米国特許第04748397(US,A)
米国特許第06979980(US,B1)
特開平09-023641(JP,A)

(58)調査した分野(Int.Cl., DB名)

H02M 3/155