

(11) 特許出願公開番号

特開2010-141725

(P2010-141725A)

(43) 公開日 平成22年6月24日(2010.6.24)

(51) Int. Cl.		F I		テーマコード (参考)
H03F	1/32	(2006.01)	H03F 1/32	5J500
H03F	3/24	(2006.01)	H03F 3/24	5K060
H04B	1/04	(2006.01)	H04B 1/04	R

審査請求 未請求 請求項の数 8 O L (全 9 頁)

(21) 出願番号 特願2008-317458 (P2008-317458)
(22) 出願日 平成20年12月12日 (2008.12.12)

(71) 出願人	000004330 日本無線株式会社 東京都三鷹市下連雀5丁目1番1号	
(74) 代理人	100119677 弁理士 岡田 賢治	
(74) 代理人	100115794 弁理士 今下 勝博	
(72) 発明者	田中 康英 東京都三鷹市下連雀5丁目1番1号	日本無線株式会社内
(72) 発明者	船山 拓也 東京都三鷹市下連雀5丁目1番1号	日本無線株式会社内

最終頁に続く

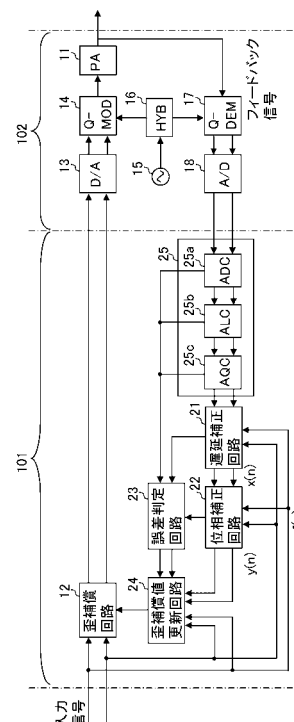
(54) 【発明の名称】 歪補償装置

(57) 【要約】

【課題】本発明は、DPDを利用する歪補償装置において、収束速度と安定動作の両立を図ることを目的とする。

【解決手段】本発明に係る歪補償装置は、DPDを用いてPA11の非線形歪を補償する歪補償装置において、PA11からのフィードバック信号の遅延補正回路21及び位相補正回路22とともに、遅延誤差又は位相誤差が正常範囲内であるか否かを判定する誤差判定回路23を備え、誤差判定回路23が正常範囲内であると判定すると、参照するルックアップテーブルを更新し、誤差判定回路が正常範囲内でないと判定するとルックアップテーブルを更新しないことを特徴とする。

【選択図】 図 1



【特許請求の範囲】

【請求項 1】

増幅回路の非線形歪を補償する歪補償装置において、

前記増幅回路の前段に接続され、入力信号電力に応じて歪補償値が規定された参照テーブルに基づき歪補償を行う歪補償回路と、

前記増幅回路からのフィードバック信号の前記入力信号に対する遅延誤差を検出して、当該遅延誤差を補正する遅延補正回路と、

前記遅延補正回路からの信号の前記入力信号に対する位相誤差を検出して、当該位相誤差を補正する位相補正回路と、

前記遅延補正回路の検出する遅延誤差又は前記位相補正回路の検出する位相誤差が予め定められた正常範囲内であるか否かを判定する誤差判定回路と、

10

前記位相補正回路によって補正されたフィードバック信号の前記入力信号に対する歪を検出し、当該歪を減少させる歪補償値に改めた更新テーブルを作成して、前記参照テーブルを当該更新テーブルに置換する歪補償値更新回路と、
を備え、

前記歪補償値更新回路は、

前記誤差判定回路が前記正常範囲内であると判定すると、前記参照テーブルを前記更新テーブルに置換し、

前記誤差判定回路が前記正常範囲内でないと判定すると、前記参照テーブルを前記更新テーブルに置換しないことを特徴とする歪補償装置。

20

【請求項 2】

前記入力信号を直交変調する変調回路、前記増幅回路からのフィードバック信号を直交復調する復調回路、アナログ信号をデジタル信号に変換する A/D 変換回路及びデジタル信号をアナログ信号に変換する D/A 変換回路を含むアナログ信号処理部と、

前記増幅回路からのフィードバック信号に含まれる誤差のうちの前記アナログ信号処理部で発生するアナログ系誤差を検出して、当該アナログ系誤差を補正するアナログ系誤差補正回路をさらに備え、

前記誤差判定回路は、さらに、前記アナログ系誤差補正回路の検出するアナログ系誤差が予め定められた正常範囲内であるか否かを判定することを特徴とする請求項 1 に記載の歪補償装置。

30

【請求項 3】

前記アナログ系誤差補正回路は、前記アナログ系誤差として、

前記変調回路が直交変調する搬送波の位相差又は前記復調回路が直交復調する搬送波の位相差に起因する直交誤差、

前記変調回路が直交変調する I 成分 (In-phase component) と Q 成分 (Quadrature phase component) とのアンバランス又は前記復調回路が直交復調する I 成分と Q 成分とのアンバランスに起因する I/Q アンバランス誤差、或いは

前記 A/D 変換回路若しくは前記 D/A 変換回路での DC (Direct Current) オフセット処理に起因する DC オフセット誤差を、検出することを特徴とする請求項 2 に記載の歪補償装置。

40

【請求項 4】

前記誤差判定回路は、さらに、前記遅延誤差又は前記位相誤差が予め定められた異常範囲内であるか否かを判定し、

前記歪補償値更新回路は、前記誤差判定回路が前記異常範囲内であると判定すると、前記参照テーブルを予め定められた予備テーブルに置換することを特徴とする請求項 1、2 又は 3 に記載の歪補償装置。

【請求項 5】

前記誤差判定回路は、さらに、前記遅延誤差若しくは前記位相誤差及び前記アナログ系誤差が予め定められた異常範囲内であるか否かを判定し、

50

前記歪補償値更新回路は、前記誤差判定回路が前記異常範囲内であると判定すると、前記参照テーブルを前記予備テーブルに置換することを特徴とする請求項４に記載の歪補償装置。

【請求項６】

前記歪補償値更新回路は、前記更新テーブルに置換される前の状態の前記参照テーブルを、一定期間、前記予備テーブルとして記憶することを特徴とする請求項４又は５に記載の歪補償装置。

【請求項７】

前記予備テーブルは、前記歪補償値更新回路によって置換されていない初期状態の前記参照テーブルであることを特徴とする請求項４又は５に記載の歪補償装置。

10

【請求項８】

前記予備テーブルは、入力信号波形を維持する歪補償値が規定されていることを特徴とする請求項４又は５に記載の歪補償装置。

【発明の詳細な説明】

【技術分野】

【０００１】

本発明は、無線送信装置に利用される歪補償装置に係り、特に、増幅回路で発生する歪みを補償するためのＤＰＤ（Digital Predistortion）を利用する歪補償装置に関する。

【背景技術】

20

【０００２】

図３は、従来歪補償装置の一例を示す概略構成図である。ＰＡ１１１からのフィードバック信号１０７をＦＦＴ（Fast Fourier Transform）１２２にて高速フーリエ変換した後、ＡＣＬＲ（Adjacent Channel Leakage Ratio）算出部１２３にて隣接チャンネル・リーク比を算出することでＡＣＬＲ値から引き込み状態を推定し、μ調整部１２４にて最適ステップサイズμを選択する。

【特許文献１】特許第３８７６４０８号

【発明の開示】

【発明が解決しようとする課題】

【０００３】

30

フィードバック信号と歪補償装置への入力信号との誤差を非線形歪量として歪逆特性を求め適応的に動作させる歪補償装置において、収束速度と安定動作はトレードオフの関係にある。

【０００４】

そこで、本発明は、ＤＰＤを利用する歪補償装置において、収束速度と安定動作の両立を図ることを目的とする。

【課題を解決するための手段】

【０００５】

発明者らは、非線形歪以外の誤差が残留した状態で非線形歪みの逆特性を算出したときに、ＤＰＤ収束過程の安定動作を妨げることを発見した。

40

【０００６】

そこで、上記課題を解決するために、本発明に係る歪補償装置は、ＤＰＤを利用する歪補償装置において、非線形歪以外の誤差を検出する誤差検出手段と、当該誤差検出手段が予め定められた閾値よりも大きな誤差を検出したときには、ＤＰＤで利用する参照テーブルの更新を行わない、或いは、歪補償そのものを行わないことを特徴とする。

【０００７】

具体的には、本発明に係る歪補償装置は、ＤＰＤを用いて増幅回路の非線形歪を補償する歪補償装置において、前記増幅回路からのフィードバック信号の遅延補正回路及び位相補正回路とともに、遅延誤差又は位相誤差が正常範囲内であるか否かを判定する誤差判定回路を備え、誤差判定回路が正常範囲内であると判定すると参照テーブルを更新し、誤差

50

判定回路が正常範囲内でないと判定すると参照テーブルを更新しないことを特徴とする。

【0008】

フィードバック信号の遅延誤差及び位相誤差が大きい場合には参照テーブルを更新しないので、歪補償装置の安定動作を維持することができる。また、参照テーブルの更新係数を大きくしても安定動作を維持させることができるので、参照テーブルの更新係数を大きくして、適応歪補償の収束速度を高めることができる。したがって、収束速度と安定動作の両立を図ることができる。

【0009】

本発明に係る歪補償装置では、さらに、アナログ信号処理部で発生するアナログ系誤差を検出して補正するアナログ系誤差補正回路をさらに備え、前記誤差判定回路は、アナログ系誤差が正常範囲内であるか否かを判定することが好ましい。

本発明により、アナログ系誤差が大きい場合には参照テーブルを更新しないので、歪補償装置の安定動作を維持することができる。歪補償値更新回路は非線形歪を正確に検出することができるので、適応歪補償の収束速度を高めることができる。

【0010】

本発明に係る歪補償装置では、さらに、遅延誤差若しくは位相誤差及びアナログ系誤差が異常範囲内であるか否かを前記誤差判定回路が判定し、異常範囲内である場合には、歪補償値更新回路は、参照テーブルを予め定められた予備テーブルに置換することが好ましい。

ここで、前記歪補償値更新回路は、前記更新テーブルに置換される前の状態の前記参照テーブルを、一定期間、前記予備テーブルとして記憶することが好ましい。また、前記予備テーブルは、前記歪補償値更新回路によって置換されていない初期状態の前記参照テーブルであることが好ましい。また、前記予備テーブルは、入力信号波形を維持する歪補償値が規定されていることが好ましい。

本発明により、異常な誤差が検出された場合には、歪補償装置が安定動作していた参照テーブルに戻すことができる。したがって、歪補償装置を安定動作させることができる。

【発明の効果】

【0011】

本発明によれば、DPDを利用する歪補償装置において、収束速度と安定動作の両立を図ることができる。

【発明を実施するための最良の形態】

【0012】

添付の図面を参照して本発明の実施の形態を説明する。以下に説明する実施の形態は本発明の構成の例であり、本発明は、以下の実施の形態に制限されるものではない。

【0013】

図1は、本実施形態に係る歪補償装置の構成概略図である。本実施形態に係る歪補償装置は、D/A13と、Q-MOD14と、HYB16と、発振器15と、増幅回路としてのPA11と、を備え、入力信号を直交変調する。D/A13は、歪補償回路12からのデジタル信号をアナログ信号に変換するDA変換回路として機能する。Q-MOD14、HYB16及び発振器15は、DA変換回路からの入力信号を直交変調する変調回路として機能する。

【0014】

また、本実施形態に係る歪補償装置は、HYB16と、発振器15と、Q-DEM17と、A/D18と、を備え、PA11からのフィードバック信号を直交復調する。Q-DEM17、HYB16及び発振器15は、PA11からのフィードバック信号を直交復調する復調回路として機能する。A/D18は、復調回路からのアナログ信号をデジタル信号に変換するAD変換回路として機能する。

【0015】

D/A13、Q-MOD14、HYB16、発振器15、PA11、Q-DEM17、及びA/D18は、デジタル信号処理部101及びアナログ信号処理部102のうち、ア

10

20

30

40

50

ナログ信号処理部 102 に含まれる。

【0016】

本実施形態に係る歪補償装置は、歪補償回路 12 と、遅延補正回路 21 と、位相補正回路 22 と、歪補償値更新回路 24 と、を備え、PA11 の非線形歪の適応歪補償を行う。歪補償回路 12 は、PA11 の前段に接続され、入力信号電力に応じて歪補償値が規定された参照テーブルに基づき歪補償を行う。遅延補正回路 21 は、PA11 からのフィードバック信号の入力信号に対する遅延誤差を検出して、当該遅延誤差を補正する。位相補正回路 22 は、遅延補正回路 21 からの信号の入力信号に対する位相誤差を検出して、当該位相誤差を補正する。歪補償値更新回路 24 は、位相補正回路 22 によって補正されたフィードバック信号の入力信号に対する歪を検出し、当該歪を減少させる歪補償値に改めた更新テーブルを作成して、参照テーブルを当該更新テーブルに置換する。

10

【0017】

本実施形態に係る歪補償装置は、アナログ系誤差補正回路 25 をさらに備えることが好ましい。アナログ系誤差補正回路 25 は、PA11 からのフィードバック信号に含まれる誤差のうちのアナログ信号処理部 102 で発生するアナログ系誤差を検出して、当該アナログ系誤差を補正する。そして、アナログ系誤差補正回路 25 は、アナログ系誤差を補正した後のフィードバック信号を遅延補正回路 21 に出力するとともに、検出したアナログ系誤差を誤差判定回路 23 に出力する。また、アナログ系誤差補正回路 25 をさらに備えることで、歪補償値更新回路 24 において、入力信号とフィードバック信号から非線形歪の逆特性を抽出して歪補償を行うことができる。

20

【0018】

アナログ系誤差補正回路 25 は、アナログ系誤差として、例えば、直交誤差、I/Qアンバランス誤差又はDCオフセット誤差を検出する。例えば、アナログ系誤差補正回路 25 は、ADC25a、ALC25b及びAQC25cを備える。ADC25aは、AD変換回路又はDA変換回路でのDC(Direct Current)オフセット処理に起因するDCオフセット誤差を検出して補正する。ALC25bは、変調回路が直交変調するI成分(In-phase component)とQ成分(Quadrature phase component)とのアンバランス又は復調回路が直交復調するI成分とQ成分とのアンバランスに起因するI/Qバランス誤差を検出して補正する。AQC25cは、変調回路が直交変調する搬送波の位相差又は復調回路が直交復調する搬送波の位相差に起因する直交誤差を検出して補正する。なお、アナログ系誤差補正回路 25 の検出する誤差は、DCオフセット誤差、I/Qバランス誤差または直交誤差のいずれかのみであってもよいが、PA11 の非線形歪をより正確に検出するため、DCオフセット誤差、I/Qバランス誤差及び直交誤差のすべてを検出して補正することが好ましい。

30

【0019】

誤差判定回路 23 は、遅延補正回路 21 の検出する遅延誤差又は位相補正回路 22 の検出する位相誤差が予め定められた正常範囲内であるか否かを判定する。ここで、正常範囲は、PA11 の非線形歪が減少していく過程で検出されうる遅延誤差又は位相誤差の範囲であることが好ましい。そして、誤差判定回路 23 が正常範囲内であると判定すると、歪補償値更新回路 24 は、参照テーブルを更新テーブルに置換する。一方、誤差判定回路 23 が正常範囲内でないと判定すると、歪補償値更新回路 24 は、参照テーブルを更新テーブルに置換しない。このように、誤差が大きいときはDPD更新を行わない構成とすることで、歪補償装置の安定動作を維持することができる。さらに、更新係数を大きくした場合であっても、安定動作が保証される。

40

【0020】

誤差判定回路 23 は、さらに、アナログ系誤差補正回路 25 の検出するアナログ系誤差が予め定められた正常範囲内であるか否かを判定することが好ましい。例えば、遅延誤差若しくは位相誤差及びアナログ系誤差が予め定められた正常範囲内であるか否かを判定する。これにより、AQC25c、ALC25b及びADC25aでの補正が、設計補償以上の過制御状態となったか否かを判定することができる。このように、非線形歪以外の誤

50

差を検出する回路を具備し、当該誤差が大きいときはD P D更新を行わない構成とすることで、歪補償装置の安定動作を維持することができる。

【0021】

誤差判定回路23は、遅延補正回路21からの遅延誤差又は位相補正回路22からの位相誤差が予め定められた異常範囲内であるか否かを判定することが好ましい。また、誤差判定回路23は、アナログ系誤差が予め定められた異常範囲内であるか否かを判定することが好ましい。ここで、異常範囲は、正常範囲以外としてもよいし、正常範囲とは独立した範囲としてもよい。正常範囲とは独立した範囲としては、明らかに異常と考えられる誤差の範囲がある。異常範囲の検出は、誤差の補正を行うすべての対象について行うことが好ましい。例えば、遅延誤差、位相誤差、直交誤差、I Qアンバランス誤差及びD Cオフセット誤差の補正を行う場合は、これらすべてについての異常範囲を設定し、当該異常範囲内であるか否かを判定することが好ましい。

10

【0022】

誤差判定回路23が異常範囲内であると判定すると、歪補償値更新回路24は、参照テーブルを予め定められた予備テーブルに置換することが好ましい。D P D更新において異常が発生した場合に用いる予備テーブルを予め用意しておくことで、歪補償装置の安定動作を維持することができる。

【0023】

予備テーブルは、例えば更新テーブルに置換される前の状態の参照テーブルである。この場合、歪補償値更新回路24は、更新テーブルに置換される前の状態の参照テーブルを、一定期間、予備テーブルとして記憶することが好ましい。一定期間は、予め定められた時間が例示できる。

20

【0024】

また、予備テーブルは、参照テーブルに規定されている歪補償値や誤差に応じて選択可能になっていることが好ましい。例えば、歪補償値更新回路24によって置換されていない初期状態の参照テーブルを選択できることが好ましい。初期状態は、例えば歪補償装置の出荷時の状態である。また、入力信号波形を維持する歪補償値が規定されている参照テーブルを選択できることが好ましい。この場合の歪補償値は、例えば $1 + j0$ となる。

【0025】

図2は、位相補正回路の一例を示すピックアップ図である。図2に示す位相補正回路では、加算回路31と、平均化回路32と、等化回路33と、乗算回路34と、を備える。平均化回路32以外の部分がL M Sアルゴリズム回路を構成する。加算回路31は、入力信号 $ref(n)$ と位相を補正後の信号 $-y(n)$ とを加算して、信号 $\varepsilon(n)$ を出力する。平均化回路32は、信号 $\varepsilon(n)$ を平均化して、残留誤差として誤差判定回路(図1に示す符号23)に出力する。等化回路33は、遅延補正回路(図1に示す符号21)からの信号 $x(n)$ の位相を補正する信号 $\varepsilon(n)$ の係数 $w(n)$ を算出する。乗算回路34は、係数 $w(n)$ を、信号 $x(n)$ に乗算して、信号 $x(n)$ の位相を補正した信号 $y(n)$ を歪補償修正回路(図1に示す符号24)に出力する。

30

【産業上の利用可能性】

【0026】

本発明は、無線送信装置に利用される歪補償装置に用いることができる。

40

【図面の簡単な説明】

【0027】

【図1】本実施形態に係る歪補償装置の構成概略図である。

【図2】位相補正回路の一例を示すピックアップ図である。

【図3】従来の歪補償装置の一例を示す概略構成図である。

【符号の説明】

【0028】

11 P A

12 歪補償回路

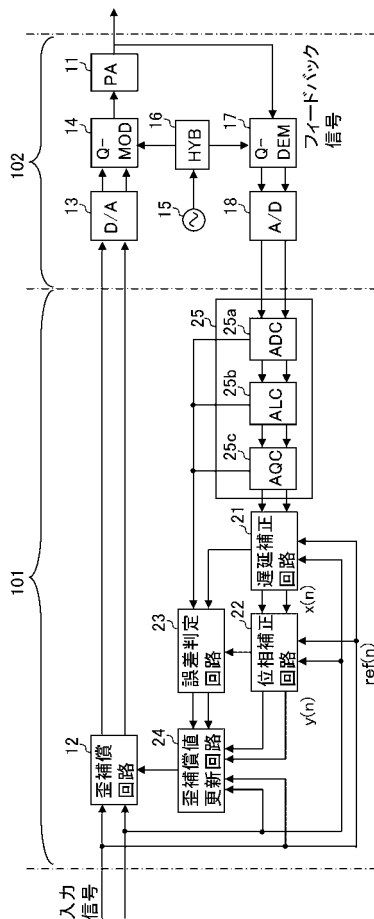
50

- 1 3 D / A
- 1 4 Q - M O D
- 1 5 発振器
- 1 6 H Y B
- 1 7 Q - D E M
- 1 8 A / D
- 2 1 遅延補正回路
- 2 2 位相補正回路
- 2 3 誤差判定回路
- 2 4 歪補償値更新回路
- 2 5 アナログ系誤差補正回路
- 2 5 a A D C
- 2 5 b A L C
- 2 5 c A Q C
- 3 1 加算回路
- 3 2 平均化回路
- 3 3 等化回路
- 3 4 乗算回路
- 1 0 1 デジタル信号処理部
- 1 0 2 アナログ信号処理部
- 1 1 1 P A
- 1 0 7 フィードバック信号
- 1 2 2 F F T
- 1 2 3 A C L R 算出部
- 1 2 4 μ 調整部

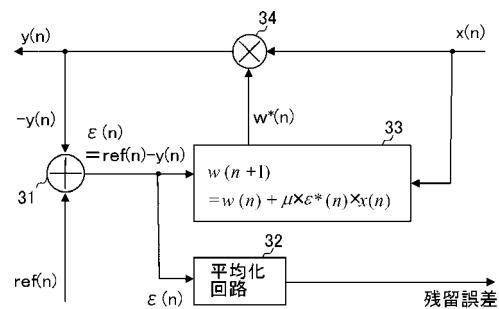
10

20

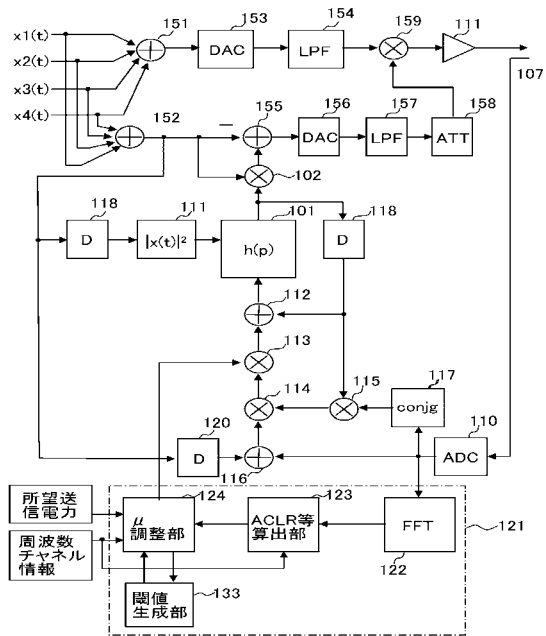
【図 1】



【図 2】



【 図 3 】



フロントページの続き

Fターム(参考) 5J500 AA01 AA41 AC00 AC21 AF20 AK00 AK26 AK32 AK34 AK53
AM11 AS14 AT01 NG03 NH04
5K060 BB07 CC04 HH01 HH06 HH14 HH21 HH34 HH35 LL24 LL30