

(19)



Octrooiiraad
Nederland

(11)

Publikatienummer: **9201779**

(12) **A TERINZAGELEGGING**

(21)

Aanvraagnummer: **9201779**

(51)

Int.Cl.⁵:
H01L 27/06

(22)

Indieningsdatum: **13.10.92**

(30)

Voorrang:
14.10.91 JP 264635/91

(43)

Ter inzage gelegd:
03.05.93 I.E. 93/09

(71)

Aanvrager(s):
**Mitsubishi Denki Kabushiki Kaisha te Tokio,
Japan**

(72)

Uitvinder(s):
Daisuke Shichinohe te Hyogo, Japan

(74)

Gemachtigde:
**Ir. R. Holjtink c.s.
Octroobureau Arnold & Siedsma
Sweelinckplein 1
2517 GK 's-Gravenhage**

(54)

Werkwijze en Inrichting voor een met hoge snelheid werkend uitgangsorgaan

(57)

Een uitgangsorgaan wordt beschreven dat bedoeld is om een uitslingering te beperken die wordt veroorzaakt wanneer de werking van een geïntegreerd halfgeleiderschakelingsorgaan wordt versneld. Dit uitgangsorgaan bevat eerste, tweede en derde N kanaal transistoren. De eerste N kanaal transistor is met zijn gate elektrode verbonden zodat deze een ingangssignaal ontvangt, zijn drain elektrode is verbonden met een uitgangsaansluiting, en zijn source elektrode is verbonden met de drain elektrodes van de tweede en de derde N kanaal transistor. Van de tweede N kanaal transistor zijn de gate elektrode en drain elektrode met elkaar verbonden en is de source elektrode geaard. De derde N kanaal transistor heeft een doorlaatweerstandswaarde die correspondeert met de karakteristieke impedantie van een belasting verbonden met de uitgangsaansluiting en is met zijn source elektrode geaard. Wanneer het niveau van het uitgangssignaal gelijk is aan of minder dan de drempelspanning van de tweede N kanaal transistor wordt de tweede N kanaal transistor gesperd, en wordt de hoeveelheid uitgangsstroom begrensd door de doorlaatweerstand van de derde N kanaal transistor.

WERKWIJZE EN INRICHTING VOOR EEN MET HOGE SNELHEID WERKEND UITGANGSORGAAN

ACHTERGROND VAN DE UITVINDING

Gebied van de uitvinding

Deze uitvinding heeft betrekking op uitgangsgorganen die deel uitmaken van geïntegreerde halfgeleiderschakelings-
5 organen en reageert op een ingangssignaal met afgifte van een signaal met hoog niveau of laag niveau.

Beschrijving van de technische achtergrond

Er bestaat behoefte aan geïntegreerde halfgeleider-
10 schakelingsorganen die in staat zijn met hoge snelheid een grote belasting te sturen vanwege het recente vereiste van versnelling van de werking van digitale inrichtingen. In geïntegreerde halfgeleiderschakelingsorganen is een groot aantal schakelingen in hoge mate geïntegreerd op een klein
15 gebied van een drager en zijn op de drager meervoudige interconnectielagen gevormd. Wanneer daarom de recente geïntegreerde halfgeleiderschakelingsorganen in werking gesteld worden met hoge snelheid en met een grote stroom, neigen de interconnectielijnen ertoe een zogenaamd gedistri-
20 buerd constant circuit te vormen.

Dientengevolge doet zich het probleem voor dat een gereflecteerde golf evenals een microgolfcircuit in beschouwing genomen dient te worden. Dit probleem zal nu worden beschreven met verwijzing naar fig. 14 tot en met 17.

25 Fig. 14 is een conventioneel uitgangsgorgaan in een geïntegreerd C-MOS circuitelement. In fig. 14 omvat het uitgangsgorgaan een P kanaal transistor 1P, een N kanaal

transistor 1N, een ingangsaansluiting 11 gemeenschappelijk verbonden met gate elektrodes van P kanaal transistor 1P en N kanaal transistor 1N en een uitgangsaansluiting 12 gemeenschappelijk verbonden met drainelektrodes van P kanaal transistor 1P en N kanaal transistor 1N. P kanaal transistor 1P is met zijn source elektrode gekoppeld met een voeding V_{DD} en N kanaal transistor 1N is met zijn source elektrode gekoppeld met een aardpotentialaal. Een capacitieve belasting 14 is verbonden met uitgangsaansluiting 12 door een interconnectielijn 15. Interconnectielijn 15 bevat een interconnectielijn of aansluitdraad gevormd op een drager.

Tijdens werking worden P kanaal transistor 1P en N kanaal transistor 1N complementair aan/uit gezet als reactie op eeningangssignaal. Dientengevolge verbruikt het uitgangsgoed een zeer geringe hoeveelheid vermogen.

Fig. 15 is een equivalent schakelschema van het uitgangsgoed getoond in fig. 14. In het equivalente schakelschema getoond in fig. 15 is N kanaal transistor 1N in een aan toestand, waarbij een signaal met "L" niveau wordt toegevoerd aan uitgangsaansluiting 12. In fig. 15 bevat N kanaal transistor 1N een stroombron 16 en een aan weerstand R_{on} . Een interconnectielijn 15 verbonden met een belasting 14 bevat een inductieve reactantie L. Belasting 14 heeft een capacitieve reactantie C.

Dientengevolge vormt de "L" niveau uitgangskring een resonantiekring die een weerstand R_{on} , een inductieve reactantie L een capacitieve reactantie C bevat. De resonantiekring heeft de volgende karakteristiek.

Veronderstel dat een resonantiefrequentie f_0 en een kwaliteitsfactor in de resonantiefrequentie Q bedraagt, dan is

$$f_0 = \frac{1}{2\pi \sqrt{LC}} \quad \dots (1)$$

$$Q = \frac{\omega_0 L}{R_{on}} \quad \dots (2)$$

waarin ω_0 is $2\pi f_0$.

- 5 Het is nodig het stroomverwerkend vermogen (te weten het geleidingsvermogen) te verbeteren om de werking van het uitgangsorgaan getoond in fig.14 te versnellen. Een manier om het stroomverwerkend vermogen te verbeteren, is de kanaalbreedte groter te maken dan de kanaallengte van de gate.
- 10 Fig. 16 toont een uitgangsspannings-uitgangsstroomkarakteristiek waarbij het stroomverwerkend vermogen aldus verbeterd is. In fig. 16 representeert (1) een karakteristiek voordat het stroomverwerkend vermogen verbeterd is en representeert (a) een aan weerstandswaarde nabij "L" niveau in
- 15 dat geval. (2) representeert een karakteristiek waarbij het stroomverwerkend vermogen verbeterd is en (b) representeert een aan weerstandswaarde nabij "L" niveau in dat geval. Zoals duidelijk blijkt uit fig. 16 wordt de aan weerstand (uitgangsspanning/uitgangsstroom) verminderd wanneer het
- 20 stroomverwerkend vermogen verbeterd wordt. De aan weerstand R_{on} nabij de verwachte logische waarde ("L" niveau in dit geval) wordt ook verlaagd. Zoals kan worden gezien uit de bovenstaande vergelijking (2) wordt, wanneer de aan weerstand R_{on} wordt verlaagd, de waarde van Q hoog en wordt de
- 25 resonantiekring geactiveerd door de stroom ten tijde van het dalen van het uitgangssignaal en dit veroorzaakt trilling. Dit gebeurt wanneer deze "H" niveau zowel als "L" niveau levert. Door een dergelijke trilling wordt uitslingering teweeg gebracht bij uitgangsaansluiting 12. Fig. 17 toont
- 30 een uitgangsspanningsgolfvorm bij uitgangsaansluiting 12 op dit tijdstip.

Wanneer de belasting een overdrachtslijn is, bestaat de neiging dat impedantiemisaanpassing optreedt, hetgeen uitslingering door reflectie veroorzaakt. De uitslingering

35 veroorzaakt geruisen in overdrachtssignalen, hetgeen resulteert in vorming van interferentiegolven, dat wil zeggen, parasitaire straling evenals storing van een logisch schake-

lingssysteem. De interferentiegolven zouden een storing van andere elektronische elementen kunnen veroorzaken.

Zoals hierboven is vastgesteld, vertoont het conventionele uitgangsorgaan het probleem van uitslingering welke
 5 wordt veroorzaakt wanneer het stroomverwerkend vermogen van de uitgangstransistor wordt vergroot om de werking te versnellen. Een manier om het uitslingeren te beperken, is het in serie met uitgangsaansluiting 12 verbinden van een dempweerstand. Dit geniet evenwel niet de voorkeur voor het
 10 versnellen van de werking aangezien dit de uitgangsstroom verzwakt.

Een andere mogelijke weg (via snelheidsbesturing) is het activeringsniveau te besturen van de resonantiekkring door te voorzien in een specifieke waarde van di/dt voor het
 15 stijgen/dalen van een ingangssignaal toegevoerd aan de gate van de uitgangstransistor om de verandering in de stroom van het ingangssignaal te reduceren. Deze benadering geniet echter niet de voorkeur bij het versnellen van de werking aangezien dit leidt tot een specifieke di/dt voor het in-
 20 gangssignaal.

SAMENVATTING VAN DE UITVINDING

Het is een doel van de uitvinding het mogelijk te maken een grote belasting met hoge snelheid te sturen en het optreden te beperken van een uitslingering in een uitgangs-
 25 orgaan dat bestemd is om een signaal met een hoog niveau of een laag niveau te leveren uit zijn uitgangsaansluiting.

Kort samengevat is het uitgangsorgaan volgens de uitvinding gevormd op een halfgeleide drager en bevat het een referentiespanningsaansluiting voor het ontvangen van
 30 een spanning die een referentie moet zijn voor een laag niveau of hoog niveau, een uitgangsaansluiting verbonden met een belasting en een schakelelement. Het schakelelement is met zijn uiteinde verbonden met de uitgangsaansluiting en wordt aan/uit gezet als reactie op een ingangssignaal be-
 35 stemd om een signaal aan de uitgangsaansluiting naar een laag niveau of een hoog niveau te brengen.

Het uitgangsorgaan bevat verder een uitschakelelement en een stroombegrenzingselement. Het uitschakelelement

is aangebracht tussen het andere uiteinde van het schakel-
element en de referentiespanningsaansluiting en wordt uitge-
zet wanneer het niveau van een uitgangssignaal aangelegd via
het schakelelement een voorafbepaald niveau te boven gaat.

5 Het stroombegrenzingsselement en het uitschakelele-
ment zijn parallel geschakeld. Het stroombegrenzingsselement
bestuurt de hoeveelheid stroom ten tijde van de overgang van
het uitgangssignaal.

Tijdens werking, wordt het schakelelement aangezet
10 als reactie op een ingangssignaal zodat een uitgangssignaal
wordt aangelegd aan het uitschakelelement en het stroombe-
grenzingsselement via het schakelelement. Aangezien het
uitschakelelement en het stroombegrenzingsselement parallel
geschakeld zijn, wordt het uitgangssignaal gedistribueerd
15 naar het uitschakelelement en het stroombegrenzingsselement.
Het uitschakelelement wordt uitgezet wanneer het niveau van
het uitgangssignaal aangelegd via het schakelelement een
vooraf bepaald niveau te boven gaat. Nadat het uitschakel-
element is afgezet, wordt het uitgangssignaal uitsluitend
20 toegevoerd aan het stroombegrenzingsorgaan.

Dat wil zeggen, het uitgangssignaal wordt gestuurd
overeenkomstig het stroomverwerkend vermogen van het scha-
kelelement en het uitschakelelement en verandert snel nabij
een verwacht logisch niveau totdat het voorafbepaald niveau
25 bereikt. Als eenmaal het niveau van het uitgangssignaal het
vooraf bepaalde niveau te boven gaat, wordt de stroomhoe-
veelheid begrensd door het stroombegrenzingsselement. Als
gevolg daarvan kan de gradiënt van de stroom alleen kleiner
worden gemaakt bij het punt nabij het einde van een stijging
30 of daling van het uitgangssignaal. Dientengevolge wordt
uitslingering voorkomen zelfs wanneer er een belasting aanwe-
zig is met een gedistribueerde constante.

In een ander aspect van de uitvinding, is in een
geval waarin het stroombegrenzingsselement een weerstand
35 heeft die overeen kan stemmen met een karakteristieke impe-
dantie van de belasting, de reflectiecoëfficiënt kleiner,
zodat de vorming van interferentiegolven beperkt kan worden.

Het vorenstaande en andere doelen, kenmerken, aspecten en voordelen van de uitvinding zullen duidelijker worden uit de volgende gedetailleerde beschrijving van de uitvinding te lezen tezamen met de begeleidende tekeningen.

5 KORTE BESCHRIJVING DER TEKENINGEN

Fig. 1 is een schakelschema dat een eerste uitvoering van de uitvinding toont,

Fig. 2 is een grafiek die een uitgangsspanning-uitgangsstroomkarakteristiek toont van het uitgangsgesorgaan
10 getoond in fig. 1,

Fig. 3 is een schakelschema dat een tweede uitvoering van de uitvinding toont,

Fig. 4 is een grafiek die een uitgangsspanning-uitgangsstroomkarakteristiek toont van het uitgangsgesorgaan
15 getoond in fig. 3,

Fig. 5 is een diagram dat het uitgangsgesorgaan van fig. 4 toont dat is gevormd op een halfgeleiderdrager,

Fig. 6 is een diagram dat een gemodificeerd voorbeeld toont van het uitgangsgesorgaan van fig. 5,

20 Fig. 7 is een schakelschema dat een derde uitvoering toont van de uitvinding,

Fig. 8 is een uitgangssignaalgolfvormgrafiek van het uitgangsgesorgaan getoond in fig. 7,

Fig. 9 is een schakelschema dat een vierde uitvoering van de uitvinding toont,
25

Fig. 10 is een schakelschema dat een vijfde uitvoering van de uitvinding toont,

Fig. 11 is een aanzicht in doorsnede van een deel van het uitgangsgesorgaan getoond in fig. 10,

30 Fig. 12 is een schakelschema dat een zesde uitvoering toont van de uitvinding,

Fig. 13 is een schakelschema dat een zevende uitvoering toont van de uitvinding,

Fig. 14 is een conventioneel uitgangsgesorgaan in een
35 geïntegreerde C-MOS schakeling,

Fig. 15 is een equivalent schakelschema van het uitgangsgesorgaan getoond in fig. 14,

Fig. 16 is een uitgangsspannings-uitgangsstroomkarakteristiek grafiek van het uitgangsgoed getoond in fig. 14,

Fig. 17 is een uitgangssignaalgrafiek van het 5 uitgangsgoed getoond in fig. 14.

BESCHRIJVING VAN DE VOORKEURSUITVOERINGEN

Fig. 1 is een schakelschema dat een uitvoering toont van een uitgangsgoed volgens de uitvinding. Het uitgangsgoed getoond in fig. 1 levert een signaal met "L" niveau.

10 In fig. 1 bevat het uitgangsgoed een eerste N kanaal transistor 1N, een tweede N kanaal transistor 2N en een derde N kanaal transistor 3N. De eerste N kanaal transistor 1N is met zijn gate elektrode verbonden met een ingangsaansluiting 11 met de drain elektrode verbonden met een uit-

15 gangsaansluiting 12 terwijl de source elektrode gemeenschappelijk verbonden is met de drain en gate elektrodes van de tweede N kanaal transistor 2N en de drain elektrode van de derde N kanaal transistor 3N. De tweede N kanaal transistor 2N is met zijn gate elektrode verbonden met zijn drain

20 elektrode, en de source elektrode is geaard. De derde N kanaal transistor 3N is met zijn gate elektrode gekoppeld met een voeding V_{DD} en met de source elektrode gekoppeld met een aardpotentiaal. De eerste N kanaal transistor 1N en de tweede N kanaal transistor 2N hebben met het oog op snellere

25 werking een groot stroomverwerkend vermogen. Van de derde N kanaal transistor 3N correspondeert de doorlaatweerstandswaarde met de impedantie van een interconnectielijn, een belasting of iets dergelijks verbonden met uitgangsaansluiting 12.

30 Fig. 2 is een grafiek die een uitgangsspanning-uitgangsstroomkarakteristiek toont van het uitgangsgoed getoond in fig. 1. In fig. 2 representeert de abscisas een uitgangsspanning V_0 en representeert de ordinaatas een uitgangsstroom I_0 . De lijn $(1N + 2N + 3N)$ representeert een

35 stroom die vloeit in het kanaal van de eerste N kanaal transistor 1N, die vloeit door uitgangsaansluiting 12. De lijn $(1N + 2N)$ representeert een stroom die vloeit in het kanaal van de tweede N kanaal transistor 2N. De lijn $(1N +$

3N) representeert een stroom die vloeit in het kanaal van de derde N kanaal transistor 3N. A en B duiden een startpunt aan van de omkering van "H" niveau naar "L" niveau. C duidt een punt aan waarop de tweede N kanaal transistor 2N wordt
 5 gesperd en D duidt een eindpunt aan van een uitgangssignaal-omkering.

De werking van het uitgangsgesorgaan getoond in fig. 1 en 2 zal nu worden beschreven.

Allereerst wordt, wanneer een ingangssignaal "H" niveau bereikt, de eerste N kanaal transistor 1N aangezet en
 10 wordt uitgangsaansluiting 12 verbonden met de drainelektrodes van de tweede N kanaal transistor 2N en de derde N kanaal transistor 3N. Aangezien de tweede N kanaal transistor 2N met zijn gate elektrode en zijn drain elektrode gemeen-
 15 schappelijk verbonden is met de source van de eerste N kanaal transistor 1N, wordt deze aangezet als reactie op de drainspanning van de eerste N kanaal transistor 1N. De derde N kanaal transistor 3N is continu in een doorlatende toestand en een stroom aangeduid door de lijn $(1N + 2N + 3N)$ vloeit
 20 in het kanaal van de eerste N kanaal transistor 1N gedurende de tijdsperiode B tot en met C. De stroom wordt verdeeld in de tweede N kanaal transistor 2N en de derde N kanaal transistor 3N. Een stroom aangeduid door de lijn $(1N + 2N)$ vloeit in het kanaal van de tweede N kanaal transistor 2N en
 25 een stroom aangeduid door de lijn $(1N + 3N)$ vloeit in het kanaal van de derde N kanaal transistor 3N.

Wanneer de spanning van het uitgangssignaal daalt tot een drempelspanning V_{th} van de tweede N kanaal transistor 2N (punt C) wordt de tweede N kanaal transistor 2N
 30 gesperd en vloeit de stroom uit de eerste N kanaal transistor 1N uitsluitend in de derde N kanaal transistor 3N.

Gedurende de tijdsperiode van C tot en met D wordt de stroom begrensd door de doorlaatweerstand van de derde N kanaal transistor 3N en wordt de daling van het uitgangssig-
 35 naal bescheiden.

Dat wil zeggen dat gedurende de tijdsperiode van B tot en met C het niveau van het uitgangssignaal snel daalt door sturing van de belasting met de eerste en de tweede N

kanaal transistor met groot stroomverwerkend vermogen, terwijl de verandering in het niveau van het uitgangssignaal geleidelijk wordt gemaakt door de doorlaatweerstand van de derde N kanaal transistor 3N gedurende de tijdsperiode van C tot en met D. Dientengevolge kan een uitslingering op het uitgangssignaal beperkt worden.

Aanvullend kan, aangezien de weerstand van het uitgangsgaarn wordt bepaald door de doorlaatweerstand van de derde N kanaal transistor 3N nabij een verwacht logisch niveau (in dit geval "L" niveau) reflectie gemakkelijk worden voorkomen door impedantie-aanpassing in een geval waarin belasting 14 een overdrachtslijn is. Een geschikt bereik van de doorlaatweerstand is de helft tot tweemaal de karakteristieke impedantie van de belasting. Wanneer de doorlaatweerstand in een dergelijk bereik ligt, zal de reflectiecoëfficiënt 0,33 of minder zijn.

Terwijl het uitgangsgaarn voor "L" niveau beschreven is in de utioering van fig. 1, is het ook mogelijk een uitgangsgaarn voor "H" niveau te vormen door verandering van het type geleidingsvermogen getoond in fig.1 en omkering van de polariteit van de spanning en stroom.

Een weerstand kan worden gebruikt in plaats van de derde N kanaal transistor 3N getoond in fig. 1.

Fig. 3 is een schakelschema dat een tweede uitvoering toont van de uitvinding. In fig. 3 verschilt dit uitgangsgaarn van het in fig. 1 getoonde in die zin dat een weerstand RN wordt gebruikt in plaats van de derde N kanaal transistor 3N. Weerstand RN is met zijn ene uiteinde verbonden met de drain elektrode van de tweede N kanaal transistor 2N en het andere uiteinde is geaard. De weerstandswaarde van weerstand RN is een waarde die correspondeert met de karakteristieke impedantie van de belasting, dat wil zeggen, dezelfde waarde als de doorlaatweerstandswaarde van de derde N kanaal transistor 3N getoond in fig. 1.

Fig. 4 is een grafiek die een uitgangsspanning-uitgangsstroom karakteristiek toont van het uitgangsgaarn getoond in fig. 3. In fig. 4, representeert de lijn (1N + 3N) een stroom die vloeit in weerstand RN. Andere lijnen

zijn dezelfde als die welke worden getoond in fig. 2. De lijn $(1N + RN)$ is recht aangezien de weerstandswaarde van weerstand RN constant is.

Tijdens werking vloeit het grootste deel van de
 5 uitgangsstroom door de tweede N kanaal transistor met een groot stroomverwerkend vermogen totdat de tweede N kanaal transistor $2N$ wordt gesperd op dezelfde wijze als bij het uitgangsorgaan van fig. 1. Nadat de tweede N kanaal transistor $2N$ gesperd is, wordt de stroomhoeveelheid begrensd door
 10 weerstand RN nabij "L" niveau van het uitgangssignaal aangezien de uitgangsstroom vloeit in weerstand RN .

Dientengevolge bereikt dit uitgangsorgaan dezelfde effecten als die van het uitgangsorgaan getoond in fig. 1. In een geïntegreerde halfgeleiderschakeling echter, is in
 15 het algemeen een groter gebied vereist voor een weerstand dan voor een transistor. Het uitgangsorgaan van fig. 3 is gevormd op de hieronder vermelde wijze om een toename van het oppervlak te vermijden ten gevolge van de aanwezigheid van een weerstand.

20 Fig. 5 is een diagram dat het uitgangsorgaan van fig. 3 toont, dat is aangebracht op een halfgeleider drager. Het in fig. 5 getoonde uitgangsorgaan bevat een halfgeleiderdrager 20, een contactgebied S van een aardpotentiaal, een contactgebied D van een uitgangsaansluiting 12, een gate
 25 elektrode $G1$ van de eerste N kanaal transistor $1N$, een gate elektrode $G2$ van de tweede N kanaal transistor $2N$, een diffusieweerstand RN , source-drain diffusiegebieden F , contactgaten C , een interconnectielijn 22 die contact gaten C met elkaar verbindt en een interconnectielijn 21 voor
 30 verbinding van weerstand RN met poortelektrode $G2$. Een kanaal is gevormd onder elk der gate elektrodes $G1$ en $G2$. Diffusiegebieden F gevormd aan weerszijden van elk der gate elektrodes $G1$ en $G2$ zijn sources en drains. Contactgaten C zijn aangebracht in het sourcegebied van de eerste N kanaal
 35 transistor $1N$ en de gate elektrode van de tweede N kanaal transistor en zijn met elkaar verbonden door interconnectielijn 22 die een goede geleider bevat zoals aluminium. Diffusieweerstand RN is verbonden met de gate elektrode $G2$ van de

tweede N kanaal transistor 2N via interconnectielijn 21. Aangezien diffusieweerstand RN gevormd is in een diffusiegebied dat de eerste en tweede N kanaal transistor vormt, is een klein gebied vereist voor het aanbrengen van weerstand 5 RN.

Fig. 6 is een diagram dat een gewijzigd voorbeeld van het uitgangsgaan getoond in fig. 5. Het uitgangsgaan getoond in fig. 6 verschilt van het in fig. 5 getoonde in die zin dat in plaats van interconnectielijn 21, er een gate 10 elektrode G2 is aangebracht, die zich uitstrekt in het gebied van diffusieweerstand RN. Aangezien gate elektrode G2 direct verbonden is met diffusieweerstand RN vereist weerstand RN slechts een klein gebied net als in het uitgangsgaan getoond in fig. 5.

15 Fig. 7 is een schakelschema dat een derde uitvoering toont van de uitvinding. Het uitgangsgaan getoond in fig. 7 verschilt van het in fig. 1 getoonde in die zin dat een uitgangsschakeling voor het leveren van een signaal met "H" niveau is toegevoegd. De uitgangsschakeling voor "H" niveau 20 bevat een eerste P kanaal transistor 1P, een tweede P kanaal transistor 2P en een derde P kanaal transistor 3P. De gate elektrode van de eerste P kanaal transistor 1P is samen met de gate van de eerste N kanaal transistor 1N verbonden met een ingangsaansluiting 11. De drainelektrode van de eerste P 25 kanaal transistor 1P is samen met de drain elektrode van de eerste N kanaal transistor 1N verbonden met een uitgangsaansluiting 12. De eerste P kanaal transistor 1P is met zijn source elektrode gemeenschappelijk verbonden met de drain elektrodes van de tweede P kanaal transistor 2P en de derde 30 P kanaal transistor 3P. De tweede P kanaal transistor 2P is met zijn gate elektrode verbonden met zijn drain elektrode en zijn source elektrode is gekoppeld met een voeding. De derde P kanaal transistor 3P is met zijn gate elektrode gekoppeld met een aardpotentiaal en met zijn source elektro- 35 de gekoppeld met de voeding. De eerste P kanaal transistor 1P en de tweede P kanaal transistor 2P bezitten een groot stroomverwerkend vermogen ter versnelling van de werking. Van de derde P kanaal transistor 3P correspondeert de door-

laatweerstandswaarde met een karakteristieke impedantie van een interconnectielijn, een belasting of iets dergelijks die verbonden is met uitgangsaansluiting 12.

De uitgangsschakeling voor "H" niveau verschilt wat
5 betreft zijn geleidingsvermogenstype en is qua polariteit van de spanning en stroom omgekeerd ten opzichte van die van de uitgangsschakeling voor "L" getoond in fig. 1. Bijgevolg kan een uitslingering worden beperkt in uitgangssignaalovergangen van "H" niveau naar "L" niveau en van "L" niveau naar
10 "H" niveau met de uitgangskringen voor "L" niveau en "H" niveau.

Fig. 8 is een grafiek die een uitgangssignaalgolfvorm toont van het uitgangsgoed getoond in fig. 7. De belastingsconditie (inductieve en capacatieve reactantie) in
15 fig. 8 is dezelfde als in fig. 7.

Fig. 9 is een schakelschema dat een vierde uitvoering toont van de uitvinding. In fig. 9 verschillen dit uitgangsgoed het in fig. 7 getoonde uitgangsgoed in die zin dat de eerste N kanaal transistor 1N en de tweede en
20 derde N kanaal transistoren van plaats met elkaar verwisselen en de eerste P kanaal transistor 1P en de tweede P kanaal transistoren van plaats met elkaar verwisselen. In dit uitgangsgoed evenals bij het uitgangsgoed van fig. 7 kan, aangezien de stroom die vloeit uit uitgangsaansluiting
25 12 naar de aardpotentialaal verdeeld wordt, hetzelfde effect bereikt worden als bij het uitgangsgoed van fig. 7.

Fig. 10 is een schakelschema dat een vijfde uitvoering van de uitvinding toont. In fig. 10, verschilt het uitgangsgoed in deze figuur van het uitgangsgoed van
30 fig. 7 in die zin dat een P kanaal transistor 22 een N kanaal transistor 23, een weerstand RP en een weerstand RN zijn aangebracht in plaats van de tweede N kanaal transistor 2N, de tweede P kanaal transistor 2P, de derde N kanaal transistor 3N respectievelijk de derde P kanaal transistor.
35 De gate elektrode en het diffusiegebied van P kanaal transistor 22 zijn verbonden met de aardpotentialaal en de gate elektrode en het diffusiegebied van N kanaal transistor 23 zijn gekoppeld met de voeding V_{DD} . Dientengevolge wordt een

ontgrendelschakeling die kenmerkend is voor een geïntegreerde C-MOS schakeling niet gestuurd door de voedingsspanning. Dit zal gedetailleerder beschreven worden met verwijzing naar een aanzicht in doorsnede getoond in fig. 11.

5 Fig. 11 is een aanzicht in doorsnede van een deel van het uitgangsorgaan getoond in fig. 10. In fig. 11 zijn een pnp transistor 24 en een npn transistor 25 parasitair gevormd door P kanaal transistor 22 en N kanaal transistor 23. Dientengevolge wordt een ontgrendelschakeling kenmerkend
10 voor een geïntegreerde C-MOS schakeling gevormd (zie de stippellijn in fig. 11). Het diffusiegebied (N+) evenwel van de N kanaal transistor 23 is gekoppeld met de voeding V_{DD} en het diffusiegebied (P+) van P kanaal transistor 22 is gekoppeld met de aardpotentiaal. Dientengevolge vloeit er geen
15 stroom in pnp transistor 24 en N transistor 25 die de ontgrendelschakeling vormen.

Daardoor kan dit uitgangsorgaan een ontgrendeling voorkomen.

Er kan een MOS transistor worden aangebracht in
20 plaats van weerstanden RP en RN in deze uitvoering.

Fig. 12 is een schakelschema dat een zesde uitvoering toont. In fig. 12 verschilt dit uitgangsorgaan van de uitgangsorganen getoond in de fig. 7 tot en met 10 in die zin dat de uitgangsschakeling getoond in fig. 1 uitsluitend
25 aanwezig is voor de uitgangsschakeling voor "L" niveau. Dit orgaan kan alleen uitslingering beperken op "L" niveau van een uitgangssignaal. Dientengevolge kan dit uitgangsorgaan gebruikt worden bij het sturen van een belasting die niet gestoord raakt zelfs wanneer er een uitslingering optreedt
30 op een signaal met "H" niveau. Aldus kunnen de uitgangsschakelingen voor "L" niveau en "H" niveau onafhankelijk worden gecombineerd met een andere uitgangsschakeling.

Aanvullend kan een uitgangsorgaan met open drain worden bereikt door P kanaal transistor 1P te elimineren uit
35 de schakeling van fig. 12.

Zoals hierboven is opgemerkt, kan het uitgangsorgaan volgens de uitvinding worden toegepast op een N kanaal MOS

uitgangsschakeling of een P kanaal MOS uitgangsschakeling evenals op een complementaire uitgangsschakeling.

Fig. 13 is een schakelschema dat een zevende uitvoering toont van de uitvinding. Dit uitgangsgorgaan verschilt van dat van fig. 7 in die zin dat een stuurschakeling 26 voor het vormen van een hoge impedantietoestand verbonden is met de gate elektrodes van de eerste P kanaal transistor 1P en de eerste N kanaal transistor 1N. Stuurschakeling 26 bevat een inverter 27, een NEN poort 28, een NOF poort 29 en een stuuraansluiting 13 voor ontvangst van een stuursignaal ter vorming van een hoge impedantietoestand.

Tijdens werking levert, wanneer een signaal met "H" niveau wordt aangelegd aan stuuraansluiting 13, NEN poort 28, een signaal met "H" niveau en levert NOF poort 29 een signaal met "L" niveau. Bijgevolg worden de eerste N kanaal transistor 1N en de eerste P kanaal transistor 1P gesperd. Daardoor wordt uitgangsaansluiting 12 in een hoge impedantietoestand gebracht.

Wanneer een signaal met "L" niveau wordt toegevoerd om aansluiting 13 te sturen, geven NEN poort 28 en NOF poort 29 een signaal toegevoerd uit ingangsaansluiting 11 ongewijzigd door aan de gates van de eerste N kanaal transistor 1N en de eerste P kanaal transistor 1P.

Hoewel het uitgangsgorgaan getoond in fig. 13 met de stuurschakeling verbonden is om de uitgangsaansluiting in de hoge impedantietoestand te brengen, is het ook mogelijk in plaats daarvan het uitgangsgorgaan te verbinden met een ander soort stuurschakeling.

Hoewel deze uitvinding gedetailleerd beschreven en geïllustreerd is, spreekt het duidelijk vanzelf dat deze alleen als illustratie en voorbeeld geldt en niet dient te worden opgevat als een beperking daar de geest en het werkingsgebied van de uitvinding uitsluitend beperkt worden door de begrippen van de aangehechte conclusies.

CONCLUSIES

1. Uitgangsorgaan gevormd op een halfgeleiderdrager bestaande uit

een referentiespanningsaansluiting voor het ontvangen van een spanning bedoeld als referentiespanning (GND)

5 voor een laag niveau of hoog niveau;

een uitgangsaansluiting (12) verbonden met een belasting (14);

schakelmiddelen (1N) die met een uiteinde verbonden zijn met de uitgangsaansluiting (12), die aan/uit worden
10 gezet als reactie op een ingangssignaal om de potentiaal op de uitgangsaansluiting naar het lage niveau of het hoge niveau te brengen;

uitschakelmiddelen (2N) aangesloten tussen het andere uiteinde van de schakelmiddelen (1N) en de referen-
15 tiespanningsaansluiting, die worden uitgezet wanneer het niveau van een uitgangssignaal toegevoerd via de schakelmiddelen (1N) een vooraf bepaald niveau (V_{th}) te boven gaat; en
middelen (3N) parallel geschakeld ten opzichte van de uitschakelmiddelen (2N) ter begrenzing van de hoeveelheid
20 stroom ten tijde van de overgang van het uitgangssignaal.

2. Uitgangsorgaan volgens conclusie 1, waarin de beide schakelmiddelen (1N) en uitschakelmiddelen (2N) een MOS transistor bevatten met een zodanig stroomverwerkend vermogen dat deze een belasting kan sturen met hoge snel-
25 heid.

3. Uitgangsorgaan volgens conclusie 1, waarin het voorafbepaalde niveau een drempelspanning is van de uitschakelmiddelen (2N).

4. Uitgangsorgaan volgens conclusie 1, waarin de
30 stroombegrenzingsmiddelen (3N) een weerstand bezitten die kan corresponderen met de karakteristieke impedantie van de belasting (14).

5. Uitgangsorgaan volgens conclusie 4, waarin de stroomgebrenzingsmiddelen (3N) een MOS transistor bevatten
35 en de weerstand (RN) een source-drain weerstand is wanneer de MOS transistor verzadigd is.

9201779

6. Uitgangsorgaan volgens conclusie 1, waarin de beide schakelmiddelen (1N) en uitschakelmiddelen (2N) een MOS transistor bevatten en de stroombegrenzingsmiddelen (3N) een diffusieweerstand bevatten die zodanig gevormd is dat
 5 deze in contact staat met de gate elektrode van de MOS transistor die deel uitmaakt van de uitschakelmiddelen (2N).

7. Uitgangsorgaan gevormd op een halfgeleidersubstraat bestaande uit:

een referentiespanningsaansluiting voor ontvangst
 10 van een spanning (GND/V_{DD}) bedoeld als referentie voor een laag niveau of hoog niveau;

een uitgangsaansluiting (12) verbonden met een belasting (14);

een eerste MOS transistor (1N) waarvan de drain
 15 elektrode verbonden is met de uitgangsaansluiting (12) en de gate elektrode zo is aangesloten dat deze een ingangssignaal (11) ontvangt;

een tweede MOS transistor (2N) waarvan de drain elektrode en de gate elektrode verbonden zijn met de source
 20 elektrode van de eerste MOS transistor (1N) en de source elektrode verbonden is met de referentiespanningsaansluiting (GND); en

een derde MOS transistor (3N) parallel geschakeld ten opzichte van de tweede MOS transistor (2N) waarvan de
 25 gate elektrode verbonden is met de referentiespanningsaansluiting (GND);

waarbij de eerste en de tweede MOS transistor (1N) zodanig stroomverwerkend vermogen bezitten dat deze de belasting (14) met hoge snelheid kunnen sturen, en

30 waarbij de derde MOS transistor (3N) aan wordt gezet als reactie op de spanning (V_{DD}/GND) waaraan wordt gerefereerd voor een laag niveau of hoog niveau en een drain-source weerstand vormt die kan corresponderen met de karakteristieke impedantie (R_N) van de belasting (14).

35 8. Uitgangsorgaan volgens conclusie 7, waarin de eerste, tweede en derde MOS transistor (1N, 2N, 3N) hetzelfde type geleidingsvermogen bezitten.

9. Uitgangsorgaan volgens conclusie 7, waarin een van de eerste, tweede en derde MOS transistoren (1N, 2N, 3N) een type geleidingsvermogen bezit dat verschilt van dat van andere MOS transistoren.

5 10. Uitgangsorgaan gevormd op een halfgeleiderdrager bestaande uit:

een referentiespanningsaansluiting voor het ontvangen van een spanning (GND/V_{DD}) bedoeld als referentie voor een laag niveau of hoog niveau;

10 een uitgangsaansluiting (12) verbonden met een belasting (14); en

een hoog niveau uitgangsschakeling (1P, 2P, 3P) voor het toevoeren van een signaal met hoog niveau aan de uitgangsaansluiting (12);

15 een laag niveau uitgangsschakeling (1N, 2N, 3N) voor toevoeren van een signaal met laag niveau aan de uitgangsaansluiting (12);

waarbij ten minste een der hoog niveau uitgangsschakelingen (1P, 2P, 3P) en de laag niveau uitgangsschakelingen

20 (1N, 2N, 3N) bevat:

schakelmiddelen (1P, 1N) die met een uiteinde verbonden zijn met de uitgangsaansluiting (12), die aan/uit worden gezet als reactie op een ingangssignaal om de potentiaal op de uitgangsaansluiting (12) naar het lage niveau of
25 het hoge niveau te brengen;

uitschakelmiddelen (2P, 2N) aangesloten tussen het andere uiteinde van de schakelmiddelen (1P, 1N) en de referentiespanningsaansluiting, die worden uitgezet wanneer het niveau van een uitgangssignaal toegevoerd via de schakelmid-

30 delen (1P, 1N) een vooraf bepaald niveau te boven gaat; en

middelen die parallel geschakeld ten opzichte van de uitschakelmiddelen (2P, 2N) ter begrenzing van de hoeveelheid stroom ten tijde van de overgang van het uitgangssignaal.

35 11. Uitgangsorgaan gevormd op een halfgeleiderdrager bestaande uit:

een referentiespanningsaansluiting voor het ontvangen van een spanning (GND/V_{DD}) bedoeld als referentie voor een laag niveau of hoog niveau;

een uitgangsaansluiting (12) verbonden met een
5 belasting (14);

een hoog niveau uitgangsschakeling (1P, 2P, 3P) voor het toevoeren van een signaal met hoog niveau aan de uitgangsaansluiting (12); en

een laag niveau uitgangsschakeling (1N, 2N, 3N) voor
10 toevoer van een signaal met laag niveau aan de uitgangsaansluiting (12);

waarbij ten minste een der hoog niveau uitgangsschakelingen (1P, 2P, 3P) en de laag niveau uitgangsschakelingen (1N, 2N, 3N) bevat:

15 een eerste MOS transistor (1P, 1N) waarvan de drain elektrode verbonden is met de uitgangsaansluiting (12) en de gate elektrode zo is aangesloten dat deze een ingangssignaal ontvangt;

een tweede MOS transistor (2P, 2N) waarvan de drain
20 elektrode en de gate elektrode verbonden zijn met de source elektrode van de eerste MOS transistor (1P, 1N) en de source elektrode verbonden is met de referentiespanningsaansluiting; en

een derde MOS transistor (3P, 3N) parallel gescha-
25 keld is ten opzichte van de tweede MOS transistor (2P, 2N) en met zijn gate elektrode verbonden is met de referentiespanningsaansluiting;

waarbij de eerste en de tweede MOS transistoren (1P, 1N, 2P, 2N) een zodanig stroomverwerkend vermogen bezitten
30 dat deze de belasting met hoge snelheid kunnen sturen, en

waarbij de derde MOS transistor (3P, 3N) aan wordt
gezet als reactie op een spanning uit de referentiespanningsaansluiting en een drain-source weerstand vormt die kan
corresponderen met de karakteristieke impedantie van de

35 belasting (14).

12. Uitgangsorgaan volgens conclusie 11, waarin de eerste MOS transistor (1P) die deel uitmaakt van de hoog niveau uitgangsschakeling en de eerste MOS transistor (1N)

die deel uitmaakt van de laag niveau uitgangsschakeling
 verschillende types geleidbaarheid hebben, de tweede MOS
 transistor (2P) die deel uitmaakt van de hoog niveau uit-
 gangsschakeling en de tweede MOS transistor (2N) die deel
 5 uitmaakt van de laag niveau uitgangsschakeling verschillende
 types geleidbaarheid hebben, en de derde MOS transistor (3P)
 die deel uitmaakt van de hoog niveau uitgangsschakeling en
 de derde MOS transistor (3N) die deel uitmaakt van de laag
 niveau uitgangsschakeling verschillende types geleidbaarheid
 10 hebben.

13. Uitgangsorgaan volgens conclusie 12, waarin de
 eerste en tweede MOS transistor die deel uitmaken van de
 hoog niveau uitgangsschakeling verschillende types geleid-
 baarheid hebben en de eerste en tweede MOS transistor die
 15 deel uitmaken van de laag niveau uitgangsschakeling ver-
 schillende types geleidbaarheid hebben.

14. Uitgangsorgaan gevormd op een halfgeleiderdrager
 bestaande uit:

een referentiespanningsaansluiting voor het ontvan-
 20 gen van een spanning (GND/V_{DD}) bedoeld als referentie voor
 een laag niveau of hoog niveau;

een uitgangsaansluiting (12) verbonden met een
 belasting (14);

een hoog niveau uitgangsschakeling (1P, 2P, 3P) voor
 25 het toevoeren van een signaal met hoog niveau aan de uit-
 gangsaansluiting (12); en

een laag niveau uitgangsschakeling (1N, 2N, 3N) voor
 toevoer van een signaal met laag niveau aan de uitgangsaan-
 sluiting;

30 waarbij ten minste een der hoog niveau uitgangsscha-
 kelingen (1P, 2P, 3P) en de laag niveau uitgangsschakelingen
 (1N, 2N, 3N) bevat:

uitschakelmiddelen (2P, 2N) die met een uiteinde
 verbonden zijn met de uitgangsaansluiting (12) die worden
 35 uitgezet wanneer het niveau van de potentiaal op de uit-
 gangsaansluiting (12) een vooraf bepaald niveau te boven
 gaat;

middelen (3P, 3N) parallel geschakeld ten opzichte van de uitschakelmiddelen (2P, 2N) ter begrenzing van de hoeveelheid stroom ten tijde van de overgang van het uitgangssignaal; en

- 5 middelen (1P, 1N) aangesloten tussen het andere uiteinde van de uitschakelmiddelen (2P, 2N) en de referentiespanningsaansluiting die worden aan/uit gezet als reactie op het ingangssignaal.

15. Werkwijze voor het doen werken van een uitgangs-
 10 orgaan bestaande uit een referentiespanningsaansluiting voor het ontvangen van een spanning bedoeld als referentie voor een laag niveau of hoog niveau, een uitgangsaansluiting verbonden met een belasting, en een schakelelement dat met een uiteinde verbonden is met de uitgangsaansluiting, dat
 15 wordt aan/uit gezet als reactie op een ingangssignaal om de potentiaal op de uitgangsaansluiting te brengen naar een laag niveau of een hoog niveau, bestaande uit de volgende stappen:

 verbreking van het andere uiteinde van het schakel-
 20 element van de referentiespanningsaansluiting wanneer het niveau van het uitgangssignaal toegevoerd via het schakel-element een vooraf bepaald niveau te boven gaat; en

 begrenzen van de hoeveelheid stroom ten tijde van de overgang van het uitgangssignaal.

FIG. 1

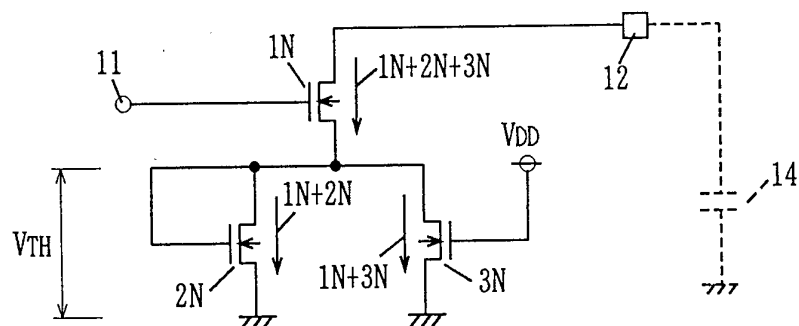


FIG. 2

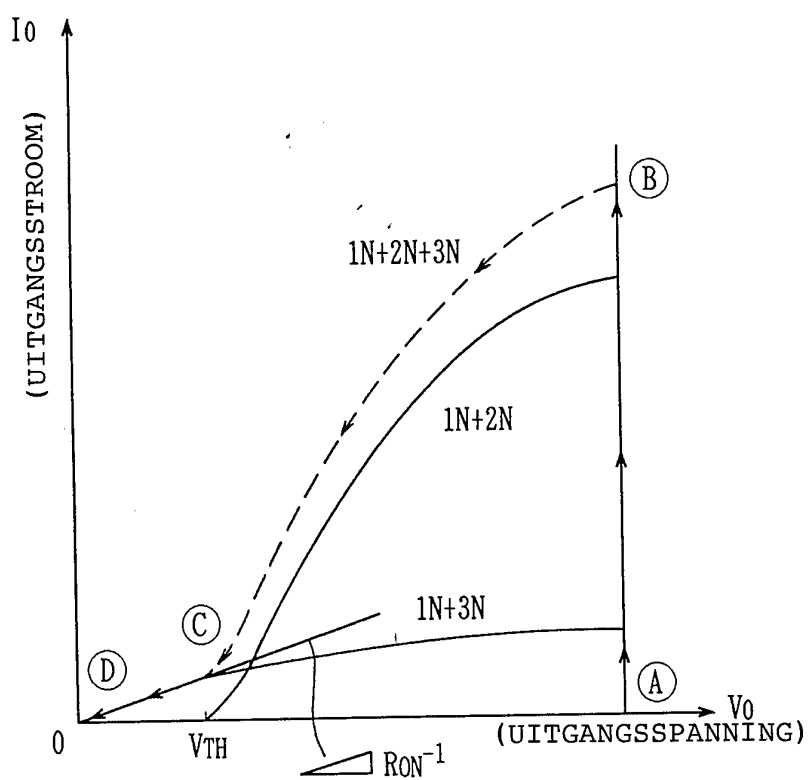


FIG. 3

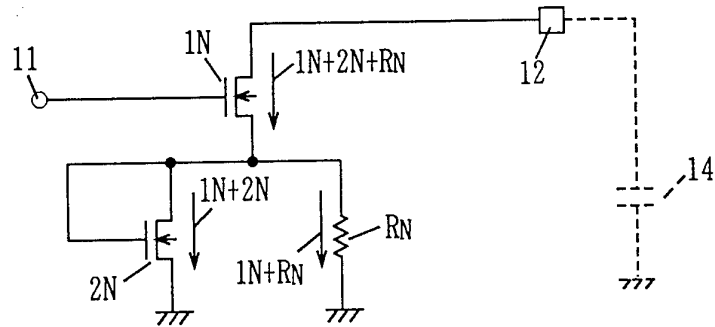


FIG. 4

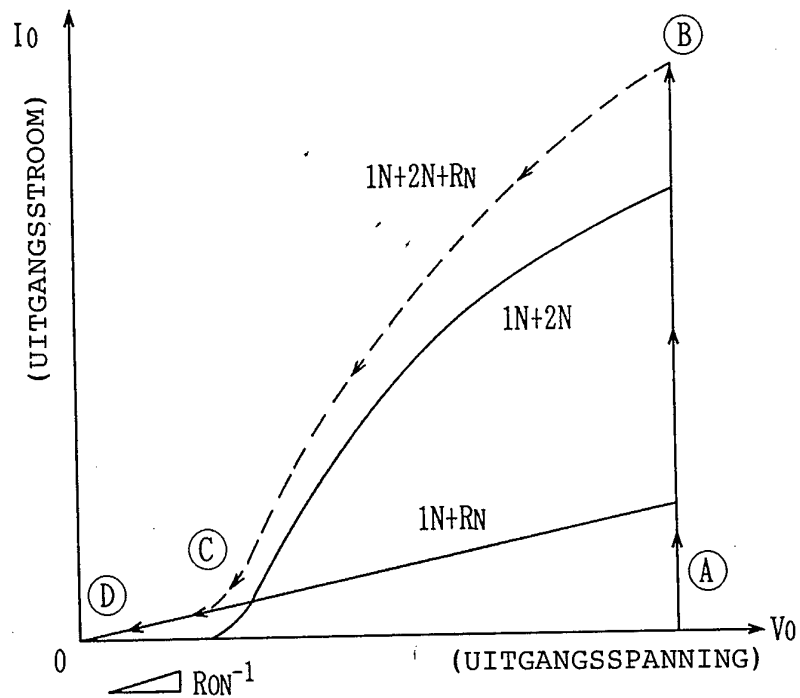


FIG. 5

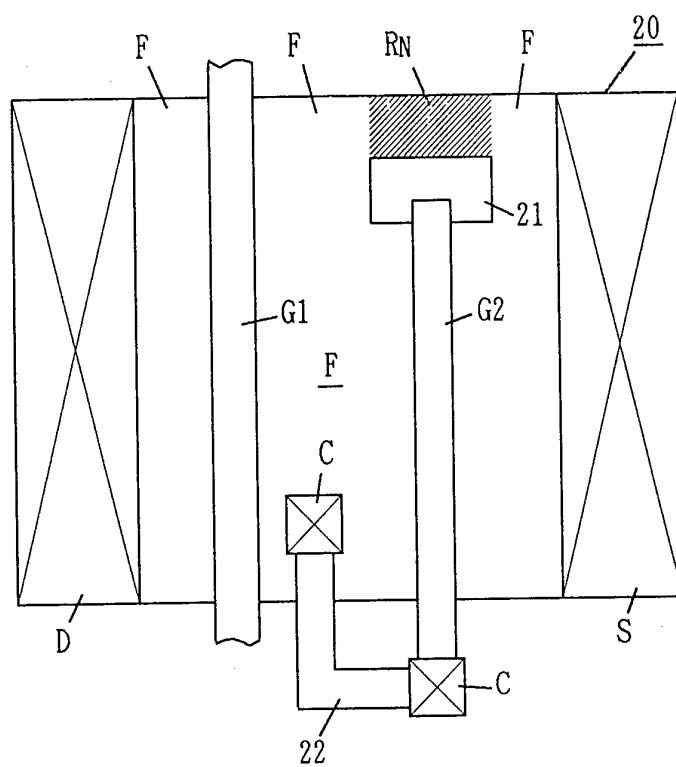


FIG. 6

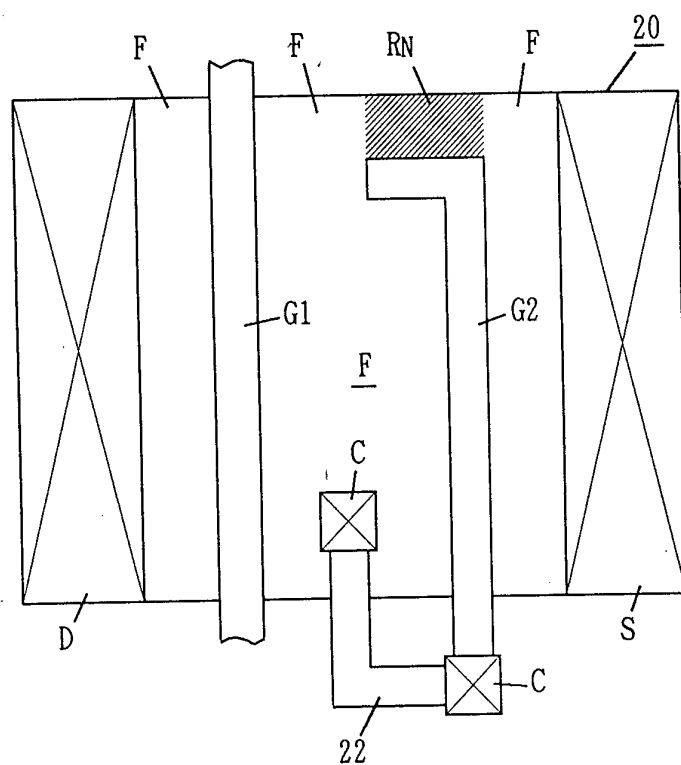


FIG. 7

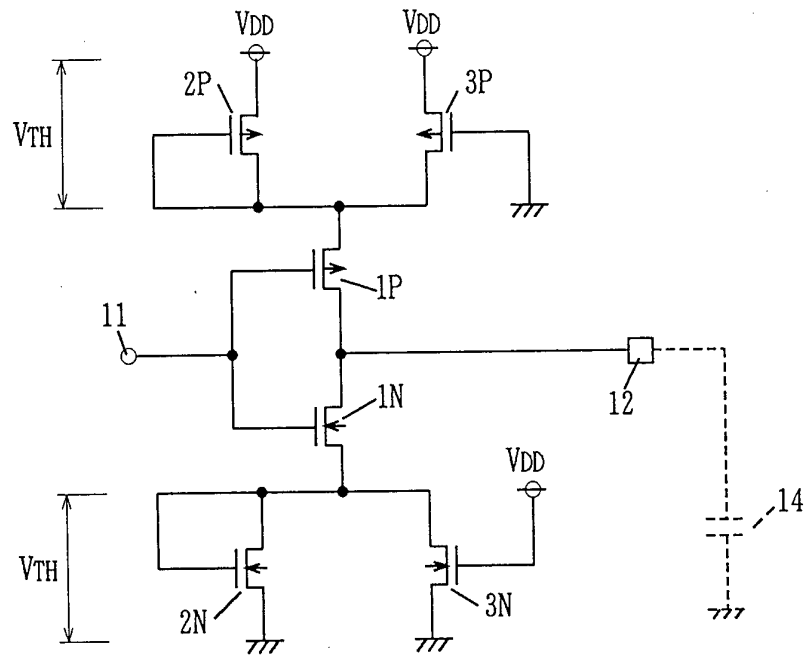


FIG. 8

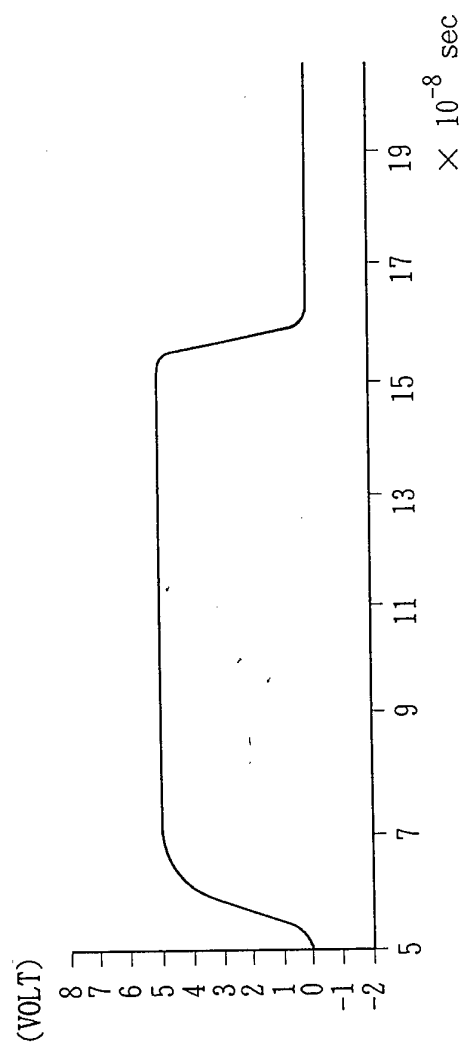


FIG. 9

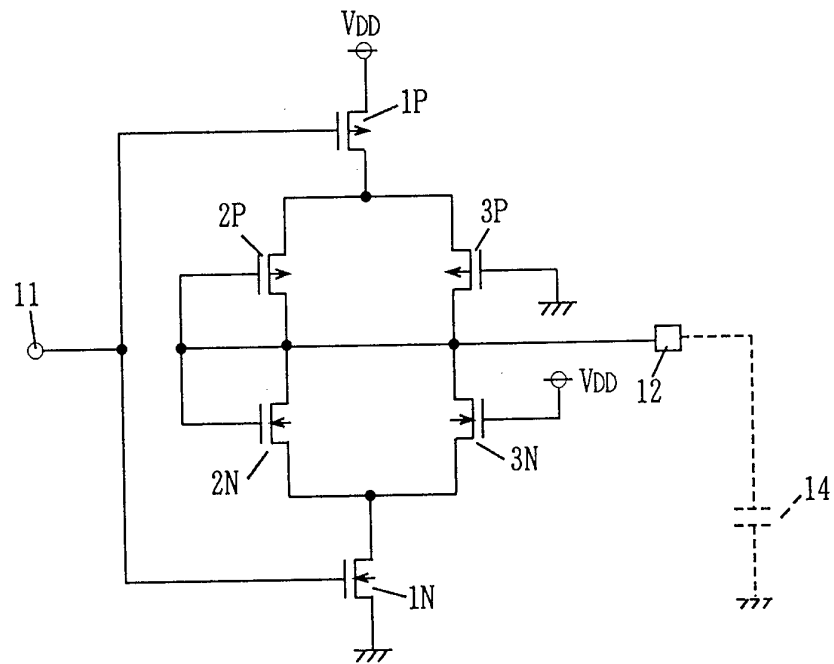


FIG. 10

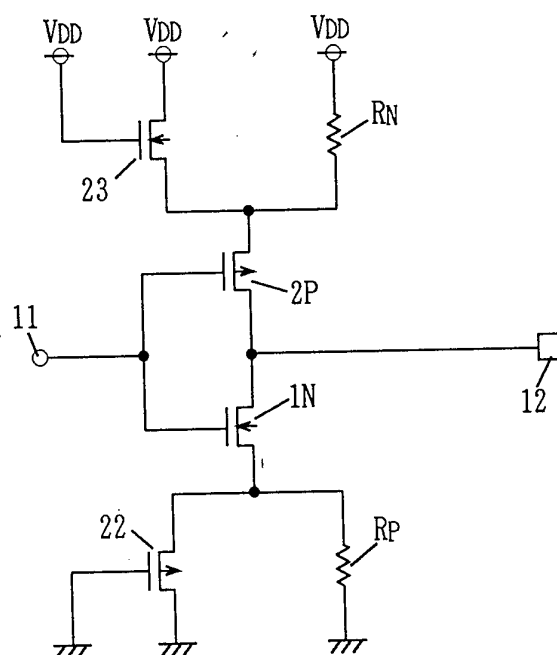


FIG. 11

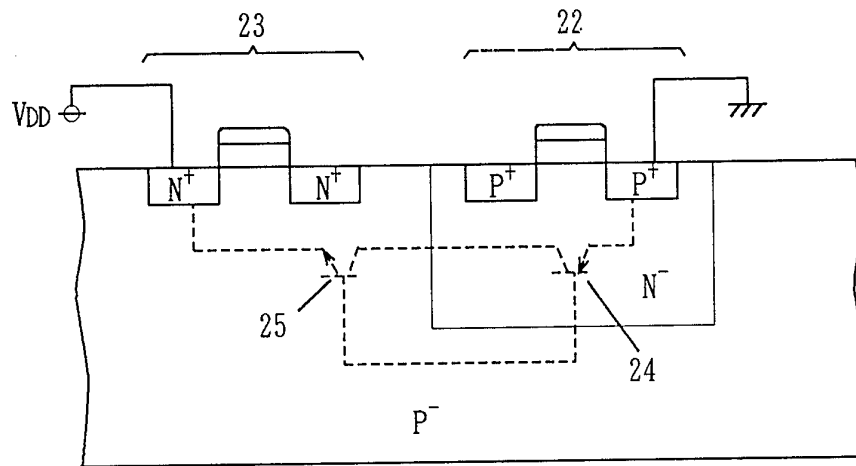


FIG. 12

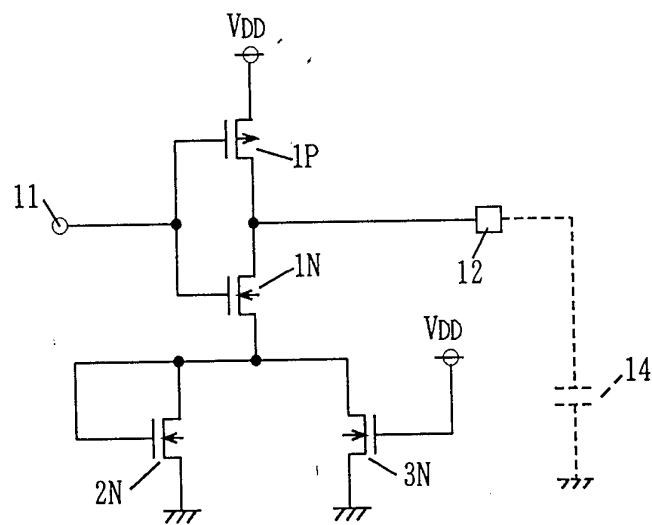


FIG. 13

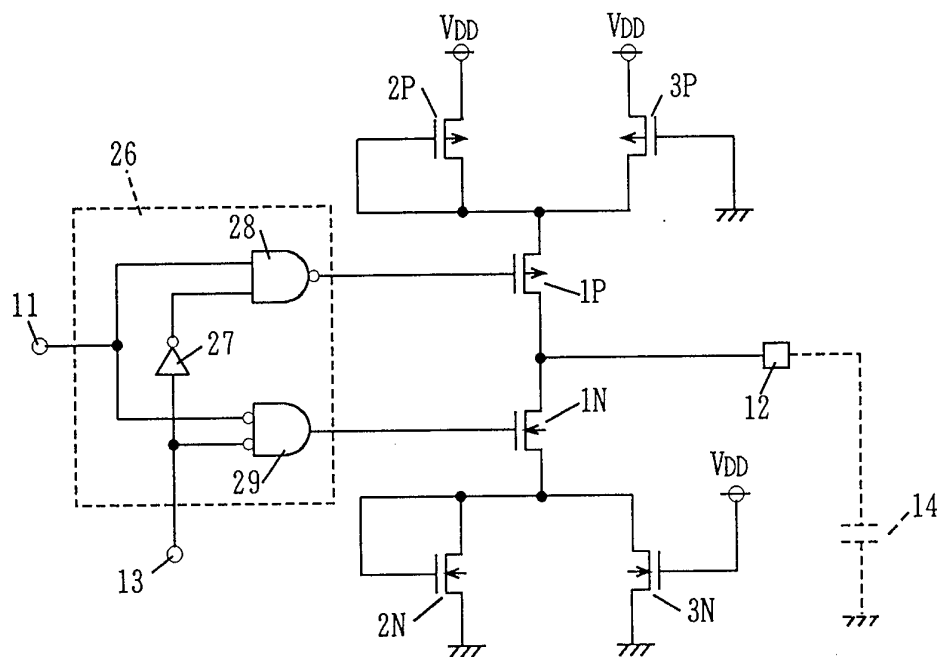


FIG. 14 BESTAANDE TECHNIEK

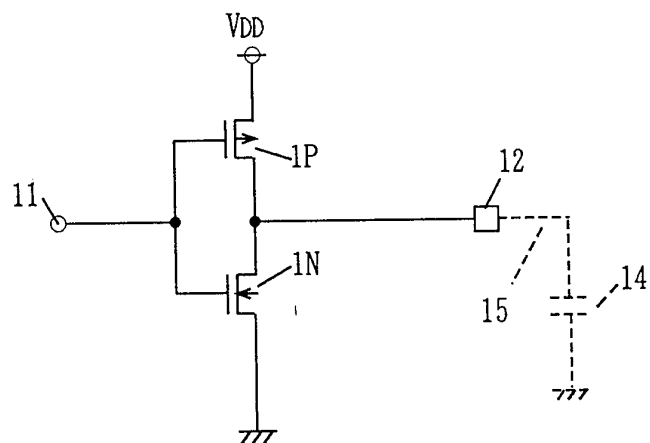


FIG. 15 BESTAANDE TECHNIEK

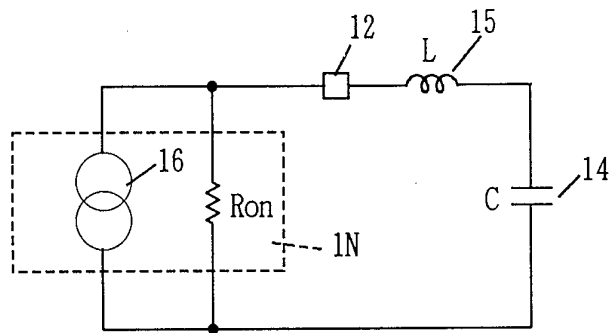


FIG. 16 BESTAANDE TECHNIEK

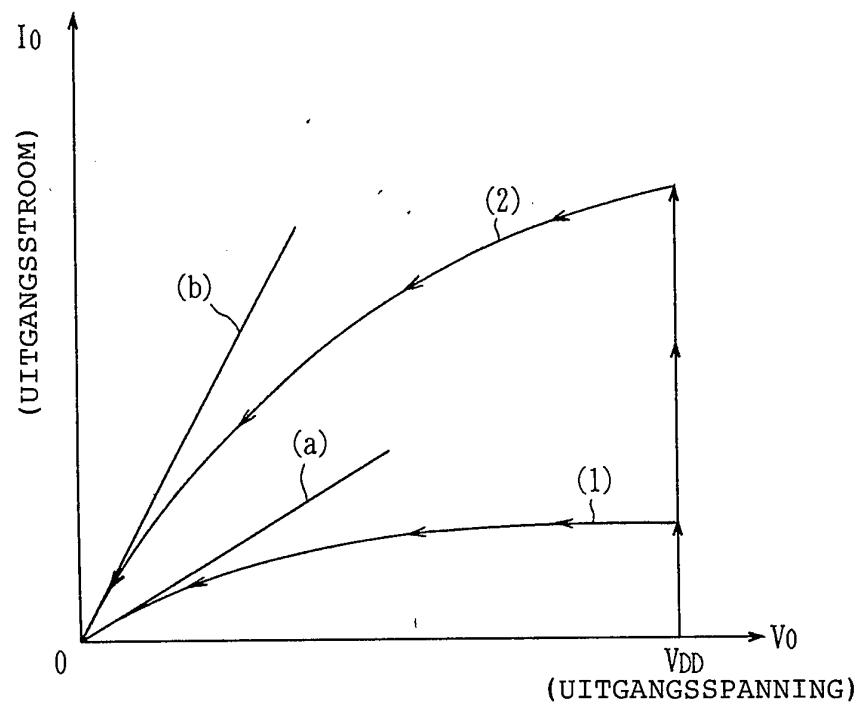


FIG. 17 BESTAANDE TECHNIEK

