

(12) 按照专利合作条约所公布的国际申请

(19) 世界知识产权组织
国际局

(43) 国际公布日
2021 年 9 月 30 日 (30.09.2021)



(10) 国际公布号
WO 2021/189488 A1

- (51) 国际专利分类号:
G09G 3/36 (2006.01) *H01L 23/48* (2006.01)
- (21) 国际申请号: PCT/CN2020/081862
- (22) 国际申请日: 2020 年 3 月 27 日 (27.03.2020)
- (25) 申请语言: 中文
- (26) 公布语言: 中文
- (71) 申请人: 京东方科技集团股份有限公司
(**BOE TECHNOLOGY GROUP CO., LTD.**) [CN/CN];
中国北京市朝阳区酒仙桥路 10 号,
Beijing 100015 (CN)。
- (72) 发明人: 浦超(**PU, Chao**); 中国北京市北京经济技术
开发区地泽路 9 号, Beijing 100176 (CN)。 杨
盛际(**YANG, Shengji**); 中国北京市北京经济技术
开发区地泽路 9 号, Beijing 100176 (CN)。 黄冠
达(**HUANG, Kuanta**); 中国北京市北京经济技术
开发区地泽路 9 号, Beijing 100176 (CN)。 卢鹏
程(**LU, Pengcheng**); 中国北京市北京经济技术开
发区地泽路 9 号, Beijing 100176 (CN)。 陈小川
(**CHEN, Xiaochuan**); 中国北京市北京经济技术开
发区地泽路 9 号, Beijing 100176 (CN)。

- (74) 代理人: 北京律智知识产权代理有限公司 (**BEIJING INTELLEGAL INTELLECTUAL
PROPERTY AGENT LTD.**); 中国北京市朝阳区
慧忠路 5 号 B1605、B1606、B1607, Beijing
100101 (CN)。
- (81) 指定国(除另有指明, 要求每一种可提供的国家
保护): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG,
BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU,
CZ, DE, DJ, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB,
GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS,
JO, JP, KE, KG, KH, KN, KP, KR, KW, KZ, LA, LC, LK,
LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX,
MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL,
PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL,
ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US,
UZ, VC, VN, WS, ZA, ZM, ZW。
- (84) 指定国(除另有指明, 要求每一种可提供的地区
保护): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ,
NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), 欧亚 (AM,
AZ, BY, KG, KZ, RU, TJ, TM), 欧洲 (AL, AT, BE, BG,
CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU,
IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT,

(54) Title: DISPLAY PANEL AND DISPLAY DEVICE

(54) 发明名称: 显示面板和显示装置

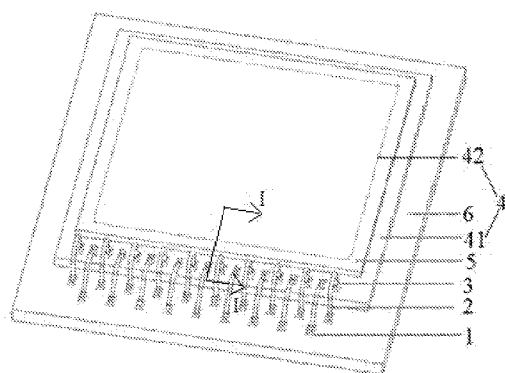


图 2

(57) Abstract: A display panel and a display device, relating to the technical field of display. The display panel comprises a circuit board assembly (6), a plurality of sub-pixels, a base substrate (4), and a plurality of connection wires (2); each of the sub-pixels comprises a light-emitting element and a driving circuit; the light-emitting element comprises a first electrode, a light-emitting function layer, and a second electrode that are stacked; the driving circuit comprises a driving transistor, a storage capacitor, and a third electrode; the driving transistor comprises a source, a drain, and a gate; the source or the drain is coupled to the third electrode; the third electrode is coupled to the first electrode; the gate is coupled to the storage capacitor; the circuit board assembly (6) comprises a plurality of first wiring trays (1); a plurality of second wiring trays (3) are provided in the non-display region of the base substrate (4); the plurality of connection wires (2) connect the plurality of first wiring trays (1) and the plurality of second wiring trays (3); and the maximum stretchable heights of adjacent connection wires (2) in a direction perpendicular to the base substrate (4) are different. The adjacent connection wires (2) are not easily overlapped with each other, and thus, a wire bonding short circuit cannot be caused.

RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG)。

本国际公布：

— 包括国际检索报告(条约第21条(3))。

(57) 摘要：一种显示面板和显示装置涉及显示技术领域。该显示面板包括电路板组件(6)、多个子像素、衬底基板(4)和多个连接导线(2)；子像素包括发光元件和驱动电路，发光元件包括层叠的第一电极、发光功能层和第二电极，驱动电路包括驱动晶体管、存储电容和第三电极，驱动晶体管包括源极、漏极和栅极，源极或漏极与第三电极耦接，第三电极与第一电极耦接，栅极与存储电容耦接；电路板组件(6)包括多个第一接线盘(1)；在衬底基板(4)的非显示区设有多个第二接线盘(3)；多个连接导线(2)连接多个第一接线盘(1)和多个第二接线盘(3)，相邻连接导线(2)在垂直于衬底基板(4)方向上的最大可拉伸高度不同。相邻连接导线(2)不易搭接在一起，不会导致引线键合短路。

显示面板和显示装置

技术领域

本公开实施例涉及显示技术领域，特别涉及一种显示面板和包括
5 该显示面板的显示装置。

背景技术

目前，在硅基 OLED（Organic Light-Emitting Diode，有机发光二
极管）显示装置的制作过程中，填充胶涂布一圈时，在流动的填充胶
10 的横向力的作用下，相邻两根导线易搭接在一起，导致 Wire bonding
short（引线键合短路），致使硅基 OLED 显示装置良率降低。

发明内容

本公开实施例提供一种显示面板和包括该显示面板的显示装置。
15 在本公开的一种实施例中，提供了一种显示面板，其中，包括：
衬底基板，包括显示区和围绕所述显示区的非显示区；

多个子像素，设于所述显示区且位于所述衬底基板的一侧，所述
多个子像素中的至少一个包括发光元件和驱动电路；所述发光元件包
括依次层叠的第一电极、发光功能层和第二电极，所述第一电极比所
20 述第二电极更靠近所述衬底基板；所述驱动电路位于所述发光元件和
所述衬底基板之间，所述驱动电路包括驱动晶体管、存储电容和第三
电极层，所述第三电极层包括多个电极，所述驱动晶体管包括源极、
漏极和栅极，所述栅极、所述源极和所述漏极分别与所述第三电极层
的多个电极耦接，所述第三电极层的其中一个电极与所述第一电极耦
25 接，所述栅极与所述存储电容耦接；

电路板组件，位于所述衬底基板远离所述发光元件的一侧，所述
电路板组件包括多个第一接线盘；

多个第二接线盘，位于所述衬底基板的所述非显示区；

多个连接导线，连接所述多个第一接线盘和所述多个第二接线盘，所述多个连接导线中的相邻所述连接导线在垂直于所述衬底基板方向上的最大可拉伸高度不同；

其中，所述电路板组件通过所述多个连接导线为所述多个子像素提供电信号。

在本公开的一种实施例中，所述多个连接导线的两端一一对应的连接所述多个第一接线盘和所述多个第二接线盘。

在本公开的一种实施例中，所述多个连接导线中相邻两个连接导线所连接的所述第一接线盘和所述第二接线盘中的至少一个错位设置。

在本公开的一种实施例中，所述多个第一接线盘包括多个第一奇数行接线盘和多个第一偶数行接线盘，所述多个第一奇数行接线盘比所述多个第一偶数行接线盘更靠近所述显示区的边缘；或所述多个第一偶数行接线盘比所述多个第一奇数行接线盘更靠近所述显示区的边缘。

在本公开的一种实施例中，所述多个第二接线盘包括多个第二奇数行接线盘和多个第二偶数行接线盘，所述多个第二奇数行接线盘比所述多个第二偶数行接线盘更靠近所述显示区的边缘；或所述多个第二偶数行接线盘比所述多个第二奇数行接线盘更靠近所述显示区的边缘。

在本公开的一种实施例中，所述多个连接导线中相邻两个连接导线所连接的所述第一接线盘和所述第二接线盘都错位设置。

在本公开的一种实施例中，所述多个第一接线盘包括多个第一奇数行接线盘和多个第一偶数行接线盘，所述多个第二接线盘包括多个第二奇数行接线盘和多个第二偶数行接线盘；所述多个第一奇数行接线盘比所述多个第一偶数行接线盘更靠近所述显示区的边缘，且所述多个第二奇数行接线盘比所述多个第二偶数行接线盘更靠近所述显示区的边缘，或所述多个第一奇数行接线盘比所述多个第一偶数行接线盘更远离所述显示区的边缘，且所述多个第二奇数行接线盘比所述多个第二偶数行接线盘更远离所述显示区的边缘。

在本公开的一种实施例中，所述多个第一接线盘包括多个第一奇数行接线盘和多个第一偶数行接线盘，所述多个第二接线盘包括多个第二

奇数行接线盘和多个第二偶数行接线盘；所述多个第一奇数行接线盘比所述多个第一偶数行接线盘更靠近所述显示区的边缘，且所述多个第二奇数行接线盘比所述多个第二偶数行接线盘更远离所述显示区的边缘，或所述多个第一奇数行接线盘比所述多个第一偶数行接线盘更远离所述显示区的边缘，且所述多个第二奇数行接线盘比所述多个第二偶数行接线盘更靠近所述显示区的边缘。

在本公开的一种实施例中，多个所述第一接线盘错位设置形成三行或四行，和/或多个所述第二接线盘错位设置形成三行或四行。

在本公开的一种实施例中，所述多个连接导线的线长相同。

在本公开的一种实施例中，所述第一接线盘和所述第二接线盘之间距离越大对应连接的所述连接导线的长度越短。

在本公开的一种实施例中，多个所述第一接线盘和多个所述第二接线盘分别排列为一行，且相邻两个所述连接导线的线长不同。

在本公开的一种实施例中，多个所述第一接线盘为金手指结构。

在本公开的一种实施例中，所述衬底基板为硅基板。

在本公开的一种实施例中，所述发光功能层包括：

空穴注入层，设于所述第一电极的远离所述衬底基板的一侧；

空穴传输层，设于所述空穴注入层的远离所述衬底基板的一侧；

有机发光层，设于所述空穴传输层的远离所述衬底基板的一侧；

电子传输层，设于所述有机发光层的远离所述衬底基板的一侧；

电子注入层，设于所述电子传输层的远离所述衬底基板的一侧。

在本公开的一种实施例中，所述第一电极为阳极，所述第二电极为阴极。

在本公开的一种实施例中，提供了一种显示装置，其中，包括：上述所述的显示面板。

附图说明

附图用来提供对本公开实施例的进一步理解，并且构成说明书的

一部分，与本公开实施例一起用于解释本公开，并不构成对本公开的限制。通过参考附图对详细示例实施例进行描述，以上和其它特征和优点对本领域技术人员将变得更加显而易见，在附图中：

图 1 为相关技术中显示面板一示例实施方式的结构示意图；

5 图 2 为本发明显示面板一示例实施方式的结构示意图；

图 3 为按照图 2 中的 I-I 剖切的部分剖视示意图；

图 4 为本发明显示面板又一示例实施方式的结构示意图；

图 5 为本发明显示面板再一示例实施方式的结构示意图。

10 具体实施方式

现在将参考附图更全面地描述示例实施方式。然而，示例实施方式能够以多种形式实施，且不应被理解为限于在此阐述的实施方式；相反，提供这些实施方式使得本发明将全面和完整，并将示例实施方式的构思全面地传达给本领域的技术人员。图中相同的附图标记表示
15 相同或类似的结构，因而将省略它们的详细描述。

虽然本说明书中使用相对性的用语，例如“上”“下”来描述图标的一个组件对于另一组件的相对关系，但是这些术语用于本说明书中仅出于方便，例如根据附图中所述的示例的方向。能理解的是，如果将图标的装置翻转使其上下颠倒，则所叙述在“上”的组件将会成为在
20 “下”的组件。当某结构在其它结构“上”时，有可能是指某结构一体形成于其它结构上，或指某结构“直接”设置在其它结构上，或指某结构通过另一结构“间接”设置在其它结构上。

用语“一个”、“一”、“该”、“所述”和“至少一个”用以表示存在一个或多个要素/组成部分/等；用语“包括”和“具有”用以表示开放式的
25 包括在内的意思并且是指除了列出的要素/组成部分/等之外还可存在另外的要素/组成部分/等。

参照图 1 所示的相关技术中显示面板一示例实施方式的结构示意图；在电路板组件 6 之上设置有衬底基板 4，在电路板组件 6 上设置

有多个第一接线盘 1，第一接线盘 1 排列形成一行。在衬底基板 4 的非显示区 41 设置多个第二接线盘 3，第二接线盘 3 排列形成一行。多个连接导线 2 均弯曲成拱形，连接导线 2 的两端一一对应的连接第一接线盘 1 和第二接线盘 3，多个连接导线 2 的拱高相同，且多个连接导线 2 整齐排列。填充胶涂布一圈时，在流动的填充胶的横向力的作用下，连接导线 2 会倾斜，使相邻两根连接导线 2 易搭接在一起，导致 Wire bonding short（引线键合短路），致使硅基 OLED 显示装置良率降低。

本发明首先提供了一种显示面板，参照图 2 和图 3 所示的本发明显示面板一示例实施方式的结构示意图；该显示面板可以包括衬底基板 4、电路板组件 6、多个子像素、多个第二接线盘 3 和多个连接导线 2；衬底基板 4 包括显示区 42 和围绕显示区 42 的非显示区 41；多个子像素设于显示区 42 且位于衬底基板 4 的一侧，多个子像素中的至少一个包括发光元件和驱动电路；发光元件包括依次层叠的第一电极 81、发光功能层 11 和第二电极 82，第一电极 81 比第二电极 82 更靠近衬底基板 4；驱动电路位于发光元件和衬底基板 4 之间，驱动电路包括驱动晶体管、存储电容和第三电极 83，驱动晶体管包括源极 71、漏极 72 和栅极 73，源极 71 和漏极 72 之一与第三电极 83 耦接，第三电极 83 与第一电极 81 耦接，栅极 73 与存储电容耦接；电路板组件 6 位于衬底基板 4 远离发光元件的一侧，电路板组件 6 可以包括多个第一接线盘 1；多个第二接线盘 3 位于衬底基板 4 的非显示区 41；多个连接导线 2 连接多个第一接线盘 1 和多个第二接线盘 3，多个连接导线 2 中的相邻连接导线 2 在垂直于衬底基板 4 方向上的最大可拉伸高度不同；其中，电路板组件 6 通过多个连接导线 2 为多个子像素提供电信号。

在本示例实施方式中，显示面板可以为硅基 OLED 显示面板，硅基 OLED 显示面板具有体积小、高分辨率等优点，被广泛运用于 VR、AR 等近眼显示设备中。参照图 3 所示，显示面板可以包括衬底基板 4、像素驱动电路、发光元件、第一封装层组 91、彩膜层 10、第二封装层组 92 和盖板 5。

衬底基板 4 包括显示区 42 和围绕显示区 42 的非显示区 41。在衬底基板 4 的非显示区 41 设置有多多个第二接线盘 3。在显示区 42 设置有多多个子像素，子像素中的至少一个包括设置在衬底基板 4 上的源极 71 和漏极 72，设置在源极 71 和漏极 72 远离衬底基板的一侧的第一绝缘层 14，设置在第一绝缘层的远离衬底基板的一侧的栅极 73，源极 71、漏极 72 和栅极 73 形成驱动晶体管。栅极 73 与存储电容（图中未示出）耦接；设置在栅极 73 的远离衬底基板 4 的一侧的第二绝缘层 15，设置在第二绝缘层 15 的远离衬底基板的一侧的导体层，导体层可以包括第三电极 83、第五电极 85、第六电极，第二接线盘 3 与导体层通过同一次构图工艺形成。第三电极 83 通过绝缘层上的过孔连接部 12 与源极 71 藕接，漏级 72 通过绝缘层上的过孔连接部 12 与第五电极 85 藕接，栅极 73 与第六电极藕接。当然，源极 71 和漏极 72 可以互换。设置在第三电极 83 的远离衬底基板 4 的一侧的第三绝缘层 16，设置在第三绝缘层 16 的远离衬底基板 4 的一侧的第四电极 84，第四电极 84 通过钨孔连接部 13 与和源极 71 连接的第三电极 83 连接。设置在第四电极 84 的远离衬底基板 4 的一侧的第四绝缘层 17，设置在第四绝缘层 17 的远离衬底基板的一侧的发光元件。

发光元件包括依次层叠的第一电极 81、发光功能层 11 和第二电极 82，第一电极 81 比第二电极 82 更靠近衬底基板 4。第一电极 81 通过第四电极 84 与第三电极 83 藕接。

在发光元件的远离衬底基板 4 的一侧设置有第一封装层组 91，在第一封装层组 91 的远离衬底基板 4 的一侧设置有彩膜层 10，在彩膜层 10 的远离衬底基板 4 的一侧设置有第二封装层组 92，在第二封装层组 92 的远离衬底基板 4 的一侧设置有盖板 5。

第三电极 83 和第四电极 84 的材质可以包括铝层和设置在铝层一侧或两侧的保护层，保护层的材质可以为 TiN 或 Ti；第三电极可以作为反射层。栅极为多晶硅栅极，通过分子束外延处理长出，该层可导电。

第一电极 81 为阳极，第一电极 81 的材质可以为 ITO（铟锡氧化物）、IZO（铟锌氧化物）、IGO（铟镓氧化物）等等透明导电材料，第一电极的材质还可以为 Ti/Al/Ti/Mo 或 Ti/Ag/ITO。第二电极 82 为阴极，第二电极 82 的材质也可以为 ITO（铟锡氧化物）、IZO（铟锌氧化物）、IGO（铟镓氧化物）等等透明导电材料。

具体来说，发光功能层 11 可以包括空穴注入层、空穴传输层、有机发光层、电子传输层和电子注入层；空穴注入层设于第一电极 81 的远离衬底基板 4 的一面；空穴传输层设于空穴注入层的远离衬底基板 4 的一面；有机发光层设于空穴传输层的远离衬底基板 4 的一面；电子传输层设于有机发光层的远离衬底基板 4 的一面；电子注入层设于电子传输层的远离衬底基板 4 的一面。

硅基 OLED 显示基板的具体制作过程为：以晶圆为基底，在晶圆上依次形成驱动电路、第一电极 81、空穴注入层、空穴传输层、有机发光层、电子传输层、电子注入层、第二电极 82、第一封装层组 91、彩膜层 10 和第二封装层组 92，然后贴上盖板 5，并切割形成多个硅基 OLED 显示基板。

在一种实施方式中，电路板组件 6 的边缘与衬底基板 4 的边缘与显示区 42 的边缘均是相互平行的。

在本示例实施方式中，电路板组件 6 包括印制电路板以及设置在印制电路板上的各种元器件。电路板组件 6 可以通过 PCBA（Printed Circuit Board +Assembly）形成，即将各种元器件通过表面封装工艺组装在印制电路板上，也就是说印制电路板空板经过 SMT（Surface Mount Technology，表面贴装技术）上件，再经过 DIP（dual inline-pin package，双列直插式封装）插件形成电路板组件 6。

在本示例实施方式中，在电路板组件 6 上设置有多个第一接线盘 1。多个第一接线盘 1 设置为金手指结构，印制电路板上靠近板边的位置成排布置有许多长方形的金属触片，金属触片是在印制电路板的铜面上电镀一层镍金形成。这些金属触片是印制电路板的一部分，因其表面镀镍金且形状类似手指，故被称为金手指。金手指用于印制电

路板之间的连接，能够连接电路和传输信号。

5 请继续参照图 2 所示，在本示例实施方式中，多个第一接线盘 1 中相邻两个第一接线盘 1 之间错位设置，多个第一接线盘 1 错位排列形成两行，即如果将多个第一接线盘 1 从左到右依次逐个进行标注序号“1、2、3、4、5、6……”的情况下，奇数序号的多个第一接线盘 1 称为第一奇数行接线盘，偶数序号的多个第一接线盘 1 称为第一偶数行接线盘。使奇数序号的多个第一接线盘 1 排列为一行，且该行与衬底基板 4 边沿平行设置；偶数序号的多个第一接线盘 1 排列为一行，且该行与衬底基板 4 边沿平行设置；奇数序号的第一接线盘 1 与衬底基板 4 之间的距离小于偶数序号的第一接线盘 1 与衬底基板 4 之间的距离，就是将偶数序号的第一接线盘 1 向远离衬底基板 4 的方向移动大约 1mm~2mm，例如，可以为 1.5mm。使多个第一奇数行接线盘比多个第一偶数行接线盘更靠近显示区 42 的边缘。

15 当然，多个第一接线盘 1 的排列结构不限于上述说明，例如，可以是奇数序号的第一接线盘 1 与衬底基板 4 之间的距离大于偶数序号的第一接线盘 1 与衬底基板 4 之间的距离，使多个第一偶数行接线盘比多个第一奇数行接线盘更靠近显示区 42 的边缘；多个第一接线盘 1 还可以排列形成三行、四行或更多行。还有，多个第一接线盘 1 也可以设置成参差不齐的形式，只要相邻两个第一接线盘 1 之间错位设置即可。

20 在本示例实施方式中，多个第二接线盘 3 可以设置为一行。

25 请继续参照图 2 所示，在多个第一接线盘 1 错位设置为两行，且多个连接导线 2 长度相同的情况下，连接导线 2 的第一端与第一接线盘 1 连接，连接导线 2 的第二端与第二接线盘 3 连接后，使相邻两个连接导线 2 在垂直于衬底基板方向上的最大可拉伸高度不同，连接导线 2 在垂直于衬底基板方向上的最大可拉伸高度不同使得连接导线 2 自然弯曲成拱形后的拱高不同。使与奇数序号的第一接线盘 1 连接的连接导线 2 的拱高较高，与偶数序号的第一接线盘 1 连接的连接导线 2 的拱高较低。从而使相邻两个连接导线 2 之间的距离加大，即使在

流动的填充胶的横向力的作用下，拱高较低的连接导线 2 不易产生倾斜，拱高较高的连接导线 2 产生倾斜后，由于相邻两个连接导线 2 之间的距离较大，相邻两根连接导线 2 不易搭接在一起，不会导致 Wire bonding short（引线键合短路），使硅基 OLED 显示装置良率升高。

5 当然，多个第二接线盘 3 的布置也不限于上述描述。参照图 4 所示的本发明显示面板又一示例实施方式的结构示意图；奇数序号的多个第二接线盘 1 称为第二奇数行接线盘，偶数序号的多个第二接线盘 1 称为第二偶数行接线盘。多个第二接线盘 3 也可以按照第一接线盘 1 的方式布置，即奇数序号的第二接线盘 3 设置为一行，且该行与衬底基板 4 边沿平行设置；偶数序号的第二接线盘 3 设置为一行，且该行与衬底基板 4 边沿平行设置；奇数序号的第二接线盘 3 与衬底基板 4 边沿之间的距离小于偶数序号的第二接线盘 3 与衬底基板 4 边沿之间的距离，就是将偶数序号的第二接线盘 3 向远离衬底基板 4 边沿的方向（也就是向显示区 42 的中心位置）移动大约 1mm~2mm，例如，可以为 1.5mm。使多个第二奇数行接线盘比多个第二偶数行接线盘更远离显示区 42 的边缘。

结合多个第一接线盘 1 错位设置为两行，即上述多个第一奇数行接线盘比多个第一偶数行接线盘更靠近显示区 42 的边缘，且多个连接导线 2 长度相同的情况下，连接导线 2 的第一端与第一接线盘 1 连接，连接导线 2 的第二端与第二接线盘 3 连接后，使相邻两个连接导线 2 弯曲成拱形的拱高相差更大，即与奇数序号的第一接线盘 1 连接的连接导线 2 的拱高较高，与偶数序号的第一接线盘 1 连接的连接导线 2 的拱高更低，从而使相邻两个连接导线 2 之间的距离更大，即使在流动的填充胶的横向力的作用下，拱高较低的连接导线 2 不易产生倾斜，拱高较高的连接导线 2 产生倾斜后，由于相邻两个连接导线 2 之间的距离较大，相邻两根连接导线 2 更不易搭接在一起，更不会导致 Wire bonding short（引线键合短路），使硅基 OLED 显示装置良率升高。

上述说明了，偶数序号第一接线盘 1 向远离衬底基板 4（远离显示区 42）的方向移动，且偶数序号第二接线盘 3 向远离衬底基板 4

边沿（靠近显示区 42）的方向移动的实施例。参照图 5 所示的本发明显示面板再一示例实施方式的结构示意图。当然，也可以是偶数序号第一接线盘 1 向远离衬底基板 4（远离显示区 42）的方向移动，且偶数序号第二接线盘 3 向靠近衬底基板 4 边沿（远离显示区 42）的方向移动，而且两者的移动量相同。此时，在多个连接导线 2 长度相同的情况下，连接导线 2 的第一端与第一接线盘 1 连接，连接导线 2 的第二端与第二接线盘 3 连接后，使相邻两个连接导线 2 弯曲成拱形的拱高相同，但是相邻两个连接导线 2 会错位，使相邻两个连接导线 2 最高点之间的距离同样会加大，即使在流动的填充胶的横向力的作用下，连接导线 2 产生倾斜，连接导线 2 最高点的摆动幅度最大，相邻两个连接导线 2 最高点之间的距离加大后，相邻两根连接导线 2 不易搭接在一起，不会导致 Wire bonding short（引线键合短路），使硅基 OLED 显示装置良率升高。

当然，多个第二接线盘 3 的排列结构不限于上述说明，例如，可以是奇数序号的第二接线盘 3 与显示区 42 之间的距离大于偶数序号的第二接线盘 3 与显示区 42 之间的距离，使多个第二偶数行接线盘比多个第二奇数行接线盘更远离显示区 42 的边缘；多个第二接线盘 3 还可以排列形成三行、四行或更多行。还有，多个第二接线盘 3 也可以设置成参差不齐的形式，只要相邻两个第二接线盘 3 之间错位设置即可。

另外，可以理解的是，也可以是偶数序号第一接线盘 1 向靠近衬底基板 4（靠近显示区 42）的方向移动，且偶数序号第二接线盘 3 向远离衬底基板 4 边沿（靠近显示区 42）的方向移动，而且两者的移动量相同。

当然，第一接线盘 1 和第二接线盘 3 的移动量也可以不相同，此时，在多个连接导线 2 长度相同的情况下，连接导线 2 的第一端与第一接线盘 1 连接，连接导线 2 的第二端与第二接线盘 3 连接后，使相邻两个连接导线 2 弯曲成拱形的拱高不相同，且相邻两个连接导线 2 还会错位，同样能够达到上述技术效果。

还有，可以理解的是，在第二接线盘 3 错位设置的情况下，第一接线盘 1 可以不错位设置，即第一接线盘 1 可以设置为一行，这种情况和第一接线盘 1 错位设置而第二接线盘 3 不错位设置的情况类似，有益效果也类似。

5 另外，在本发明的其他示例实施方式中，第一接线盘 1 和第二接线盘 3 可以均设置为一行，即第一接线盘 1 和第二接线盘 3 的布置为图 1 中的方式，这种情况下，可以将相邻两个连接导线 2 的长度设置的不同，例如，可以是奇数序号的连接导线 2 的长度长于偶数序号的连接导线 2 的长度，在连接导线 2 与第一接线盘 1 和第二接线盘 3 连接后，同样能够使相邻两个连接导线 2 弯曲成拱形的拱高不相同，从而
10 使相邻两个连接导线 2 之间的距离较大，即使在流动的填充胶的横向力的作用下，连接导线 2 产生倾斜，相邻两根连接导线 2 不易搭接在一起，不会导致 Wire bonding short（引线键合短路），使硅基 OLED 显示装置良率升高。

15 还可以是，相邻两个第一接线盘 1 和相邻两个第二接线盘 3 均错位设置，或相邻两个第一接线盘 1 和相邻两个第二接线盘 3 中只有一个接线盘错位设置，且第一接线盘 1 和第二接线盘 3 之间距离越大对应连接该第一接线盘 1 和第二接线盘 3 的连接导线 2 的长度越短。使连接导线 2 将第一接线盘 1 和第二接线盘 3 连接即可，几乎没有拱
20 高，同样使相邻两根连接导线 2 不易搭接在一起，不会导致引线键合短路，使产品良率升高。

需要说明的是，上述实施例详细说明了将多个第一接线盘 1 和多个第二接线盘 3 错位排列成两列的情况，而且为了方便说明定义了偶数行和奇数行，偶数行和奇数行的错位情况是可以互换的，在此，不再赘述。而且，多个第一接线盘 1 和多个第二接线盘 3 的错位设置情况还可以有多中，只要通过错位排列多个第一接线盘 1 和多个第二接线盘 3 使多个连接导线 2 中的相邻连接导线 3 在垂直于衬底基板 4 方向上的最大可拉伸高度不同或使相邻连接导线 3 错位设置；或通过错位排列多个第一接线盘 1 和多个第二接线盘 3 并结合连接导线 2 设置
25 为不同长度，使多个连接导线 2 中的相邻连接导线 3 在垂直于衬底基
30

板 4 方向上的最大可拉伸高度不同或使相邻连接导线 3 错位设置。均属于本发明保护的范围。

另外需要说明的是，上述示例实施方式适用于所有的 Wire bonding（打线）。玻璃基 OLED 的 PPI（Pixels Per Inch，像素密度）较低，玻璃基 OLED 多采用 ACF bonding。当然，在 LCD 和玻璃基 OLED 采用 Wire bonding 的情况下，上述示例实施方式也适用于 LCD 和玻璃基 OLED。

进一步的，本发明还提供了一种显示装置，该显示装置可以包括上述所述的显示面板。显示面板的具体结构上述已经进行了详细说明，因此，此处不再赘述。

而该显示装置的具体类型不受特别的限制，本领域常用的显示装置类型均可，具体例如 OLED 显示器、手机等移动装置、手表等可穿戴设备、VR 装置等等，本领域技术人员可根据该显示设备的具体用途进行相应地选择，在此不再赘述。

需要说明的是，该显示装置除了显示面板以外，还包括其他必要的部件和组成，以显示器为例，具体例如外壳、电路板、电源线，等等，本领域技术人员可根据该显示装置的具体使用要求进行相应地补充，在此不再赘述。

与现有技术相比，本发明实施例提供的显示装置的有益效果与上述实施例提供的显示面板的有益效果相同，在此不做赘述。

本领域技术人员在考虑说明书及实践这里公开的内容后，将容易想到本公开的其他实施例。本申请旨在涵盖本公开的任何变型、用途或者适应性变化，这些变型、用途或者适应性变化遵循本公开的一般性原理并包括本公开未公开的本技术领域中的公知常识或惯用技术手段。说明书和实施例仅被视为示例性的，本公开的真正范围和精神由权利要求指出。

权利要求

1、一种显示面板，其中，包括：

衬底基板，包括显示区和围绕所述显示区的非显示区；

5 多个子像素，设于所述显示区且位于所述衬底基板的一侧，所述多个子像素中的至少一个包括发光元件和驱动电路，所述发光元件包括依次层叠的第一电极、发光功能层和第二电极，所述第一电极比所述第二电极更靠近所述衬底基板，所述驱动电路位于所述发光元件和所述衬底基板之间，所述驱动电路包括驱动晶体管、存储电容和第三
10 电极，所述驱动晶体管包括源极、漏极和栅极，所述源极和所述漏极之一与所述第三电极耦接，所述第三电极与所述第一电极耦接，所述栅极与所述存储电容耦接；

电路板组件，位于所述衬底基板远离所述发光元件的一侧，所述电路板组件包括多个第一接线盘；

15 多个第二接线盘，位于所述衬底基板的所述非显示区；

多个连接导线，连接所述多个第一接线盘和所述多个第二接线盘，所述多个连接导线中的相邻所述连接导线在垂直于所述衬底基板方向上的最大可拉伸高度不同；

20 其中，所述电路板组件通过所述多个连接导线为所述多个子像素提供电信号。

2、根据权利要求 1 所述的显示面板，其中，所述多个连接导线的两端一一对应的连接所述多个第一接线盘和所述多个第二接线盘。

3、根据权利要求 2 所述的显示面板，其中，所述多个连接导线中相邻两个连接导线所连接的所述第一接线盘和所述第二接线盘中的至少一个错位设置。
25

4、根据权利要求 3 所述的显示面板，其中，所述多个第一接线盘包括多个第一奇数行接线盘和多个第一偶数行接线盘，所述多个第一奇数行接线盘比所述多个第一偶数行接线盘更靠近所述显示区的边缘；或所述多个第一偶数行接线盘比所述多个第一奇数行接线盘更靠近所述显

示区的边缘。

5、根据权利要求 3 所述的显示面板，其中，所述多个第二接线盘包括多个第二奇数行接线盘和多个第二偶数行接线盘，所述多个第二奇数行接线盘比所述多个第二偶数行接线盘更靠近所述显示区的边缘；或
5 所述多个第二偶数行接线盘比所述多个第二奇数行接线盘更靠近所述显示区的边缘。

6、根据权利要求 2 或 3 所述的显示面板，其中，所述多个连接导线中相邻两个连接导线所连接的所述第一接线盘和所述第二接线盘都错位设置。

10 7、根据权利要求 6 所述的显示面板，其中，所述多个第一接线盘包括多个第一奇数行接线盘和多个第一偶数行接线盘，所述多个第二接线盘包括多个第二奇数行接线盘和多个第二偶数行接线盘；

所述多个第一奇数行接线盘比所述多个第一偶数行接线盘更靠近所述显示区的边缘，且所述多个第二奇数行接线盘比所述多个第二偶数行
15 接线盘更靠近所述显示区的边缘；

或所述多个第一奇数行接线盘比所述多个第一偶数行接线盘更远离所述显示区的边缘，且所述多个第二奇数行接线盘比所述多个第二偶数行接线盘更远离所述显示区的边缘。

8、根据权利要求 6 所述的显示面板，其中，所述多个第一接线盘包
20 括多个第一奇数行接线盘和多个第一偶数行接线盘，所述多个第二接线盘包括多个第二奇数行接线盘和多个第二偶数行接线盘；

所述多个第一奇数行接线盘比所述多个第一偶数行接线盘更靠近所述显示区的边缘，且所述多个第二奇数行接线盘比所述多个第二偶数行接线盘更远离所述显示区的边缘；

25 或所述多个第一奇数行接线盘比所述多个第一偶数行接线盘更远离所述显示区的边缘，且所述多个第二奇数行接线盘比所述多个第二偶数行接线盘更靠近所述显示区的边缘。

9、根据权利要求 2 所述的显示面板，其中，多个所述第一接线盘错位设置形成三行或四行，和/或多个所述第二接线盘错位设置形成
30 三行或四行。

10、根据权利要求 3-9 任一项所述的显示面板，其中，所述多个连接导线的线长相同。

11、根据权利要求 3-9 任一项所述的显示面板，其中，所述第一接线盘和所述第二接线盘之间距离越大对应连接的所述连接导线的长度越短。

12、根据权利要求 2 所述的显示面板，其中，多个所述第一接线盘和多个所述第二接线盘分别排列为一行，且相邻两个所述连接导线的线长不同。

13、根据权利要求 1 所述的显示面板，其中，多个所述第一接线盘为金手指结构。

14、根据权利要求 1 所述的显示面板，其中，所述衬底基板为硅基板。

15、根据权利要求 1 所述的显示面板，其中，所述发光功能层包括：

空穴注入层，设于所述第一电极的远离所述衬底基板的一侧；
空穴传输层，设于所述空穴注入层的远离所述衬底基板的一侧；
有机发光层，设于所述空穴传输层的远离所述衬底基板的一侧；
电子传输层，设于所述有机发光层的远离所述衬底基板的一侧；
电子注入层，设于所述电子传输层的远离所述衬底基板的一侧。

16、根据权利要求 1 所述的显示面板，其中，所述第一电极为阳极，所述第二电极为阴极。

17、一种显示装置，其中，包括：权利要求 1~16 任一项所述的显示面板。

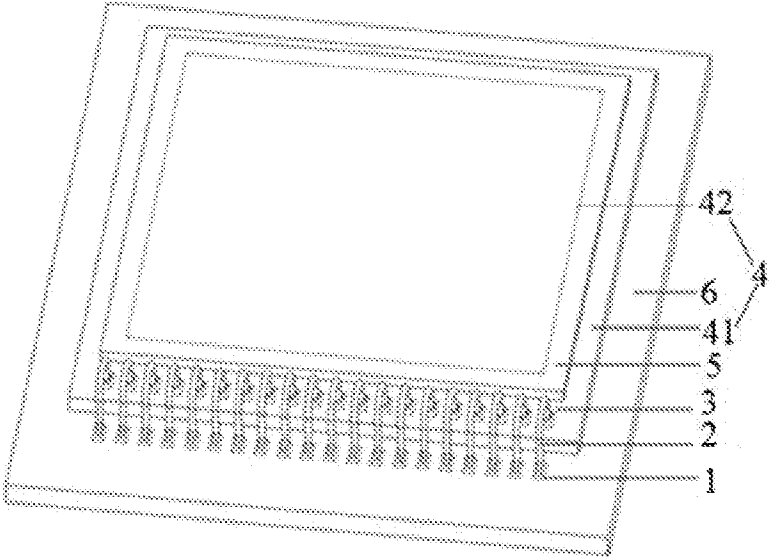


图 1

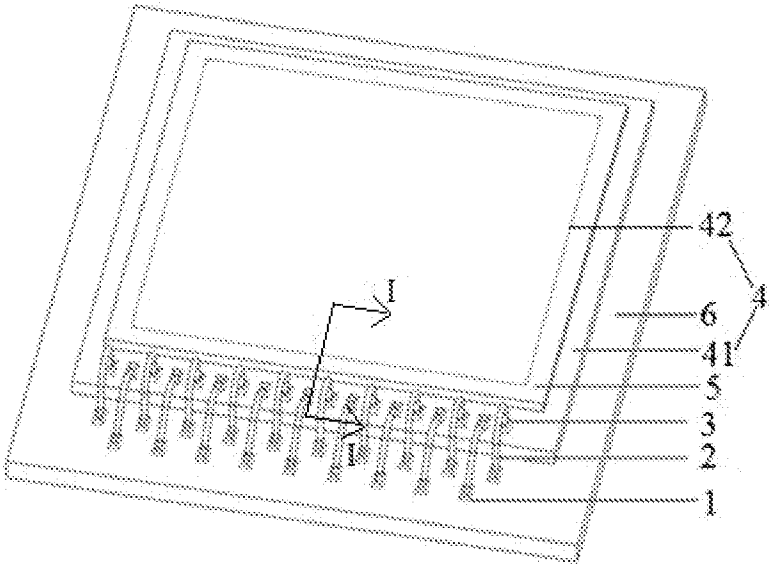


图 2

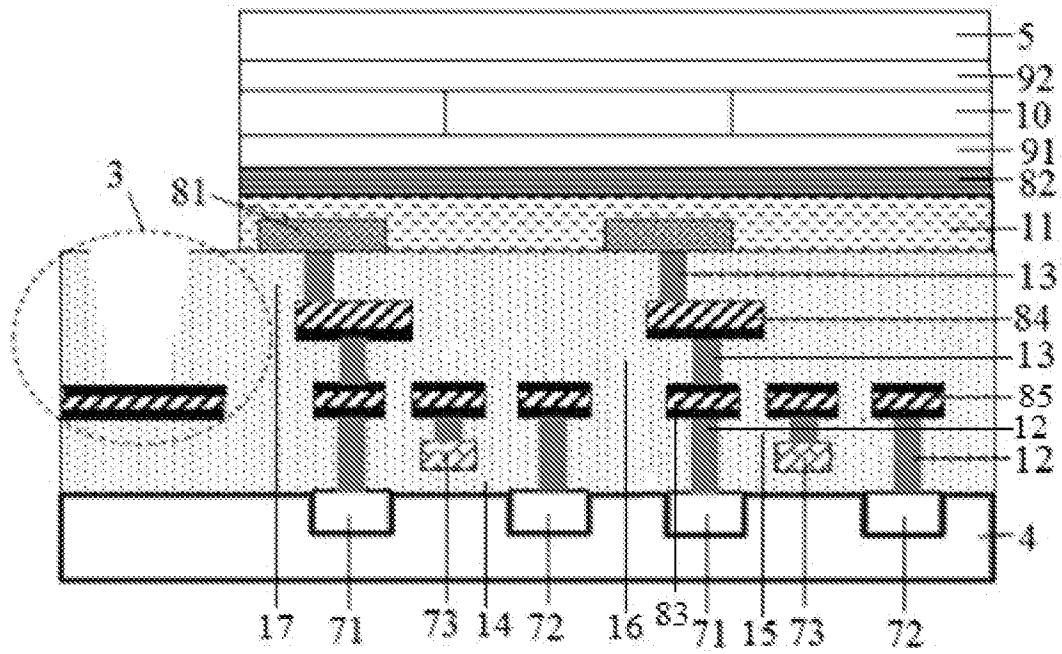


图 3

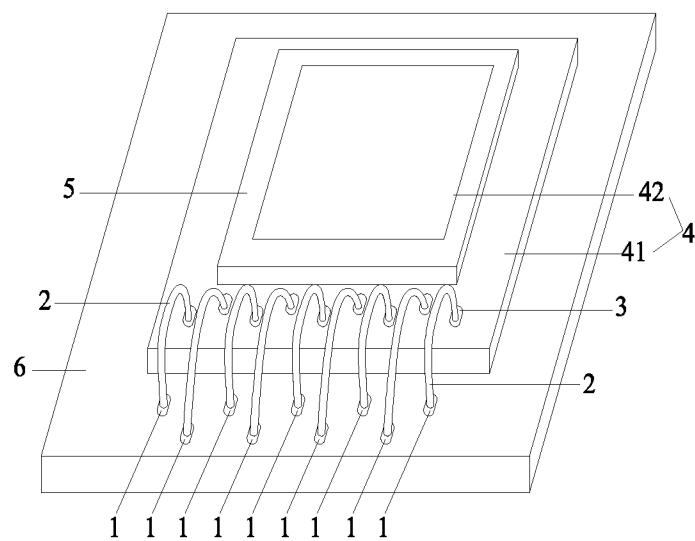


图 4

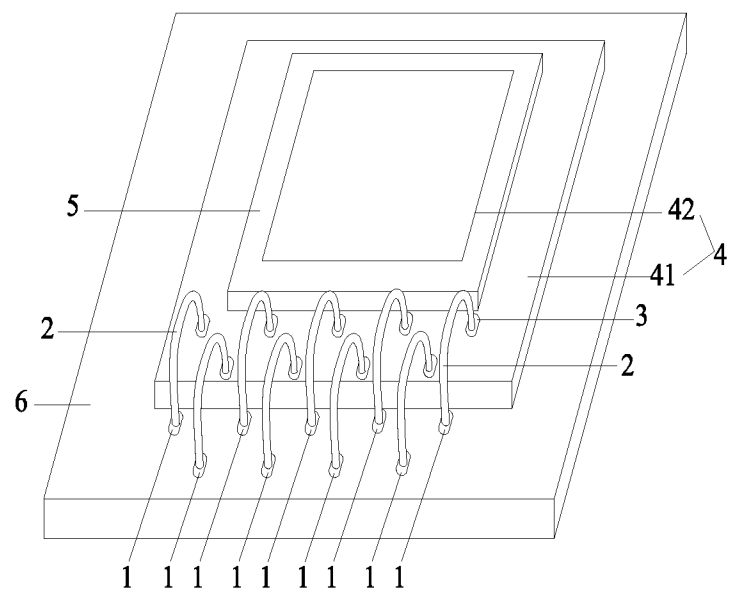


图 5

INTERNATIONAL SEARCH REPORT

International application No.

PCT/CN2020/081862

A. CLASSIFICATION OF SUBJECT MATTER

G09G 3/36(2006.01)i; H01L 23/48(2006.01)i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

G09G, H02L

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

VEN; CNABS; CNTXT: 短路, 交错, 打线, 引线, 焊线, 错位, 键合线, 短接, OLED, 显示, 非显示; OLED, display, wire, bonding, short, pad

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	CN 101777295 A (TRULY SEMICONDUCTORS LIMITED) 14 July 2010 (2010-07-14) description, paragraphs 41-74, and figures 1-6	1-17
Y	US 6538336 B1 (RAMBUS INC.) 25 March 2003 (2003-03-25) description, columns 3-9, figures 1-10	1-17
Y	CN 1591852 A (VIA TECHNOLOGIES, INC.) 09 March 2005 (2005-03-09) description, pages 5-11, and figures 1-8	1-17
Y	CN 1291138 A (ROHM CO., LTD.) 11 April 2001 (2001-04-11) description, page 8, and figure 5	1-17
A	CN 101131978 A (CHIP MOS TECHNOLOGIES INC. et al.) 27 February 2008 (2008-02-27) entire document	1-17
A	JP 2000286372 A (SANYO ELECTRIC CO., LTD.) 13 October 2000 (2000-10-13) entire document	1-17
A	CN 101383333 A (TAIWAN SEMICONDUCTOR MANUFACTURING COMPANY LIMITED) 11 March 2009 (2009-03-11) entire document	1-17



Further documents are listed in the continuation of Box C.



See patent family annex.

* Special categories of cited documents:

“A” document defining the general state of the art which is not considered to be of particular relevance

“E” earlier application or patent but published on or after the international filing date

“L” document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

“O” document referring to an oral disclosure, use, exhibition or other means

“P” document published prior to the international filing date but later than the priority date claimed

“T” later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

“X” document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

“Y” document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

“&” document member of the same patent family

Date of the actual completion of the international search

25 December 2020

Date of mailing of the international search report

04 January 2021

Name and mailing address of the ISA/CN

China National Intellectual Property Administration (ISA/
CN)
No. 6, Xitucheng Road, Jimenqiao, Haidian District, Beijing
100088
China

Facsimile No. (86-10)62019451

Authorized officer

Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/CN2020/081862**C. DOCUMENTS CONSIDERED TO BE RELEVANT**

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	CN 102437147 A (TIANSHUI HUATIAN TECHNOLOGY CO., LTD. et al.) 02 May 2012 (2012-05-02) entire document	1-17
A	CN 104051400 A (FREESCALE SEMICONDUCTOR, INC.) 17 September 2014 (2014-09-17) entire document	1-17

INTERNATIONAL SEARCH REPORT
Information on patent family members

International application No.

PCT/CN2020/081862

Patent document cited in search report			Publication date (day/month/year)	Patent family member(s)	Publication date (day/month/year)
CN	101777295	A	14 July 2010	CN 101777295 B	18 July 2012
US	6538336	B1	25 March 2003	None	
CN	1591852	A	09 March 2005	CN 100336218 C	05 September 2007
CN	1291138	A	11 April 2001	JP 2000185420 A	04 July 2000
				KR 20010041108 A	15 May 2001
				WO 0037255 A1	29 June 2000
				US 6392685 B1	21 May 2002
				CN 1105649 C	16 April 2003
				EP 1057650 A4	14 November 2001
				CA 2320452 C	02 November 2004
				TW 437020 B	28 May 2001
				JP 3908401 B2	25 April 2007
				EP 1057650 A1	06 December 2000
				CA 2320452 A1	29 June 2000
CN	101131978	A	27 February 2008	None	
JP	2000286372	A	13 October 2000	None	
CN	101383333	A	11 March 2009	US 7884473 B2	08 February 2011
				US 2009057902 A1	05 March 2009
				CN 101383333 B	14 November 2012
CN	102437147	A	02 May 2012	US 2015061099 A1	05 March 2015
				US 9312242 B2	12 April 2016
				CN 102437147 B	30 April 2014
				WO 2013082970 A1	13 June 2013
CN	104051400	A	17 September 2014	JP 2014175665 A	22 September 2014
				US 8680660 B1	25 March 2014

国际检索报告

国际申请号

PCT/CN2020/081862

A. 主题的分类

G09G 3/36(2006.01)i; H01L 23/48(2006.01)i

按照国际专利分类(IPC)或者同时按照国家分类和IPC两种分类

B. 检索领域

检索的最低限度文献(标明分类系统和分类号)

G09G, H02L

包含在检索领域中的除最低限度文献以外的检索文献

在国际检索时查阅的电子数据库(数据库的名称, 和使用的检索词(如使用))

VEN;CNABS;CNTXT:短路, 交错, 打线, 引线, 焊线, 错位, 键合线, 短接, OLED, 显示, 非显示; OLED, display, wire, bonding, short, pad

C. 相关文件

类 型*	引用文件, 必要时, 指明相关段落	相关的权利要求
Y	CN 101777295 A (信利半导体有限公司) 2010年 7月 14日 (2010 - 07 - 14) 说明书第41-74段, 图1-6	1-17
Y	US 6538336 B1 (RAMBUS INC) 2003年 3月 25日 (2003 - 03 - 25) 说明书第3-9栏, 图1-10	1-17
Y	CN 1591852 A (威盛电子股份有限公司) 2005年 3月 9日 (2005 - 03 - 09) 说明书第5-11页, 图1-8	1-17
Y	CN 1291138 A (罗姆股份有限公司) 2001年 4月 11日 (2001 - 04 - 11) 说明书第8页, 图5	1-17
A	CN 101131978 A (南茂科技股份有限公司等) 2008年 2月 27日 (2008 - 02 - 27) 全文	1-17
A	JP 2000286372 A (SANYO ELECTRIC CO) 2000年 10月 13日 (2000 - 10 - 13) 全文	1-17
A	CN 101383333 A (台湾积体电路制造股份有限公司) 2009年 3月 11日 (2009 - 03 - 11) 全文	1-17
A	CN 102437147 A (天水华天科技股份有限公司等) 2012年 5月 2日 (2012 - 05 - 02) 全文	1-17

☒ 其余文件在C栏的续页中列出。☒ 见同族专利附件。

* 引用文件的具体类型:

“A” 认为不特别相关的表示了现有技术一般状态的文件

“E” 在国际申请日的当天或之后公布的在先申请或专利

“L” 可能对优先权要求构成怀疑的文件, 或为确定另一篇引用文件的公布日而引用的或者因其他特殊理由而引用的文件(如具体说明的)

“O” 涉及口头公开、使用、展览或其他方式公开的文件

“P” 公布日先于国际申请日但迟于所要求的优先权日的文件

“T” 在申请日或优先权日之后公布, 与申请不相抵触, 但为了理解发明之理论或原理的在后文件

“X” 特别相关的文件, 单独考虑该文件, 认定要求保护的发明不是新颖的或不具有创造性

“Y” 特别相关的文件, 当该文件与另一篇或者多篇该类文件结合并且这种结合对于本领域技术人员为显而易见时, 要求保护的发明不具有创造性

“&” 同族专利的文件

国际检索实际完成的日期

2020年 12月 25日

国际检索报告邮寄日期

2021年 1月 4日

ISA/CN的名称和邮寄地址

中国国家知识产权局(ISA/CN)

中国北京市海淀区蓟门桥西土城路6号 100088

传真号 (86-10)62019451

受权官员

王敏

电话号码 62085827

C. 相关文件

类 型*	引用文件，必要时，指明相关段落	相关的权利要求
A	CN 104051400 A（飞思卡尔半导体公司）2014年 9月 17日（2014 - 09 - 17） 全文	1-17

国际检索报告
关于同族专利的信息

国际申请号

PCT/CN2020/081862

检索报告引用的专利文件			公布日 (年/月/日)	同族专利	公布日 (年/月/日)
CN	101777295	A	2010年 7月 14日	CN 101777295 B	2012年 7月 18日
US	6538336	B1	2003年 3月 25日	无	
CN	1591852	A	2005年 3月 9日	CN 100336218 C	2007年 9月 5日
CN	1291138	A	2001年 4月 11日	JP 2000185420 A	2000年 7月 4日
				KR 20010041108 A	2001年 5月 15日
				WO 0037255 A1	2000年 6月 29日
				US 6392685 B1	2002年 5月 21日
				CN 1105649 C	2003年 4月 16日
				EP 1057650 A4	2001年 11月 14日
				CA 2320452 C	2004年 11月 2日
				TW 437020 B	2001年 5月 28日
				JP 3908401 B2	2007年 4月 25日
				EP 1057650 A1	2000年 12月 6日
				CA 2320452 A1	2000年 6月 29日
CN	101131978	A	2008年 2月 27日	无	
JP	2000286372	A	2000年 10月 13日	无	
CN	101383333	A	2009年 3月 11日	US 7884473 B2	2011年 2月 8日
				US 2009057902 A1	2009年 3月 5日
				CN 101383333 B	2012年 11月 14日
CN	102437147	A	2012年 5月 2日	US 2015061099 A1	2015年 3月 5日
				US 9312242 B2	2016年 4月 12日
				CN 102437147 B	2014年 4月 30日
				WO 2013082970 A1	2013年 6月 13日
CN	104051400	A	2014年 9月 17日	JP 2014175665 A	2014年 9月 22日
				US 8680660 B1	2014年 3月 25日