



**(19) 대한민국특허청(KR)**  
**(12) 등록특허공보(B1)**

(45) 공고일자 2019년01월28일  
 (11) 등록번호 10-1942272  
 (24) 등록일자 2019년01월21일

(51) 국제특허분류(Int. Cl.)  
 G06F 12/02 (2018.01) G06F 13/14 (2006.01)  
 G11C 16/10 (2006.01)  
 (21) 출원번호 10-2011-0143370  
 (22) 출원일자 2011년12월27일  
 심사청구일자 2016년12월07일  
 (65) 공개번호 10-2013-0075135  
 (43) 공개일자 2013년07월05일  
 (56) 선행기술조사문헌  
 US20100257308 A1  
 US20100306448 A1  
 US20080034153 A1  
 US20100023681 A1

(73) 특허권자  
 삼성전자주식회사  
 경기도 수원시 영통구 삼성로 129 (매탄동)  
 (72) 발명자  
 김진영  
 경기도 수원시 영통구 영통로290번길 26, 벽적골  
 주공아파트 843-903 (영통동)  
 홍두원  
 경기도 수원시 영통구 영통로290번길 26 845동  
 704호 (영통동, 벽적골8단지아파트)  
 (74) 대리인  
 특허법인 고려

전체 청구항 수 : 총 20 항

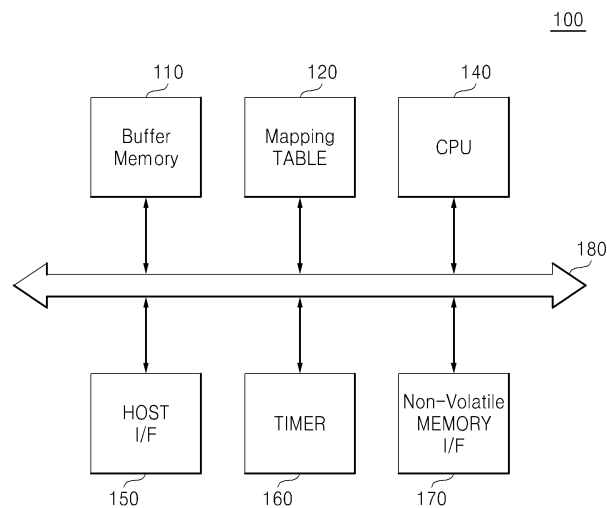
심사관 : 이상현

(54) 발명의 명칭 비휘발성 메모리의 제어방법, 이를 구현한 비휘발성 메모리 컨트롤러 및 이를 포함하는 메모리 시스템

**(57) 요약**

비휘발성 메모리의 제어방법, 이를 구현한 비휘발성 메모리 컨트롤러 및 이를 포함하는 메모리 시스템이 개시된다. 본 발명의 비휘발성 메모리 장치를 제어하는 메모리 컨트롤러의 동작 방법은 호스트로부터 로직 어드레스, 쓰기 커맨드 및 데이터 셋을 포함하는 쓰기 요청(Write request)를 수신하는 단계; 상기 쓰기 요청에 따라 상기 호스트로부터 수신한 데이터 셋을 버퍼에 저장하는 단계; 및 상기 버퍼에 저장된 데이터 셋의 수가 소정의 멀티플레인 수 이상인 경우, 상기 버퍼에 저장된 데이터 셋들을 상기 비휘발성 메모리 장치에 멀티 플레인 프로그램 하는 단계를 포함한다.

**대표도 - 도2**



## 명세서

### 청구범위

#### 청구항 1

멀티 플레인을 갖는 비휘발성 메모리 장치를 제어하는 방법에 있어서,  
 호스트로부터 로직 어드레스, 및 데이터 셋을 포함하는 쓰기 요청(Write request)을 수신하는 단계;  
 상기 쓰기 요청에 따라 상기 호스트로부터 수신한 데이터 셋을 버퍼에 저장하는 단계;  
 상기 데이터 셋이 저장된 버퍼 주소를 플레인별로 매핑 테이블에 저장하는 단계;  
 상기 매핑 테이블에 따라 각 버퍼 주소에 저장된 데이터 셋들을 대응하는 플레인의 페이지 버퍼로 순차적으로 전송하는 단계; 및  
 상기 페이지 버퍼에 저장된 둘 이상의 데이터 셋을 상기 비휘발성 메모리 장치의 메모리셀들로 병렬적으로 프로그램하는 단계를 포함하는 비휘발성 메모리 제어 방법.

#### 청구항 2

제1항에 있어서, 상기 멀티 플레인은  
 둘 이상의 플레인을 포함하는 것을 특징으로 하는 비휘발성 메모리 제어 방법.

#### 청구항 3

제1항에 있어서, 상기 쓰기 요청은  
 랜덤 쓰기 요청인 것을 특징으로 하는 비휘발성 메모리 제어 방법.

#### 청구항 4

제1항에 있어서, 상기 방법은  
 상기 버퍼에 저장된 데이터 셋의 수가 상기 멀티 플레인 수 이상인 경우에,  
 상기 멀티 플레인 수만큼 상기 버퍼에 저장된 데이터 셋들을 상기 대응하는 플레인의 페이지 버퍼로 순차적으로 전송하고, 상기 멀티 플레인 수 만큼의 데이터 셋이 각각 해당 페이지 버퍼에 모두 저장되면, 상기 페이지 버퍼의 데이터 셋을 동시에 상기 메모리셀들로 프로그램하는 비휘발성 메모리 제어 방법.

#### 청구항 5

제1항에 있어서, 상기 방법은  
 상기 호스트로부터 수신되어 상기 버퍼에 저장되는 데이터가 상기 멀티 플레인 중 미리 정해진 플레인에 상응하는 데이터이면 시작 시각(start time)을 설정하는 단계; 및  
 상기 시작 시각으로부터 기설정된 시간이 경과했는지를 체크하는 단계를 더 포함하는 비휘발성 메모리 제어 방법.

#### 청구항 6

제5항에 있어서, 상기 방법은  
 상기 시작 시각으로부터 상기 기설정된 시간이 경과했는데도, 상기 버퍼에 저장된 데이터 셋의 수가 상기 멀티 플레인 수 보다 작은 경우,  
 상기 멀티 플레인 수 보다 적은 데이터 셋들만으로 멀티 플레인 프로그램하는 단계를 더 포함하는 비휘발성 메모리 제어 방법.

**청구항 7**

제6항에 있어서, 상기 멀티 플레인 수 보다 적은 데이터 셋들만으로 멀티 플레인 프로그램하는 단계는

상기 멀티 플레인 수 보다 적은 데이터 셋들 각각을 비휘발성 메모리 장치의 해당 플레인의 페이지 버퍼(들)로 순차적으로 저장하는 단계; 및

상기 해당 플레인의 페이지 버퍼들에 저장된 유효한 데이터셋들과 상기 해당 플레인의 페이지 버퍼들 외의 페이지 버퍼(들)에 저장된 적어도 하나의 유효하지 않은 데이터 셋을 병렬로 상기 메모리셀들에 프로그램하는 단계를 포함하는 비휘발성 메모리 제어 방법.

**청구항 8**

제6항에 있어서, 상기 멀티 플레인 수 보다 적은 데이터 셋들만으로 멀티 플레인 프로그램하는 단계는

상기 버퍼에 저장된 데이터 셋들 중 최대 가능한 플레인들의 수만큼의 데이터 셋을 상기 비휘발성 메모리 장치의 해당 플레인의 페이지 버퍼로 순차적으로 저장하는 단계;

상기 페이지 버퍼에 저장된 최대 가능한 플레인들의 수의 데이터 셋을 병렬로 상기 메모리셀들에 프로그램하는 단계;

상기 버퍼에 저장된 데이터 셋들 중 나머지 데이터 셋을 상기 비휘발성 메모리 장치의 해당 플레인의 페이지 버퍼로 저장하는 단계; 및

상기 페이지 버퍼에 저장된 데이터 셋을 프로그램하는 단계를 포함하며,

상기 최대 가능한 플레인들의 수는 상기 비휘발성 메모리 장치가 제공할 수 있는 동시 프로그램 가능한 플레인들의 수들 중 상기 버퍼에 저장된 데이터 수보다 적은 수들의 최대값인 것을 특징으로 하는 비휘발성 메모리 제어 방법.

**청구항 9**

제1항에 있어서, 상기 매핑 테이블은

각 플레인에 상응하는 버퍼 주소를 저장하며,

상기 버퍼에 데이터 셋이 저장될 때마다 업데이트되는 비휘발성 메모리 제어 방법.

**청구항 10**

제1항의 비휘발성 메모리 제어 방법을 실행하기 위한 컴퓨터 프로그램을 기록한 기록 매체.

**청구항 11**

멀티 플레인을 갖는 비휘발성 메모리 장치를 제어하는 방법에 있어서,

상기 비휘발성 메모리 장치로부터 상기 멀티 플레인 수에 상응하는 유효 페이지 데이터를 독출하여 버퍼에 저장하는 단계;

상기 유효 페이지 데이터가 저장된 버퍼 주소를 플레인별로 매핑 테이블에 저장하는 단계; 및

상기 매핑 테이블에 따라 각 버퍼 주소에 저장된 유효 페이지 데이터를 멀티 플레인 프로그램하는 단계를 포함하는 비휘발성 메모리 제어 방법.

**청구항 12**

제11항에 있어서, 상기 멀티 플레인 프로그램하는 단계는

상기 버퍼에 저장된 유효 페이지 데이터를 각 플레인의 페이지 버퍼로 순차적으로 전송하는 단계; 및

상기 페이지 버퍼의 데이터들을 동시에 프로그램하는 단계를 포함하는 비휘발성 메모리 제어 방법.

**청구항 13**

버퍼 메모리;

멀티 플레인을 포함하는 비휘발성 메모리 장치; 및

호스트로부터 로직 어드레스, 및 데이터 셋을 포함하는 쓰기 요청(Write request)를 수신하고, 상기 쓰기 요청에 따라 상기 호스트로부터 수신한 데이터 셋을 상기 버퍼 메모리에 저장하며, 상기 버퍼에 저장된 복수의 데이터 셋들을 상기 비휘발성 메모리 장치에 멀티 플레인 프로그램하는 메모리 컨트롤러를 포함하며,

상기 멀티 플레인 프로그램되는 데이터 셋들은

불연속적인 데이터 셋들인 것을 특징으로 하는 메모리 시스템.

**청구항 14**

제13항에 있어서, 상기 메모리 컨트롤러는

상기 멀티 플레인 각각에 상응하는 버퍼 어드레스 정보를 포함하는 매핑 테이블을 포함하는 메모리 시스템.

**청구항 15**

제14항에 있어서,

상기 멀티 플레인은 4개의 플레인을 포함하고, 각각이 제1 내지 제4 메모리 블록 중 상응하는 하나의 메모리 블록에 속하고 그 로우 어드레스는 동일 또는 상이한 제1 내지 제4 페이지를 포함하며,

상기 메모리 컨트롤러는

제1 로직 어드레스에 상응하는 제1 데이터 셋은 상기 제1 페이지에 저장되도록 제어하고,

제2 로직 어드레스에 상응하는 제2 데이터 셋은 상기 제2 페이지에 저장되도록 제어하고,

제3 로직 어드레스에 상응하는 제3 데이터 셋은 상기 제3 페이지에 저장되도록 제어하고,

제4 로직 어드레스에 상응하는 제4 데이터 셋은 상기 제4 페이지에 저장되도록 제어하며,

상기 제1 내지 제4 로직 어드레스 중 적어도 두 개의 로직 어드레스는 불연속적인 메모리 시스템.

**청구항 16**

제15항에 있어서, 상기 메모리 컨트롤러는

상기 매핑 테이블을 참조하여, 상기 버퍼 메모리에 저장되어 있는 상기 제1 내지 제4 데이터 셋을 순차적으로 상기 멀티 플레인의 각 페이지 버퍼로 전송하고,

상기 각 페이지 버퍼에 저장된 제1 내지 제4 데이터 셋은 동시에 상기 제1 내지 제4 페이지로 프로그램되는 것을 특징으로 하는 메모리 시스템.

**청구항 17**

제13항에 있어서, 상기 메모리 컨트롤러는

상기 버퍼 메모리에 저장된 데이터 셋의 수가 소정의 멀티 플레인 수 이상인 경우, 상기 버퍼에 저장된 데이터 셋들을 상기 비휘발성 메모리 장치에 멀티 플레인 프로그램하는 메모리 시스템.

**청구항 18**

제13항에 있어서, 상기 메모리 컨트롤러는

시작 시각으로부터의 소요 시간을 카운트하기 위한 타이머를 더 포함하고,

상기 메모리 컨트롤러는,

상기 소요 시간이 기설정된 시간을 초과하면

상기 버퍼 메모리에 저장된 데이터 셋의 수가 소정의 멀티 플레인 수 미만이라도, 상기 버퍼에 저장된 데이터 셋들을 상기 비휘발성 메모리 장치에 멀티 플레인 프로그램하며,

상기 시작 시각은 상기 호스트로부터 수신되어 상기 버퍼 메모리에 저장되는 데이터가 상기 멀티 플레인 중 미리 정해진 플레인에 상응하는 데이터일 때 설정되는 메모리 시스템.

**청구항 19**

비휘발성 메모리 장치를 제어하는 메모리 컨트롤러에 있어서,

호스트로부터 수신한 데이터 셋을 저장하는 버퍼; 및

상기 호스트로부터 로직 어드레스, 및 상기 데이터 셋을 포함하는 쓰기 요청(Write request)에 응답하여, 상기 버퍼에 저장된 데이터 셋들을 상기 비휘발성 메모리 장치에 멀티 플레인 프로그램하도록 제어하는 CPU를 포함하며,

상기 멀티 플레인 프로그램되는 데이터 셋들은

불연속적인 데이터 셋들인 것을 특징으로 하는 메모리 컨트롤러.

**청구항 20**

제19항에 있어서, 상기 메모리 컨트롤러는

상기 멀티 플레인 각각에 상응하는 버퍼 어드레스 정보를 저장하는 매핑 테이블을 더 포함하는 메모리 컨트롤러.

**청구항 21**

삭제

**청구항 22**

삭제

**청구항 23**

삭제

**청구항 24**

삭제

**발명의 설명**

**기술 분야**

[0001] 본 발명은 반도체 메모리 장치에 관한 것으로, 좀 더 구체적으로는 데이터의 프로그램 성능을 향상시킬 수 있도록 비휘발성 메모리 장치를 제어하는 메모리 컨트롤러, 이를 포함하는 메모리 시스템 및 이의 프로그램 제어방법에 관한 것이다.

**배경 기술**

[0002] 메모리 장치는 휘발성(volatile) 메모리 장치와 비휘발성 메모리(non-volatile)장치로 분류된다. 상기 휘발성 메모리 장치는 DRAM(dynamic random access memory)과 SRAM (Static random access memory) 등을 포함한다. 상기 비휘발성 메모리 장치는 플래시(flash) 메모리, EEPROM(Electrically Erasable Programmable Read-Only Memory), 및 저항성(resistive) 메모리를 포함한다.

[0003] 반도체 메모리 장치 중 비휘발성 메모리 장치, 예를 들어 플래시 메모리 장치는 그 저장 용량을 증가시키기 위해 멀티 플레인(Multi-Plane) 타입으로 설계되고 있다. 멀티 플레인 타입의 비휘발성 메모리 장치는 복수의 플레인(Plane)들을 포함하고, 복수의 플레인들은 각각 복수의 메모리 블록(Block)들을 포함한다.

[0004] 호스트는 비휘발성 메모리 장치에 리드, 프로그램 및 소거 요청을 할 수 있다. 특히 프로그램 요청을 할 때 프

로그래밍 요청되는 데이터에 상응하는 로직 어드레스가 순차적인 경우도 있으나, 비순차적인 경우도 있다. 예컨대, 독립적인 호스트 영역의 데이터가 프로그램 요청될 때, 로직 어드레스가 비순차적일 수 있다.

[0005] 순차적인 데이터의 경우에는 연속적인 로직 어드레스의 페이지를 복수의 플레인들에 대해 동시에 프로그램 하는 멀티 플레인 오퍼레이션(Multi-Plane Operation) 기법을 사용하여 프로그램 시간을 단축할 수 있다.

[0006] 그러나, 비연속적인 로직 어드레스를 갖는 비순차적인 데이터의 경우에는 멀티 플레인 오퍼레이션 기법을 사용할 경우 프로그램 시간을 단축 효과를 얻기 어려우며 오히려 WAF(쓰기 증폭 계수, Write Amplification Factor)가 커지는 문제점이 있다.

**발명의 내용**

**해결하려는 과제**

[0007] 따라서 본 발명이 이루고자 하는 기술적인 과제는 비휘발성 메모리 장치의 수명 및 성능을 향상시키면서도 비순차적인 로직 어드레스를 가진 데이터들을 동시에 프로그램할 수 있는 메모리 컨트롤러, 이를 포함하는 메모리 시스템 및 이의 제어 방법을 제공하는 것이다.

**과제의 해결 수단**

[0008] 상기 기술적 과제를 달성하기 위하여 본 발명의 일 실시예에 따르면, 멀티 플레인을 갖는 비휘발성 메모리 장치를 제어하는 방법에 관한 것으로, 호스트로부터 로직 어드레스, 및 데이터 셋을 포함하는 쓰기 요청(Write request)을 수신하는 단계; 상기 쓰기 요청에 따라 상기 호스트로부터 수신한 데이터 셋을 버퍼에 저장하는 단계; 상기 데이터 셋이 저장된 버퍼 주소를 플레인별로 매핑 테이블에 저장하는 단계; 상기 매핑 테이블에 따라 각 버퍼 주소에 저장된 데이터 셋들을 대응하는 플레인의 페이지 버퍼로 순차적으로 전송하는 단계; 및 상기 페이지 버퍼에 저장된 둘 이상의 데이터 셋을 상기 비휘발성 메모리 장치의 메모리셀들로 병렬적으로 프로그램하는 단계를 포함하는 비휘발성 메모리 제어 방법이 제공된다.

[0009] 상기 멀티 플레인 프로그램되는 데이터 셋들의 각 로직 어드레스는 불연속적일 수 있다.

[0010] 상기 멀티 플레인 수는, 둘 이상의 페이지일 수 있다.

[0011] 상기 쓰기 명령은 랜덤 쓰기 명령일 수 있다.

[0012] 상기 기술적 과제를 달성하기 위하여 본 발명의 일 실시예에 따르면, 멀티 플레인을 갖는 비휘발성 메모리 장치를 제어하는 방법에 있어서, 상기 비휘발성 메모리 장치로부터 상기 멀티 플레인 수에 상응하는 유효 페이지 데이터를 독출하여 버퍼에 저장하는 단계; 상기 유효 페이지 데이터가 저장된 버퍼 주소를 플레인별로 매핑 테이블에 저장하는 단계; 및 상기 매핑 테이블에 따라 각 버퍼 주소에 저장된 유효 페이지 데이터를 멀티 플레인 프로그램하는 단계를 포함하는 비휘발성 메모리 제어 방법이 제공된다.

[0013] 상기 멀티 플레인 프로그램하는 단계는, 상기 버퍼에 저장된 유효 페이지 데이터를 각 플레인의 페이지 버퍼로 순차적으로 전송하는 단계; 및 상기 페이지 버퍼의 데이터들을 동시에 프로그램하는 단계를 포함할 수 있다.

[0014] 상기 기술적 과제를 달성하기 위하여 본 발명의 다른 일 실시예에 따르면, 버퍼 메모리; 다수의 플레인들을 포함하는 비휘발성 메모리 장치; 및 호스트로부터 로직 어드레스, 쓰기 커맨드 및 데이터 셋을 포함하는 쓰기 요청(Write request)을 수신하고, 상기 쓰기 요청에 따라 상기 호스트로부터 수신한 데이터 셋을 상기 버퍼 메모리에 저장하며, 상기 버퍼 메모리에 저장된 데이터 셋의 수가 소정의 멀티 플레인 수 이상인 경우, 상기 버퍼에 저장된 데이터 셋들을 상기 비휘발성 메모리 장치에 멀티 플레인 프로그램하도록 제어하는 메모리 컨트롤러를 포함하는 메모리 시스템이 제공된다.

[0015] 상기 멀티 플레인 프로그램되는 데이터 셋들은 불연속적인 데이터 셋들일 수도 있다.

[0016] 상기 메모리 컨트롤러는 상기 멀티 플레인 각각에 상응하는 버퍼 어드레스 정보를 포함하는 매핑 테이블을 포함할 수 있다.

[0017] 상기 기술적 과제를 달성하기 위하여 본 발명의 또 다른 일 실시예에 따르면, 호스트로부터 수신한 데이터 셋을 저장하는 버퍼; 및 상기 호스트로부터 로직 어드레스, 쓰기 커맨드 및 상기 데이터 셋을 포함하는 쓰기 요청(Write request)에 응답하여, 상기 버퍼에 저장된 데이터 셋의 수가 소정의 멀티 플레인 수 이상인 경우, 상기 버퍼에 저장된 데이터 셋들을 상기 비휘발성 메모리 장치에 멀티 플레인 프로그램하도록 제어하는 CPU를 포함하

는 메모리 컨트롤러가 제공된다.

[0018] 상기 메모리 컨트롤러는 상기 멀티 플레인 각각에 상응하는 버퍼 어드레스 정보를 저장하는 매핑 테이블을 더 포함할 수 있다.

**발명의 효과**

[0019] 본 발명의 실시 예에 따른 메모리 컨트롤러, 이를 포함하는 메모리 시스템 및 이의 제어 방법은 비순차적인 로직 어드레스를 가진 데이터들을 동시에 프로그램할 수 있다. 그 결과 WAF의 감소없이 채널을 효율적으로 사용할 수 있어 메모리 시스템의 성능 및 수명을 향상시킬 수 있는 효과가 있다.

**도면의 간단한 설명**

- [0020] 도 1은 본 발명의 실시 예에 따른 호스트와 메모리 시스템의 블록도이다.
- 도 2는 도 1에 도시된 메모리 컨트롤러를 구체적으로 나타낸 블록도이다.
- 도 3은 도 1은 본 발명의 다른 실시 예에 따른 호스트와 메모리 시스템의 블록도이다.
- 도 4는 도 1의 메모리 시스템의 구성의 일 실시예를 나타낸 블록도이다.
- 도 5는 도 1에 도시된 비휘발성 메모리 장치를 구체적으로 나타낸 블록도이다.
- 도 6a는 도 5에 도시된 메모리 셀 어레이를 구체적으로 나타낸 일 실시예이다.
- 도 6b는 도 5에 도시된 메모리 셀 어레이를 구체적으로 나타낸 다른 실시예이다.
- 도 7a는 도 5에 도시된 메모리 셀 어레이를 일 실시예에 따른 멀티플레인 단위로 나타낸 블록도이다.
- 도 7b는 도 5에 도시된 메모리 셀 어레이를 다른 실시예에 따른 멀티플레인 단위로 나타낸 블록도이다.
- 도 8은 본 발명의 실시예에 따른 메모리 컨트롤러부터 비휘발성 메모리 장치로 데이터를 프로그램하는 과정을 설명하기 위한 도면이다.
- 도 9는 도 8에 도시된 비휘발성 메모리 장치에 프로그램된 데이터를 플레인 및 페이지 단위로 나타낸 블록도이다.
- 도 10a는 본 발명의 다른 실시예에 따른 메모리 시스템을 나타낸 블록도이다.
- 도 10b는 도 10a에 도시된 메모리 시스템에서의 프로그램 동작을 개략적으로 나타낸 타이밍도이다.
- 도 11은 도 8에 도시된 메모리 시스템에서의 프로그램 동작을 구체적으로 나타낸 블록도이다.
- 도 12는 본 발명의 일 실시예에 따른 메모리 제어방법을 나타낸 흐름도이다.
- 도 13a는 본 발명의 다른 실시예에 따른 메모리 제어방법을 나타낸 흐름도이다.
- 도 13b는 본 발명의 또 다른 실시예에 따른 메모리 제어방법을 나타낸 흐름도이다.
- 도 14는 본 발명의 일 실시예에 따른 가비지 컬렉션시의 메모리 제어방법을 나타내는 흐름도이다.
- 도 15는 도 1에 도시된 메모리 시스템을 포함하는 데이터 처리 시스템의 일 실시예를 나타낸다.
- 도 16은 도 1에 도시된 메모리 시스템을 포함하는 데이터 처리 시스템의 다른 실시예를 나타낸다.
- 도 17은 도 1에 도시된 메모리 시스템을 포함하는 데이터 처리 시스템의 일 실시예를 나타낸다.
- 도 18은 도 1에 도시된 메모리 시스템을 포함하는 데이터 처리 시스템의 일 실시예를 나타낸다.
- 도 19는 도 1에 도시된 메모리 시스템을 포함하는 데이터 처리 시스템의 일 실시예를 나타낸다.
- 도 20은 도 19에 도시된 데이터 처리 시스템을 포함하는 데이터 처리 장치의 실시 예를 나타낸다.

**발명을 실시하기 위한 구체적인 내용**

[0021] 본 명세서에 개시되어 있는 본 발명의 개념에 따른 실시 예들에 대해서 특정한 구조적 내지 기능적 설명들은 단지 본 발명의 개념에 따른 실시 예를 설명하기 위한 목적으로 예시된 것으로, 본 발명의 개념에 따른 실시 예들



은 다양한 형태로 실시될 수 있으며 본 명세서에 설명된 실시 예들에 한정되는 것으로 해석되어서는 아니 된다.

- [0022] 본 발명의 개념에 따른 실시 예는 다양한 변경을 가할 수 있고 여러 가지 형태를 가질 수 있으므로 특정 실시 예들을 도면에 예시하고 본 명세서에 상세하게 설명하고자 한다. 그러나, 이는 본 발명의 개념에 따른 실시 예를 특정한 개시 형태에 대해 한정하려는 것이 아니며, 본 발명의 사상 및 기술 범위에 포함되는 모든 변경, 균등물 내지 대체물을 포함하는 것으로 이해되어야 한다.
- [0023] 제1 및/또는 제2 등의 용어는 다양한 구성 요소들을 설명하는데 사용될 수 있지만, 상기 구성 요소들은 상기 용어들에 의해 한정되어서는 안 된다. 상기 용어들은 하나의 구성 요소를 다른 구성 요소로부터 구별하는 목적으로만, 예컨대 본 발명의 개념에 따른 권리 범위로부터 이탈되지 않은 채, 제1 구성요소는 제2 구성요소로 명명될 수 있고, 유사하게 제2 구성요소는 제1 구성요소로도 명명될 수 있다.
- [0024] 어떤 구성요소가 다른 구성요소에 "연결되어" 있다거나 "접속되어" 있다고 언급된 때에는, 그 다른 구성요소에 직접적으로 연결되어 있거나 또는 접속되어 있을 수도 있지만, 중간에 다른 구성요소가 존재할 수도 있다고 이해되어야 할 것이다. 반면에, 어떤 구성요소가 다른 구성요소에 "직접 연결되어" 있다거나 "직접 접속되어" 있다고 언급된 때에는, 중간에 다른 구성요소가 존재하지 않는 것으로 이해되어야 할 것이다. 구성요소들 간의 관계를 설명하는 다른 표현들, 즉 "~사이에"와 "바로 ~사이에" 또는 "~에 이웃하는"과 "~에 직접 이웃하는" 등도 마찬가지로 해석되어야 한다.
- [0025] 본 명세서에서 사용한 용어는 단지 특정한 실시 예를 설명하기 위해 사용된 것으로, 본 발명을 한정하려는 의도가 아니다. 단수의 표현은 문맥상 명백하게 다르게 뜻하지 않는 한, 복수의 표현을 포함한다. 본 명세서에서, "포함하다" 또는 "가지다" 등의 용어는 실시된 특징, 숫자, 단계, 동작, 구성요소, 부분품 또는 이들을 조합한 것이 존재함을 지정하려는 것이지, 하나 또는 그 이상의 다른 특징들이나 숫자, 단계, 동작, 구성요소, 부분품 또는 이들을 조합한 것들의 존재 또는 부가 가능성을 미리 배제하지 않는 것으로 이해되어야 한다.
- [0026] 다르게 정의되지 않는 한, 기술적이거나 과학적인 용어를 포함해서 여기서 사용되는 모든 용어들은 본 발명이 속하는 기술 분야에서 통상의 지식을 가진 자에 의해 일반적으로 이해되는 것과 동일한 의미를 가지고 있다. 일반적으로 사용되는 사전에 정의되어 있는 것과 같은 용어들은 관련 기술의 문맥상 가지는 의미와 일치하는 의미를 가지는 것으로 해석되어야 하며, 본 명세서에서 명백하게 정의하지 않는 한, 이상적이거나 과도하게 형식적인 의미로 해석되지 않는다.
- [0027] 이하, 첨부한 도면을 참조하여 본 발명의 바람직한 실시 예를 설명함으로써, 본 발명을 상세히 설명한다.
- [0028] 도 1은 본 발명의 실시 예에 따른 호스트와 메모리 시스템의 블록도이고, 도 2는 도 1에 도시된 메모리 컨트롤러를 구체적으로 나타낸 블록도이다.
- [0029] 도 1을 참조하면, 호스트(10)와 연결되는 메모리 시스템(20)은 메모리 컨트롤러(100) 및 적어도 하나의 비휘발성 메모리 장치(200)를 포함한다. 메모리 시스템(20)은 비휘발성 메모리를 포함하는 모든 시스템을 의미한다.
- [0030] 메모리 컨트롤러(100)는 비휘발성 메모리 장치(200)(예컨대 플래시(Flash) 메모리 장치)의 동작, 예를 들면 프로그램(program) 동작, 리드(read) 동작 또는 이레이즈(erase) 동작을 제어하기 위한 어드레스와 명령(예를 들면 프로그램 명령, 리드 명령 또는 이레이즈 명령)을 생성한다. 상기 프로그램 동작과 상기 리드 동작은 페이지(page) 단위로 수행되고, 상기 이레이즈 동작은 블록(block) 단위로 수행된다.
- [0031] 메모리 컨트롤러(100)는 비휘발성 메모리 장치(200)의 동작을 제어하기 위한 명령(CMD)을 비휘발성 메모리 장치(200)로 출력한다.
- [0032] 비휘발성 메모리 장치(200)는 명령(CMD)에 따라 동작을 수행하고 그 결과를 메모리 컨트롤러(100)로 전송한다. 상기 비휘발성 메모리 장치(200)와 상기 메모리 컨트롤러(100)는 입출력핀(I/O)을 통해 연결되어 있고, 상기 입출력핀(I/O)을 통해 명령(CMD), 데이터, 어드레스 신호, 상태 신호 등이 송수신될 수 있다. 이하, 설명의 편의를 위하여 본 발명의 실시예는 프로그램(Program) 동작을 위주로 설명한다.
- [0033] 메모리 컨트롤러(100)와 비휘발성 메모리 장치(200) 각각은 별도의 패키지(package)에 패키징될 수 있고, 같은 패키지에 함께 패키징될 수도 있다.
- [0034] 도 2를 참조하면, 메모리 컨트롤러(100)는 버퍼 메모리(110), 매핑 테이블(Mapping Table, 120), CPU(140), 호스트 인터페이스(150), 타이머(160), 및 비휘발성 메모리 장치 인터페이스(170)를 포함할 수 있다.-> hardware 끼리



- [0035] 버퍼 메모리(buffer memory, 110)는 CPU(120)의 동작 메모리(operation memory)로서 사용될 수 있다. 또한 버퍼 메모리(110)는 호스트(10)로부터 요청되어 비휘발성 메모리 장치(200)에 프로그램 요청되는 데이터들을 저장할 수 있다. 버퍼 메모리(110)는 DRAM 또는 SRAM으로 구현될 수 있다.
- [0036] 매핑 테이블(Mapping Table, 120)은 비휘발성 메모리 장치(200)의 각 플레인에 상응하는 버퍼 메모리(110)의 버퍼 어드레스 정보를 매핑하여 저장한다. 예를 들어, 비휘발성 메모리 장치(200)가 4-플레인으로 구성되는 경우, 매핑 테이블(120)은 도 11에 도시된 바와 같이, 제1 플레인(plane 0)에 상응하는 버퍼 어드레스(Buf Add #A), 제2 플레인(plane 1)에 상응하는 버퍼 어드레스(Buf Add #C), 제3 플레인(plane 2)에 상응하는 버퍼 어드레스(Buf Add #B) 및 제4 플레인(plane 3)에 상응하는 버퍼 어드레스(Buf Add #D)를 저장할 수 있다.
- [0037] 상기 매핑 정보는 호스트로부터 수신된 데이터가 버퍼 메모리(110)에 저장될 때마다 업데이트될 수 있다. 상기 매핑 테이블(120)은 별도로 도시하였으나, 실시예에 따라 DRAM 또는 SRAM에 구현될 수 있다.
- [0038] CPU(140)는 버스(180)를 통하여 버퍼 메모리 장치(110), 호스트 인터페이스(150), 타이머(160), 및 비휘발성 메모리 인터페이스(170) 사이에서 데이터의 교환을 제어할 수 있다. CPU(140)는 또한, FTL(Flash Translation Layer)을 구동할 수 있다.
- [0039] FTL(Flash Translation Layer)은 가상의 블록 디바이스(예를 들어 호스트) 상의 논리적인 위치(Logical Address)와 비휘발성 메모리 장치 상의 물리적인 위치(Physical Address) 간의 맵핑(Mapping) 정보를 유지하면서, 소정의 논리적인 위치에 대해 프로그램(program)/리드(read) 연산이 요청되면, 상기 맵핑 정보를 이용하여 논리적인 위치를 물리적인 위치로 변환하는 역할을 수행할 수 있다. FTL은 특히 논리적인 위치에 대해 데이터를 변경하는 프로그램 연산이 요청되는 경우, 논리적인 위치에 대응하는 물리적인 위치를 전기적으로 소거한 후 재기록하거나 또는 논리적인 위치를 다른 물리적인 위치로 재맵핑하는 역할을 수행할 수 있다.
- [0040] 호스트 인터페이스(150)는 메모리 시스템(20)에 접속된 호스트(10)의 프로토콜에 따라 상기 호스트(10)와 메모리 컨트롤러(100) 사이에서 데이터의 교환을 인터페이스할 수 있다.
- [0041] 타이머(160)는 CPU(140)로 메모리 컨트롤러(100)의 동작에 필요한 시간 정보를 제공한다.
- [0042] 비휘발성 메모리 인터페이스(170)는 비휘발성 메모리 장치(200)와 메모리 컨트롤러(100) 사이에서 데이터의 교환을 인터페이스할 수 있다.
- [0043] 메모리 컨트롤러(100)는 ECC 블록(미도시)을 더 포함할 수 있다. ECC(error correction code) 블록은 비휘발성 메모리 장치(200)로부터 읽혀진 데이터에 포함된 에러를 검출하고 정정할 수 있다.
- [0044] 도 3은 도 1은 본 발명의 다른 실시 예에 따른 호스트와 메모리 시스템의 블록도이다. 도 3을 참조하면, 버퍼 메모리 장치(110')는 실시예에 따라 메모리 컨트롤러(100)와 별도로 구현될 수도 있다. 비휘발성 메모리 장치(200)는 도 1에는 하나의 비휘발성 메모리 장치(200)만이 도시되었으나, 도 3과 같이 실시예에 따라 복수의 비휘발성 메모리 장치(200)가 메모리 컨트롤러(100)에 연결되어 구현될 수도 있다.
- [0045] 도 4는 도 3의 메모리 시스템의 구조를 논리적으로 나타낸 블록도이다.
- [0046] 이를 참조하면, 비휘발성 메모리 장치(200)는 다수의 메모리 소자들을 포함할 수 있다. 도 4에는 4-채널(4-channel)/ 8-뱅크(8-bank) 방식의 구성을 갖는 비휘발성 메모리 장치(200)가 예시적으로 도시되나, 본 발명이 이에 한정되는 것은 아니다.
- [0047] 도 4에 도시된 메모리 시스템(20)에서, 컨트롤러(100)와 비휘발성 메모리 장치(200)는 4개의 채널(Channel A, B, C, D)로 연결되며, 각 채널에는 8개의 플래시 메모리 소자(CA0~CA7, CB0~CB7, CC0~CC7, CD0~CD7)가 연결되는 구조이다. 그러나, 채널의 수 및 뱅크의 수는 이에 한정되지 않고 변경될 수 있음은 당연하다. 여기서, 뱅크는 다른 채널상에서 같은 오프셋(offset)에 위치하는 메모리 소자들의 그룹이다.
- [0048] 상기 플래시 메모리 소자(200-1) 각각은 2개의 플레인(2-plane) 구성을 갖는 것으로 예시적으로 도시되나, 본 발명이 이에 한정되는 것은 아니며 상기 플레인의 수는 변경될 수 있다.
- [0049] 도 5는 본 발명의 일 실시예에 따른 비휘발성 메모리 장치를 구체적으로 나타낸 블록도이다. 도 6a는 도 5에 도시된 메모리 셀 어레이를 구체적으로 나타낸 일실시예이고, 도 6b는 도 5에 도시된 메모리 셀 어레이를 구체적으로 나타낸 다른 실시예이다.
- [0050] 도 5를 참조하면, 비휘발성 메모리 장치(200)는 메모리 셀 어레이(210)와 액세스 회로(212)를 포함한다.

- [0051] 메모리 셀 어레이(210)는 각 비트라인에 접속된 각 NAND 메모리 셀 스트링을 포함하고, 상기 각 NAND 메모리 셀 스트링은 직렬로 접속된 다수의 비휘발성 메모리 셀들을 포함한다. 각 NAND 메모리 셀 스트링은 도 6a에 도시된 바와 같이, 2차원적으로 동일한 평면(또는 레이어(layer))에 배치(또는 구현)될 수 있다. 실시예에 따라, 메모리 셀 어레이(210)는 웨이퍼 적층(wafer stack), 칩 적층(chip stack) 또는 셀 적층(cell stack)을 통하여 도 6b에 도시된 바와 같이 3차원적으로 구현될 수 있다.
- [0052] 도 6a 및 도 6b를 참조하면, NAND 메모리 셀 스트링은 비트라인에 접속된 스트링 선택 트랜지스터(ST1)와 공통 소스라인(Common Source Line; CSL)에 접속된 접지 선택 트랜지스터(ST2) 사이에, 직렬로 접속된 다수의 비휘발성 메모리 셀들을 포함한다.
- [0053] 상기 스트링 선택 트랜지스터(ST1)의 게이트는 스트링 선택 라인(string selection line ; SSL)에 접속되고, 다수의 비휘발성 메모리 셀들 각각의 게이트는 다수의 워드라인들 각각에 접속되고, 상기 접지 선택 트랜지스터(ST2)의 게이트는 접지 선택 라인(ground selection line; GSL)에 접속된다. 상기 NAND 메모리 셀 스트링 각각은 각 페이지 버퍼(도 6a의 221-11 또는 도 6b의 221-1)에 연결된다. 이때 실시예에 따라 워드라인들의 개수는 다양하게 구현될 수 있다.
- [0054] 각 NAND 메모리 셀 스트링에 포함된 다수의 비휘발성 메모리 셀들 각각 1 비트 또는 그 이상의 비트들을 저장할 수 있는 플래시 EEPROM(Electrically Erasable Programmable Read-Only Memory)으로 구현될 수 있다.
- [0055] 따라서 다수의 비휘발성 메모리 셀들 각각은 1비트 또는 그 이상의 비트들을 저장할 수 있는 NAND 플래시 메모리 셀, 예컨대 SLC(Single Level Cell) 또는 MLC(Multi-Level Cell)로 구현될 수 있다.
- [0056] 액세스 회로(212)는 외부, 예컨대 메모리 컨트롤러(100)로부터 출력된 명령 (또는 명령 세트들(command sets))과 어드레스에 따라 데이터 액세스 동작, 예컨대 프로그램 동작, 리드 동작, 또는 이레이즈 동작을 수행하기 위하여 메모리 셀 어레이(210)를 액세스한다. 액세스 회로(212)는 전압 발생기(240), 로우 디코더(250), 컨트롤 로직(260), 컬럼 디코더(270), 페이지 버퍼 & 감지 증폭기 블록(220), Y 게이팅 회로(230) 및 입출력 블록(280)을 포함할 수 있다.
- [0057] 전압 발생기(240)는 컨트롤 로직(260)에 의해 생성된 제어 코드(CMD)에 따라 데이터 액세스 동작에 필요한 전압을 생성할 수 있다. 전압 발생기(240)는 프로그램 동작을 수행하기 위해 필요한 프로그램 전압(Vpgm)과 프로그램 검증 전압(Vpvfy)을 생성하고, 리드 동작을 수행하기 위하여 필요한 리드 전압(Vrd)들을 생성하고, 이레이즈 동작을 수행하기 위하여 필요한 이레이즈 전압(Verase)과 이레이즈 검증 전압(Vevfy)을 생성하고, 각 동작을 수행하기 위하여 필요한 전압을 로우 디코더(250)로 출력한다.
- [0058] 컨트롤 로직(260)은 메모리 컨트롤러(100)로부터 출력된 제어신호(CMD)에 따라 액세스 회로(212)의 전반적인 동작을 제어한다. 예컨대, 컨트롤 로직(260)은 메모리 리드 동작 동안 메모리 리드 상태 정보를 센싱하고, 리드되는 데이터를 메모리 컨트롤러(100)로 출력하도록 제어할 수 있다.
- [0059] 컬럼 디코더(270)는 컨트롤 로직(260)의 제어 하에 컬럼 어드레스(YADD)들을 디코딩하여 다수의 선택신호들을 Y 게이팅 회로(230)로 출력한다.
- [0060] 페이지 버퍼 & 감지 증폭기 블록(220)은 다수의 페이지 버퍼(Page Buffer; PB)들을 포함한다. 다수의 페이지 버퍼들(PB) 각각은 다수의 비트라인들 각각에 접속된다.
- [0061] 다수의 페이지 버퍼들(PB) 각각은 컨트롤 로직(260)의 제어에 따라 데이터 리드 동작 동안에는 메모리 셀 어레이(210)에서 리드(read)된 데이터를 임시로 저장하기 위한 드라이버로써 동작할 수 있다. 또한 다수의 페이지 버퍼들(PB) 각각은 컨트롤 로직(260)의 제어에 따라 리드 동작 동안에 다수의 비트라인들 각각의 전압 레벨을 감지 증폭할 수 있는 감지 증폭기로서 동작할 수 있다.
- [0062] Y 게이팅 회로(230)는 컬럼 디코더(270)로부터 출력된 다수의 선택신호들에 응답하여 페이지 버퍼 & 감지 증폭기 블록(220)과 입출력 블록(280) 사이에서 데이터(DATA)의 전송을 제어할 수 있다.
- [0063] 입출력 블록(280)은 외부로부터 입력된 데이터(DATA)를 Y 게이팅 회로(230)로 전송하거나 또는 Y 게이팅 회로(230)로부터 출력된 데이터(DATA)를 다수의 입출력 핀들(또는 데이터 버스)를 통하여 메모리 컨트롤러(100)로 전송할 수 있다.
- [0064] 도 7a은 도 5에 도시된 메모리 셀 어레이를 일 실시예에 따른 멀티플레인 단위로 나타낸 블록도이며, 도 7b은 도 5에 도시된 메모리 셀 어레이를 다른 실시예에 따른 멀티플레인 단위로 나타낸 블록도이다.

- [0065] 도 7a를 참조하면, 메모리 셀 어레이(210)는 멀티 플레인을 포함한다. 여기서, "멀티 플레인"은 복수(2이상)의 플레인을 의미한다. 또한, 메모리 셀 어레이(210)는 복수 개의 메모리 블록(210-31, 블록 0 내지 블록 k, k는 0 이상의 자연수)으로 분할될 수 있다. 도 7a의 실시예에서는 4 개의 메모리 플레인(210-1 내지 210-4) 상에 비휘발성 메모리 블록(210-31)들이 균등하게 분산 배치되어 있고, 각 메모리 블록은 복수 개의 페이지(210-21)를 포함하고 있다.
- [0066] 각 플레인마다 별도의 페이지 버퍼(220-1 내지 220-4)가 구비되어 있어서, 각 플레인으로부터 하나씩의 메모리 블록(220-31) 또는 페이지(220-21)를 선택하여 최대 n개의 메모리 블록(220-31) 또는 페이지(220-21)에 대해 동시에 전기적 소거(erase) 또는 프로그램/판독(Program/Read) 명령을 수행할 수가 있다. 즉, 각 메모리 블록(210-21)은 고유의 메모리 블록번호(0,1,2,..., n-1)를 가지고 있어 개별적으로 지정 가능하고 전기적 소거의 단위로 사용된다. 또한 각 페이지(210-21)는 각 페이지에 대응하는 주소에 의해 개별 지정 가능하며 프로그램(Program)과 판독(Read)의 단위로 사용된다.
- [0067] 메모리 블록의 크기와 페이지의 크기는 NAND형 플래시 제품마다 다양하게 구현될 수 있는데, 일례로 전체용량이 16Mbyte이면서 메모리 블록의 크기가 16Kbytes고 페이지의 크기가 512bytes인 플래시 메모리는 1024개의 메모리 블록으로 구성되며, 각 메모리 블록은 32개의 페이지로 구성된다.
- [0068] 상기 실시예는 4개의 플레인 상에 4096개의 메모리 블록이 위치하고, 각 메모리 블록은 32개의 페이지를 포함하는 비휘발성 메모리 장치의 실시 예를 도시하고 있으나, 본 발명의 실시예가 이에 한정되지 아니하며, 도 7b와 같이 다른 구조의 멀티 플레인을 갖춘 비휘발성 메모리 장치에도 적용할 수 있다.
- [0069] 도 7a 및 도 7b에서, 하나의 플레인(210-1)은 적어도 하나의 메모리 어레이 및 상기 어레이의 일 단부에 위치하는 페이지 버퍼(220-11)를 포함한다. 페이지 버퍼(220-11)는 한 페이지(210-21)의 데이터를 저장한다. 각 메모리 어레이는 도 6a 또는 도 6b에 도시된 것과 같은 비휘발성 메모리의 기본 구성을 갖는다.
- [0070] 본 발명의 일 실시예에서, 각 플레인별로 로우 디코더(250)가 구비될 수 있다.
- [0071] 도 8은 본 발명의 실시예에 따른 메모리 컨트롤러로부터 비휘발성 메모리 장치로 데이터를 프로그램하는 과정을 설명하기 위한 도면이고, 도 9는 도 8에 도시된 비휘발성 메모리 장치에 프로그램된 데이터를 플레인 및 페이지 단위로 나타낸 블록도이다.
- [0072] 호스트(10)는 쓰기 요청과 함께 복수의 페이지(210-21)들로 구성된 데이터들을 메모리 시스템(20)으로 전송한다. 이때 상기 데이터들은 동영상 데이터의 경우처럼 로직 어드레스가 순차적(Sequential)일 수도 있으나, 본 발명은 설명의 편의를 위하여 순차적이지 않은 경우, 즉 랜덤(Random)한 로직 어드레스를 갖는 데이터들이 전송되는 경우를 가정한다. 즉, 상기 쓰기 요청은 랜덤 쓰기 요청 일 수 있다. 여기서, 로직 어드레스가 비순차적 또는 랜덤이라는 의미는 일련(예컨대 둘 이상의) 로직 어드레스들이 연속성을 갖지 않은 경우를 의미한다.
- [0073] 또한 일련의 로직 어드레스들 중 단 한 번의 불연속성이 있더라도 랜덤 로직 어드레스를 갖는 경우에 해당한다.
- [0074] 일례를 들어, 도 8에 도시된 바와 같이, 호스트(10)가 LPN 100, LPN 110, LPN 150, LPN 356의 서로 독립적인 영역의 로직 어드레스(Logical Address)를 가지는 데이터를 쓰기 요청할 경우, 상기 데이터들은 호스트로부터 메모리 시스템(20)으로 랜덤(random)하게 수신된다. 즉, 상기 데이터들이 비휘발성 메모리 장치(200)에 프로그램 될 때 상기 데이터의 로직 어드레스가 비순차적이라고 가정한다.
- [0075] 본 발명의 실시예에 따른 메모리 시스템은, 상기와 같이, 비순차적인 로직 어드레스를 갖는 데이터들을 비휘발성 메모리 장치(200)로 멀티 플레인 프로그램 방식을 이용하여 프로그램한다.
- [0076] 예컨대, LPN 100인 데이터는 플레인 0의 블록(Block i) 내 페이지 A에, LPN 110인 데이터는 플레인 2의 블록(Block j) 내 페이지 C에, LPN 150인 데이터는 플레인 1의 블록(Block k) 내 페이지 B에, LPN 356인 데이터는 플레인 3의 블록(Block l) 내 페이지 D에 멀티 플레인 프로그램을 통해 병렬적으로 프로그램될 수 있다.
- [0077] 도 8에 도시된 메모리 블록 및 페이지는 동일한 행(row)에 위치한 것으로 도시되었으나, 이에 한정되는 것은 아니고 각 플레인 내에서 서로 다른 위치를 가질 수 있다.
- [0078] 서로 순차적이지 않은 로직 어드레스를 가진 데이터들이 호스트(10)로부터 전송되면, 메모리 컨트롤러(100)는 상기 데이터들을 수신하였다가 비휘발성 메모리 장치(200)로 전송한다. 이때 메모리 컨트롤러(100)는 FTL을 통해 상기 로직 어드레스에 상응하는 물리 어드레스를 찾고, 각 데이터들을 비휘발성 메모리 장치의 상기 물리 어

드레스로 전송한다.

- [0079] 보다 상세히 설명하면, 메모리 컨트롤러(100)는 호스트(10)로부터 로직 어드레스가 불연속적인 LPN 100, LPN 110, LPN 150, LPN 356인 데이터들을 각각 수신하면, 먼저 버퍼 메모리(110)에 임시로 저장한다. 그런 다음, 매핑 테이블(120)의 해당 플레인에 상응하는 버퍼 어드레스를 업데이트한다. 본 발명의 실시예에서는 FTL의 정책에 의하여, 호스트(10)로부터 수신된 데이터는 플레인 0부터 플레인 3까지 순차적으로 저장될 수 있다고 가정한다. 이 경우, LPN 100, LPN 110, LPN 150, LPN 356인 데이터들은 각각 플레인 0, 플레인 1, 플레인 2, 플레인 3에 상응한다. 따라서, LPN 100인 데이터가 버퍼 메모리(110)에 저장되면, 매핑 테이블(120)의 플레인 0에 대응하여, LPN 100인 데이터가 저장된 버퍼 메모리의 버퍼 어드레스가 매핑 테이블(120)에 저장된다. 다음으로, LPN 110인 데이터가 버퍼 메모리(110)에 저장되면, 매핑 테이블(120)의 플레인 1에 대응하여, LPN 110인 데이터가 저장된 버퍼 메모리의 버퍼 어드레스가 매핑 테이블(120)에 저장되며, LPN 150, LPN 356인 데이터에 대해서도 마찬가지로 이다.
- [0080] 상기 데이터들의 로직 어드레스는 FTL을 통해 상기 각 로직 어드레스에 상응하는 물리 어드레스로 변환된다. 별도로 도시되지는 않았지만, 로직 어드레스를 물리 어드레스로 변환하기 위해서 주소 변환 매핑 테이블(미도시)이 구비될 수 있다.
- [0081] 버퍼 메모리(110)에 멀티 플레인 수만큼의 데이터들이 채워지면, 비휘발성 메모리 장치(200)는 메모리 컨트롤러(100)로부터 프로그램 요청과 함께 상기 데이터들을 순차적으로 수신한다. 비휘발성 메모리 장치(200)는 페이지 버퍼(220)에 상기 물리 어드레스에 해당하는 플레인의 데이터를 임시로 저장하여 두었다가, 상기 데이터(예를 들어 4 플레인 구조의 경우, 4개 플레인 각각의 데이터)가 각 플레인별로 모두 수신되면 상기 데이터를 해당 플레인의 해당 메모리 블록 내 해당 페이지에 동시에 프로그램한다.
- [0082] 상기 예에서 비휘발성 메모리 장치(200)는 LPN 100, LPN 150, LPN 110, LPN 356인 각 데이터들이 해당 페이지 버퍼에 모두 수신되면 상기 데이터들을 해당 물리 어드레스로 동시에 프로그램한다. 마찬가지로, LPN 548, LPN 240, LPN 876, LPN 187의 각 데이터들 또는 LPN 858, LPN 557, LPN 630, LPN 241의 각 데이터들의 프로그램도 같은 방식으로 이루어진다.
- [0083] 도 10a는 본 발명의 다른 실시예에 따른 메모리 시스템을 나타낸 블록도이다. 도 10b는 도 10a에 도시된 메모리 시스템에서의 프로그램 동작을 개략적으로 나타낸 타이밍도이다. 도 10a에는 1-채널(1-channel)/ 8-뱅크(8-bank) 구성을 갖는 비휘발성 메모리 장치(200')가 도시된다. 각 메모리 소자(CA0~CA7)는 도 8 및 도 9에 도시된 바와 같이 4 플레인 구조를 가진다.
- [0084] 도 10a 및 도 10b를 참조하면, 호스트(10)로부터 프로그램 요청이 메모리 시스템(20)으로 수신되면, 메모리 컨트롤러(100')는 제1 뱅크(Bank #0)에서부터 제8 뱅크(Bank #7) 순으로 순차적으로 프로그램을 실행할 수 있다.
- [0085] 예컨대, 메모리 컨트롤러(100)는 먼저 로직 어드레스들(LPN 100, LPN 150, LPN 110, LPN 356)에 대한 데이터들을 호스트(10)로부터 차례로 수신하여 버퍼 메모리(110)에 저장할 수 있다. 이때 상기 데이터들 각각은 FTL(130)을 통해 로직 어드레스에 상응하는 물리 어드레스를 가지고 저장될 수 있다.
- [0086] 또한, 버퍼 메모리(110)에 저장된 데이터들의 각 버퍼 어드레스는 매핑 테이블(120)에 저장된다. 예컨대, 로직 어드레스(LPN 100)를 갖는 데이터의 버퍼 어드레스는 매핑 테이블(120)의 제1 플레인(plane 0)에 상응하여 저장되고, 로직 어드레스(LPN 150)를 갖는 데이터의 버퍼 어드레스는 매핑 테이블(120)의 제2 플레인(plane 1)에 상응하여 저장되고, 로직 어드레스(LPN 110)를 갖는 데이터의 버퍼 어드레스는 매핑 테이블(120)의 제3 플레인(plane 3)에 상응하여 저장되며, 로직 어드레스(LPN 356)를 갖는 데이터의 버퍼 어드레스는 매핑 테이블(120)의 제4 플레인(plane 4)에 상응하여 저장될 수 있다.
- [0087] 상기 데이터들이 LPN 100, LPN 150, LPN 110, LPN 356과 같이 비순차적인, 즉 랜덤한 로직 어드레스를 갖더라도, 버퍼 메모리(110)에 저장된 상기 데이터들은 각각 매핑 테이블(120)에 기초하여 해당 플레인으로 전송될 수 있다.
- [0088] 버퍼 메모리(110)에 저장된 데이터들(LPN 100, LPN 150, LPN 110, LPN 356의 데이터들)은 채널(Channel A)을 통해 제1 뱅크(BANK 0)로 전송된다. 제1 뱅크(BANK 0)의 비휘발성 메모리 장치(CA0)는 상기 데이터들(LPN 100, LPN 150, LPN 110, LPN 356의 데이터들)을 차례로 수신하여 페이지 버퍼(220)에 저장하여 두었다가 각 플레인의 데이터들이 모두 수신되면(tDMA), 상기 데이터들을 해당 물리 어드레스를 갖는 페이지들로 동시에 프로그램한다(tPROG).



- [0089] 상기 프로그램 동작 동안 메모리 컨트롤러(100)와 비휘발성 메모리 장치(200) 간 채널(Channel A)은 비어있게 되므로, 다른 बैं크들(BANK 1 내지 BANK 7)로 데이터 전송이 가능하다.
- [0090] 이에 따라, 메모리 컨트롤러(100)는 제1 बैं크(BANK 0)의 프로그램 동작 동안 (Bank 0의 tPROG)에 다음 데이터들 (LPN 548, LPN 240, LPN 876, LPN 187의 데이터들)을 채널(Channel A)을 통해 제2 बैं크(Bank 1)로 전송할 수 있다. 제2 बैं크(Bank 1)의 비휘발성 메모리 장치(CA1)는 상기 데이터들(LPN 548, LPN 240, LPN 876, LPN 187의 데이터들)을 차례로 수신하여 페이지 버퍼(220)에 저장하여 두었다가 각 플레인의 데이터들이 모두 수신되면 (tDMA), 상기 데이터들을 해당 물리 어드레스를 갖는 페이지들로 동시에 프로그램한다(tPROG).
- [0091] 다른 बैं크들(Bank 2 내지 Bank 7)에 대해서도 마찬가지로 랜덤 로직 어드레스를 갖는 데이터들(예컨대, LPN 858, LPN 557, LPN 630, LPN 241의 데이터들)에 대해서도 같은 방식으로 프로그램 동작을 수행한다.
- [0092] 이후 상기 제1 बैं크의 프로그램 동작이 종료되면, 제1 बैं크는 메모리 컨트롤러(100)로부터 4개 플레인에 대한 다음 데이터들(LPN 872, LPN 178, LPN 544, LPN 895)을 차례로 수신하여 입출력 블럭(280)에 저장하여 두었다가 각 플레인의 데이터들이 모두 수신되면(tDMA), 상기 다음 데이터들을 해당 물리 어드레스로 동시에 프로그램한다(tPROG).
- [0093] 상술한 바와 같이 본 발명의 일 실시예에 따르면, 하나의 बैं크(예컨대, Bank 0)에서 프로그램 동작이 이루어지는 동안(tPROG)에 같은 채널을 통하여 다른 बैं크(예컨대, Bank 1)로 데이터를 전송할 수 있다.
- [0094] 그 결과 멀티 플레인에 대한 프로그램 동작시 긴 프로그램 동작 시간(tPROG)으로 인하여 발생하는 채널의 유희 시간(tPROG-tDMA)은 줄어들게 되고 채널을 효율적으로 사용하게 되므로, 메모리 시스템의 프로그램 동작 성능이 향상될 수 있다.
- [0095] 도 11은 도 8에 도시된 메모리 시스템에서의 프로그램 동작을 구체적으로 나타낸 블록도이다.
- [0096] 도 11을 참조하면, 메모리 컨트롤러(100)는 먼저 호스트(10)부터 프로그램 요청과 함께 비휘발성 메모리 장치(200)에 프로그램될 데이터들을 수신하여 버퍼 메모리(110)에 임시 저장한다. 이 때 데이터들은 버퍼 메모리(110)에 순차적으로 저장될 수도 있고, 비순차적으로 저장될 수도 있다. 또한 상기 버퍼 메모리(110)에 저장되는 데이터들의 로직 어드레스는 순차적이지 않을 수 있다.
- [0097] 메모리 컨트롤러(100)는 FTL(130)을 통해 상기 버퍼 메모리(110)에 저장된 데이터들의 로직 어드레스를 그에 상응하는 물리 어드레스, 즉, 메모리 블록 어드레스 및 페이지 어드레스로 변환할 수 있다. 그리고 메모리 컨트롤러(100)는 매핑 테이블(120)을 통해 각 플레인에 상응하는 버퍼 메모리(110)의 버퍼 어드레스 정보를 획득한다. 이 때 매핑 테이블(120)에 저장되는 버퍼 어드레스와 플레인 간의 매핑 정보는 데이터가 버퍼 메모리(110)에 저장될 때마다 업데이트될 수 있다.
- [0098] 일례에서, 상기 주소를 획득한 데이터들 각각은 순차적으로 해당 플레인의 페이지 버퍼(미도시)로 전송되어 모든 플레인의 데이터가 각 페이지 버퍼에 수신될 때까지 임시 저장된다. 4 플레인 각각의 데이터가 모두 해당 페이지 버퍼에 저장되면, 비휘발성 메모리 장치(200)는 상기 데이터들을 해당 메모리 블록 어드레스 및 페이지 어드레스를 가진 메모리 셀에 동시에 프로그램한다.
- [0099] 한편 다른 일례에서, 메모리 컨트롤러(100)는 메모리 시스템(20)이 라이트 쓰루(Write Through)로 동작해야 하는 경우에도 멀티 플레인 오퍼레이션을 수행할 수 있다. 라이트 쓰루(Write Through)란 데이터를 즉시 저장하는 것으로써, 버퍼 메모리(110)에 멀티 플레인의 수만큼 데이터가 채워지지 않아도 비휘발성 메모리 장치(200)에 상기 데이터들을 저장하는 경우를 말한다.
- [0100] 메모리 컨트롤러(100)는 라이트 쓰루로 동작할 경우를 대비하여 호스트(10)로부터 수신된 데이터들을 버퍼 메모리(110)에 저장하면서 타이머 (160)를 이용해 소요시간(Current Time-Start Time)을 카운트할 수 있다.
- [0101] 상기 소요시간이 기설정된 시간(Time Limit)을 초과하면, 메모리 컨트롤러(100)는 버퍼 메모리(110)에 저장된 데이터의 수가 멀티 플레인의 수보다 적더라도 상기 데이터들을 비휘발성 메모리 장치(200)로 전송한다. 플레인 각각에 상기 데이터들이 수신되면, 비휘발성 메모리 장치(200)는 상기 데이터들을 해당 메모리 블록 어드레스 및 페이지 어드레스를 가진 메모리 셀에 동시에 프로그램한다.
- [0102] 메모리 컨트롤러(100) 및 비휘발성 메모리 장치(200)는 호스트(10)의 요청에 따라 상기와 같은 멀티 플레인 구조의 메모리에 대한 프로그램 동작을 반복한다.
- [0103] 상술한 바와 같이, 본 발명의 실시예에 따르면, 매핑 테이블(120)은 각 플레인에 상응하는 버퍼 어드레스를 관

리한다. 이에 따라 각 버퍼 메모리의 데이터는 독립적으로 해당 플레인의 페이지 버퍼로 전송될 수 있다. 그 결과 멀티 플레인 메모리에 대한 비연속적인 로직 어드레스를 갖는 데이터를 멀티플레인 동작을 이용하여 프로그램할 수 있으므로 메모리 컨트롤러(100) 및 비휘발성 메모리 장치(200)간 채널을 효율적으로 사용할 수 있게 된다. 또한 동시에 프로그램하는 단위가 커지므로 WAF(쓰기 증폭 계수, Write Amplification Factor)의 증가없이 메모리 시스템의 성능이 향상될 수 있다.

- [0104] 이는 호스트로부터의 랜덤 쓰기(Random Write) 요청시의 프로그램 동작 뿐만 아니라, 가비지 컬렉션(Garbage Collection) 동작에서도 메모리 시스템(20)의 성능 향상을 도모할 수 있다. 가비지 컬렉션(Garbage Collection)이란 비휘발성 메모리 장치(200)의 사용을 최적화하기 위해 비유효(Invalid) 페이지와 유효(Valid) 페이지를 정리하는 것을 말한다. 가비지 컬렉션 동작 방법에 대해서는 도 14를 참조하여 상세히 후술한다.
- [0105] 설명의 편의를 위하여 4 플레인 구조에서의 멀티 플레인 프로그램 동작을 설명하나, 본 발명의 실시예가 이에 한정되는 것은 아니며 다른 구조의 멀티 플레인을 가진 메모리 시스템에서 다양하게 구현될 수 있다.
- [0106] 도 12는 본 발명의 일실시예에 따른 메모리 제어방법을 나타낸 흐름도이다.
- [0107] 도 12를 참조하면, 메모리 컨트롤러(100)는 먼저 호스트(10)로부터 쓰기 요청과 비휘발성 메모리 장치에 프로그램할 데이터를 수신한다(S110). 쓰기 요청은 쓰기 요청임을 식별하기 위한 식별자, 로직 어드레스 및 카운트를 포함할 수 있다. 카운트는 데이터의 양(예를 들어, 페이지수, 또는 섹터 수 등)을 나타낸다.
- [0108] 메모리 컨트롤러(100)는 상기 데이터를 버퍼 메모리(110)에 저장한다(S120). 상기 데이터는 1 비트 이상의 데이터 셋으로써 쓰기 단위, 즉, 페이지 단위일 수 있다.
- [0109] 다음으로, 매핑 테이블(120)의 해당 플레인에 상응하는 버퍼 어드레스를 업데이트한다(S125). 4-플레인 구성을 갖는 비휘발성 메모리 장치의 경우, 버퍼 메모리로 수신되는 데이터는 비휘발성 메모리 장치의 플레인0부터 플레인3 순으로 순차적으로 상응하도록 매핑될 수 있다. 예컨대, 메모리 컨트롤러의 정책에 따라, 첫 번째 수신되는 데이터는 플레인0에 상응하도록 매핑되고, 다음 데이터는 플레인1에 상응하도록 매핑되며, 그 다음 데이터는 플레인2에 상응하도록 매핑될 수 있다.
- [0110] 이와 같은 방식으로, 메모리 컨트롤러(100)는 멀티 플레인의 수만큼 버퍼 메모리(110)에 데이터 개수가 채워질 때까지 호스트(10)로부터 쓰기 요청과 함께 프로그램할 데이터를 수신한다(S130).
- [0111] 버퍼 메모리(110)에 멀티 플레인의 수만큼 데이터의 수가 채워지면, 매핑 테이블을 참조하여, 버퍼 메모리의 데이터를 비휘발성 메모리 장치의 페이지 버퍼로 순차적으로 전송한다(S140 내지 S160). 예를 들면, 먼저 매핑 테이블을 참조하여 플레인0의 버퍼 어드레스에 저장된 데이터를 플레인 0의 페이지 버퍼로 DMA(Direct memory access) 전송하여 저장하고(S140), 페이지 버퍼로 전송된 데이터의 수가 멀티 플레인 수만큼인지 체크하여(S160), 페이지 버퍼로 전송된 데이터의 수가 멀티 플레인 수와 같지 않다면(즉, 작다면), 매핑 테이블을 참조하여 플레인1의 버퍼 어드레스에 저장된 데이터를 플레인 1의 페이지 버퍼로 DMA(Direct memory access) 전송하여 저장한다(S150).
- [0112] 플레인 각각의 페이지 버퍼에 데이터가 모두 수신되면(S160), 비휘발성 메모리(200)는 각 페이지 버퍼의 데이터를 해당 물리 어드레스를 가진 메모리 셀에 병렬적으로 프로그램한다(S170).
- [0113] 4 플레인 구조를 갖는 비휘발성 메모리 장치의 경우, S170 단계에서, 4 플레인의 해당 페이지를 동시에 프로그램하는 4 플레인 프로그램이 수행될 수 있다.
- [0114] 도 13a는 본 발명의 다른 실시예에 따른 메모리 제어방법을 나타낸 흐름도이다.
- [0115] 도 13a를 참조하면, 메모리 컨트롤러(100)는 먼저 호스트(10)로부터 쓰기 요청과 비휘발성 메모리 장치에 프로그램할 데이터를 수신한다(S210). 이때 상기 데이터의 로직 어드레스는 순차적이지 않을 수 있다.
- [0116] 메모리 컨트롤러(100)는 상기 데이터를 버퍼 메모리(110)에 저장한다(S230). 상기 데이터는 1 비트 이상의 데이터 셋으로써 쓰기 단위, 즉, 페이지 단위일 수 있다.
- [0117] 버퍼 메모리(110)에 저장되는 데이터가 멀티 플레인 프로그램의 시작 플레인인 플레인0에 상응하는 데이터인 경우, 메모리 컨트롤러(100)는 시작 시각(start time)을 설정(set)할 수 있다. 예컨대, 메모리 컨트롤러(100)는 플레인0에 상응하는 데이터에 맞춰, 타이머(도2의 160)를 작동시키거나 또는 그 때의 타이머의 시간을 시작 시각으로 정할 수 있다.

- [0118] 메모리 컨트롤러(100)는 메모리 시스템(20)이 라이트 쓰루(Write Through)로 동작해야 하는 경우에도 멀티 플레인 오퍼레이션을 수행할 수 있다. 라이트 쓰루(Write Through)란 데이터를 즉시 저장하는 것으로써, 도 12의 실시예와 달리, 버퍼 메모리(110)에 멀티 플레인의 수만큼 데이터가 채워지지 않아도 비휘발성 메모리 장치(200)에 상기 데이터들을 저장하는 경우를 말한다.
- [0119] 메모리 컨트롤러(100)는 라이트 쓰루로 동작할 경우를 대비하여 호스트로부터 수신된 데이터들을 버퍼 메모리(110)에 저장하면서 소요시간(Current Time-Start Time)을 카운트한다.
- [0120] 상기 소요시간이 기설정된 시간(Time Limit)을 초과하면(S240), 메모리 컨트롤러(100)는 버퍼 메모리(110)에 저장된 데이터의 수가 멀티 플레인의 수보다 작더라도 상기 데이터들을 비휘발성 메모리 장치(200)로 전송할 수 있다(S260 내지 S270). 그러나 상기 기설정된 시간(Time Limit) 이내에 버퍼 메모리(110)에 저장된 데이터의 수가 멀티 플레인의 수만큼 채워지면(S250), 도 12의 실시예와 같이, 상기 멀티 플레인 수만큼의 상기 데이터들을 비휘발성 메모리 장치(200)로 순차적으로 전송한다(S260 내지 S270).
- [0121] 비휘발성 메모리 장치(200)의 페이지 버퍼에 수신된 데이터의 수가 상기 버퍼 메모리에 저장된 데이터 수와 같으면, 비휘발성 메모리 장치(200)는 각 페이지 버퍼의 데이터를 해당 물리 어드레스의 메모리 셀들로 병렬적으로 프로그램한다(S280).
- [0122] S240 단계에서, 4 플레인의 해당 페이지를 동시에 프로그램하는 4 플레인 프로그램이 수행될 수 있다.
- [0123] 예를 들어, 소요시간이 기설정된 시간(Time Limit)을 초과하여, 3개의 플레인에 해당하는 데이터만으로 멀티 플레인 프로그램하는 경우에도 4-플레인 프로그램이 수행될 수 있다. 이 경우, 플레인 0부터 플레인 2은 호스트로부터 수신된 유효한 데이터로 프로그램되고, 플레인 3은 페이지 버퍼에 기 저장되어 있던 유효하지 않은 데이터로 프로그램될 수 있다.
- [0124] 도 13b는 본 발명의 또 다른 실시예에 따른 메모리 제어방법을 나타낸 흐름도이다. 도 13b의 실시예는 도 13a의 실시예와 유사하므로, 차이점을 위주로 기술한다.
- [0125] 도 13b를 참조하면, 소요시간이 기설정된 시간(Time Limit)을 초과하거나(S240에서 NO인 경우), 버퍼 메모리에 저장된 데이터의 수가 멀티 플레인 수와 같다면(S250에서 YES인 경우), 프로그램을 위하여 버퍼 메모리에 저장된 데이터를 비휘발성 메모리 장치의 페이지 버퍼로 전송한다.
- [0126] 본 발명의 실시예에서, 비휘발성 메모리 장치는 동시에 프로그램 가능한 플레인의 수가 제한적일 수 있다. 예컨대, 비휘발성 메모리 장치는 1-플레인 프로그램, 2-플레인 프로그램 및 4-플레인 프로그램은 제공하나, 3-플레인 프로그램은 제공하지 않는다고 가정한다.
- [0127] 이 경우, 메모리 컨트롤러는 버퍼 메모리에 저장된 데이터 수로부터 최대 가능한 멀티 플레인 수를 계산한다(S310). 예컨대, 버퍼 메모리에 저장된 데이터 수가 3이라면, 최대 가능한 멀티 플레인 수는 2이다. 최대 가능한 멀티 플레인 수는 비휘발성 메모리 장치가 제공할 수 있는 동시 프로그램 가능한 플레인 수들(예컨대, 1-플레인, 2-플레인 및 4-플레인) 중 버퍼 메모리에 저장된 데이터 수(예컨대, 3)보다 적은 수들(예컨대, 1, 2) 중 최대값이다.
- [0128] 다음으로, 메모리 컨트롤러는 버퍼 메모리에 저장된 데이터를 최대 가능한 멀티 플레인 수만큼 비휘발성 메모리 장치(200)의 해당 페이지 버퍼로 순차적으로 전송한다(S320 내지 S330).
- [0129] 그런 다음 최대 가능한 멀티 플레인 수만큼 멀티 플레인 프로그램한다(S340). 예컨대, 2개의 플레인을 동시에 프로그램한다(S340).
- [0130] 다음으로, 메모리 컨트롤러는 버퍼 메모리에 저장된 나머지 데이터를 비휘발성 메모리 장치(200)의 해당 페이지 버퍼로 전송하여(S350 내지 S360). 프로그램한다(S370).
- [0131] 도 14는 본 발명의 일 실시예에 따른 가비지 컬렉션시의 메모리 제어방법을 나타내는 흐름도이다. 도 14를 참조하면, 가비지 컬렉션시 메모리 제어 방법은 도 12에 도시된 방법과 유사하다. 따라서, 설명의 중복을 피하기 위하여 차이점을 위주로 기술한다.
- [0132] 메모리 컨트롤러(100)는 메모리로부터 유효 페이지를 독출한다(S410). 메모리 컨트롤러(100)는 독출된 유효 페이지 데이터를 버퍼 메모리(110)에 저장한다(S420). 아울러, 매핑 테이블(120)의 해당 플레인에 상응하는 버퍼 어드레스를 업데이트한다(S425). 메모리 컨트롤러(100)는 버퍼 메모리(110)에 유효 페이지가 멀티 플레인 개수만큼 저장되면 상기 유효 페이지에 대한 물리 어드레스 정보를 FTL(130) 및 매핑 테이블(120)로부터 얻어 복



수의 상기 유효 페이지들을 순차적으로 비휘발성 메모리 장치(200)로 전송한다(S440).

- [0133] 비휘발성 메모리 장치(200)는 상기 유효 페이지들이 각각 해당 플레인의 페이지 버퍼(220)에 멀티 플레인 개수 만큼 모두 수신되면, 메모리 셀 어레이(210)로 상기 유효 페이지 데이터를 동시에 프로그램 한다(S460, S470).
- [0134] 도 15는 도 1에 도시된 메모리 시스템을 포함하는 데이터 처리 시스템의 일 실시예를 나타낸다.
- [0135] 도 15를 참조하면, 데이터 처리 시스템(500)은 이동 전화기(cellular phone), 스마트 폰(smart phone), PDA(personal digital assistant), 또는 무선 통신 장치로 구현될 수 있다.
- [0136] 데이터 처리 시스템(500)은 메모리 장치(200)와 메모리 장치(200)의 동작을 제어할 수 있는 메모리 컨트롤러(100)를 포함한다. 메모리 컨트롤러(100)는 프로세서(510)의 제어에 따라 메모리 장치(200)의 데이터(DATA) 액세스 동작, 예컨대 프로그램(program) 동작, 이레이즈(erase) 동작, 또는 리드(read) 동작을 제어할 수 있다. 프로그램 검증 동작은 프로그램 동작의 일부로서 포함된다.
- [0137] 메모리 장치(200)에 프로그램된 페이지 데이터는 프로세서(510)와 메모리 컨트롤러(100)의 제어에 따라 디스플레이(520)를 통하여 디스플레이될 수 있다.
- [0138] 무선 송수신기(530)는 안테나(ANT)를 통하여 무선 신호를 주거나 받을 수 있다. 예컨대, 무선 송수신기(530)는 안테나(ANT)를 통하여 수신된 무선 신호를 프로세서(510)에서 처리될 수 있는 신호로 변경할 수 있다.
- [0139] 따라서, 프로세서(510)는 무선 송수신기(530)로부터 출력된 신호를 처리하고 처리된 신호를 메모리 컨트롤러(100) 또는 디스플레이(520)로 전송할 수 있다. 메모리 컨트롤러(100)는 프로세서(510)에 의하여 처리된 신호를 메모리 장치(200)에 프로그램할 수 있다.
- [0140] 또한, 무선 송수신기(530)는 프로세서(510)로부터 출력된 신호를 무선 신호로 변경하고 변경된 무선 신호를 안테나(ANT)를 통하여 외부 장치로 출력할 수 있다.
- [0141] 입력 장치(540)는 프로세서(510)의 동작을 제어하기 위한 제어 신호 또는 프로세서(510)에 의하여 처리될 데이터(DATA)를 입력할 수 있는 장치로서, 터치 패드(touch pad)와 컴퓨터 마우스(computer mouse)와 같은 포인팅 장치(pointing device), 키패드(keypad), 또는 키보드로 구현될 수 있다.
- [0142] 프로세서(510)는 메모리 컨트롤러(100)로부터 출력된 데이터(DATA), 무선 송수신기(530)로부터 출력된 데이터(DATA), 또는 입력 장치(540)로부터 출력된 데이터(DATA)가 디스플레이(520)를 통하여 디스플레이될 수 있도록 디스플레이(520)의 동작을 제어할 수 있다. 실시 예에 따라, 메모리 장치(200)의 동작을 제어할 수 있는 메모리 컨트롤러(100)는 프로세서(510)의 일부로서 구현될 수 있고 또한 프로세서(510)와 별도의 칩으로 구현될 수 있다.
- [0143] 도 16은 도 1에 도시된 메모리 시스템을 포함하는 데이터 처리 시스템의 또 다른 실시예를 나타낸다.
- [0144] 도 16을 참조하면, 데이터 처리 시스템(600)은 PC(personal computer), 태블릿(tablet) PC, 넷-북(net-book), e-리더(e-reader), PDA(personal digital assistant), PMP(portable multimedia player), MP3 플레이어, 또는 MP4 플레이어로 구현될 수 있다.
- [0145] 데이터 처리 시스템(600)은 메모리 장치(200)와, 메모리 장치(200)의 데이터 처리 동작을 제어할 수 있는 메모리 컨트롤러(100)를 포함한다.
- [0146] 프로세서(610)는 입력 장치(620)를 통하여 입력된 데이터에 따라 메모리 장치(200)에 저장된 데이터를 디스플레이(630)를 통하여 디스플레이할 수 있다. 예컨대, 입력 장치(620)는 터치 패드 또는 컴퓨터 마우스와 같은 포인팅 장치, 키패드, 또는 키보드로 구현될 수 있다.
- [0147] 프로세서(610)는 데이터 처리 시스템(600)의 전반적인 동작을 제어할 수 있고 메모리 컨트롤러(100)의 동작을 제어할 수 있다.
- [0148] 실시 예에 따라 메모리 장치(200)의 동작을 제어할 수 있는 메모리 컨트롤러(100)는 프로세서(610)의 일부로서 구현될 수 있고 또한 프로세서(610)와 별도의 칩으로 구현될 수 있다.
- [0149] 도 17은 도 1에 도시된 메모리 시스템을 포함하는 데이터 처리 시스템의 일 실시예를 나타낸다.
- [0150] 도 17을 참조하면, 데이터 처리 시스템(700)은 메모리 카드(memory card) 또는 스마트 카드(smart card)로 구현될 수 있다. 데이터 처리 시스템(700)은 메모리 장치(200), 메모리 컨트롤러(100), 및 카드 인터페이스(720)를

포함한다.

- [0151] 메모리 컨트롤러(100)는 메모리 장치(200)와 카드 인터페이스(200) 사이에서 데이터의 교환을 제어할 수 있다. 실시 예에 따라, 카드 인터페이스(720)는 SD (secure digital) 카드 인터페이스 또는 MMC(multi-media card) 인터페이스일 수 있으나 이에 한정되는 것은 아니다.
- [0152] 카드 인터페이스(720)는 호스트(HOST)의 프로토콜에 따라 호스트(HOST)와 메모리 컨트롤러(100) 사이에서 데이터 교환을 인터페이스할 수 있다. 실시 예에 따라 카드 인터페이스(720)는 USB(Universal Serial Bus) 프로토콜, IC(InterChip)-USB 프로토콜을 지원할 수 있다. 여기서, 카드 인터페이스라 함은 호스트(HOST)가 사용하는 프로토콜을 지원할 수 있는 하드웨어, 상기 하드웨어에 탑재된 소프트웨어, 또는 신호 전송 방식을 의미할 수 있다.
- [0153] 데이터 처리 시스템(700)이 PC, 태블릿 PC, 디지털 카메라, 디지털 오디오 플레이어, 이동 전화기, 콘솔 비디오 게임 하드웨어, 또는 디지털 셋-탑 박스와 같은 호스트(HOST)와 접속될 때, 호스트(HOST)는 카드 인터페이스(720)와 메모리 컨트롤러(100)를 통하여 메모리 장치(200)와 데이터 통신을 수행할 수 있다.
- [0154] 도 18은 도 1에 도시된 메모리 시스템을 포함하는 데이터 처리 시스템의 일 실시예를 나타낸다.
- [0155] 도 18을 참조하면, 데이터 처리 시스템(800)은 이미지 처리 장치, 예컨대 디지털 카메라 또는 디지털 카메라가 부착된 이동 전화기로 구현될 수 있다.
- [0156] 데이터 처리 시스템(800)은 메모리 장치(200)와 메모리 장치(200)의 데이터 처리 동작, 예컨대 프로그램 동작, 이레이즈 동작, 또는 리드 동작을 제어할 수 있는 메모리 컨트롤러(100)를 포함한다.
- [0157] 데이터 처리 시스템(800)의 이미지 센서(820)는 광학 이미지를 디지털 신호들로 변환하고, 변환된 디지털 신호들은 프로세서(810) 또는 메모리 컨트롤러(100)로 전송된다. 프로세서(810)의 제어에 따라, 상기 변환된 디지털 신호들은 디스플레이(830)를 통하여 디스플레이 되거나 또는 메모리 컨트롤러(100)를 통하여 메모리 장치(200)에 저장될 수 있다.
- [0158] 또한, 메모리 장치(200)에 저장된 데이터는 프로세서(810) 또는 메모리 컨트롤러(100)의 제어에 따라 디스플레이(830)를 통하여 디스플레이된다. 실시 예에 따라 메모리 장치(200)의 동작을 제어할 수 있는 메모리 컨트롤러(100)는 프로세서(810)의 일부로서 구현될 수 있고 또한 프로세서(810)와 별개의 칩으로 구현될 수 있다.
- [0159] 도 19는 도 1에 도시된 메모리 시스템을 포함하는 데이터 처리 시스템의 일 실시예를 나타낸다.
- [0160] 도 19를 참조하면, 데이터 처리 시스템(900)은 SSD(solid state drive)와 같은 데이터 저장 장치로 구현될 수 있다. 데이터 처리 시스템(900)은 복수의 메모리 장치들(200)과 복수의 메모리 장치들(200) 각각의 데이터 처리 동작을 제어할 수 있는 메모리 컨트롤러(100)를 포함할 수 있다. 데이터 처리 시스템(900)은 메모리 모듈로 구현될 수 있다.
- [0161] 도 20은 도 19에 도시된 데이터 처리 시스템을 포함하는 데이터 처리 장치의 실시 예를 나타낸다.
- [0162] 도 19와 도 20을 참조하면, RAID(redundant array of independent disks) 시스템으로 구현될 수 있는 데이터 저장 장치(1000)는 RAID 컨트롤러(1010)와 복수의 모듈들(1100-1 ~ 1100-n; n는 자연수)을 포함할 수 있다.
- [0163] 복수의 메모리 모듈들(1100-1 ~ 1100-n) 각각은 도 18에 도시된 데이터 처리 시스템(900)일 수 있다. 복수의 메모리 모듈들(1100-1 ~ 1100-n)은 RAID 어레이를 구성할 수 있다.
- [0164] 데이터 저장 장치(1000)는 PC(personal computer) 또는 SSD로 구현될 수 있다.
- [0165] 프로그램 동작시 RAID 컨트롤러(1010)는, 호스트로부터 출력된 프로그램 명령에 따라, 상기 호스트로부터 출력된 프로그램 데이터를 RAID 레벨 정보에 기초하여 복수의 RAID 레벨들 중에서 선택된 어느 하나의 RAID 레벨에 따라 복수의 메모리 모듈들(1100-1 ~ 1100-n) 중에서 어느 하나의 메모리 모듈로 출력할 수 있다.
- [0166] 또한, 읽기 동작시, RAID 컨트롤러(1010)는, 호스트로부터 출력된 읽기 명령에 따라, RAID 레벨 정보에 따라 복수의 RAID 레벨들 중에서 선택된 어느 하나의 RAID 레벨에 따라 복수의 메모리 모듈들(1100-1 ~ 1100-n) 중에서 어느 하나의 메모리 모듈로부터 읽혀진 데이터를 상기 호스트로 전송할 수 있다.
- [0167] 또한 본 발명의 실시예들에 따른 비휘발성 메모리 장치의 동작 제어 방법은 다양한 컴퓨터 수단을 통하여 수행될 수 있는 프로그램 명령 형태로 구현되어 컴퓨터 판독가능 매체에 기록될 수 있다. 상기 컴퓨터 판독 가능 매체는 프로그램 명령, 데이터 파일, 데이터 구조 등을 단독으로 또는 조합하여 포함할 수 있다. 상기 매체에 기

록되는 프로그램 명령은 본 발명을 위하여 특별히 설계되고 구성된 것들이거나 컴퓨터 소프트웨어 당업자에게 공지되어 사용 가능한 것일 수도 있다. 컴퓨터 판독 가능 기록 매체의 예에는 하드디스크, 플로피 디스크 및 자기 테이프와 같은 자기 매체(magnetic media), CD-ROM, DVD와 같은 광기록 매체(optical media), 플롭티컬 디스크(floptical disk)와 같은 자기-광 매체(magneto-optical media) 및 롬(ROM), 램(RAM), 플래시 메모리 등과 같은 프로그램 명령을 저장하고 수행하도록 특별히 구성된 하드웨어 장치가 포함된다. 프로그램 명령의 예에는 컴파일러에 의해 만들어지는 것과 같은 기계어 코드뿐만 아니라 인터프리터 등을 사용해서 컴퓨터에 의해서 실행될 수 있는 고급 언어 코드를 포함한다. 상기 하드웨어 장치는 본 발명의 동작을 수행하기 위해 하나 이상의 소프트웨어 모듈로서 작동하도록 구성될 수 있으며, 그 역도 마찬가지이다.

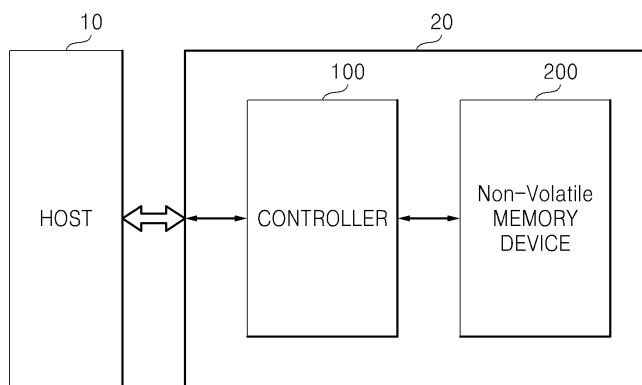
[0168] 본 발명은 도면에 도시된 일 실시 예를 참고로 설명되었으나 이는 예시적인 것에 불과하며, 본 기술 분야의 통상의 지식을 가진 자라면 이로부터 다양한 변형 및 균등한 타 실시 예가 가능하다는 점을 이해할 것이다. 따라서, 본 발명의 진정한 기술적 보호 범위는 첨부된 등록청구범위의 기술적 사상에 의해 정해져야 할 것이다.

**부호의 설명**

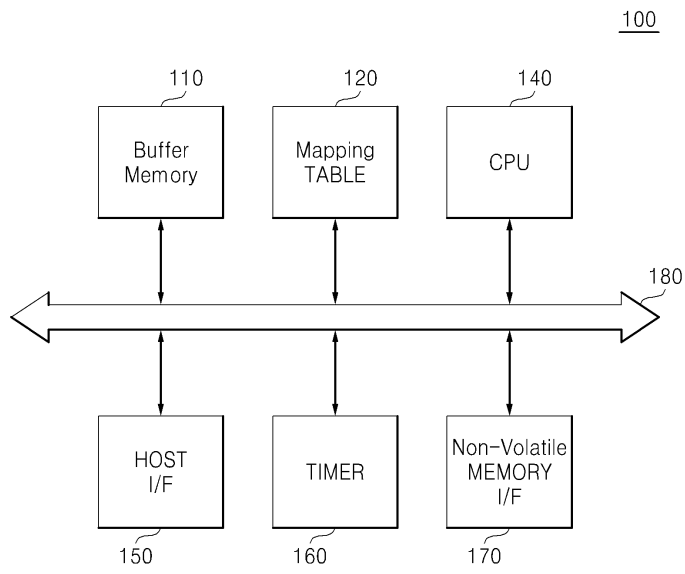
- [0169] 호스트: 10
- 메모리 시스템: 20
- 메모리 컨트롤러: 100
- 비휘발성 메모리 장치: 200
- 버퍼 메모리: 110, 110'
- 매핑 테이블: 120
- CPU: 140
- 호스트 인터페이스: 150
- 타이머: 160
- 비휘발성 메모리 장치 인터페이스: 170

**도면**

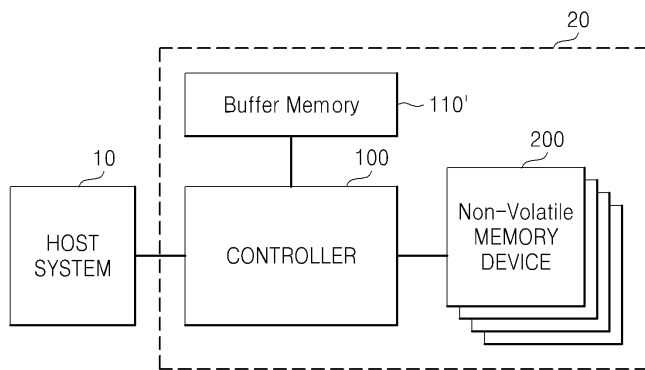
**도면1**



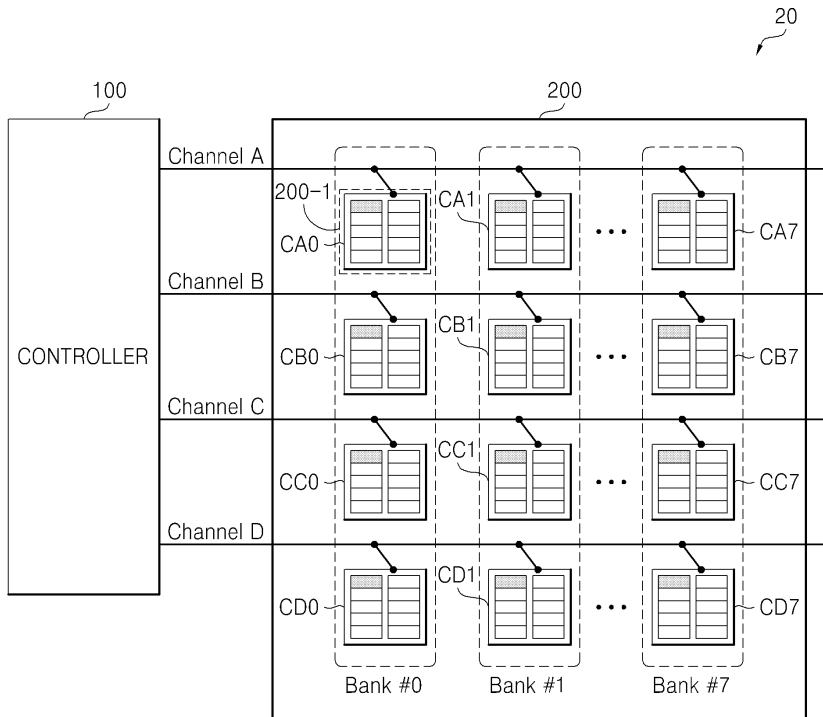
도면2



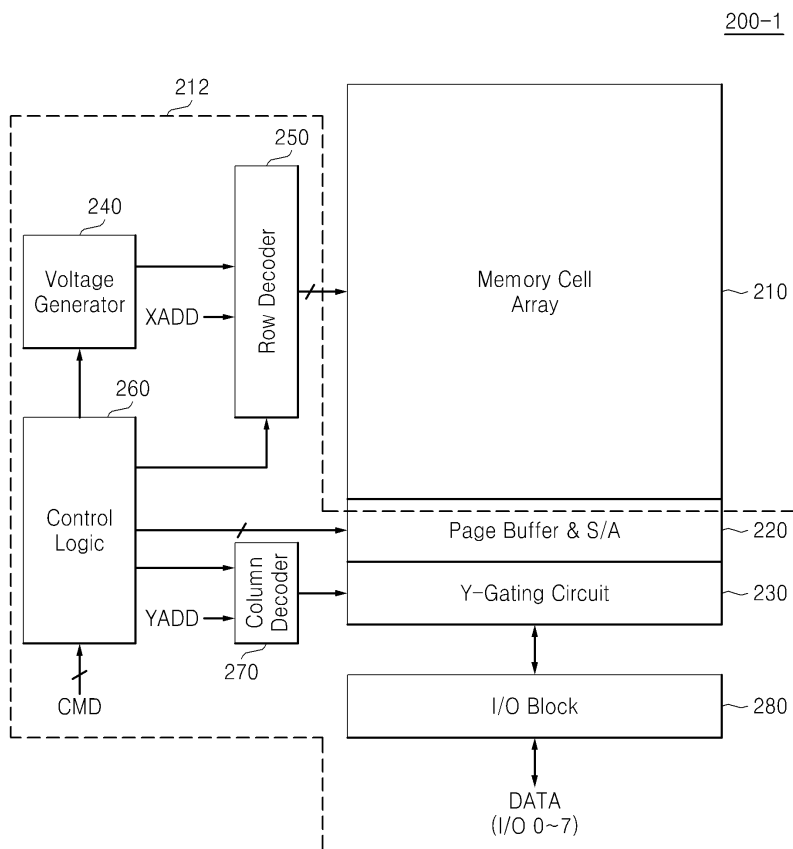
도면3



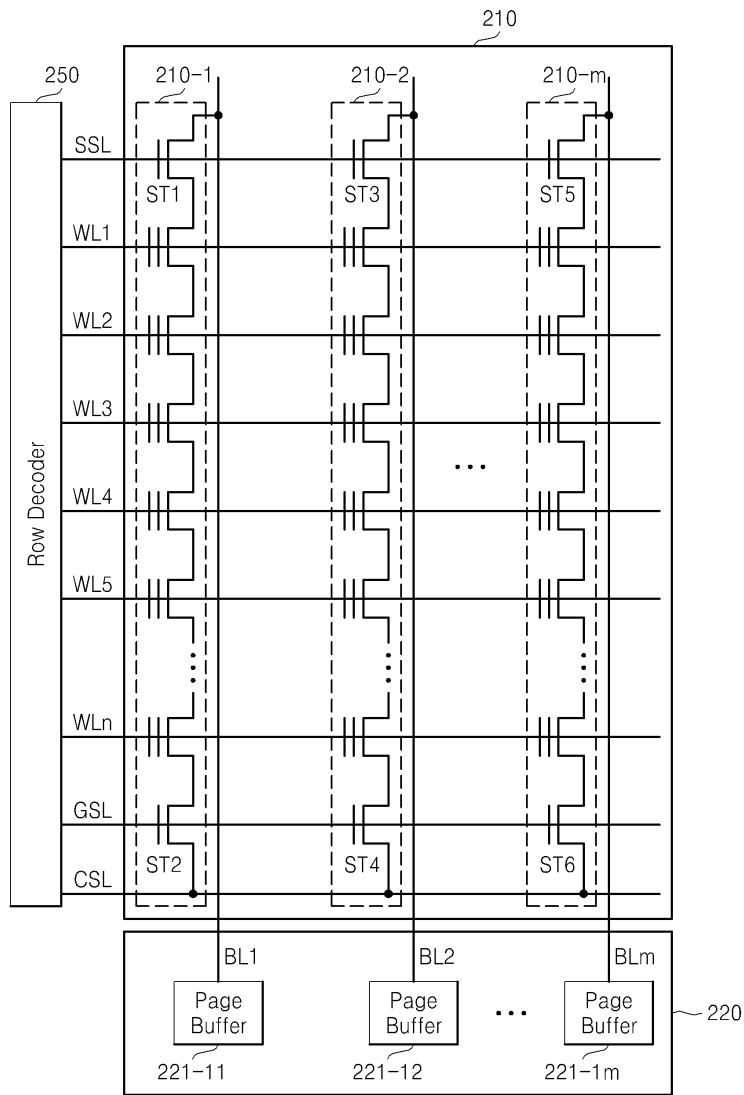
도면4



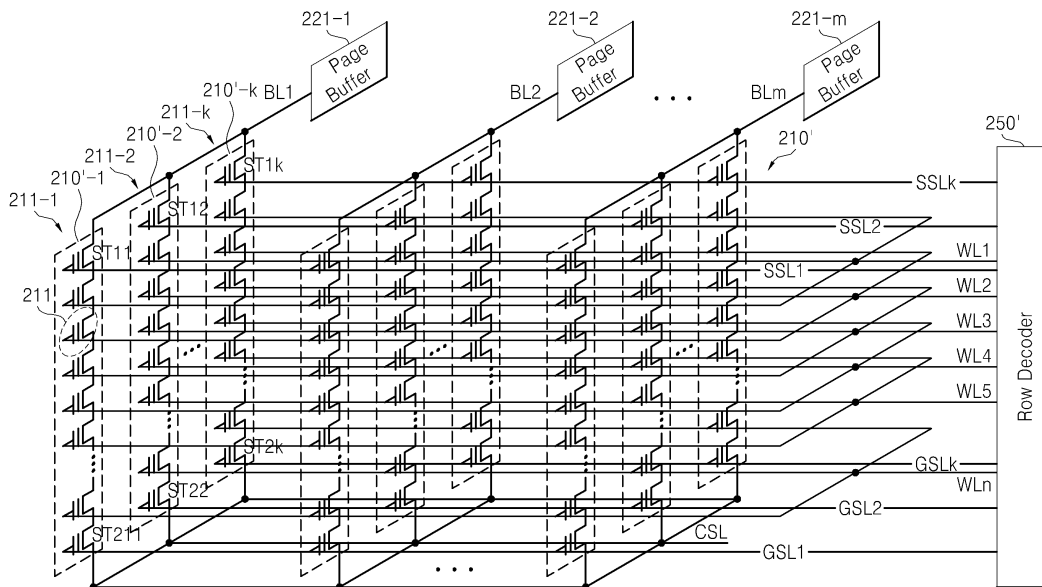
도면5



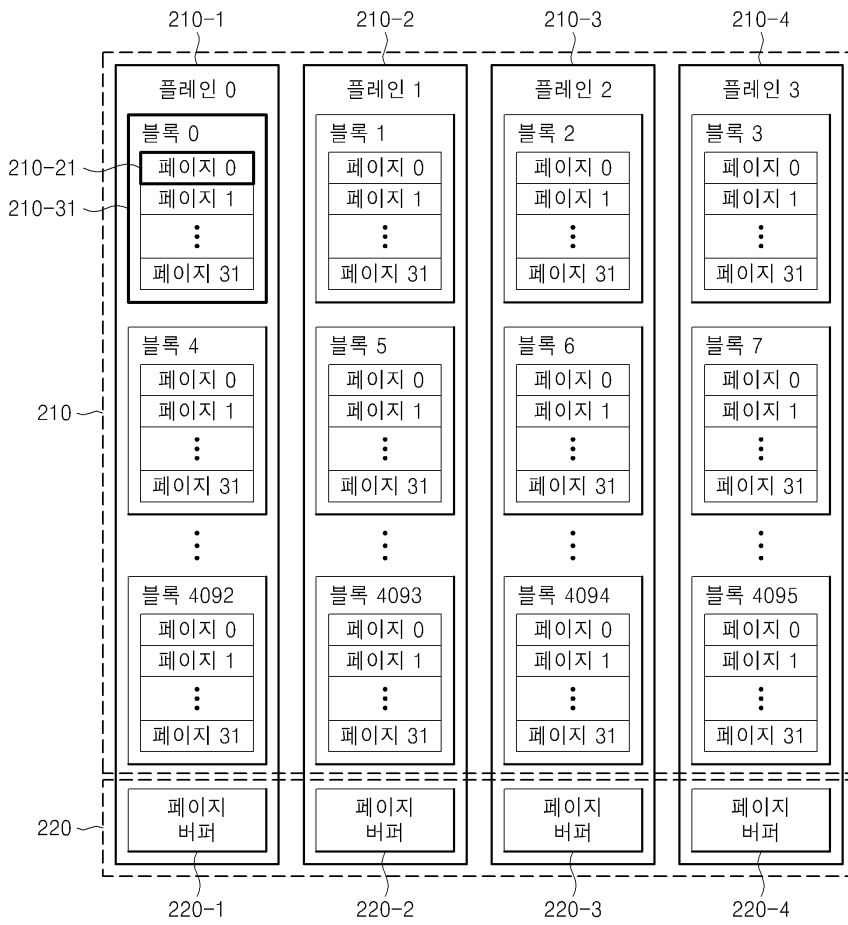
도면6a



도면6b

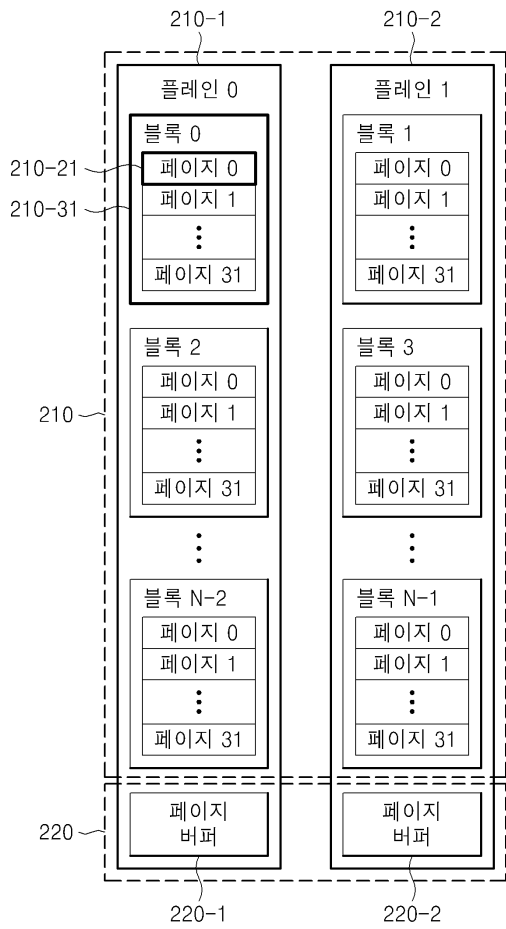


도면7a

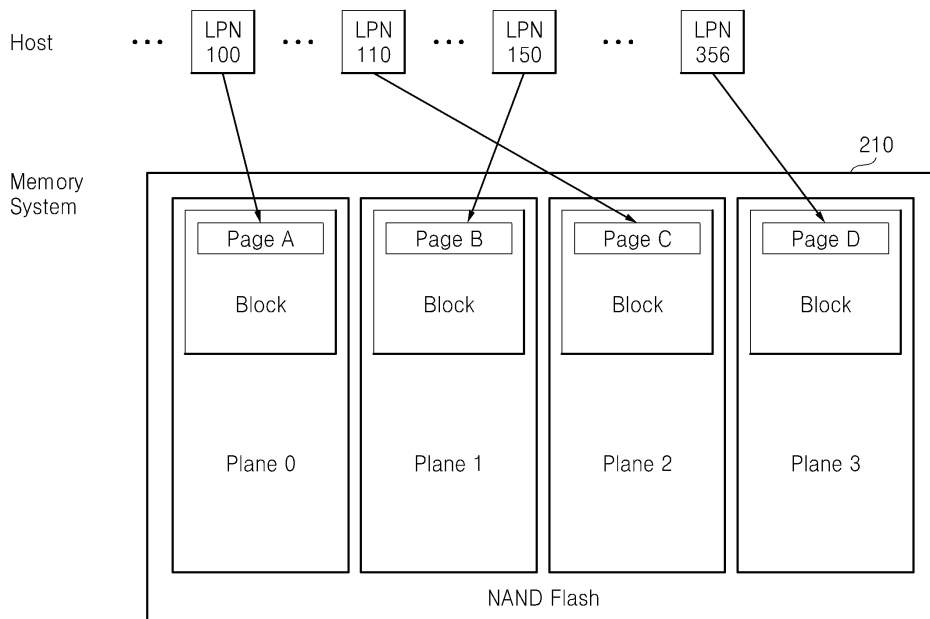




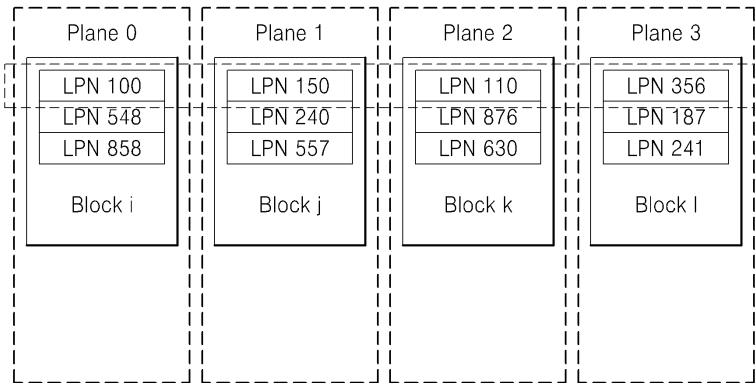
도면7b



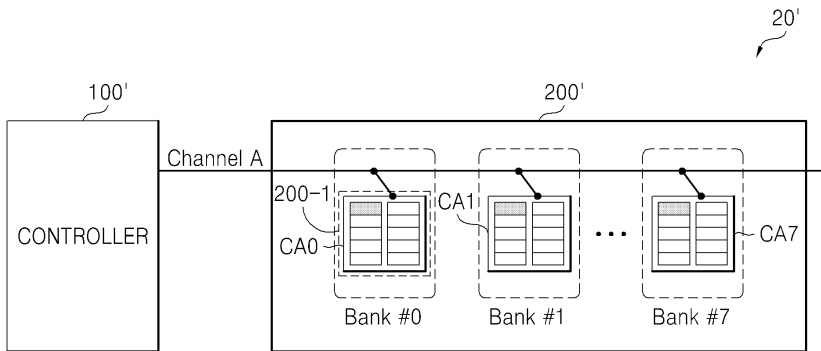
도면8



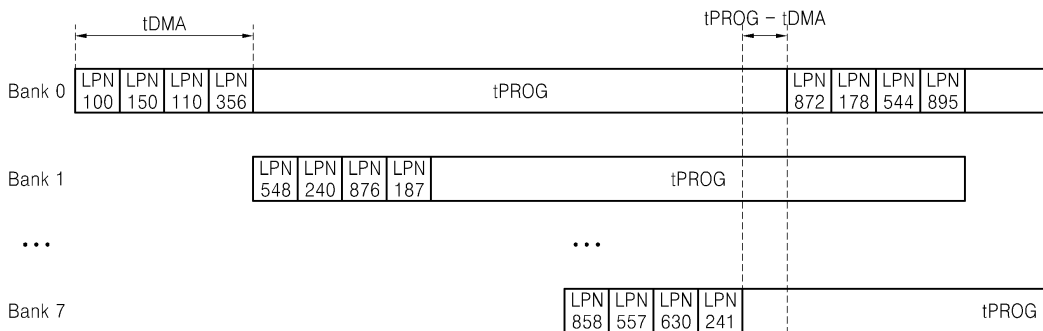
도면9



도면10a

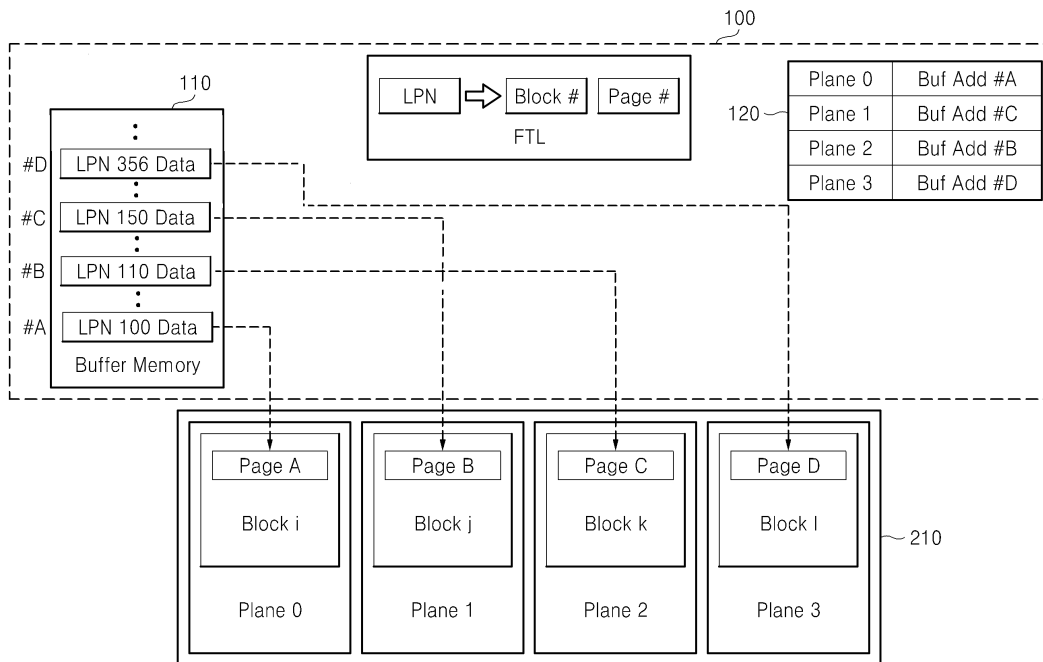


도면10b

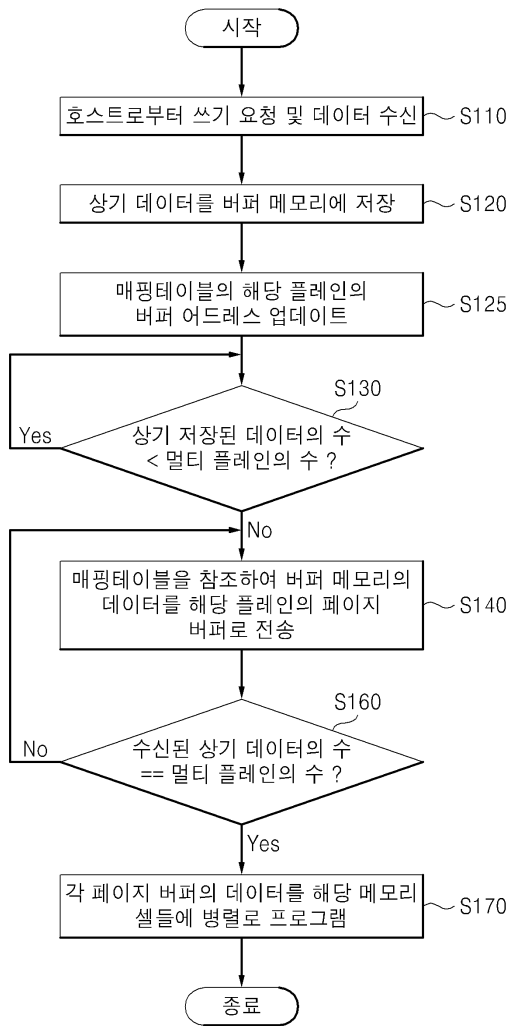


도면11

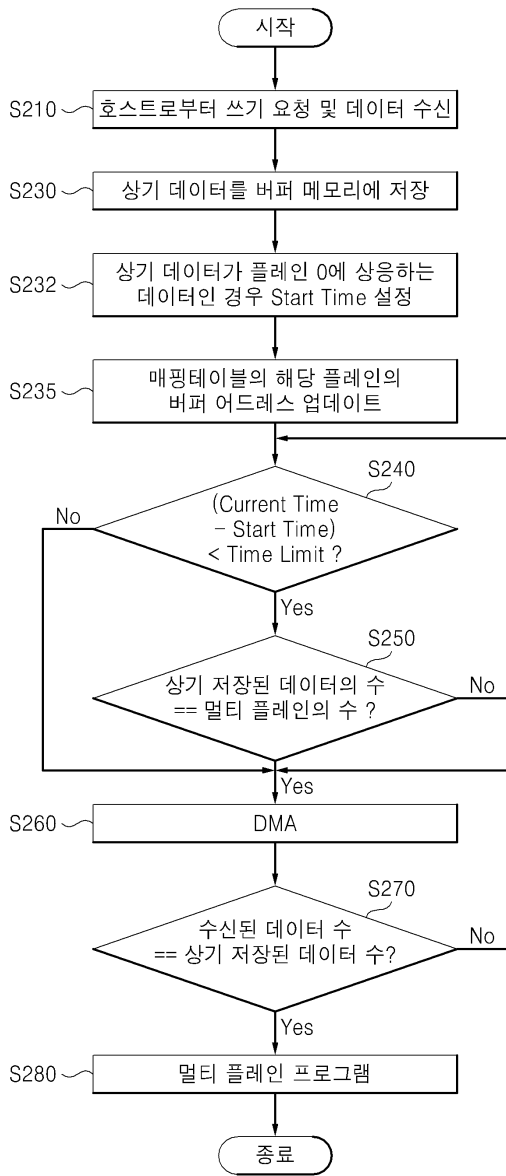
20



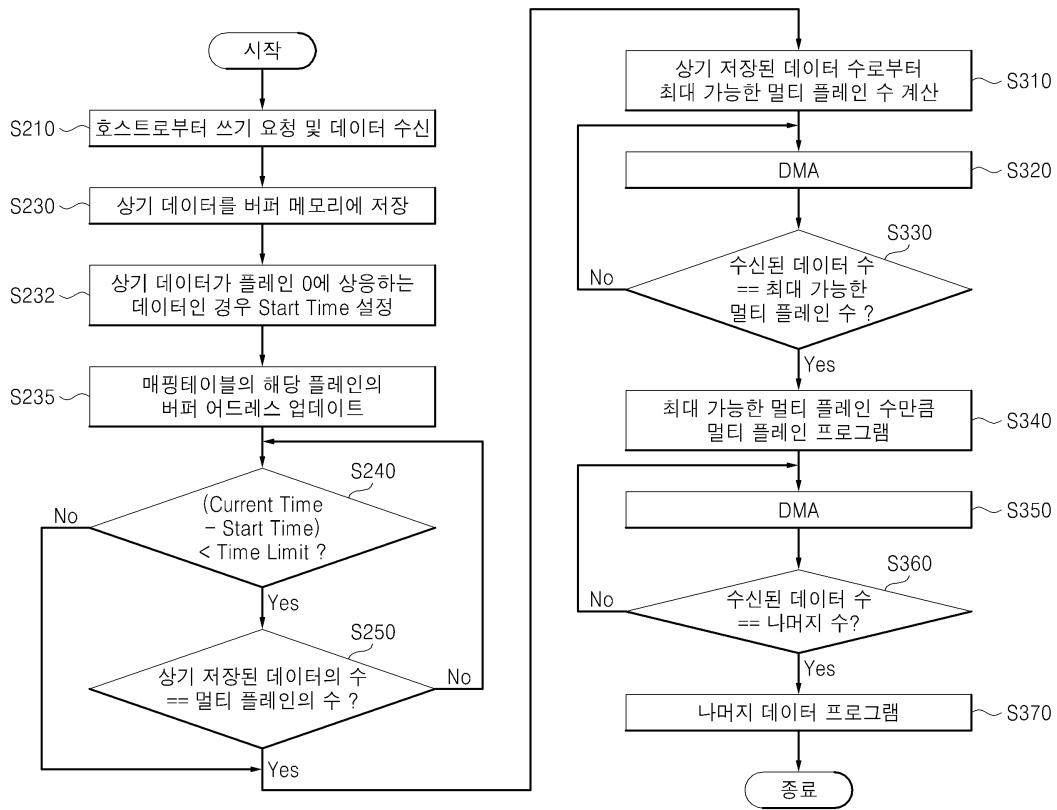
도면12



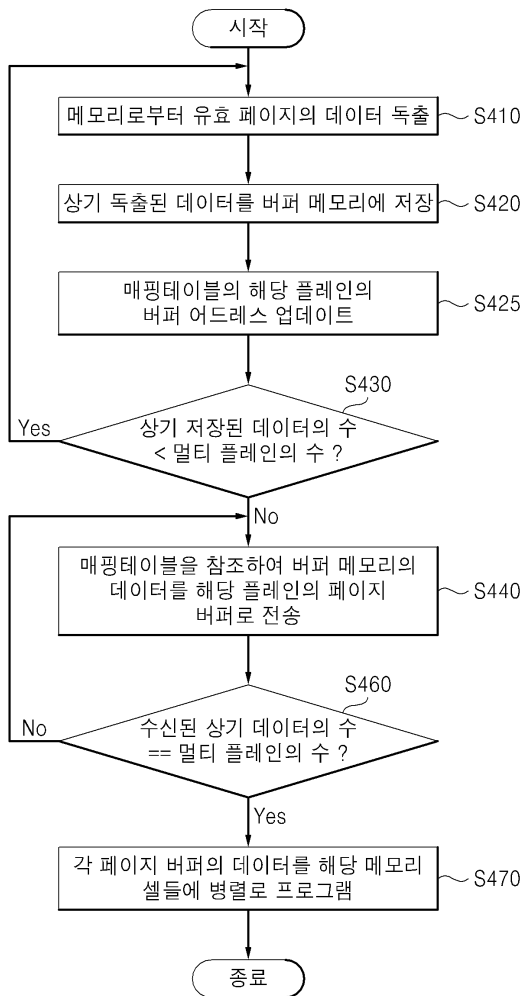
도면13a



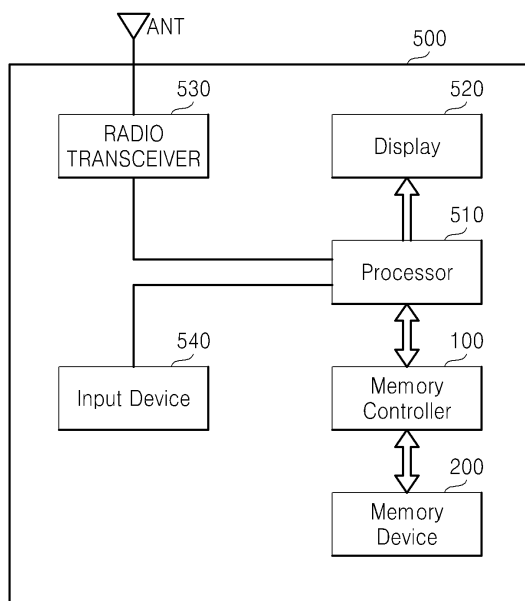
도면13b



도면14

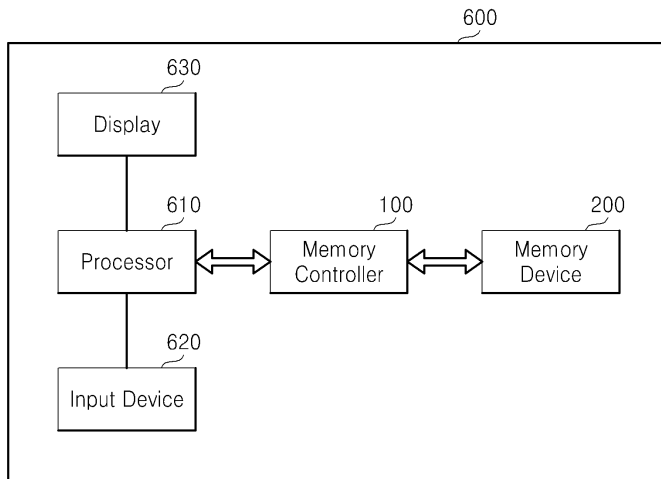


도면15

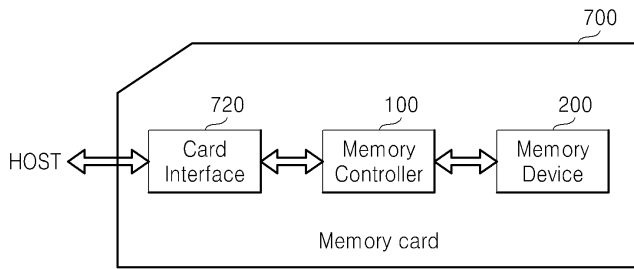




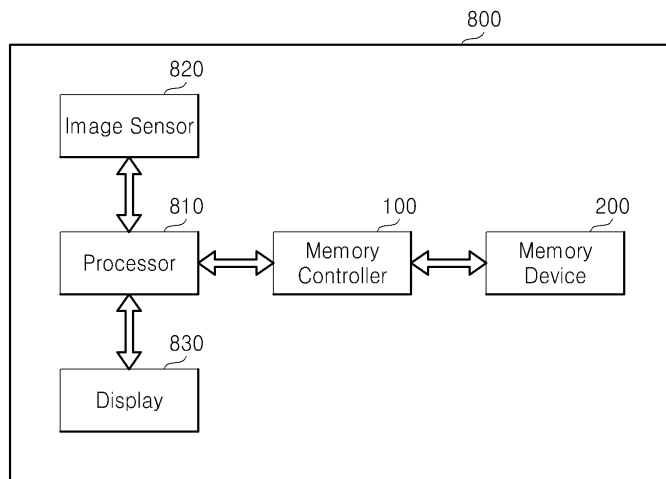
도면16



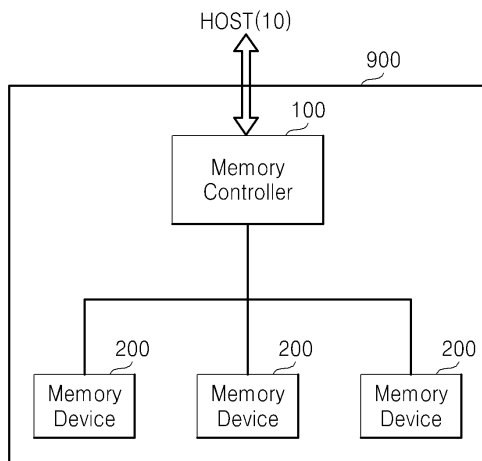
도면17



도면18



도면19



도면20

