



(12) 发明专利

(10) 授权公告号 CN 101517718 B

(45) 授权公告日 2011. 01. 26

(21) 申请号 200680039798. 4

(22) 申请日 2006. 10. 18

(30) 优先权数据

11/257, 822 2005. 10. 24 US

(85) PCT申请进入国家阶段日

2008. 04. 24

(86) PCT申请的申请数据

PCT/US2006/040871 2006. 10. 18

(87) PCT申请的公布数据

W02007/050422 EN 2007. 05. 03

(73) 专利权人 飞思卡尔半导体公司

地址 美国得克萨斯

(72) 发明人 布赖恩·W·孔迪耶

马赫什·K·沙阿

(74) 专利代理机构 中原信达知识产权代理有限

责任公司 11219

代理人 穆德骏 黄启行

(51) Int. Cl.

H01L 21/48(2006. 01)

H01L 21/50(2006. 01)

H01L 23/28(2006. 01)

H01L 23/29(2006. 01)

(56) 对比文件

US 6407459 B2, 2002. 06. 18, 全文.

US 6107164 A, 2000. 08. 22, 全文.

US 5450283 A, 1995. 09. 12, 全文.

US 6822340 B2, 2004. 11. 23, 全文.

审查员 朱永全

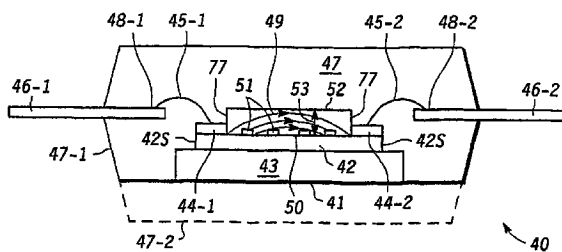
权利要求书 1 页 说明书 9 页 附图 8 页

(54) 发明名称

具有管芯接口层的塑料封装器件

(57) 摘要

提供了用于塑料封装半导体器件的结构的方法, 该塑料封装半导体器件具有低介电常数和 / 或损耗因数的材料, 其将管芯表面同塑料封装隔开。具有基本上完成的 SC 管芯 (42) 的半导体晶片涂覆有缓冲层 (52)。对缓冲层构图以使管芯接合焊盘 (44) 暴露但是留下某些或其他管芯金属上面的缓冲层。然后使管芯分离, 将管芯安装在引线框或其他支撑物上, 将管芯导线接合或另外耦合到外部引线, 并且封装管芯。塑料封装 (47) 围绕管芯和缓冲层, 提供坚固的结构。缓冲层减少了管芯上的金属化区域之间的寄生电容、串扰和损耗。在缓冲层和塑料封装之间的晶片阶段中还可以提供可选的密封层, 以减轻任何缓冲层孔隙度。



1. 一种半导体器件,包括:

支撑部件;

半导体管芯,所述半导体管芯具有面向外的管芯表面,所述管芯表面上具有一个或多个电导体,其中所述面向外的管芯表面由侧表面横向终止并且所述管芯安装在部分支撑部件上;

塑料封装,所述塑料封装具有介电常数 ϵ_e 和损耗因数 δ_e ,所述塑料封装封闭至少部分支撑部件和管芯;和

缓冲层,所述缓冲层位于塑料封装和面向外的管芯表面之间,并且覆盖某些或所有的一个或多个电导体,但是基本上未覆盖侧表面,其中,所述缓冲层具有下述特性中的至少一个:(i) 比塑料封装的介电常数低的介电常数,(ii) 比塑料封装的损耗因数低的损耗因数。

2. 如权利要求 1 所述的器件,其中所述缓冲层具有低于 3.0 的介电常数 ϵ_{b1} 。

3. 如权利要求 1 所述的器件,其中所述缓冲层具有低于 0.005 的损耗因数 δ_{b1} 。

4. 如权利要求 1 所述的器件,进一步包括位于缓冲层和塑料封装之间的密封层。

5. 如权利要求 1 所述的器件,其中所述器件进一步包括面向外的管芯表面上的接合焊盘,并且所述缓冲层在基本上位于面向外的管芯表面上的接合焊盘之间的面向外的管芯表面上面延伸,基本上未覆盖接合焊盘。

6. 一种提供半导体管芯的方法,所述半导体管芯被构造成以至少第一预定操作频率来操作,所述方法包括:

提供管芯,所述管芯具有主表面,所述主表面上具有传导互连和接合焊盘;

使用缓冲层材料覆盖所述管芯的至少一部分主表面,以形成缓冲层;

使用密封剂来封装所述管芯,使得密封剂基本上围绕所述管芯,并且所述密封剂的上表面基本上被暴露;以及

对缓冲层构图,以使用于将管芯耦合到外部引线的接合焊盘上的区域基本上暴露,但是留下至少某些传导互连上面的缓冲层;

其中所述缓冲层材料具有如下特性中的至少一个:(i) 介电常数小于所述密封剂的介电常数,以及(ii) 在所述第一预定操作频率下,损耗因数小于所述密封剂的损耗因数。

7. 如权利要求 6 所述的方法,其中所述缓冲层材料的介电常数小于 3.0。

8. 如权利要求 6 所述的方法,其中所述覆盖步骤包括:使用缓冲层材料涂覆所述管芯的基本上所有主表面,以形成具有的厚度基本上均匀的缓冲层。

9. 如权利要求 6 所述的方法,其中所述缓冲层材料的介电常数小于所述密封剂的介电常数,以及在所述第一预定操作频率下,所述缓冲层材料的损耗因数小于所述密封剂的损耗因数。

10. 如权利要求 6 所述的方法,其中所述半导体管芯在以预定频率操作时产生边缘场,以及

其中所述覆盖步骤包括:使用缓冲层材料涂覆所述管芯的至少一部分主表面,以形成具有足够厚度来基本上包含所述边缘场的缓冲层。

具有管芯接口层的塑料封装器件

技术领域

[0001] 本发明通常涉及半导体器件,并且更具体地,涉及具有管芯接口层的塑料封装半导体器件。

背景技术

[0002] 半导体 (SC) 器件常常封装在成型塑料中。成型塑料围绕和保护半导体管芯,支撑接合导线和外部引线并且向器件提供耐用性和抗震性。塑料封装器件被广泛使用。图 1 示出了现有技术的包含半导体 (SC) 管芯 22 的成型塑料封装 20 的简化的示意性截面视图。SC 管芯 22 便利地但并非必要地安装在散热器 23 上。在 SC 管芯 22 上提供金属接触区域 24-1、24-2 (被共同标为 24), 外部引线 26-1、26-2 (被共同标为 26) 通过导线接合或其他手段 25-1、25-2 (被共同标为 25) 耦合到 SC 管芯 22。管芯表面 32 上的导体和互连 (例如, 金属走线) 31 也被示出。塑料封装材料 27 围绕 SC 管芯 22、导体 31、导线接合焊盘 24、导线接合 25、外部引线 26 的内部部分 28-1、28-2 (被共同标为 28) 成型, 由此在该示例中, 散热器 23 的下表面 21 在封装 20 的下侧面上保持暴露, 但是具有暴露表面 21 并非是必要的。尽管诸如图 1 中说明的塑料封装以及等效方案被广泛使用, 但是其受到本领域中公知的许多缺点和限制的困扰。其中一个, 是围绕 SC 管芯 22 及引线 25 和 28 并且覆盖导体 31 的塑料封装 27 相比于空气或真空, 具有显著较高的介电常数 ϵ_0 和损耗因数 δ_0 。例如, 通常使用的用于半导体器件的塑料封装材料常常具有 3.5 ~ 5.0 的介电常数 ϵ_0 , 并且对于所关注的频率范围, 具有 0.005 ~ 0.015 的损耗因数 δ_0 。这足够引起显著的性能劣化, 特别是在高频和高压情况下。边缘电场 29 (在施加电压时产生) 延伸到 SC 管芯 22 的表面 32 上的多种导体 31 和 24 之间的塑料封装材料 27 中。这导致了封装 27 中的电容耦合 (例如, “串扰”) 和功率损耗 (例如, 热耗散)。这随着封装 27 的介电常数 ϵ_0 和损耗因数 δ_0 的增加而增加。该串扰和损耗是不理想的。

[0003] 在现有技术中, 与延伸到 SC 管芯外部的边缘电场相关联的电容耦合和损耗已减轻或避免, 其方法是, 例如: (i) 在管芯上面使用法拉第屏蔽 (未示出), 并且 / 或者 (ii) 使用中空的陶瓷或金属封装, 其在具有导体 24、31 的管芯敏感表面上面提供空气或真空空间, 并且通常还围绕导线接合和内部封装引线。法拉第屏蔽限制了边缘场, 但是由于需要额外的导体和掩膜层, 因此这是以额外的管芯复杂度为代价的。图 2 中说明了真空或空气空间封装, 其示出了中空的封装 30, 其具有围绕管芯 32 的空气或真空空间 37。管芯 32 安装在例如, 金属、陶瓷或塑料基底 33-1 上面, 外部引线 36-1、36-2 (被共同标为 36) 附连到该塑料基底 33-1。导线接合或其他连接 35-1、35-2 (被共同标为 35) 将管芯 32 上的接合焊盘 34-1、34-2 (被共同标为 34) 耦合到封装引线 36-1、36-2 (被共同标为 36) 的内部部分 38-1、38-2 (被共同标为 38)。顶盖 33-2 被安放在基板 34、管芯 32、导线接合或其他连接 35 以及封装引线 36 的内部部分 38 上面。在管芯 22 周围具有空气或真空空间 37 意味着边缘电场 39 未与任何封装材料接触。因此, 避免了由与管芯表面和多种导体接触的塑料封装材料引起的耦合电容和 / 或损耗的增加。空气或真空的介电常数 ϵ_0 和损耗因数 δ_0 较低, 并且因

此使串扰和介电损耗最小。然而,该中空封装是更加昂贵的并且常常不如塑料封装耐用。如果完成的器件经历大的加速度力,则导线接合或者其他连接 35 可能脱离。

[0004] 因此,继续需要改进的半导体器件和方法,其提供具有减少的封装相关电容串扰和损耗的塑料封装器件。因此,理想的是,提供具有塑料封装的改进的半导体器件,该塑料封装的与管芯表面接触的材料具有较低的介电常数 ϵ_{bi} 和 / 或损耗因数 δ_{bi} 。此外,理想的是,改进的塑料封装材料、结构和方法允许形成围绕半导体管芯、管芯引线和接合导线的基本上坚固的结构,以便于提供机械上耐用的封装。进一步理想的是,使用已有的制造技术实现的改进的器件,或者其可被容易地添加到典型的半导体器件制造生产线,由此仅需要对制造工艺的细微修改。而且,进一步理想的是,可以低成本地获得这些优点。通过下面的详细描述和所附权利要求,结合附图和前面的技术领域和背景技术,本发明的其他理想特征和特性将是显而易见的。

附图说明

[0005] 下文将结合下面的附图描述本发明,在附图中相同的数字表示相同的元件,并且

[0006] 图 1 示出了现有技术的包含半导体 (SC) 管芯的成型塑料封装器件的简化的示意性截面视图;

[0007] 图 2 示出了现有技术的包含半导体 (SC) 管芯的中空封装器件的简化的示意性截面视图;

[0008] 图 3 示出了根据本发明的实施例的包含半导体 (SC) 管芯的成型塑料封装器件的简化的示意性截面视图;

[0009] 图 4 示出了图 3 的一部分 SC 管芯的简化的示意性截面视图,其示出了进一步的细节;

[0010] 图 5 示出了一部分半导体晶片在不同的制造阶段的一连串的简化的示意性截面视图,其中在该半导体晶片上制造图 3 ~ 4 中说明的类型的 SC 管芯;

[0011] 图 6 示出了根据另一实施例的一部分半导体晶片在不同的制造阶段的一连串的简化的示意性截面视图,其中在该半导体晶片上制造图 3 ~ 4 中说明的类型的 SC 管芯;

[0012] 图 7 示出了根据另一实施例的一部分半导体晶片在不同的制造阶段的一连串的简化的示意性截面视图,其中在该半导体晶片上制造图 3 ~ 4 中说明的类型的 SC 管芯;

[0013] 图 8 示出了根据图 5 的实施例的简化的流程图,其说明了用于形成具有低的电容和损耗的管芯接口缓冲层的塑料封装半导体 (SC) 器件的方法;

[0014] 图 9 示出了根据图 6 的实施例的简化的流程图,其说明了用于形成具有低的电容和损耗的管芯接口缓冲层的塑料封装半导体 (SC) 器件的方法;以及

[0015] 图 10 示出了根据图 7 的实施例的简化的流程图,其说明了用于形成具有低的电容和损耗的管芯接口缓冲层的塑料封装半导体 (SC) 器件的方法。

具体实施方式

[0016] 下面的详细描述在本质上仅是示例性的,其目的并非是限制本发明或者本发明的应用和使用。而且,前面的技术领域、背景技术、附图说明或者下面的详细描述中明确表述或者间接暗示的任何理论没有限制的目的。

[0017] 为了使说明简单清楚,附图说明了一般的构造方式,并且公知的特征和技术的描述和细节可能被省略,以避免不必要地使本发明模糊不清。此外,附图中的元件没有必要依比例绘制。例如,图中某些元件或区域的尺寸可能相对于其他元件或区域被放大,以协助改善对本发明的实施例的理解。

[0018] 说明书和权利要求中的术语“第一”、“第二”、“第三”、“第四”等可用于区分相似的元件,没有必要用于描述特定的顺序或时间次序。应当理解,如此使用的术语在适当的环境下可以互换,由此此处描述的本发明的实施例,例如,能够在不同于此处说明或另外描述的顺序下操作。而且,术语“包括”、“具有”及其任何变化形式用于涵盖非排他性的内含物,由此包括一系列元素的工艺、方法、物体或装置没有必要限于这些元素,而是可以包括未明确列出的或者对于该工艺、方法、物体或装置是固有的其他元素。

[0019] 说明书和权利要求中的术语“左”、“右”、“内”、“外”、“前”、“后”、“上”、“下”、“顶”、“底”、“上面”、“下面”、“上方”、“下方”等用于描述的目的,没有必要用于描述永久的相对位置。应当理解,如此使用的术语在适当的环境下可以互换,由此此处描述的本发明的实施例,例如,能够在不同于此处说明或另外描述的取向下操作。如此处使用的术语“耦合”被定义为使用电气或非电气方式的直接的或间接的连接。如此处使用的术语“引线框”应包括可以安装一个或多个独立的或互连的半导体管芯的任何支撑结构,并且可以是金属、塑料陶瓷、玻璃或其组合。如此处使用的术语“半导体管芯”和缩写“SC管芯”应包括任何类别和配置的半导体器件,不论独立器件或者诸如集成电路中的器件的复杂组件,或者任何其他配置的半导体器件。如此处使用的术语“导线接合”和“接合导线”应包括将封装引线电气耦合到SC管芯上的接触区域和/或接合焊盘的任何手段,并非仅限于使用导线等。其他电气耦合手段的非限制性示例是梁式引线、焊料凸点、金属化塑料带等。如此处使用的术语半导体管芯上的“金属互连”等和“金属导体”应被广义地解释,并且包括任何材料的导体,并非仅限于金属材料。该变化的导体材料的非限制性示例是掺杂半导体、半金属、多层结构等。

[0020] 图3示出了根据本发明的实施例的包含半导体(SC)管芯42的成型塑料封装器件40的简化的示意性截面视图。器件40包括SC管芯或器件42,其便利地但并非必要地安装在散热器43上并且由塑料封装47围绕(可能散热器43的下表面41除外)。如轮廓线47-1示出的,封装47可以围绕散热器43,其下表面41除外。可替换地,如轮廓线47-2示出的,塑料封装47可以完全围绕散热器43。任一配置均是有用的,并且对于本发明不是重要的。在SC管芯42上说明了金属导体和互连51。管芯42的上表面50和导体51通过厚度为53的缓冲层52与封装47隔开,相比于封装材料47的介电常数 ϵ_e 和损耗因数 δ_e ,该缓冲层52具有较低的介电常数 ϵ_{b1} 和/或损耗因数 δ_{b1} 。管芯42具有管芯42的上表面50上的连接(例如,接合焊盘)44-1、44-2(被共同标为44)。管芯42的横向侧面42S终止了管芯的上表面50。导线接合或其他连接45-1、45-2(被共同标为45)将接合焊盘44耦合到外部引线46-1、46-2(被共同标为46)的内部部分48-1、48-2(被共同标为48),以便于提供针对管芯42的外部电气耦合。通常,接合焊盘44基本上横向位于缓冲层52的外部,即,缓冲层52未显著覆盖接合导线或引线45附连的接合焊盘44部分。器件40的元件41、42、43、44、45、46和48在功能上与器件20的元件21、22、23、24、25、26和28类似。与管芯表面50上的导体51相关联的边缘电场49基本上通过较低 ϵ_{b1} 和/或 δ_{b1} 的缓冲层52。器件40

和 20 的不同之处在于,器件 40 的封装 47 基本上未与 SC 管芯 42 的表面 50 上的导体 51 接触。表面 50 和导体 51 受到较低 ϵ_{b1} 和 / 或 δ_{b1} 的缓冲层 52 的保护并且通过其与封装 47 隔开。

[0021] 低 ϵ_{b1} 和 / 或 δ_{b1} 的缓冲层 52 需要是化学稳定的并且与 SC 管芯 42 的表面 50 和导体 51 电气和化学兼容,以便于不会打扰 SC 管芯 42 的操作。适用类别的材料示例是 Sol-Gels、Aero-Gels、旋涂玻璃和诸如 PTFE、Teflon[®]和聚酰亚胺的多种有机材料。另一种有用的材料是低损耗、低密度的 CVD 氧化物材料,其在本领域中被称作“黑金刚石”。由 Midland,MI 的 Dow Chemical Corporation 制造的 SiLK[™] 是适用材料的另一示例。这些材料在本领域是公知的。为了是有效的,这些材料的介电常数 ϵ_{b1} 和 / 或损耗因数 δ_{b1} 需要低于封装材料 47 的介电常数 ϵ_e 和 / 或损耗因数 δ_e 。通常,层 52 的介电常数 ϵ_{b1} 有利地应小于约 3.5,便利地小于或等于约 3.0,并且优选地小于或等于约 2.8,并且损耗因数 δ_{b1} 小于约 0.005。依赖于缓冲层 52 的材料的选择,介电常数 ϵ_{b1} 或者损耗因数 δ_{b1} 或者此两者可以相比于封装 47 的 ϵ_e 和 / 或 δ_e 减小。减小介电常数 ϵ_{b1} 减少了串扰。减少损耗因数 δ_{b1} 减少了功率损耗。任一结果均是有利的。理想的是, ϵ_{b1} 和 δ_{b1} 均被减小,但这不是必要的,并且表述“低 ϵ_{b1} 和 / 或 δ_{b1} ”和“较低 ϵ_{b1} 和 / 或 δ_{b1} ”应包括相比于封装 47 的 ϵ_e 和 / 或 δ_e 减小的 ϵ_{b1} 或者 δ_{b1} ,或者 ϵ_{b1} 和 δ_{b1} 。

[0022] 图 4 示出了图 3 的放大的部分 60SC 管芯 42 的简化的示意性截面视图,其示出了进一步的细节。在该示例中,SC 管芯 42 的表面 50 上的金属区域或导体 51-1 和 51-3(例如, MOS 器件的源极和 / 或漏极连接)是厚度为 54 的多层结构,其高于金属区域 51-2(例如,栅极连接)。边缘电场 49 可以在源极和漏极连接 51-1 和栅极连接 51-2 之间延伸。这在 MOS 器件中是常见情况,特别是对于约 400MHz 或更高的高频应用。具有低介电常数 ϵ_{b1} 和 / 或低损耗因数 δ_{b1} 的缓冲层 52 具有足够的厚度 53,由此边缘场 49 基本上位于缓冲层 52 内,而非位于塑料封装 47 上面。相比于边缘场 49 通过部分封装 47 的情况,这减少了由于生热引起的电极 - 电极电容和 / 或信号损耗。相比于图 1 的现有技术器件 20,较低的电容减少了该电极之间的串扰。应当注意,缓冲层 52 不是将不同导体层隔开的层间电介质,而是位于该导体层外部,以便于将其同封装 47 隔开。

[0023] 图 4 的缓冲层 52 可以是厚度为 53 的同质层,或者可以是结构层,其具有诸如上文描述的低 ϵ_{b1} 和 / 或 δ_{b1} 的厚度为 53-1 的下部分 52-1,该下部分 52-1 由厚度为 53-2 的密封层覆盖。某些低介电常数材料是更加多孔的,其可能允许湿气进入。缓冲层 52-1 的湿气孔隙度不是理想的。因此,理想的是提供覆盖缓冲层 52-1 的外表面 55(例如,顶表面和侧表面)的可选的密封层 52-2,由此减小或避免湿气透过表面 50 的风险。适用于可选的密封层 52-2 的材料示例是 CVD 淀积 SiO₂、聚酰亚胺、聚对二甲苯等。产生密封层 52-2 的另一方法是在原始位置显影形成密封层 52-2,其方法是,使层 52-1 暴露于等离子体或其他催化剂,促使发生例如交联或其他化学变化,以提供层 52 的部分 52-2,其对于湿气或者其他污染物基本上是不能渗透的。是否需要密封层 52-2 取决于缓冲层 52-1 和封装材料 47 的物质选择、管芯 42 的湿气灵敏度以及封装器件 40 预期满足的环境规格。这些条件将随情况而变化,并且在本领域的技术人员能力之内。本领域的技术人员应理解如何确定是否需要密封层 52-2。尽管在图 4 的器件部分 60 中具体说明了密封层 52-2 的使用,但是该密封层还可被视为图 3 的器件 40 的缓冲层 52 的一部分。

[0024] 图 5 示出了晶片基板 82 在不同的制造阶段 80-1、80-2、80-3、80-4、80-5、80-6 (被共同标为 80) 的多个简化的示意性截面视图,其中在该晶片基板 82 上同时制造图 3 ~ 4 中说明的类型的多个 SC 管芯 42-1、42-2、42-3、... 42-N (被共同标为 42)。接合焊盘 44 和金属互连或导体 52 位于晶片 82 的管芯 42 的上表面 50 上。阶段 80-1 说明了如下的晶片 82 的处理阶段的情况,其中半导体器件 (例如,管芯 42) 完全由多种掺杂区域、互连导体 51 和在表面 50 中或在表面 50 上提供的接合焊盘 44 形成,但是晶片 82 仍未被划分为独立的管芯 42-1、42-2、42-3、... 42-N。该处理是传统的。在阶段 80-2 中,将低 ϵ_{b1} 和 / 或 δ_{b1} 的厚度为 53 的缓冲层 52 施加到表面 50,并且施加在导体 51 和接合焊盘 44 上面。晶片 82 的基本上整个表面 50 理想地同时涂覆缓冲层 52。这可以通过例如旋涂工艺便利地实现,在该旋涂工艺中将缓冲层 52 的材料配送到表面 50,然后使晶片 82 以相当高的速度旋转,以使配送材料流入到厚度基本上均匀的薄层中。然而,也可以使用提供缓冲层 52 的其他手段。非限制性的示例是真空淀积、溅射、化学气相淀积、丝网印刷等。该程序在本领域中是公知的。相同的技术还可以用于施加图 4 和图 7 中说明的可选的密封层 52-2。图 5 的缓冲层 52 可以包括密封层 52-2,如由虚线 79 指出的。能够同时在晶片 82 上的所有多个管芯 42 上面提供厚度均匀的缓冲层 52 和 (可选地) 密封层 52-2,是本发明的工艺的显著优点。

[0025] 在阶段 80-3 中,通过任何便利的手段在缓冲层 52 上面淀积或形成掩膜层 60。光刻胶是适用的掩膜层材料的示例。光刻胶和施加光刻胶的方法在本领域中是公知的。在阶段 80-4 中,在掩膜层 60 中形成开口 62、62',由此使位于接合焊盘 44 上方的缓冲层 52 的部分 64、64' 暴露。在阶段 80-4、80-6 的右半部分上的区域 91 中,开口 62 使接合焊盘 44 未被覆盖,而在阶段 80-4、80-6 的左半部分上的区域 93 中,开口 62' 使接合焊盘 44 以及位于管芯 42-1 和 42-2 之间的锯切道 94 未被覆盖。在区域 91 中,锯切道 94 上面的缓冲层 52 的部分 96 保留,同时移除区域 93 中的缓冲层部分。依赖于设计人员选择的特定的晶片配置,任一配置均是有用的。如此处使用的术语“锯切道”应包括在晶片上提供的用于将晶片划分为独立管芯的任何空间,并且不限于锯切或者用于执行该公知功能的任何其他特定的手段和方法。在阶段 80-5 中,通过例如,刻蚀或者本领域中公知的其他便利手段,移除缓冲层 52 的部分 64、64',由此使区域 91 中的接合焊盘 44 以及管芯 42-1 和 42-2 之间的接合焊盘 44 加上锯切道 94 基本上暴露,并且使接合焊盘 44 之间的管芯 42-1、42-2、42-3、... 42-N 的表面 50 上面的缓冲层 52 的部分 66 不受打扰。在可选阶段 80-6 中,可以移除掩膜层 60。这是便利的,但不是必要的。缓冲层 52 可以在阶段 80-2 之后或者阶段 80-6 之后固化,任一选择均是更加便利的。在阶段 80-6 之后固化是优选的,但不是必要的。在阶段 80-6 之后,随后可以使用本领域中公知的手段沿锯切道 94 将晶片 82 切割为分立的独立管芯 42-1、42-2、42-3、... 42-N,然后可以使用标准的技术,诸如注射或传递成型,将这些独立管芯安装在所提供的适当的引线框和封装 47 上 (参看图 3 ~ 4)。上文描述的工艺 80 的优点在于,缓冲层 52 是以晶片级形成在管芯 42 上的,即,基本上同时施加到晶片的所有器件管芯。这是理想的和经济的。如果密封层 52-1 (由虚线 79 指出) 在阶段 80-3 之前由一部分缓冲层 52-2 形成或者被形成为一部分缓冲层 52-2,则如可在阶段 80-6 中看到的,缓冲层 52 的上表面 76 被密封,但是与接合焊盘 44 相邻的缓冲层 52 的侧壁 77 未由密封层 52-2 覆盖。然而,缓冲层 52 相比于其横向尺寸通常是非常薄的,由此湿气经由侧壁 77 进入的面积 (进入面积 = 接合焊盘周长乘以层 52 的厚度) 非常小以致于可以忽略。但是,如结合图 6 ~ 7 解

释的,即使这样的小风险也可被避免。

[0026] 图 6 示出了根据另一实施例的晶片基板 82 在不同的制造阶段 80'-1、80'-2、80'-3、80'-4、80'-5、80'-6、80'-7(被共同标为 80') 的多个简化的示意性截面视图,其中在该晶片基板 82 上同时制造图 3~4 中说明的类型的多个 SC 管芯 42-1、42-2、42-3、...42-N(被共同标为 42)。阶段 80'-1~80'-6 基本上与图 5 的类似阶段 80-1~80-6 相同,但是图 5 中不具有密封层,并且结合图 5 的描述在此处并入作为参考。区域 91 说明了其中保留锯切道 94 上的缓冲层 52 的部分 96 的情况,并且区域 93 说明了其中部分 96 被移除并且通过开口 64' 使管芯 80-1 和管芯 80-2 之间的锯切道 94 暴露的情况。在图 6 的阶段 80'-7 中,通过例如,在阶段 80'-6 之后使晶片 82 暴露于等离子体或者其他催化剂或反应物,促使缓冲层 52 的外表面区域交联或硬化,以减少其关于湿气或其他污染物的孔隙度和/或渗透率,在缓冲层部分 52 的上表面 76 和侧表面 77 上形成密封层或区域 52-2。缓冲层 52 的未被覆盖的部分由参考数字 52-1 标出,并且层 52 的未被覆盖的部分(即密封层)由参考数字 52-2 标出。通过该方式,缓冲层 52 的上表面 76 和侧表面 77 针对例如湿气侵入被密封。不需要额外的掩膜步骤。

[0027] 图 7 示出了根据另一实施例的晶片基板 82 在不同的制造阶段 80"-1~80"-10(被共同标为 80") 的多个简化的示意性截面视图,其中在该晶片基板 82 上同时制造图 3~4 中说明的类型的多个 SC 管芯 42-1、42-2、42-3、...42-N(被共同标为 42)。阶段 80"-1~80"-6 基本上与图 5 的类似阶段 80-1~80-6 相同,图 5 中不具有密封层,并且结合图 5 的描述在此处并入作为参考。在区域 91 中,使接合焊盘 44 暴露,并且在区域 93 中,使接合焊盘 44 和锯切道 94 暴露,如前面描述的。在图 7 的阶段 80"-7 中,在缓冲层 52-1 上面,即,在缓冲层 52-1 的上表面 76' 和侧表面 77' 上,基本上保形地淀积密封层 52-2。许多公知的工艺可用于形成密封层 52-2,例如但不限于,化学气相淀积(CVD)、蒸发、溅射、旋涂、丝网印刷等,其使用前面描述的多种密封材料中的一种或多种密封材料。在阶段 80"-8 中,在密封层 52-2 上面形成例如,光刻胶或其他刻蚀掩膜材料的掩膜层 70。在阶段 80"-9 中,在掩膜层 70 中形成开口 72、72'。在区域 91 中,开口 72 在接合焊盘 44 的中心部分 44' 上面延伸,由此在阶段 80"-10 中,掩膜开口 72 可用于移除接合焊盘 44 的中心部分 44' 上面的密封层 52-2 的部分 74,留下缓冲层 52-1 的侧壁 77' 以及上表面 76' 上面的密封层 52-2。在区域 93 中,开口 72' 在接合焊盘 44 的中心部分 44' 和锯切道 94 上面延伸,由此在阶段 80"-10 中,掩膜开口 72' 可用于移除中心部分 44' 和锯切道 94 上面的密封层 52-2 的部分 74',留下缓冲层 52-1 的侧壁 77' 以及上表面 76' 上面的密封层 52-2。然后可以实现针对接合焊盘 44 的中心部分 44' 的导线接合或其他连接,同时在另外的暴露表面 76' 和 77' 上,缓冲层 52-1 受到基本上保形的密封层 52-2 的保护。如此处使用的术语“中心部分”应包括通过密封层 52-2 暴露的接合焊盘 44 的可以实现导线接合或其他外部电气连接的任何区域,并非仅限于焊盘的中心区域,尽管其未被排除。依赖于设计人员选择的晶片配置,可以使用区域 91、93 中说明的任一掩膜配置,不同之处在于,在区域 91 中,留下锯切道 94 上的缓冲层,而在区域 93 中,作为提供缓冲层 52-1 和密封层 52-2 的工艺的一部分,其被移除。

[0028] 在图 5~7 中,有序的处理步骤 80-1...80-6;80'-1...80'-7 和 80"-1...80"-10 说明了其中掩膜和移除步骤通过缓冲层 52(和密封层 52-2)使接合焊盘 44 暴露的情况,但是这并非限制性的,未支撑导体 51 的管芯表面的其他区域也可由该掩膜和移除步骤暴

露。在该掩膜和移除步骤过程中,例如,还可以使晶片 82 的部分,例如划片格或其他管芯分离区域所处的锯切道 94 暴露,如区域 93 中说明的。这提供了多个管芯,其在表面导体 51 上面具有缓冲层 52(具有或不具有密封层 52-2),但是在接合焊盘 44 或横向管芯侧面 42S 上不具有缓冲层 52。该结果在例如图 3 中说明。

[0029] 图 8 示出了简化的流程图,其说明了用于形成具有管芯 42 上的低 ϵ_{b1} 和 / 或 δ_{b1} 的缓冲层 52 的塑料封装半导体 (SC) 器件 40 的方法 100。现在参考图 5 和 8,方法 100 开始于开始 102 和初始步骤 104,其中在晶片 82 中和 / 或晶片 82 上(在图 8 ~ 10 中缩写为中 / 上)形成管芯 42(参看图 5 的阶段 80-1)。在对应于阶段 80-2 的步骤 106 中,晶片 82 和(管芯 42)由低 ϵ_{b1} 和 / 或 δ_{b1} 的缓冲层 52 覆盖。只要缓冲层 52 的 ϵ_{b1} 和 δ_{b1} 之一或此两者分别小于封装 47 的相应的 ϵ_e 和 δ_e ,即获得了优点。在后继步骤 108 中,缓冲层 52 由掩膜层 60 覆盖(阶段 80-3)。在步骤 110 中,对掩膜层 60 构图以提供接合焊盘 44 上方的缓冲层 52 中的所需开口(阶段 80-4)。在步骤 112 中,从接合焊盘 44 上方移除缓冲层 52,留下覆盖表面 50 和剩余管芯 42 上的导体和互连 51 的缓冲层 52(阶段 80-5)。在步骤 114 中,便利地但并非必要地使缓冲层 52 固化。如前面结合图 5 的讨论提及的,固化步骤 114 可以在步骤 106 之后的任何时间便利地执行,因此步骤 114 在方法 100 中的有序位置仅出于便于解释的目的,并非是限制性的。如图 5 的阶段 80-6 中指出的掩膜层 60 的移除在图 8 中没有示出,其可被省略或者在步骤 112 之后的任何时间执行。在步骤 116 中,将完成的晶片 82 切割为分立的独立管芯 42,并且该多个管芯,例如,接合到引线框或其他支撑物上,并且实现针对接合焊盘 44 的导线接合或其他电气连接。引线框和管芯现在准备好封装,在步骤 118 中执行封装,其中安装好的、导线接合的、涂覆有缓冲层的管芯被封闭在封装材料 47 中(参看图 3 ~ 4)。依赖于封装设计的特定类型,可以执行可选步骤 120,以修整引线框并且将封装引线形成为其预期的形状。该修整和形成操作是传统的。然后方法 100 继续到结束 122。

[0030] 图 9 示出了简化的流程图,其说明了用于形成具有管芯 42 上的低 ϵ_{b1} 和 / 或 δ_{b1} 的缓冲层 52 的塑料封装半导体 (SC) 器件 40 的方法 200。现在参考图 6 和 9,方法 200 开始于开始 202 和初始步骤 204(阶段 80'-1)并且继续到步骤 212(阶段 80'-6)。方法 200 的步骤 204 ~ 212 与图 8 的方法 100 的步骤 104 ~ 112 类似。因此,步骤 104 ~ 112 的讨论在此处并入作为参考。在步骤 214 中(阶段 80'-7),如结合图 6 描述的,处理缓冲层 52 的外表面 76'、77',以将其转化为密封层。方法 200 的固化步骤 216 与方法 100 的固化步骤 114 类似,并且不限于方法 200 的步骤顺序中指出的具体位置。依赖于所使用的材料和处理的选择,缓冲层 52-1 和密封层 52-2 可以同时固化或分立固化。依赖于所选择的处理,密封层 52-2 可以不需要任何分立的固化步骤。本领域的技术人员应理解如何依赖于所选择的用于形成缓冲层 52 的材料和处理,选择用于固化缓冲层 52-1(和可选地,密封层 52-2)的最优顺序。方法 200 的步骤 218 ~ 220 与方法 100 的步骤 116 ~ 120 类似并且结合图 6 的讨论在此处并入作为参考。然后方法 200 继续到结束 224。

[0031] 图 10 示出了简化的流程图,其说明了用于形成具有管芯 42 上的低 ϵ_{b1} 和 / 或 δ_{b1} 的缓冲层 52 的塑料封装半导体 (SC) 器件 40 的方法 300。现在参考图 7 和 10,方法 300 开始于开始 302 和初始步骤 304(阶段 80''-1)并且继续到步骤 312(阶段 80''-6)。方法 300 的步骤 304 ~ 312 与图 8 的方法 100 的步骤 104 ~ 112 类似。因此,步骤 104 ~ 112 的讨

论在此处并入作为参考。在步骤 314 中 (阶段 80"-7), 在整个晶片上, 至少在表面 50、接合焊盘 44 和导体 51 上面, 基本上保形地施加密封层 52-2。在步骤 316 中 (阶段 80"-8), 密封层 52-2 由第二掩膜层 70, 例如, 光刻胶覆盖。在步骤 318 中 (阶段 80"-9), 对掩膜层 70 构图以使接合焊盘 44 的中心区域 44' 上方的密封层 52-2 的部分 74 暴露。在步骤 320 中 (阶段 80"-10), 依赖于所选择的用于密封层 52-2 的材料, 通过任何便利的手段 (刻蚀、显影和溶解等), 从接合焊盘 44 的中心区域 44' 移除密封层 52-2 的部分 74。在阶段 80"-10 中, 掩膜层 70 的掩膜部分被示出为已被移除, 但这并非是必要的。在步骤 322 中, 使缓冲层 52-1 和密封层 52-2 固化。如结合方法 100、200 提及的, 固化步骤 322 可以在工艺的多种阶段中执行, 对于缓冲层 52-1, 可以在施加缓冲层 52-1 之后的任何时间执行固化, 对于密封层 52-2, 可以在施加密封层 52-2 之后的任何时间执行固化。缓冲层 52-1 和密封层 52-2 可以分立固化或一起固化, 并且固化步骤 322 在图 10 的方法 300 中位于步骤 320 和 324 之间的位置仅出于便于解释的目的, 并非是限制性的。本领域的技术人员应理解如何依赖于, 例如, 所选择的材料的特定组合, 选择该固化步骤在方法 300 的过程中的适当的时间或顺序。步骤 324 ~ 328 与图 8 的方法 100 的步骤 116 ~ 120 类似, 方法 100 的步骤 116 ~ 120 的讨论在此处并入作为参考。然后方法 300 继续到结束 330。

[0032] 根据第一实施例, 提供了一种半导体器件, 包括: 支撑部件; 半导体管芯, 其具有面向外的管芯表面, 该管芯表面上面具有一个或多个电导体, 其中该面向外的管芯表面由侧表面横向终止并且该管芯安装在部分支撑部件上; 塑料封装, 其具有介电常数 ϵ_e 和损耗因数 δ_e , 其封闭至少部分支撑部件和管芯; 和缓冲层, 其介电常数 ϵ_{b1} 和 / 或损耗因数 δ_{b1} 分别低于塑料封装的 ϵ_e 和 δ_e , 其位于塑料封装和面向外的管芯表面之间, 并且覆盖某些或所有的一个或多个电导体, 但是基本上未覆盖侧表面。在另一实施例中, 缓冲层具有低于约 3.0 的介电常数 ϵ_{b1} 。在另一实施例中, 缓冲层具有低于约 0.005 的损耗因数 δ_{b1} 。在另一实施例中, 该器件进一步包括位于缓冲层和塑料封装之间的密封层。在另一实施例中, 该器件进一步包括面向外的管芯表面上的接合焊盘, 并且其中缓冲层在基本上位于面向外的管芯表面上的接合焊盘之间的面向外的管芯表面上面延伸, 基本上未覆盖接合焊盘。在另一实施例中, 缓冲层具有相对于接合焊盘和与接合焊盘相邻的一个或多个第二侧向表面之间的面向外的管芯表面基本上保形的第一表面。在另一实施例中, 该器件进一步包括缓冲层的第一和第二表面上的位于缓冲层和塑料封装之间的密封层。

[0033] 根据第二实施例, 提供了一种具有外部引线的半导体器件, 包括: 半导体管芯, 其具有主表面, 该主表面上具有互连导体和适于耦合到外部引线的接合焊盘; 塑料封装, 其具有第一介电常数和第一损耗因数, 该塑料封装围绕半导体管芯的一个或多个面; 缓冲层, 其具有第二介电常数和第二损耗因数, 该缓冲层位于塑料封装和半导体管芯的主表面之间, 覆盖至少某些互连, 但是基本上未覆盖用于将接合焊盘电气耦合到外部引线的接合焊盘区域, 并且其中第二介电常数或第二损耗因数的至少之一小于对应的第一介电常数或第一损耗因数。根据另一实施例, 第二介电常数和第二损耗因数均小于对应的第一介电常数和第一损耗因数。根据另一实施例, 该器件进一步包括位于缓冲层和塑料封装之间的密封层。根据另一实施例, 该密封层是湿气密封层。根据另一实施例, 第二介电常数小于约 2.8。根据另一实施例, 第二损耗因数小于约 0.005。

[0034] 根据第三实施例, 提供了一种提供半导体管芯的方法, 包括: 提供包括管芯的 SC

晶片,该管芯具有主表面,该主表面上具有传导互连和接合焊盘;使用缓冲层覆盖管芯的某些或所有主表面,该缓冲层的介电常数 ϵ_{b1} 和 / 或损耗因数 δ_{b1} 分别小于用于塑料封装管芯的材料介电常数和 / 或损耗因数;并且对缓冲层构图,以使用于将管芯耦合到外部引线的接合焊盘上的区域基本上暴露,但是留下至少某些传导互连上面的缓冲层。根据另一实施例,该方法进一步包括,将接合焊盘的暴露区域耦合到外部引线。根据另一实施例,该方法进一步包括,使用具有介电常数 ϵ_e 和损耗因数 δ_e 的塑料封装围绕管芯和外部引线的内部部分,其中 ϵ_e 大于 ϵ_{b1} 或者 δ_e 大于 δ_{b1} , 并且其中缓冲层使至少某些传导互连与塑料封装隔开。根据另一实施例, ϵ_e 大于 ϵ_{b1} 并且 δ_e 大于 δ_{b1} 。根据另一实施例,该方法进一步包括,在构图步骤之后,在缓冲层的外表面上形成密封层。根据另一实施例,该方法进一步包括,在形成步骤之后,对密封层构图,以使接合焊盘上的用于将管芯耦合到外部引线的区域基本上暴露,但是至少基本上留下覆盖传导互连的缓冲层部分上面的密封层。根据另一实施例,该方法进一步包括,在围绕步骤之前,在缓冲层的外表面上形成密封层。

[0035] 尽管在前面的详细描述中呈现了至少一个示例性实施例,但是应当认识到,存在许多变化方案。例如,对于缓冲层 52,可以使用广泛的多种较低介电常数和较低损耗的材料。本领域的技术人员应理解,此处教导的原理也适用于该变化方案。相反地,前面的详细描述将向本领域的技术人员提供用于实现示例性实施例的便利的路线图。应当理解,在不偏离所附权利要求及其合法等效物阐述的本发明的范围的前提下,可以进行元件功能和配置上的多种改变。

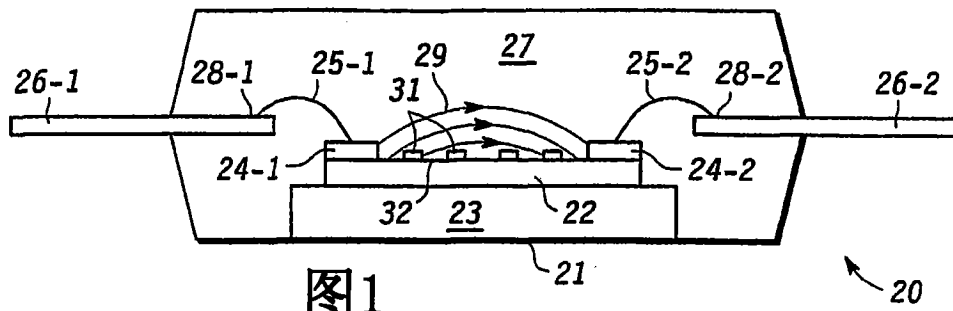


图1
-现有技术-

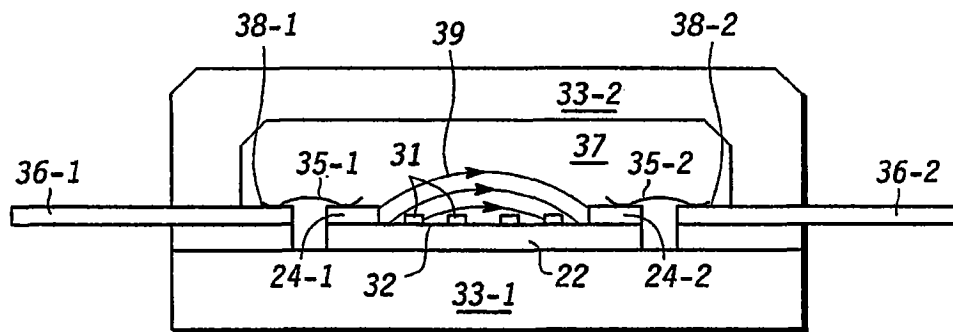


图2
-现有技术-

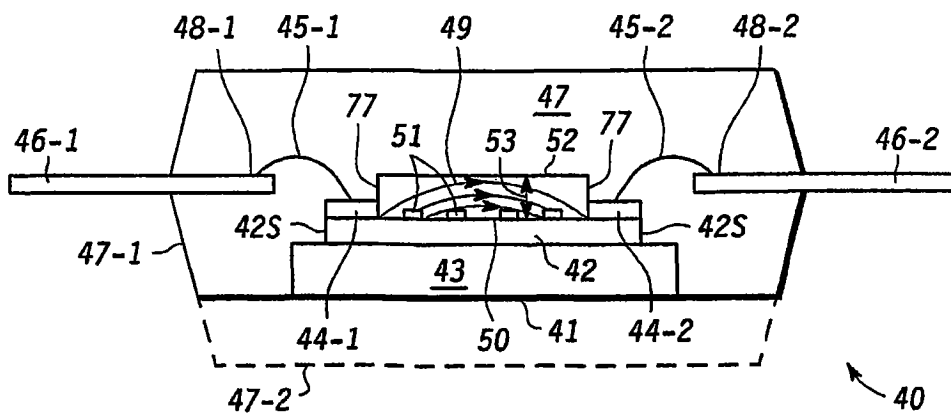


图 3

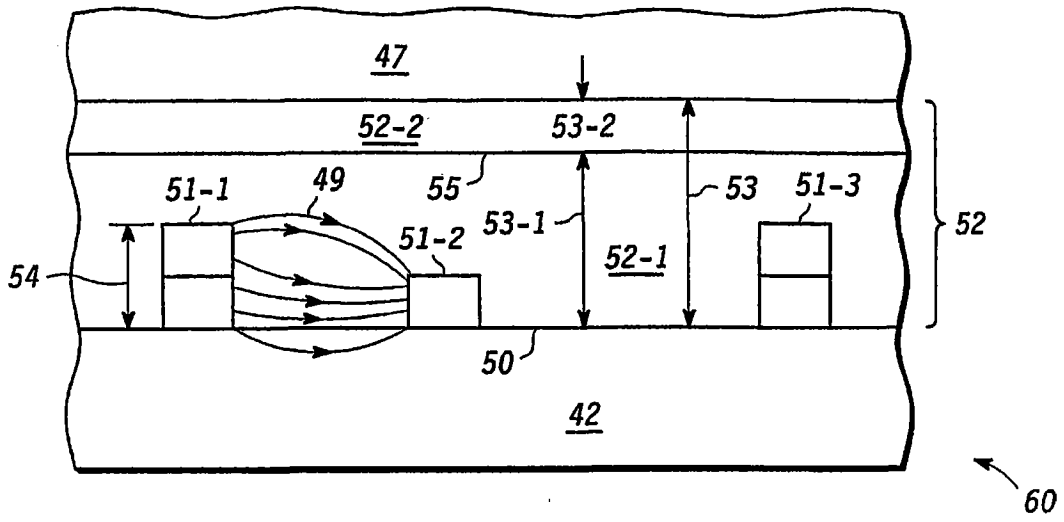


图 4

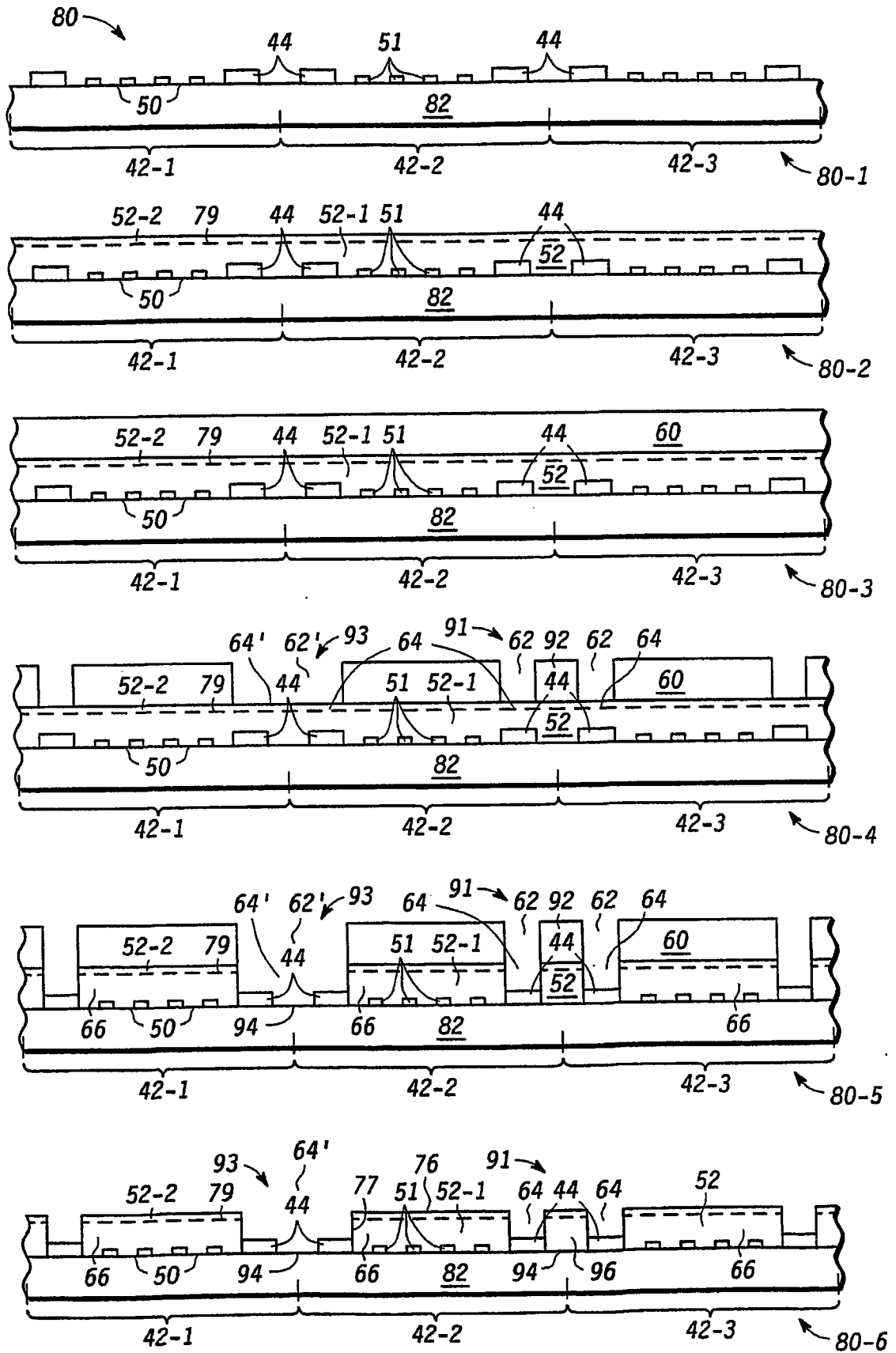


图 5

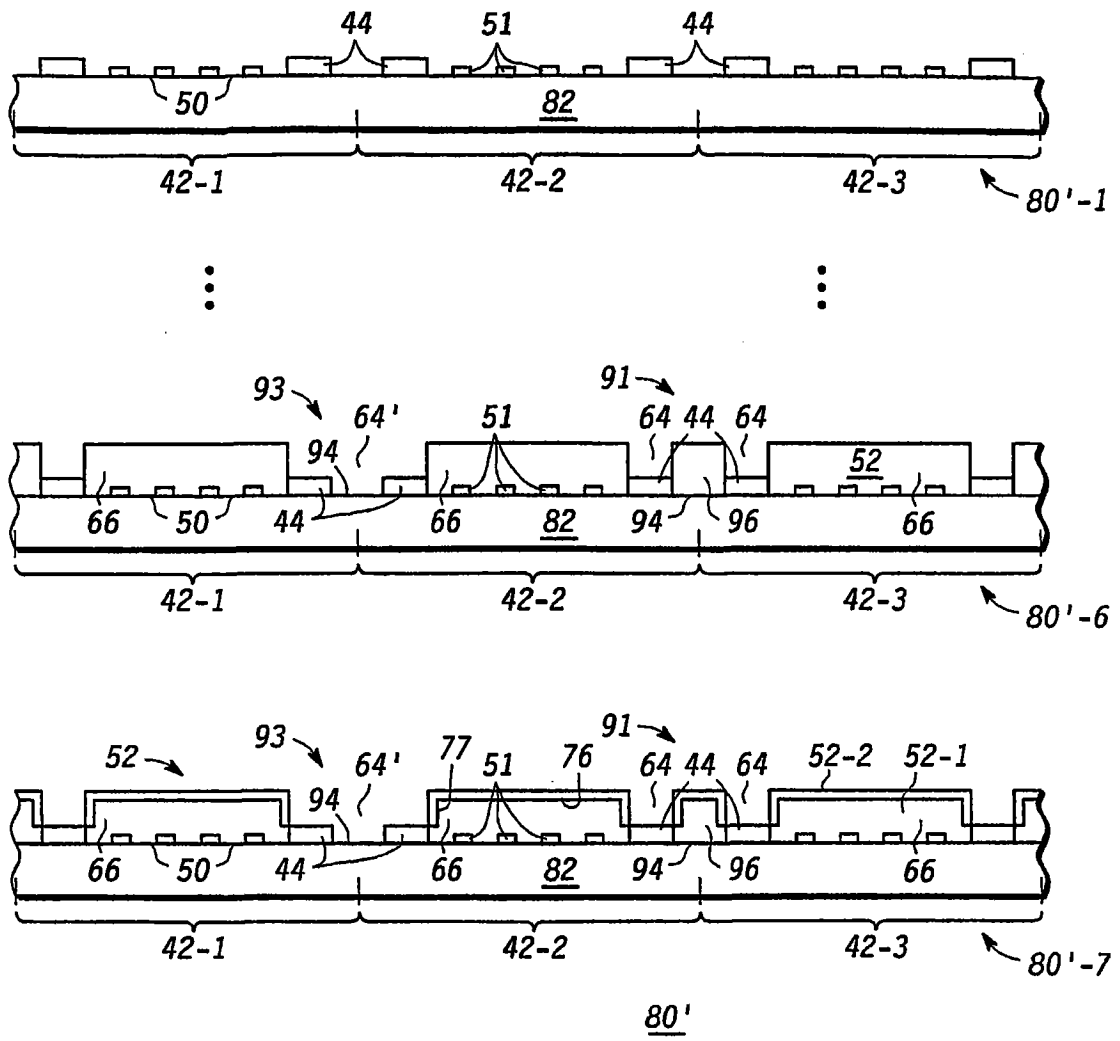


图 6

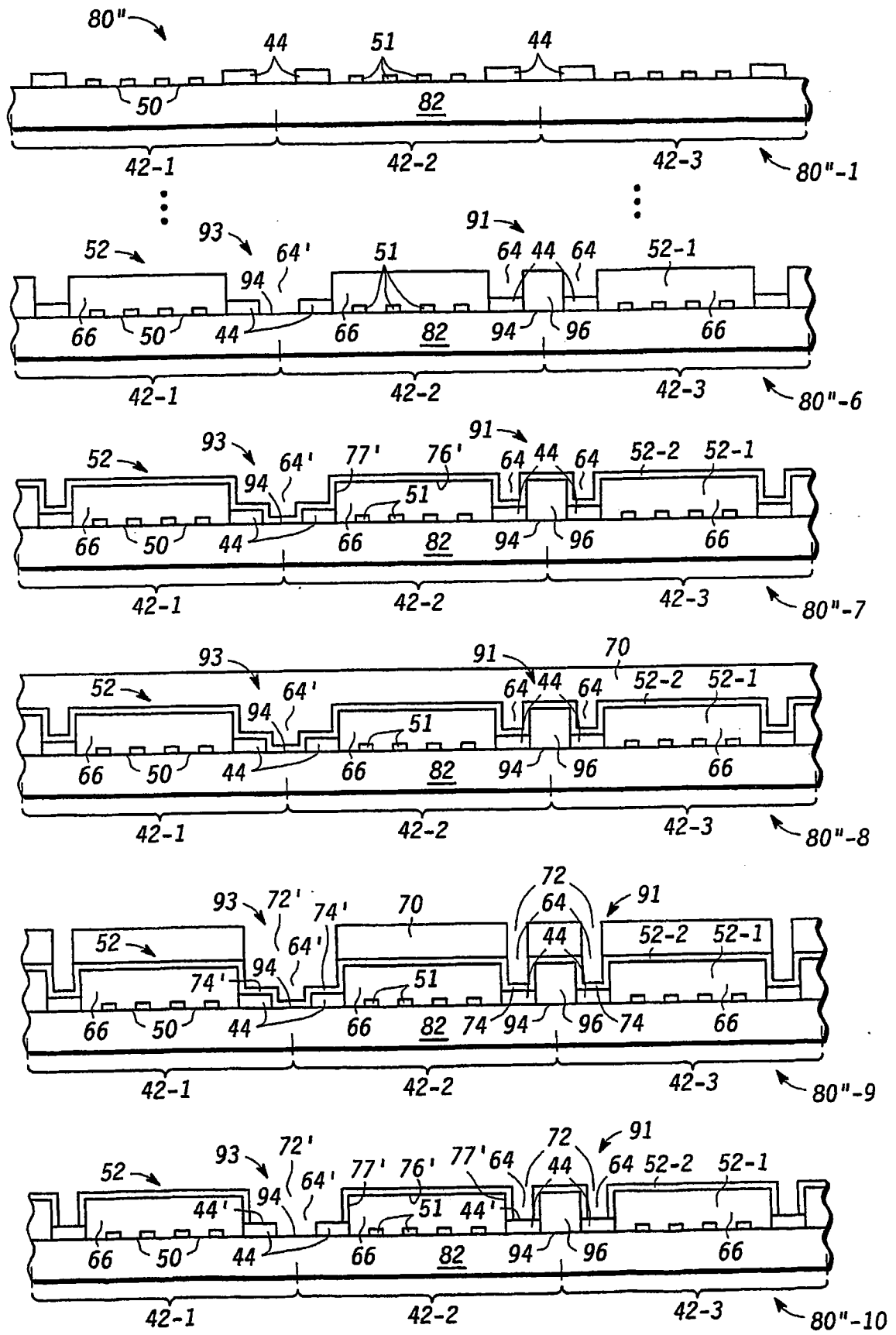


图 7

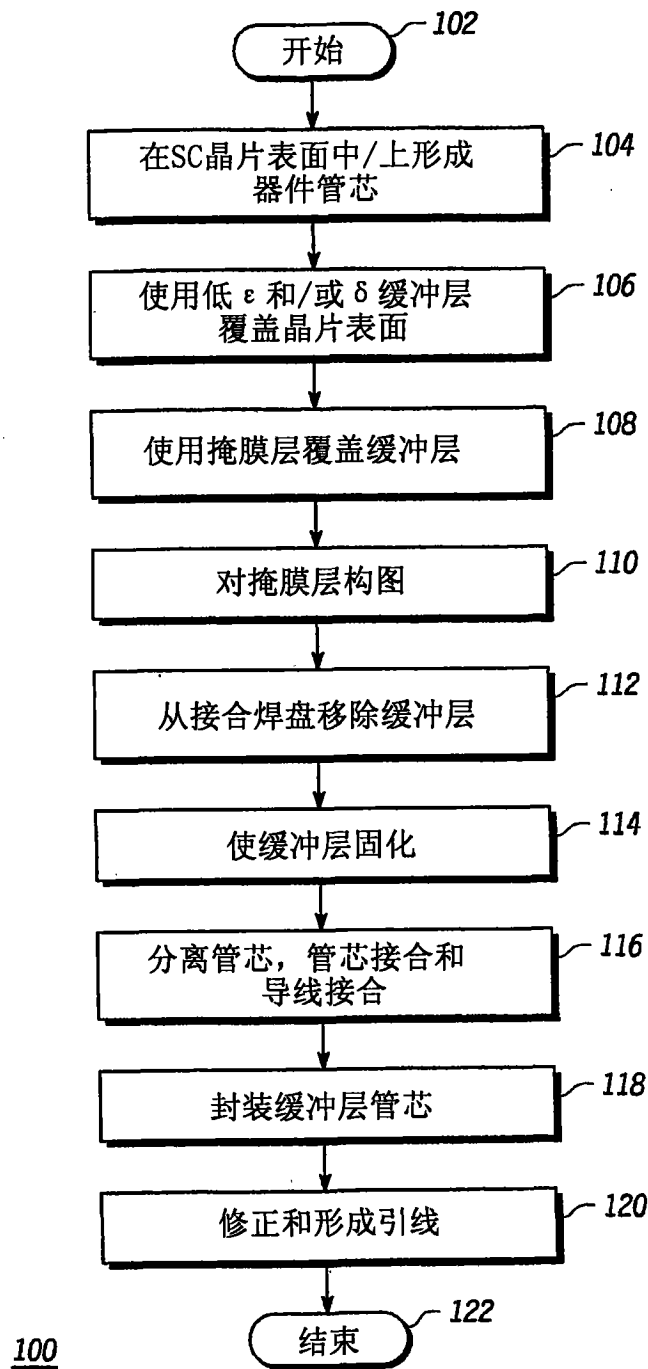


图 8

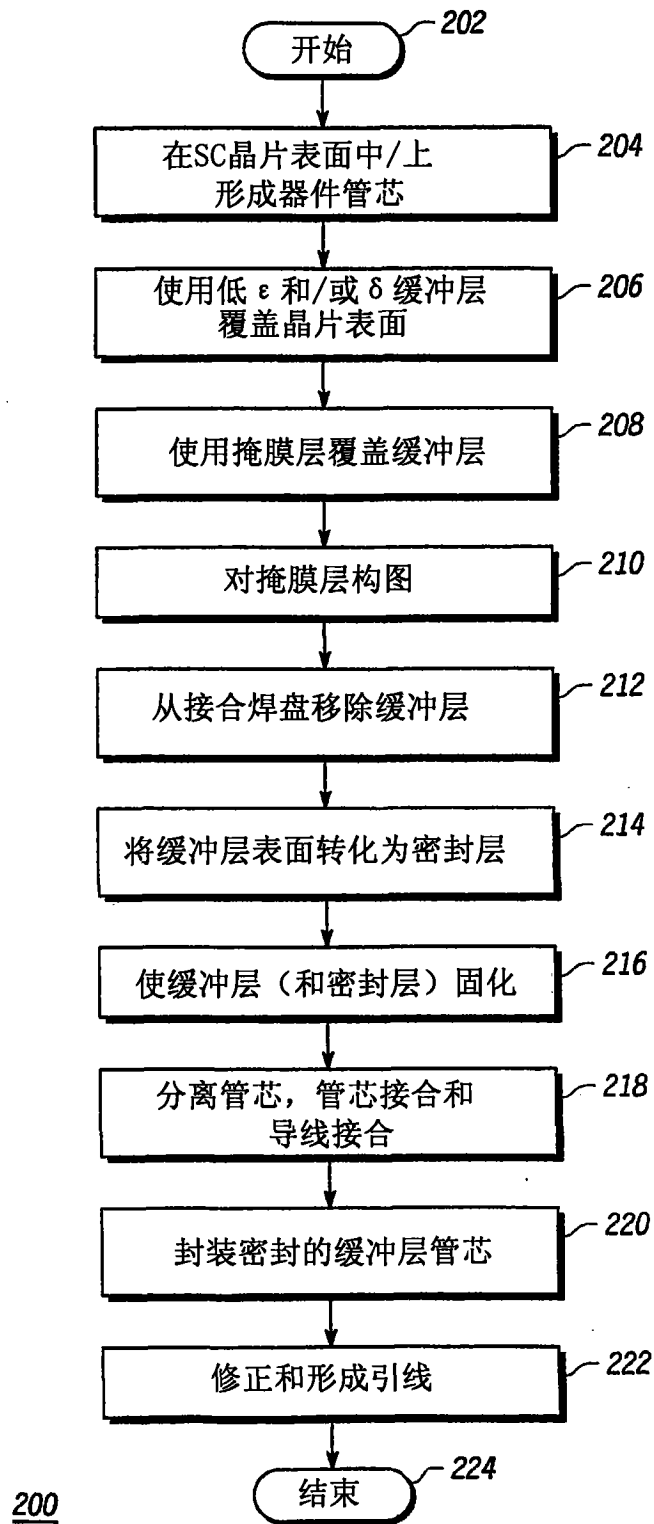


图9

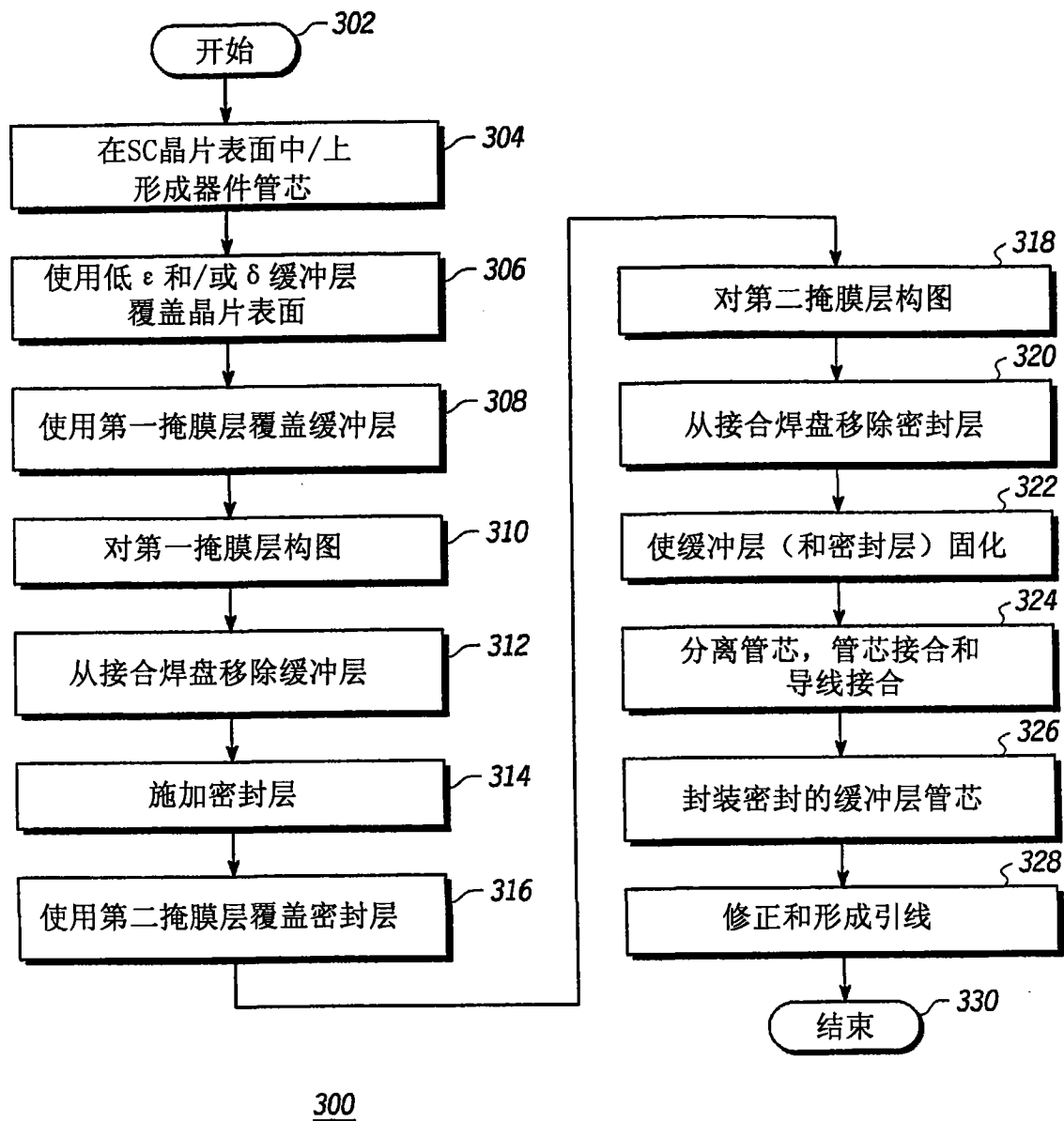


图 10