

(19) 日本国特許庁 (JP)

(12) 特 許 公 報 (B2)

(11) 特許番号

特許第5868545号
(P5868545)

(45) 発行日 平成28年2月24日 (2016. 2. 24)

(24) 登録日 平成28年1月15日 (2016. 1. 15)

(51) Int. Cl.	F I
HO 4 N 5/3745 (2011. 01)	HO 4 N 5/335 7 4 5
HO 4 N 5/374 (2011. 01)	HO 4 N 5/335 7 4 0
HO 4 N 5/369 (2011. 01)	HO 4 N 5/335 6 9 0
HO 4 N 5/378 (2011. 01)	HO 4 N 5/335 7 8 0

請求項の数 21 (全 21 頁)

(21) 出願番号	特願2015-507211 (P2015-507211)	(73) 特許権者	503455363
(86) (22) 出願日	平成25年4月19日 (2013. 4. 19)		レイセオン カンパニー
(65) 公表番号	特表2015-518696 (P2015-518696A)		アメリカ合衆国 マサチューセッツ州 O
(43) 公表日	平成27年7月2日 (2015. 7. 2)		2 4 5 1 ウォルサム ウィンター スト
(86) 国際出願番号	PCT/US2013/037319		リート 8 7 0
(87) 国際公開番号	W02013/158965	(74) 代理人	100107766
(87) 国際公開日	平成25年10月24日 (2013. 10. 24)		弁理士 伊東 忠重
審査請求日	平成27年11月19日 (2015. 11. 19)	(74) 代理人	100070150
(31) 優先権主張番号	61/635, 751		弁理士 伊東 忠彦
(32) 優先日	平成24年4月19日 (2012. 4. 19)	(74) 代理人	100091214
(33) 優先権主張国	米国 (US)		弁理士 大貫 進介
早期審査対象出願		(72) 発明者	デナム, マーティン, エス.
			アメリカ合衆国 オレゴン州 9 7 7 0 1
			ベンド ダッズ・ロード 2 4 7 8 0
			最終頁に続く

(54) 【発明の名称】 再分配されたデジタルピクセル

(57) 【特許請求の範囲】

【請求項 1】

ピクセルセルのアレイと、

複数のアナログ - デジタル変換器と、

前記ピクセルセルのアレイから物理的に離れて配置され且つ該ピクセルセルのアレイへ結合される複数のデジタルメモリ素子に含まれる対応する複数のデジタルカウンタと

を有し、

前記ピクセルセルの夫々は、

光電流を受けるよう構成される入力部と、

前記入力部へ結合され、前記光電流から電荷を蓄積するよう構成される蓄電デバイスと

10

、
前記蓄電デバイスへ結合され、前記電荷をアナログ量子化事象信号へ変換するよう構成される量子化回路と

を有し、

前記複数のアナログ - デジタル変換器の夫々は、入力部及び出力部を備え、前記複数のアナログ - デジタル変換器の夫々は、その入力部を介して前記ピクセルセルのうちの少なくとも1つの前記蓄電デバイスへ結合され、夫々の蓄電デバイスにおける残留電荷をデジタル2進値に変換するよう構成され、

前記デジタルカウンタの夫々は、前記ピクセルセルのうちの夫々1つと関連して該夫々1つと通信し、前記ピクセルセルのうちの前記少なくとも1つから前記アナログ量子化事

20

象信号を受信することに応答して、前記ピクセルセルのうちの前記夫々1つから前記アナログ量子化事象信号を受信することに応答してデジタルカウンタ値をインクリメントして記憶するよう構成される、

撮像システム。

【請求項2】

前記ピクセルセルのアレイを含む読出集積回路チップを更に有する

請求項1に記載の撮像システム。

【請求項3】

前記複数のデジタルメモリ素子は、前記読出集積回路チップに隣接して配置される、

請求項2に記載の撮像システム。

10

【請求項4】

前記読出集積回路チップは、前記ピクセルセルのアレイを含む第1の部分と、該第1の部分とは異なる第2の部分とを備え、該第2の部分は、前記複数のデジタルメモリ素子を含む、

請求項2に記載の撮像システム。

【請求項5】

前記ピクセルセルの夫々は、衝突する光に応答して前記光電流を生成するよう構成される光検出器を更に有し、

前記デジタルカウンタ値は、前記ピクセルセルのうちの夫々1つの前記光検出器に衝突する光の強さに対応する、

20

請求項2に記載の撮像システム。

【請求項6】

前記読出集積回路チップへハイブリッド化される光検出器のアレイを更に有し、

夫々の光検出器は、前記ピクセルセルのアレイのうちの対応するピクセルセルに関連する、

請求項2に記載の撮像システム。

【請求項7】

前記複数のデジタルメモリ素子は、静的ランダムアクセスメモリ及びレジスタファイルのうちの少なくとも1つを含む、

請求項1に記載の撮像システム。

30

【請求項8】

複数のストロークラインを更に有し、該複数のストロークラインの夫々は、前記ピクセルセルのうちの少なくとも1つの前記量子化回路へ結合され、当該ストロークラインが結合されている前記量子化回路へ周期的な時間インターバルでストローク信号を送信するよう構成される、

請求項1に記載の撮像システム。

【請求項9】

前記量子化回路は、前記ストローク信号を受信することに応答して、前記蓄電デバイスにおける前記電荷が所定の閾値を超えるかどうかを決定するよう構成される、

請求項8に記載の撮像システム。

40

【請求項10】

前記量子化回路は更に、前記蓄電デバイスにおける前記電荷が前記所定の閾値を超えると決定することに応答して、前記アナログ量子化事象信号を生成するよう構成される、

請求項9に記載の撮像システム。

【請求項11】

前記蓄電デバイスはキャパシタであり、

前記量子化回路は、前記キャパシタへ結合される電荷除去回路を含む、

請求項1に記載の撮像システム。

【請求項12】

前記複数のアナログ-デジタル変換器のうちの少なくとも1つからの前記デジタル2進

50

値と、前記複数のデジタルカウンタのうちの少なくとも１つからの前記デジタルカウンタ値とを出力ビデオフレームの少なくとも１つのピクセルに変換するよう構成されるデジタルフォーマッタを更に有する

請求項１に記載の撮像システム。

【請求項１３】

ピクセルセルのアレイにおける複数のピクセルの夫々について、当該ピクセルによって生成された電荷を、夫々のピクセルに付随する複数の蓄電デバイスの１つにおいて蓄えるステップと、

夫々の前記蓄電デバイスにおける蓄積された電荷が所定の閾値を超えるかどうかを周期的に決定するステップと、

夫々の前記蓄電デバイスにおける前記蓄積された電荷が前記所定の閾値を超えると決定することに対応して、夫々の前記蓄電デバイスにおいて蓄えられている前記電荷を所定の電荷減少量だけ低減し、デジタルカウンタにおいて蓄えられ且つ夫々のピクセルに関連する複数のデジタルカウンタ値のうちの１つをインクリメントするステップであって、前記デジタルカウンタ値は、前記ピクセルセルのアレイから物理的に離れて配置され且つ該ピクセルセルのアレイへ結合されて前記ピクセルのアレイと通信する複数のデジタルメモリ素子に含まれる、ステップと、

前記複数のピクセルの夫々の前記蓄電デバイスにおける残留電荷をアナログ信号へ周期的に変換するステップと、

夫々のピクセルからの前記アナログ信号を複数のアナログ - デジタル変換器の１つにより夫々のデジタル２進値へ変換するステップであって、前記複数のアナログ - デジタル変換器の夫々は、入力部及び出力部を備え、前記複数のアナログ - デジタル変換器の夫々は、その入力部を介して前記複数のピクセルのうちの対応する１つの夫々の前記蓄電デバイスへ結合される、ステップと

を有する画像検出方法。

【請求項１４】

夫々の前記デジタルカウンタ値及び夫々の前記デジタル２進値のうちの少なくとも１つを出力ビデオフレームにおける複数のピクセルのうちの１つに変換するステップを更に有する

請求項１３に記載の画像検出方法。

【請求項１５】

前記出力ビデオフレームを符号化するステップを更に有する

請求項１４に記載の画像検出方法。

【請求項１６】

前記ピクセルセルのアレイを含む読出集積回路チップを設けるステップを更に有する

請求項１３に記載の画像検出方法。

【請求項１７】

前記読出集積回路チップから離れたチップ上に前記複数のデジタルメモリ素子を設けるステップを更に有する

請求項１６に記載の画像検出方法。

【請求項１８】

前記読出集積回路チップの第１の部分に前記ピクセルセルのアレイを設けるステップと、

前記第１の部分とは異なる前記読出集積回路チップの第２の部分に前記複数のデジタルメモリ素子を設けるステップと

を更に有する請求項１６に記載の画像検出方法。

【請求項１９】

夫々の前記蓄電デバイスにおける蓄積された電荷が所定の閾値を超えるかどうかを周期的に決定するステップは、複数のクロックサイクルにわたって前記複数のピクセルの夫々について実行される、

請求項 1 3 に記載の画像検出方法。

【請求項 2 0】

夫々のピクセルは、光検出器を有し、

当該方法は、夫々のピクセルについて、前記光検出器に衝突する放射線に応答して前記電荷を生成するステップを有する、

請求項 1 3 に記載の画像検出方法。

【請求項 2 1】

基板上にピクセルセルのアレイを配置するステップと、

前記基板上に、前記ピクセルセルのアレイに隣接して、メモリ素子のアレイを配置するステップと、

前記基板上に、複数のアナログ - デジタル変換回路を配置するステップと

を有し、

夫々のピクセルセルは、光検出器と、該光検出器へ結合されるキャパシタと、該キャパシタへ結合される比較器とを含み、

夫々のメモリ素子は、カウンタと、該カウンタへ結合される蓄積デバイスとを含み、

前記複数のアナログ - デジタル変換回路の夫々は、入力部及び出力部を備え、前記複数のアナログ - デジタル変換回路の夫々は、その入力部を介して前記ピクセルセルのうちの少なくとも 1 つの前記キャパシタへ結合され、夫々の前記蓄積デバイスにおける残留電荷をデジタル 2 進値に変換するよう構成される、

読出集積回路チップの製造方法。

【発明の詳細な説明】

【背景技術】

【0 0 0 1】

焦点面アレイは、列及び行によって編成されている検出器素子又はピクセルの 2 次元アレイを含む。図 1 は、ピクセル 1 9 0 のアレイ 1 9 5 の一例のブロック図である。ピクセル 1 9 0 内の回路が、様々な波長の光束 1 1 0 に対応するフォトダイオード 1 0 5 からの電荷を蓄積することができることは、一般的である。しばしば、電荷は、電荷を有効に積分して、積分インターバルと呼ばれる所与の時間インターバルにわたって光束 1 1 0 の強さに対応する電圧を生成する容量素子 1 1 5 において、蓄積される。図 1 に表される例では、フォトダイオード 1 0 5 は、電圧 V_{bias} によりバイアスをかけられる MOS トランジスタ又は直接注入ゲート 1 2 0 を介して容量素子 1 1 5 へ結合されている。図 1 において、回路素子 1 3 5 は、容量素子 1 1 5 の電圧を初期状態へ再設定し直すことができる回路と、アレイ 1 9 5 の出力部への伝送のために列（又は行）配線 1 6 0 へ電荷又は電圧を運ぶことができる回路とを有する。そのような電圧又は電荷は、焦点面アレイ 1 9 5 の各ピクセル 1 9 0 について少なくとも 1 つの値である 2 進値をもたらす、焦点面アレイに付随する回路によって、デジタル化され得る。このように、焦点面アレイは、光束の 2 次元パターンをバイナリ値の 2 次元アレイに変換するために使用されてよく、そのような、結果として得られるアレイは、しばしばデジタル画像と呼ばれる。

【0 0 0 2】

積分インターバルにわたってピクセル 1 9 0 によって蓄積される電荷の実効量は、デジタルカウンタ回路の負荷によって増大され得る。幾つかの例において、各ピクセルは、固有のデジタルカウンタ回路を与えられる。追加の回路は、所定量の電荷がピクセルの容量素子から除去されることを可能にし、これに対してデジタルカウンタの値を 1 カウントだけ増やすよう、ピクセルへ加えられ得る。このように、積分インターバルの時間の経過期間にわたって、ピクセル 1 9 0 の容量素子 1 1 5 は光電荷を積分することができ、ピクセル内の回路は所定量の電荷を除去することができ、デジタルカウンタは電荷除去の回数をカウントすることができる。このようにして、積分インターバルにわたってピクセルによって蓄積される電荷の実効量は、デジタルカウンタが容量素子の積分範囲に及ぶので、増大され得る。

【0 0 0 3】

電荷除去を記録するのに使用されるデジタルカウンタのタイプは、電荷除去をカウントすることができる、2進、グレイコード、線形フィードバックシフトレジスタ(LFSR)、又は何らかの他のデジタルカウント回路を含む如何なる論理変形物であってもよい。加えて、電荷除去の相対符号は、回路接地に対してプラス又はマイナスであることができ、故に、電荷除去は、幾つかの場合において、電荷付加と見なされ得る。

【0004】

“デジタルピクセル”又は“ピクセル内ADC”と呼ばれるピクセル回路の分類は、図2に表されるように、夫々のピクセル内のデジタルカウンタ回路を特徴付ける。一般的なデジタルピクセル回路は、光電荷を積分して電圧を生成する容量素子115と、電圧がリファレンス電圧を超える場合を検出する比較器125と、所定の固定量の電荷を容量素子115から除去する電荷除去回路135と、ある量の電荷が容量素子から除去される度にインクリメントするデジタルカウンタ回路145とを特徴とする。リセットロジック140は、クロックタイプの信号を電荷除去回路135へ供給して、電荷除去回路に、容量素子の両端電圧がリファレンス電圧を超えていることを示す比較器125からの信号に 응답して容量素子115から所定量の電荷を除去させる。夫々の電荷除去/リセット事象により、デジタルカウンタ145はインクリメントされる。デジタルカウンタ145の値は、図2に示されるように、データ出力ライン180上でトリステートゲート150を介して読み出されてよい。デジタルカウンタ145の値を出力の組へ運ぶ多数の他の手段は、当業者によって認識されるであろうように、トリステートゲート150の代替案として存在する。例えば、値はシフトアウトされてよい。

【0005】

一般的なデジタルピクセル回路において、容量素子のサイズは、しばしば、比較的小さい値(例えば、1.0フェムトファラッド又は10フェムトファラッド)へと低減され、カウンタビットの数は、広範囲のカウント値をもたらす何らかのビット数、例えば、16ビットである。これに対して、容量素子115の電圧範囲は、しばしば、比較的小さく、例えば、250ミリボルトである。この構成において、デジタルカウンタ145は、アナログ-デジタル変換器として動作することができ、アナログ-デジタル変換を実行するピクセルの回路の機能をもたらす、よって、“ピクセル内ADC”回路と呼ばれる。所定量の電荷はまた、電荷“素量”とも呼ばれ得る。容量素子115からの電荷除去は、MOSFETのような簡単なデバイスを用いて第1の電圧へとリセットされ直されてよい。電荷除去はまた、容量素子の電圧を1の値から第2の値へ至らせる電荷素量を除去する更に複雑な回路であってもよい。

【0006】

上記の従来のデジタルピクセルの幾つかの否定的な特質が存在する。特に、デジタルカウンタ回路145は、夫々のピクセル190内で有限な面積を消費する。回路の製造プロセスが比較的低い密度である場合は(例えば、180ナノメートルCMOS)、デジタルカウンタの面積は、容量素子115、比較器125、及び電荷除去回路135のための取るに足りない面積を残しながら、ピクセル内の利用可能な面積のほぼ全てを占有し得る。上述されたように、ピクセル190は、バイアシング回路、例えば、直接注入ゲートMOSFET120を更に含んでよく、やはり、取るに足りない面積が、そのデバイス(1又は複数)のために利用可能であり得る。それら又は他の回路デバイスのための取るに足りない又は十分でない余地がピクセル面積内に存在するそのような場合に、そのような回路の性能は低下し得る。よって、例えば、ノイズが有意に増大し得る。利用可能な面積を制限して、アナログ回路(例えば、容量素子115、比較器125、及び電荷除去回路135)の品質を制限するデジタルカウンタ回路145に加えて、制限された面積はまた、デジタルピクセルの容量を制限する。より具体的に、容量素子115のサイズは、より少ない総電荷蓄積に制限されることがあり、これは、ピクセル190の入力束性能を、場合により、所与のエンドアプリケーションのために必要とされるものよりも少なく制限することがある。

【0007】

反対に、回路の製造プロセスが比較的高い密度である場合は（例えば、65ナノメートルCMOS）、容量素子115、比較器125、電荷除去回路135、及びバイアス回路120のための十分な余地が存在し得る。しかしながら、そのようなプロセスの関連する経常外費用は、そのようなデバイスの一部の消費者にとって高すぎることもある。

【0008】

他の否定的な特質は、デジタルカウンタ回路145が、容量素子115、比較器125、電荷除去回路135、及びバイアシング回路120のようなアナログ回路とともに存在する場合に、デジタルカウンタのスイッチング事象に関連する瞬時電流が供給ラインにおいて及びCMOS基板電位においてノイズ電圧を生成し、アナログ回路の性能の品質低下及びノイズの増大を生じさせ得ることである。

10

【0009】

幾つかの場合に、比較器回路125は、容量素子115での電圧が比較器回路の閾値に達する場合に瞬時にクロック信号をデジタルカウンタ回路145へ送信する。この同じクロック信号はまた、電荷除去回路135に、電荷素量を容量素子から除去させる。そのような回路は、カウント動作のために使用又は必要とされる外部のタイミングストロブが存在しないので、“非同期”デジタルピクセルと呼ばれる。非同期デジタルピクセル回路は、それらが小型であり、比較的簡単であり、タイミングストロブを必要とする同様の回路よりも低い電力を有することができるので、望ましい。しかしながら、非同期デジタルピクセルが、ランダムな電源過渡電圧及びランダムな基板電圧変動をもたらし、更にはアナログ回路の品質を低下させ且つノイズを増大させる予測不能のタイミングの瞬間的な電源擾乱を生じさせ得ることは、事実である。加えて、焦点面アレイにおける全体的な入射束110が比較的高い場合に、デジタルピクセルのアレイによって生成される予測不能の電源遷移の積み重なりは、アナログ回路の品質を実質的に低下させる。

20

【0010】

デジタルピクセルにデジタルカウンタを有することの更なる否定的な特質は、デジタルカウンタ145への供給金属ラインが、夫々のピクセル190への金属ラインの利用可能な全体のルーティングの一定割合を消費することである。同様に、カウンタの出力ビットは、焦点面アレイ195のエッジへのルーティングを必要とし、利用可能なルーティング面積を更に消費する。供給配線及び出力ビットルーティング配線の組み合わせは、面積が利用可能であった場合にアナログ供給配線の抵抗を減らして、改善されたアナログ性能をもたらすことができるピクセルのアナログ回路への配線の数及び幅を増大させるのにしばしば必要とされる面積を消費する。この要因とともに、更なるピクセル面積は、カウンタ値が読み出されることを可能にするよう焦点面アレイ195のエッジへ加えられる出力可能回路により消費される。そのような回路は、焦点面アレイ195のエッジへデジタルカウンタ値を伝播するよう構成されるトリストートドライバ150、動的プルダウンマルチプレクサ、シフトレジスタ、又は何らかの他の回路を含んでよい。

30

【0011】

図3を参照すると、他の否定的な特質は、“読出中積分（integrate-while-read）”機能が必要とされる場合に、デジタル記憶素子（例えば、ラッチ155）の追加の組が更にピクセル190内に組み込まれる必要があり、上述されたような、デジタルピクセルにおいてデジタルカウンタ145を有することに付随する問題を、更に悪化させることである。読出中積分モードにおいて、積分インターバルの終わりに、デジタルカウンタ145の値は、デジタル記憶素子155にコピーされ、読み出しのための値、例えば、1度に1つの行又は1つの列を保ち、デジタルカウンタ145を、積分された電荷の更なるカウントのために使用されるよう解放する。

40

【0012】

このように、デジタルピクセル回路は、ピクセルの全体的な電荷保持機能を高めることができるデジタルカウンタ回路を含む。同時に、しかしながら、デジタルピクセル回路は、その使用を制限し得る幾つかの否定的な特質を備える。

【発明の概要】

50

【発明が解決しようとする課題】

【0013】

態様及び実施形態は、概して、焦点面アレイ (FPA) (focal plane array(s)) の読出集積回路 (ROIC) (Read-Out Integrated Circuit(s)) を対象とし、特に、ピクセルごとの平均光電流のアナログ - デジタル変換が ROIC で起こり且つ ROIC の出力が主にデジタルである ROIC の分類を対象とする。様々な実施形態は、夫々のピクセルにおいてアナログ - デジタル変換器 (ADC) を含んで、上述されたようにデジタルピクセルとして知られる ROIC の分類に対する改善を提供することができる。態様及び実施形態によって提供される技術的利点は、従来のアーキテクチャに対して、所与のピクセルサイズ及びプロセス・フォトリソグラフィ・ノードについて、オンチップの ADC を備える ROIC の改善された実現可能性、ダイナミックレンジ、費用、性能、ノイズ性能、及び電力消費を含んでよい。

10

【課題を解決するための手段】

【0014】

一実施形態に従って、ROIC FPA は、行及び列によって編成されている検出器素子又はピクセルの 2 次元アレイを含み、そのようなピクセルは、電荷を積分する容量素子、比較器回路、電荷除去回路、及び可能性があるバイアシング回路を含む、従来技術のピクセルの主たるアナログ部品を備える。しかし、従来のデジタルピクセル回路と異なり、特定の実施形態は、更に以下で論じられるように、FPA の面積の外に夫々のピクセルのデジタルカウンタ回路を置く。加えて、特定の実施形態は、FPA の物理面積の外に、カウンタ読出回路 (例えば、トリステートドライバ)、及び読出中積分のための任意の保持ラッチとともに、カウンタ回路を位置付ける。

20

【0015】

好ましい実施形態において、ROIC FPA は、FPA と同じ集積回路 (IC) 上に、デジタルカウンタ、デジタルカウンタ読出回路、及び任意の保持状態素子を置く。デジタルカウンタ、デジタルカウンタ読出、及び任意の保持状態素子の物理的、論理的、及び回路態様は、焦点面 195 又は含まれるピクセル 190 の物理的な態様の制約によって制限されない。よって、例えば、電荷を積分する容量素子、比較回路、電荷除去回路、及び可能性があるバイアシング回路を有するピクセル回路はピクセルのピッチによって制限され、一方、デジタル回路は、それらの実効密度を増大させ得る他の実効ピッチにおいて配置されてよい。

30

【0016】

代替の実施形態において、ROIC FPA は、デジタル回路、デジタルカウンタ読出回路、及び任意の保持状態素子を同じ IC 上に位置付けないことがあり、代わりに、デジタルカウンタを記憶し且つ変更し且つ読み出すよう構成される同じ IC 上にない別の回路への通信網回路を設けてよい。同じ IC 上にないそのような別の回路は、例えば、フィールドプログラマブルゲートアレイ (FPGA) であってよい。

【0017】

一実施形態に従って、ROIC FPA は、アナログアレイ (フォトダイオード及び積分キャパシタを含む。) と、アナログアレイと物理的に離れたデジタル回路とを含む。アナログ及びデジタルの各領域に含まれる回路は、従来のデジタルピクセルと略同じ機能を実行するよう構成される (例えば、とりわけ、光電流積分、クロッキング、カウント及び/又は読出)。デジタル回路をアナログアレイから物理的に離すことによって、デジタル回路がアナログアレイのサイズによって制限されない設計が達成され、これにより、ピクセルサイズが従来のデジタルピクセルのサイズと同じままであるか、又はそのサイズに対して低減されるにもかかわらず、より高密度の部品が利用可能にされ得る。

40

【0018】

他の実施形態において、撮像システムは、ピクセルセルのアレイと、前記ピクセルセルのアレイから物理的に離れて配置され且つ該ピクセルセルのアレイへ結合される複数のデジタルメモリ素子とを有し、前記ピクセルセルの夫々は、衝突する光に応答して光電流を

50

生成するよう構成される光検出器と、該光検出器へ結合され、前記光電流から電荷を蓄積するよう構成される蓄電デバイスと、該蓄電デバイスへ結合され、前記電荷をアナログ量子化事象信号へ変換するよう構成される量子化回路とを有し、前記デジタルメモリ素子の夫々は、前記ピクセルセルのうちの少なくとも1つと電気通信し、前記ピクセルセルのうちの前記少なくとも1つから前記アナログ量子化事象信号を受信することに対応して、前記ピクセルセルのうちの前記少なくとも1つの前記光検出器に衝突する光の強さに対応するデジタル値を記憶するよう構成される。

【0019】

一例において、撮像システムは、前記ピクセルセルのアレイを含む読出集積回路（ROIC）チップを更に有する。他の例において、前記複数のデジタルメモリ素子は、前記ROICチップに隣接して配置される。一例において、前記ROICチップは、前記ピクセルセルのアレイを含む第1の部分と、該第1の部分とは異なる第2の部分とを備え、該第2の部分は、前記複数のデジタルメモリ素子を含む。他の例において、前記複数のデジタルメモリ素子は、静的ランダムアクセスメモリ（SRAM）及びレジスタファイルのうちの少なくとも1つを含む。撮像システムは、複数のストロークラインを更に有し、該複数のストロークラインの夫々は、前記デジタルメモリ素子のうちの1つへ、及び前記ピクセルセルのうちの少なくとも1つの前記量子化回路へ電氣的に結合され、前記複数のストロークラインは、周期的な時間インターバルで前記量子化回路へストローク信号を送信するよう構成される。一例において、前記量子化回路は、前記ストローク信号を受信することに対応して、前記蓄電デバイスにおける前記電荷が所定の閾値を超えるかどうかを決定するよう構成される。他の例において、前記量子化回路は更に、前記蓄電デバイスにおける前記電荷が前記所定の閾値を超えると決定することに対応して、前記アナログ量子化事象信号を生成するよう構成される。撮像システムは、複数のアナログ-デジタル変換器を更に有し、該複数のアナログ-デジタル変換器の夫々は、入力部及び出力部を備え、前記複数のアナログ-デジタル変換器の夫々は、前記入力部で前記ピクセルセルのうちの少なくとも1つの前記量子化回路へ結合され、前記出力部で前記複数のデジタルメモリ素子のうちの少なくとも1つへ結合され、前記複数のアナログ-デジタル変換器の夫々は、前記アナログ量子化事象信号を前記デジタル値へ変換するよう構成される。

【0020】

他の実施形態に従って、画像検出方法は、ピクセルセルのアレイにおける複数のピクセルの夫々について、当該ピクセルによって当該ピクセルに衝突する放射線に対応して生成された電荷を、夫々のピクセルに付随する複数の蓄電デバイスの1つにおいて蓄えるステップと、夫々の前記蓄電デバイスにおける蓄積された電荷が所定の閾値を超えるかどうかを周期的に決定するステップと、夫々の前記蓄電デバイスにおける前記蓄積された電荷が前記所定の閾値を超えると決定することに対応して、夫々の前記蓄電デバイスにおいて蓄えられている前記電荷を所定の電荷減少量だけ低減し、前記ピクセルセルのアレイから物理的に離れて配置され且つ該ピクセルセルのアレイへ結合されて前記ピクセルのアレイと電気通信する複数のデジタルメモリ素子に含まれるデジタルカウンタにおいて蓄えられ且つ夫々のピクセルに関連する複数のデジタルカウンタ値のうちの1つをインクリメントするステップとを有する。

【0021】

一例において、画像検出方法は、夫々の前記蓄電デバイスにおける残留電荷をアナログ信号へ周期的に変換するステップを更に有する。他の例において、画像検出方法は、前記アナログ信号を、夫々のピクセルに付随する複数のアナログ-デジタル変換器の1つにより夫々のデジタルカウンタ値へ変換するステップを更に有する。他の例において、画像検出方法は、前記夫々のデジタルカウンタ値及び夫々のデジタル2進値のうちの少なくとも1つを出力ビデオフレームにおける複数のピクセルのうちの1つに変換するステップを更に有する。他の例において、画像検出方法は、前記出力ビデオフレームを符号化するステップを更に有する。画像検出方法は、前記ピクセルセルのアレイを含む読出集積回路（ROIC）チップを設けるステップを更に有してよい。画像検出方法は、前記ROICチッ

10

20

30

40

50

プから離れたチップ上に前記複数のデジタルメモリ素子を設けるステップを更に有してよい。他の例において、画像検出方法は、前記ＲＯＩＣチップの第１の部分に前記ピクセルセルのアレイを設けるステップと、前記第１の部分とは異なる前記ＲＯＩＣチップの第２の部分に前記複数のデジタルメモリ素子を設けるステップとを更に有する。他の例において、夫々の前記蓄電デバイスにおける蓄積された電荷が所定の閾値を超えるかどうかを周期的に決定するステップは、複数のクロックサイクルにわたって前記複数のピクセルの夫々について実行される。

【００２２】

他の実施形態に従って、読出集積回路（ＲＯＩＣ）チップの製造方法は、基板上にピクセルセルのアレイを配置するステップと、前記基板上に、前記ピクセルセルのアレイに隣接して、メモリ素子のアレイを配置するステップとを有し、夫々のピクセルセルは、光検出器と、該光検出器へ結合されるキャパシタと、該キャパシタへ結合される比較器とを含み、夫々のメモリ素子は、カウンタと、該カウンタへ結合される蓄積デバイスとを含む。

【００２３】

一例において、前記ＲＯＩＣチップの製造方法は、前記基板上に、前記ピクセルセルのアレイと前記メモリ素子のアレイとの間にある複数のアナログ－デジタル変換（ＡＤＣ）回路を配置するステップを更に有し、該ＡＤＣ回路の夫々は、少なくとも１つのピクセルセル及び少なくとも１つのメモリ素子へ結合される。

【図面の簡単な説明】

【００２４】

【図１】１以上のピクセルを含む焦点面アレイの一例のブロック図である。

【図２】デジタルピクセルを含む焦点面アレイの一例のブロック図である。

【図３】デジタルピクセルを含む焦点面アレイの他の例のブロック図である。

【図４】本発明の態様に従う再分配された読出集積回路焦点面アレイ及び関連するデジタル回路の一例のブロック図である。

【図５】本発明の態様に従う再分配された読出集積回路焦点面アレイ及び関連するデジタル回路の他の例のブロック図である。

【図６】本発明の態様に従う再分配された読出集積回路焦点面アレイ及び関連するデジタル回路の他の例のブロック図である。

【図７】本発明の態様に従う、積分及び電荷減算を含む再分配されたデジタルピクセルの例の動作を説明するブロック図である。

【図８】本発明の態様に従う図７、図９、図１０及び図１１の再分配されたデジタルピクセルの動作の例に対応するタイミング図である。

【図９】本発明の態様に従う、ＳＲＡＭ内のカウンタをインクリメントすることを含む再分配されたデジタルピクセルの例の動作を更に説明するブロック図及びタイミング図である。

【図１０】本発明の態様に従う、スナップショット事象を含む再分配されたデジタルピクセルの例の動作を更に説明するブロック図である。

【図１１】本発明の態様に従う再分配されたデジタルピクセル、読出及び列に基づくアナログ－デジタル変換器の例の動作を更に説明するブロック図である。

【発明を実施するための形態】

【００２５】

少なくとも１つの様々な態様は、添付の図を参照して以下で論じられる。図は、実寸であるよう意図されない。図は、様々な態様及び実施形態の説明及び更なる理解を提供するよう意図され、本明細書に組み込まれてその部分を構成するが、本発明の限定の定義として意図されない。図中、様々な図中に表される夫々の同じ又はほぼ同じ構成要素は、同じ参照符号によって表される。明りょうさのために、あらゆる構成要素があらゆる図において符号を付されなくてよい。

【００２６】

態様及び実施形態は、上述されたもののようなデジタルピクセルを含む、焦点面アレイ

10

20

30

40

50

のための読出集積回路（R O I C）に関する。特定の態様及び実施形態は、単一のデジタルピクセル焦点面アレイを、物理的に共存することができるがそうである必要はない2つの別個の構成要素に再分配することに向けられる。一実施形態に従って、例えば、何らかのバイアシング回路120、閾値比較器125、容量素子（ここでは積分キャパシタと呼ばれる。）115、及び電荷除去回路135を含むピクセルの“フロントエンド”回路は、夫々のピクセルに付随するバックエンド又はデジタル回路（例えば、デジタルカウンタ、読出回路及び任意に保持又は“スナップショット”レジスタを含む。）から空間的且つ概念的に分離され移転されてよい。アナログアレイは、従来の焦点面アレイの同じピクセル次元並びに行及び列編成を保ってよく、一方、デジタル回路は、何らかの態様において、例えば、S R A M又はレジスタファイルを用いて、編成され構成されてよい。仮想の（又は“論理的な”）デジタルカウンタ及びスナップショット又は保持レジスタは、S R A M又はレジスタファイルにおいてビットによって表示されてよく、デジタルプロセッシング回路は、夫々のピクセルについて必要に応じて、カウンタ及びスナップショットレジスタを有効に生成するよう、S R A M又はレジスタファイルから読み出し、変更し、それらに書き込むことができる。加えて、デジタルプロセッシング回路は、R O I Cへ値及び機能を加えるよう、概念的デジタルカウンタへプロセッシング機能を付加してよい。

【0027】

従来のR O I C F P Aの物理的な回路レイアウトは、比較的小さく、必然的にアレイにおいて光検出器と同じピッチを有する。よって、例えば、長波長赤外線（L W I R）F P Aのピクセルが30マイクロメートル（ミクロン又は μm ）ピッチを有する場合は、デジタルピクセル回路のレイアウトも辺ごとに30 μm よりも大きくてはならない。よって、ピクセルのサイズが小さくなるにつれて、回路面積も然るべく縮小する。結果として、従来のアナログピクセルの光電荷保持容量は、ピクセル内のアナログ部品が同じ面積を占有する傾向があるので、ピクセルサイズとともに指数的に減少する。また、従来のアナログピクセルの光電荷保持容量は、オーバーヘッド面積が特定の固定回路のために必要とされ且つレイアウト間隔規則が圧縮可能でないことがあるために、関連する光束よりも高い割合で偏って減少する。反対に、顧客需要の結果として、撮像性能を改善するよう、ピクセルごとの光電荷保持容量を、低減するのではなく、増大させることが望ましい。デジタルカウンタ145は、Nがカウンタビットの数であるとして、 2^N のウェルキャパシティ乗算器を備える。しかしながら、デジタルピクセルのストレージのデジタル保持容量（すなわち、ビット数）はまた、ピクセルサイズが縮小するにつれて達成するのがより困難になり、より厳しいリソグラフィを使用する要件をもたらし、設計の費用、マスク及びシリコンウェハにおいて指数関数的増大を引き起こす。よって、先に論じられたように、たとえば積分キャパシタよりも 2^N 倍多い量子化電荷を記憶することができる保持レジスタ及びデジタルカウンタが夫々のデジタルピクセルにおいて形成され得るとしても、そのような構成は、Nの所望値を達成するために極めて密な回路レイアウトを要し、設計及び製造するのに費用がかかる。加えて、デジタルピクセルは、上述されたように、ピクセル内A D Cカウンタに付随する効果に起因したノイズの増大（又は信号対ノイズ比の低下）のような、幾つかの他の欠点に苦しむ。カウンタ（電荷ダンプの回数を測定する。）の2進値とノイズの量との間には極めて強い相関が存在し得る。例えば、リファレンス電圧においてノイズが存在する場合に、デジタルカウンタは、そのノイズにカウントの数を乗じる。加えて、カウンタ自身が、それらのスイッチング遷移電流のために、電源において“ノイズ”を生成することがある。このデジタル誘発過渡ノイズは、リファレンス電源によって拾得され、先と同じくカウント数を乗じられ得る。非同期ピクセルはまた、隣接するピクセルにおける無関係のスイッチング事象の分布のおかげで、付加的なノイズを積み重ねることがある。よって、例えば、リセット“ゲート”が積分キャパシタにおいて閉じている場合に、隣接セルにおけるリセット開始（beginning-of-reset）事象は、リファレンス信号においてd i / d t電流を引き起こし、リセット終了（end-of-reset）電圧をオフさせ得る。また、電荷共有として知られている現象は、リセット回路を駆動するゲートの供給ラインにおけるA C及びD C電圧に起因して、変動リセット回路にノイズ電子を容量素子1

10

20

30

40

50

15に投入させ得る。

【0028】

このように、たとえピクセル内デジタルカウンタの使用がウェルキャパシタンス制限に対処することができるとしても、デジタルピクセルは、望まないノイズを導入することがあり、更には、カウンタを実装するために高度な製造プロセスを使用する必要があり得るために、厳しい経常外(NRE)及び製造費用に苦しむこととなり得る。従って、回路の全体のサイズを低減しながらピクセルピッチが低減され得るようにピクセルを構成することが望ましい。

【0029】

上述されたように、一実施形態に従って、ROIC FPAは、第1及び第2の物理構造に物理的に分割される。第1の物理構造は、アナログフロントエンド部品(例えば、アナログ量子化器回路)のみを含むピクセルのアレイを含む。第1のアレイのピクセル次元は、従来のFPAアレイにおいて見られるのと同じ又は略同じであってよい。幾つかの実施形態において、第2の物理構造は、SRAM又はレジスタファイルに基づくストレージ及び関連するデジタルプロセッシングロジックを含む。第2のアレイのアスペクト比及びサイズは、厳しく制限されず、従来のデジタルピクセルの光電荷保持容量を低減したサイズ制約を軽減又は排除することができる最良の密度のために最適化されてよい。特に、一実施形態において、デジタルカウンタ145は、ピクセル(すなわち、アナログアレイ又は第1の物理構造)から“除去”され、サイズ及びレイアウトが光検出器アレイによって制限されない第2の物理構造において実装される。結果として、以下で更に論じられるように、有益な面積がデジタルカウンタによって利用されないで、積分キャパシタはより大きくされ得、あるいは、ピクセル全体は(例えば)より小さくされ得る。

【0030】

幾つかの実施形態において、プレスケーラ又は“プレカウンタ”がピクセル内に含まれてよい。しかしながら、カウンタ機能の大部分は、やはり以下で更に論じられるように、依然として第2の物理構造において実装される。他の実施形態において、ROIC FPAは、サンプル・アンド・ホールドキャパシタ及び転送回路がFPAのアナログピクセルに加えられる場合に残留積分電圧値を更にデジタル化することができるADCの列に関連したブロックを含む。ここで記載される実施形態の少なくとも1つにおいて、ROIC PFAは、従来のROIC FPAに対して、改善された感度、ノイズ等価温度差(NEDT)(noise equivalent differential temperature)、及び信号対ノイズ比(SNR)を有する。

【0031】

態様及び実施形態は、それらの適用において、以下の記載において説明されるか又は図面において表される構成要素の配置及び構成の詳細に制限されない。本発明の実施形態は、他の実施形態の能力を有し、様々な方法において実施又は実行可能である。また、ここで使用される表現及び用語は、記載のためであり、限定と見なされるべきではない。本願における“含む”、“有する”、又は“備える”、“包含する”、“伴う”及びそれらの変形の使用は、以降で挙げられている項目及びそれらの等価物並びに付加的な項目を包含するよう意図される。

【0032】

図4は、ピクセル190のアレイを含むFPA195を含む撮像システムの一例のブロック図である。上述されたようにデジタルカウンタ及び関連するデジタル回路がピクセル内に包含される従来のデジタルピクセルと異なり、特定の実施形態に従って、夫々のピクセル190に関連するデジタルカウンタ210は、図4に示されるように、FPA195から離れて位置付けられている。夫々のピクセル190は、上述されたように、光検出器105と、積分容量素子115と、関連するデジタル回路とを含み、積分容量素子115から除去される電荷の量に対応する信号をトリストートゲート150を介して読出ライン185上で周期的に供給する。そのような信号は、上述されたように、電荷除去事象をカウントするデジタルカウンタ210へ供給され、Nビットのデジタル出力信号をData

Outライン上で供給する。DataOut値は、上述されたように、ピクセルのアナログ-デジタル変換である。ピクセル190のアレイ及びそれらの関連するアナログ且つ電荷除去回路をデジタルカウンタ及び関連するデジタル回路から物理的に離すこのような編成は、ピクセルサイズが小さいままであることを可能にしながら、より大きい積分容量素子115のために夫々のピクセル190において更なる空間を生み出す。一実施形態において、撮像システムROICのサイズは、例えば、約31ミリメートル×25ミリメートルであってよい。更に、デジタルカウンタ及び部品を別個の空間に分離することは、より密なメモリ素子の使用、例えば、及び/又は、撮像システムの改善された分解能及び性能のためのピクセルごとの更なるビットを可能にする。

【0033】

依然として図4を参照して、夫々のデジタルピクセル190に関連する積分容量素子115、電荷除去回路135等のようなフロントエンドアナログ回路は、撮像システムの大部分はアナログのFPAアレイ195において配置される。図4に表される例では、上記のピクセル190の回路部品に加えて、ピクセルは、ラッチ155と電荷除去回路135との間に結合されるANDゲート220を含む。ANDゲート220は、図示されるように、その入力部で、積分容量素子115における電荷が、上述されたように比較器125によって定義される閾値を超えていることを示すラッチ155からの信号と、外部の減算信号(Subtract)とを受け入れる。ANDゲート220の出力は、電荷除去回路135へ供給され、電荷除去回路に積分容量素子115から電荷素量を取り出させる。電荷除去事象を示す信号は、上述されたように、ライン185上で供給される。

【0034】

一実施形態において、FPA195のフロントエンド回路は、赤外線検出器アレイへハイブリッド化されてよく、よって、ピクセルピッチは、検出器ピッチと同じであってよい。ハイブリッド化は、例えば、焦点面アレイセンサのようなデバイスのROIC部分と光検出器105とを結合するプロセスを指す。よって、FPA195は、従来のFPAと同じピクセル次元並びに列及び行編成(例えば、1920×1080, 12ミクロンピッチ)を有してよく、これは、撮像システムの幾つかの実施形態をハイブリッド化に適したものとする。デジタルカウンタ210のような、夫々のデジタルピクセル190に関連するバックエンド回路(又はデジタル素子)は、物理的に別個の構造(先に第2の物理構造と呼ばれた。)において位置付けられる。この構造は、アレイフォーマットを有しても有さなくてもよい。例えば、第2の物理構造は、ROICのフットプリント面積を低減するようピクセルアレイの近くで、ROICの異なるシリコン領域において空間的に位置付けられてよく、あるいは、第2の物理構造は、特定のニーズ又はダイサイズに適するようROICの利用可能な面積領域を満たしてよい。他の実施形態において、第2の物理構造は、FPAアレイ195のROICへ通信上結合される別個のICに配置されてよい。第2の物理構造は必ずしも検出器アレイへハイブリッド化されないもので、ビット、レジスタ、及び他の部品のアスペクト比は柔軟であり、多数の異なる方法において実施されてよい。概念を例証すると、デジタルカウンタ210の下位ビットはFPAの同じROICに配置されてよく、一方、上位ビットは隣接するIC又は他の回路に位置付けられてよい。そのような配置は、出力帯域幅を低減し且つダイサイズ制約を満足することができる。

【0035】

図4のトリステートゲート150及びラッチ155は、図3のトリステートゲート150及びラッチ155と機能及び回路組成が類似する一方、動作においては重要な相違が存在する点が留意されるべきである。それらのゲートのタイミング及び機能は異なっており、それら2つの異なるピクセル設計の間で首尾一貫している。より重要なことには、図4において存在するトリステートゲート150及びラッチ155のインスタンスは、より少なく、ROIC上でピクセル内の十分な面積節約及び改善された効率をもたらす。好ましい実施形態において、図4においては唯1つのトリステートゲート150及びラッチ155が存在し、有意により多くのピクセル面積がフロントエンドアナログ回路に利用可能であるという本発明の利点をもたらす。

【0036】

図5を参照すると、一実施形態において、夫々のピクセル190に関連するデジタルカウンタ210を含む第2の物理構造は、如何なる方法によっても編成可能であり、上述されたように、SRAM及び/又はレジスタファイルのようなデジタルメモリ230を用いて実装されてよい。このように、デジタル回路は、例えば、FPAアレイ195と同じ論理構成（例えば、 1920×1080 個の記憶素子）、又は異なる論理構成を有してよい。そのような代替の構成は、修理及び収率向上のために余分のものを含んでよい。SRAM又はレジスタファイルは、異なるレイアウトパターンにおいて編成されてよい。これは、デジタルカウンタ210及び保持レジスタを形成する回路の面積効率が、従来のデジタルピクセルにおいて可能であるよりも、レイアウトアスペクト比及び全体密度の両方に関して、従来設計に対して改善されることを可能にする。

10

【0037】

一実施形態において、リセットロジック140は、デジタルメモリ230のSRAM又はレジスタファイルに関連する更新及び読出回路に組み込まれてよい。

【0038】

少なくとも一実施形態において、デジタルメモリ230は、読出/書込コマンド(RW)に応答してビットをSRAM又はレジスタファイルから読み出すこと又はそれらへ書き込むことを可能にするよう構成される。デジタルメモリ230及び/又は更新及び読出回路240は、以下の機能のうちの幾つか又は全てを実行するよう構成されてよい：

- 1) デジタルカウンタ210を表すNビットのワードを夫々の回路から読み出し、ワードをインクリメント及び/又はデクリメントし、列読出ライン185上で信号により伝えられる情報に基づきワードをデジタルカウンタ210に書き戻す；
- 2) スナップショット事象の間、Nビットのワードをデジタルカウンタ210から読み出し、ワードをスナップショット値として隣接するメモリ位置へ書き込む；
- 3) 他のデジタル信号プロセッシング事象を実行する；且つ/あるいは
- 4) スナップショットレジスタの値を読み出し、値をROICに関連する出力部へ転送する（すなわち、ピクセル値を読み出す）。

20

【0039】

上記のステップは、読出中積分アーキテクチャを実施する。読出中積分アーキテクチャにおいて、夫々のピクセルについて、メモリ位置、すなわち、デジタルカウンタ210を記憶する第1の位置及びスナップショット値を記憶する第2の位置の2つの組が存在する。代替的に、積分後読出(integrate-then-read)アーキテクチャにおいて、デジタルカウンタ210の値を交互のメモリ位置へ転送するのではなく、デジタルカウンタ値は、ROICに関連する出力部へ転送されてよい。そのような配置は、唯1つの記憶位置が夫々のピクセルのデジタルカウンタ210に必要とされるので、全体のメモリサイズをおおよそ半分に低減する。

30

【0040】

一実施形態に従って、デジタルピクセルのデジタルカウンタ210（及び任意に他のデジタルアスペクト又は回路）をアナログアレイから除去し分離し、代わりにデジタルカウンタ210を別個のデジタル構造において実装することによって、上述されたように、多数の異なるレイアウトを適応させることができるSRAM又はレジスタファイルを用いて、面積効率及び費用における有意な改善が達成され得る。例えば、デジタルカウンタ210及びレジスタを形成する回路の面積効率は、レイアウトアスペクト比及び全体密度の両方に関して、大いに増大し得る。このような密度における大いなる増大は、より古く且つより安価な技術がROICを形成するのに使用されることを可能にする。例えば、密度の改善は、実効ピクセルサイズが改善され、同時に、より古い技術が使用され得るほど十分であり得る。よって、例えば、180nm技術は、12ミクロンのピクセルピッチを形成するために使用されてよく、180nm技術が、（例えば）32nm技術を用いて形成されたデジタルピクセルと直接に張り合うことを可能にする。そのような場合に、NRE費用優位は飛躍的であり、例えば、8倍又は16倍であり得る。

40

50

【 0 0 4 1 】

図 6 を参照すると、一実施形態において、撮像システムは、複数の、列又は行に基づくアナログデジタル変換器 (A D C) 3 4 0 を更に含む。 A D C 3 4 0 は、夫々のフレームの終わりに夫々のデジタルピクセル 1 9 0 の積分容量素子 1 1 5 に残されている残留電圧をデジタル化するために使用されてよい。残留電圧がサンプル・アンド・ホールドキャパシタ 3 1 0 へ転送される場合は、次いで、ラインごとに、サンプル・アンド・ホールドキャパシタ電圧は、列読出ライン 3 3 5 上に、そして、アナログ信号からデジタル値 (図示されるように、 D a t a O u t [M] における出力) への変換のために A D C 3 4 0 のうちの 1 つに駆動され得る。電圧転送回路 3 2 0 は、サンプル・アンド・ホールドインーブル信号 (S H e n a b l e) に応答して電圧をサンプル・アンド・ホールドキャパシタ 3 1 0 に転送するために使用されてよい。第 2 の電圧転送回路 3 2 5 は、サンプル・アンド・ホールド出力信号 (S H o u t p u t) に応答して電圧をサンプル・アンド・ホールドキャパシタ 3 1 0 から列読出ライン 3 3 5 上に出力するために使用されてよい。バッファ 3 4 5 は、図 6 に示されるように、列読出ライン 3 3 5 と A D C 3 4 0 との間に結合されてよい。図 6 の回路は、読出中積分アーキテクチャを作り出す。撮像装置設計の技術において通常の知識を有する者 (つまり、当業者) によって認識されるであろうように、本開示の利点を鑑み、読出後積分アーキテクチャは、電圧転送回路 3 2 0 及びサンプル・アンド・ホールドキャパシタ 3 1 0 を除去し、容量素子 1 1 5 における残留電圧を電圧転送回路 3 2 5 を介して列転送ライン 3 3 5 へ直接に運ぶことによって、達成され得る。同じく当業者によって認識されるであろうように、上記の場合において、電圧転送は、電荷転送により置換されてよく、そのような転換は、本発明の全体の機能又は動作に実質的に影響を及ぼさない。

10

20

【 0 0 4 2 】

上述されたように、アナログアレイにおけるピクセルは、列及び行において配置されてよい。一例において、ピクセルの各列は、対応する、列に基づく A D C 3 4 0 へ結合され、この A D C 3 4 0 が残留電圧をデジタル化する。なお、異なる回路トポロジが上記の機能を実行するために使用されてよいこと、更には、A D C 3 4 0 が異なる列の間で時分割方式により使用されてよい (例えば、A D C 3 4 0 の 1 つが、複数の異なるピクセル列又は行に使用されてよい。) ことが理解されるであろう。一実施形態において、A D C 3 4 0 は R O I C に位置付けられる。

30

【 0 0 4 3 】

図 7 乃至 1 1 は、再分配されたデジタルピクセルの様々な態様及び例の動作を更に例示及び説明するブロック及びタイミング図である。

【 0 0 4 4 】

図 7 は、左側にある単一のアナログピクセルの構成要素 (光検出器 1 0 5 、直接注入ゲート 1 2 0 、積分容量素子 1 1 5 、サンプル・アンド・ホールドキャパシタ 3 1 0 、及びユニットセルフロントエンド (U C F E) (Unit Cell Front End) 回路 4 1 0 を含む。) と、中央にある列 A D C 回路 (C o l A D C) 3 4 0 及び列デジタル (C o l D i g i t a l) 4 2 0 と、右側にあるデジタルミラーアレイ 2 3 0 (例えば、集合 S R A M であってよい。) とを表す。積分容量素子 1 1 5 における電圧は、図 8 に表されるように、光検出器 1 0 5 からの光電流に応答して増大する (トレース 4 1 5 は、積分容量素子 1 1 5 における電圧 V i n t を表す。) 。この構成は、例えば、長波長赤外線 (L W I R) 束及び H g C d T e 検出器にうまく適する点が留意されるべきである。なお、他の波長について、他の配置がより最適であり得る。例えば、異なる検出器アレイは、反対の配置においてバイアスをかけられてよく、積分容量素子 1 1 5 における積分電圧へ、仮想接地に対して減少し、次いで増大する。

40

【 0 0 4 5 】

周期的に、クロック信号は、ピクセル単位で、行単位で、列単位で、又はそれらの何らかの組み合わせごとに、U C F E 回路 4 1 0 を呼び出す。積分容量素子 1 1 5 における電圧が閾値を超える場合は、2 つの事象が起こってよい。最初に、厳密な電荷減算のような

50

、電荷除去事象 2 2 5 が U C F E 4 1 0 によって引き起こされ、上述されたように、電荷素量を積分容量素子 1 1 5 から除去する。加えて、U C F E 4 1 0 の出力は、電荷除去事象 2 2 5 が起こったことを列デジタル回路 4 2 0 に知らせるよう列サンプルライン 1 8 5 上で論理値をアサートするためにクロックによって（適切な時点で）有効にされる。フレーム期間の終わりに、残留電圧は、図 8 における波形の右手側において 4 3 5 で指定されるように、積分容量素子 1 1 5 に残存してよい。

【 0 0 4 6 】

図 9 を参照すると、電荷除去事象 2 2 5 が起こり、そのような事象が起きたことが列デジタル回路 4 2 0 に知られる場合に、列デジタル回路 4 2 0（一実施形態において分散される。）は、上述されたように S R A M 又はレジスタファイルにおいてビットとして記憶されたカウンタ値を読み出し、値を“ 1 ”だけインクリメントし、その値を矢印 4 4 5 によって示されるように S R A M 又はレジスタファイルに書き戻してよい。他の例において、グレイコード又は線形フィードバックシフトレジスタ（ L F S R ）符号化のような代替のカウントシーケンスが実施されてよい。加えて、処理において、他の動作が実行されてよく、例えば、“ピクセル内”デジタルプロセッシングを実行するメカニズムとしてデクリメント又は（他の仮想ピクセル位置へ）シフトする。

【 0 0 4 7 】

図 1 0 を参照すると、読出中積分を達成する一実施形態において、フレーム期間の終わりに、ストローブ又はクロックは、夫々のピクセル U C F E 4 1 0 に、積分容量素子 1 1 5 からの値をサンプル・アンド・ホールドキャパシタ 3 1 0 にコピー又は転送させて、積分容量素子の残留電圧を保持する。同時に、又は略同時に、列デジタル回路 4 2 0 は、矢印 4 6 5 によって示されるように、カウンタ値（ S R A M 又はレジスタファイルに含まれる。）をスナップショット位置（同じく S R A M 又はレジスタファイルにある。）にコピーする。幾つかの実施において、全ての S R A M 又はレジスタファイルのカウンタ位置をそれらの対応するスナップショット位置に同時にコピーしようと試みることは、好ましくないことがあり、そのような動作は、追加の回路及び面積を必要とすることがあり、デジタルメモリ 2 3 0 の使用の価値を低下させ得る。然るに、一実施形態において、 S R A M 又はレジスタファイルのビットは、例えば、 1 6 といった何らかの適当な数量においてクラスタ化される。加えて、コピー又は転送の動作は、転送が順次に行われるように、同数、例えば、 1 6 のクロックサイクルを必要としてよい。一実施形態において、それらの 1 6 のサイクルは、スナップショット事象の存続期間を可能な限り短いままとするように、可能な限り直ぐ近くにある。以下で更に論じられるように、このように S R A M 又はレジスタファイル（又は他のストレージ）をクラスタ化することには、多くの他の利点が存在し得る。

【 0 0 4 8 】

図 1 1 を参照すると、一実施形態において、サンプル・アンド・ホールドキャパシタ 3 1 0 の値及びスナップショットデジタル値は、出力ビデオストリーム 4 5 0 を形成するよう、ライン単位で、次いで列単位で読み出される。サンプル・アンド・ホールドキャパシタ 3 1 0 の値がライン 3 3 5 上で読み出されると（矢印 4 7 5 によって表される。）、列に基づく A D C 3 4 0 は、残留電圧を 2 進値に変換する。その後、 A D C の値及び記憶されているスナップショット値は、例えば、ピクセルごとに、結合され、ビデオ出力チャネル 4 5 0 において送信され、そして、デジタルフォーマッタ 4 6 0 によって符号化形式においてフォーマットされてよい（例えば、 8 b 1 0 b ）。

【 0 0 4 9 】

デジタルカウンタ 2 1 0 及びスナップショットレジスタのための S R A M 又はレジスタファイルストレージ、並びに撮像システムのデジタルプロセッシング回路を構成するために使用され得る多くの回路トポロジが存在する。 S R A M 又はレジスタファイルは、 F P A アレイ 1 9 5 におけるピクセルの 1 つの行及び少なくとも 1 つの列に付随してよい。一実施形態において、回路は、 1 6 論理列幅による N ビット深の配置を含む。 S R A M ワードライン高さは、代替的に、 6 論理列に 2 ワード（例えば、デジタルカウンタのための 1

10

20

30

40

50

ワード及びスナップショットレジスタのための1ワード)を乗じた結果である32ワードであってよい。デジタル回路を実施するために使用される回路は、デジタルカウンタ及びスナップショットレジスタを含むデジタルストレージの1行×16列の配置を含んでよい。例えば、デジタルカウンタ及びスナップショットレジスタは、9ビット幅(すなわち、 $N = 9$ ビット)のブロックに配置される。ブロックは、16列を単位として、何らかの所望の数の行を構成するようスタックされてよく、ブロックは、クロック及び他のデータ信号が自由にそれらを行き来することを可能にするようアライメントされてよい。あらゆる数のブロックが、所望の数の列を達成するよう互いに隣接して置かれてよい。他の行及び列サイズ配置が可能であり、且つ、行及び列の機能は入れ替えられてよいことが理解されるであろう。

10

【0050】

上述されたように、SRAM又はレジスタファイルの配置は、ハイブリッド化されたピクセルを適合させるために物理的に制限されない。更に、より大きいデジタルワード(例えば、13ビット)が、SRAMのためにROICにおいてより広い面積を用いることによって形成され得る。一実施形態において、撮像システムROICのサイズは、例えば、おおよそ31ミリメートル×25ミリメートルであってよい。

【0051】

撮像システムのデジタル回路の少なくとも一部を実施するための、SRAM及び/又はレジスタファイルのようなデジタルメモリの使用の更なる利点は、デジタルメモリにおける点欠陥を補償又は解消して、撮像システムのロバスト性を改善するために使用され得る様々なメカニズムが存在することである。SRAMにおける欠陥を補償する技術の一例は、2012年5月5日付けで出願された、“Repair Device and Method for Integrated Circuit Structured Arrays”と題された自己の同時係属米国特許出願第13/411967号において記載されている。

20

【0052】

このように、態様及び実施形態は、ピクセル内回路が2つの構造、例えば、アナログアレイ及びデジタルメモリに再分配される、デジタルピクセル能力を実施するアーキテクチャを提供する。デジタルメモリは、ROIC上にあってもなくてもよい。アナログアレイは、上述されたように、ピクセルごとに、入力された光電流を量子化する。列に基づくストロブラインは、上述されたように、関連するデジタルカウンタ210をインクリメントするよう、量子化事象をデジタルアレイへ運ぶ。一実施形態において、サンプル・アンド・ホールドキャパシタ310がアナログアレイに加えられてよく、更なる列に基づくアナログ-デジタル変換器340は、システムのダイナミックレンジを広げるために使用されてよい。上記の実施形態は、スナップショット及び“読出中積分”動作を実施する。しかしながら、他のモードの動作及び構成も実施されてよい。対象及び実施形態は、デジタルカウンタ210のようなデジタル機能を隣接する又はチップ外の領域に移動させることによって実効回路密度を増大させることを含め、上述されたように、多数の利点を提供することができる。一実施形態において、全体のデジタルカウンタ機能は、上述されたように、ピクセルのアナログ区域から除去され、デジタルアレイにおいて実装される。他の実施形態において、“サブカウンタ”が、“プレスケーラ”を提供するよう、比較的少ないフィットを含んでピクセル内で実装されてよい。サブカウンタは、例えば、1ビット、2ビット又は3ビットといった小さいビットのカウンタであるから、ピクセル内で多くの面積を使い尽くさず、一方、より大きい(例えば、12ビット又は16ビット)デジタルカウンタ210は、ピクセル外に移動され、上述されたように、デジタルメモリ230を用いて実施される。然るに、サブカウンタを含む実施形態でさえ、従来のデジタルピクセルに対する有意なサイズ及び/又は密度の改善を達成することができる。

30

40

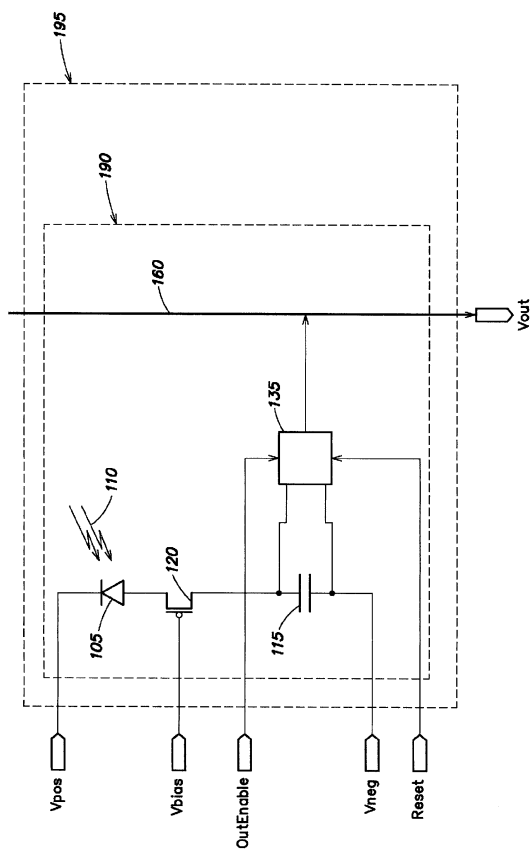
【0053】

本発明の少なくとも一実施形態の幾つかの態様を先に記載してきたが、当然に、様々な代替、変更及び改善が当業者に容易に想到可能であろう。そのような代替、変更及び改善は、本開示の部分であるよう意図され、本発明の適用範囲内にあるよう意図される。然る

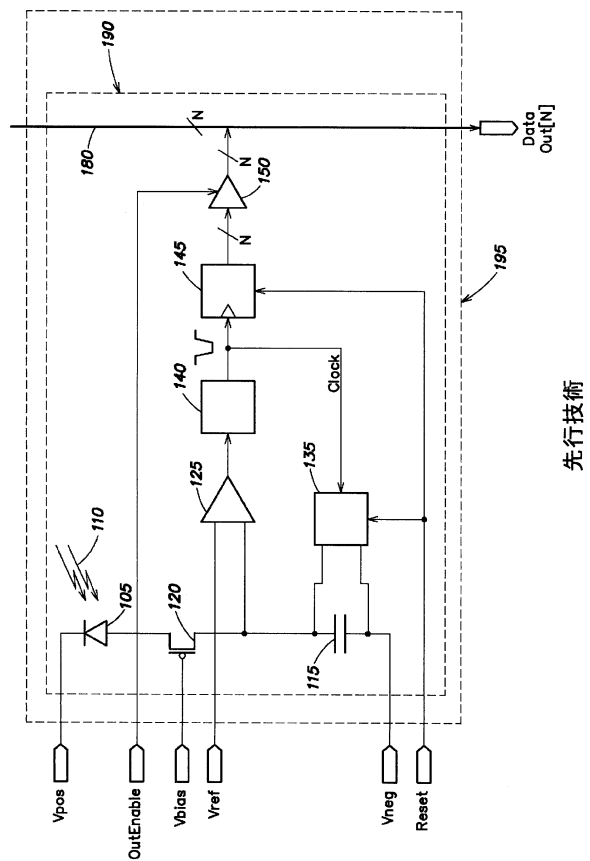
50

に、先の記載及び図面は、単に、一例である。

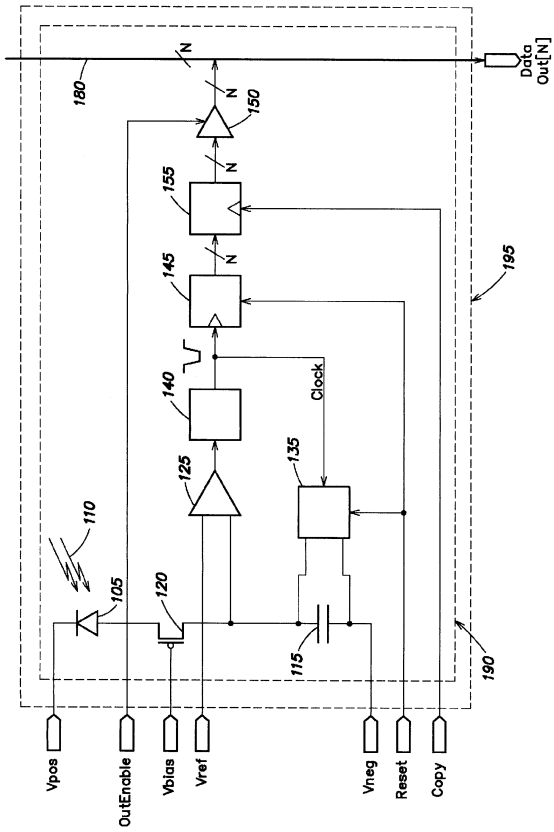
【図 1】



【図 2】



【図 3】



【図 4】

先行技術

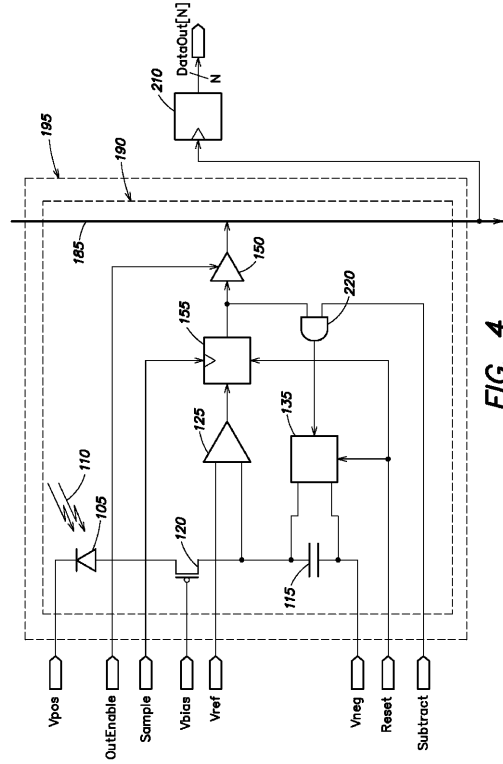
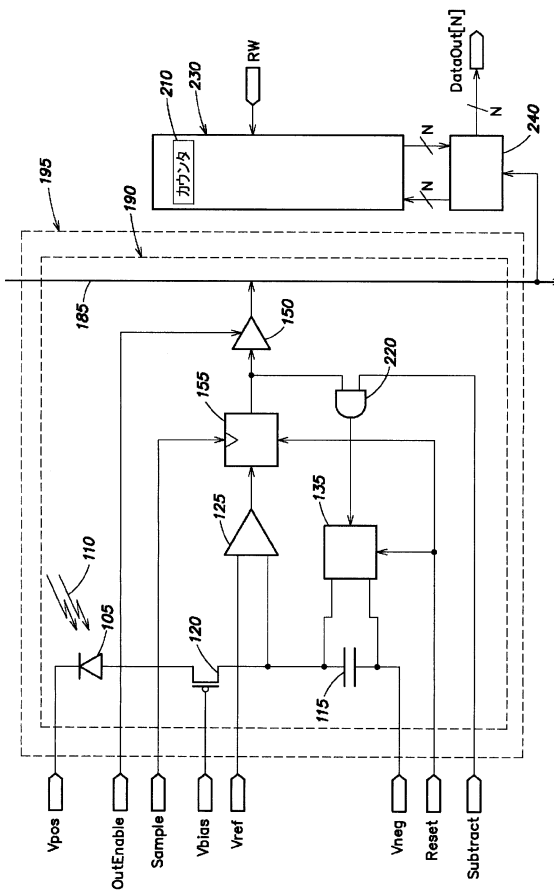
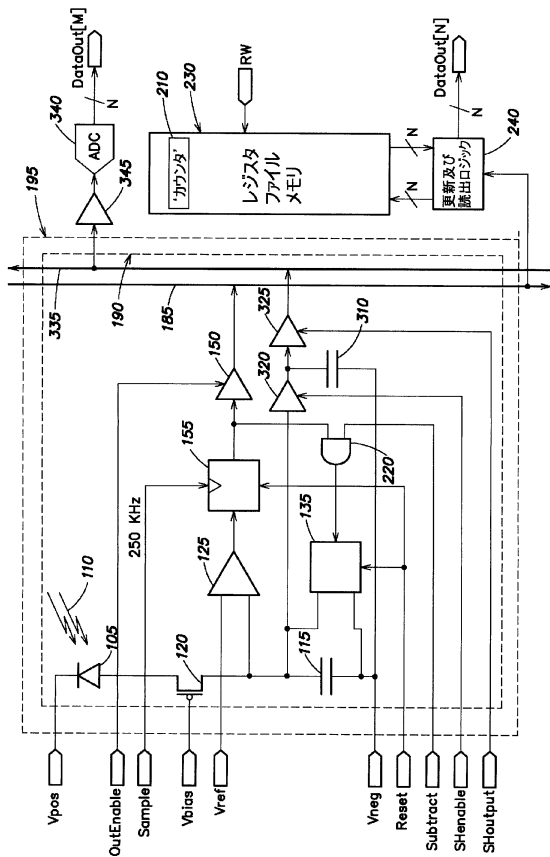


FIG. 4

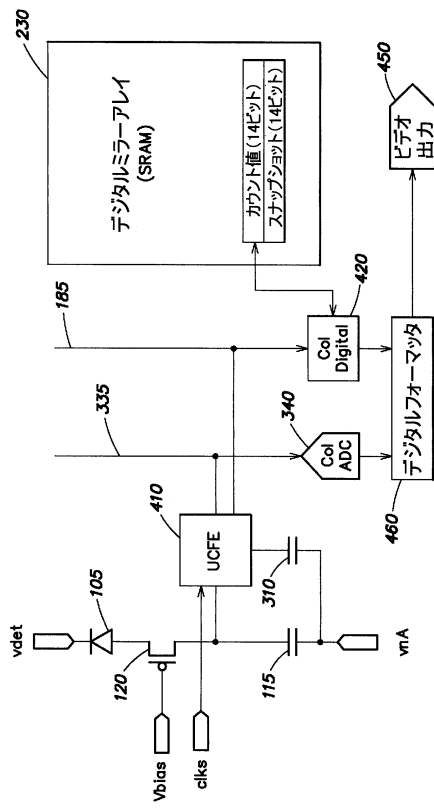
【図 5】



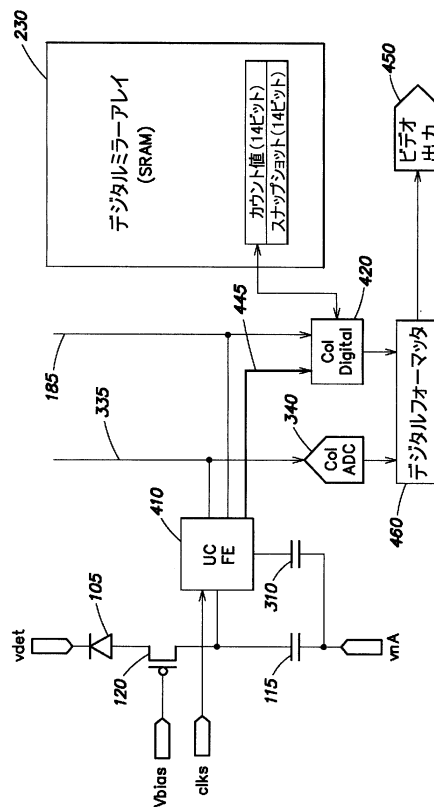
【図 6】



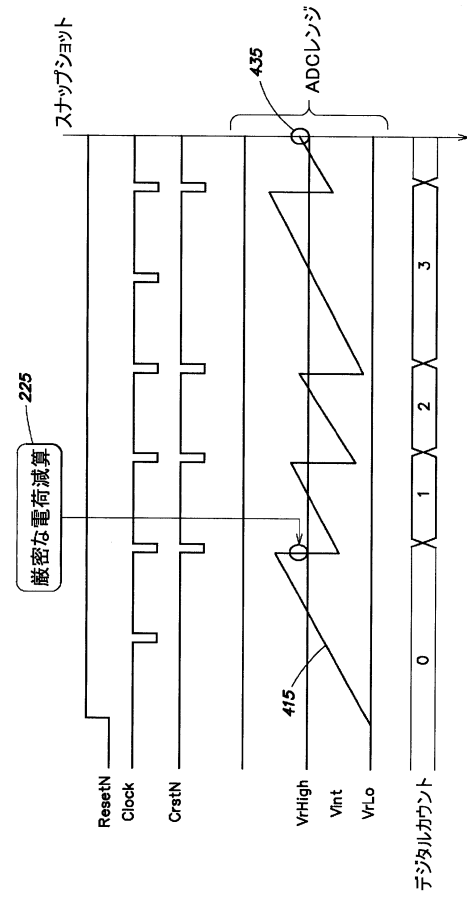
【図 7】



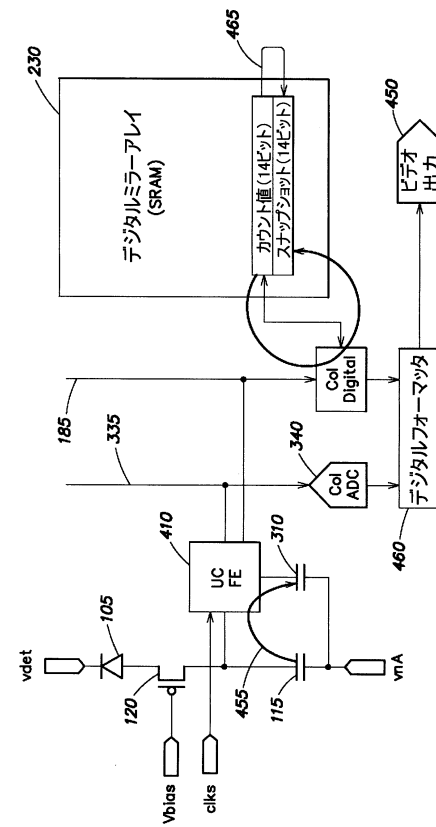
【図 9】



【図 8】



【図 10】



フロントページの続き

(72)発明者 ボエムラー, クリスチャン, エム.

アメリカ合衆国 カリフォルニア州 9 3 4 3 6 ロンボク コマース・ストリート 4 3 3

審査官 鈴木 肇

(56)参考文献 米国特許出願公開第2010/0194956(US, A1)

米国特許出願公開第2010/0140732(US, A1)

米国特許出願公開第2011/0215222(US, A1)

米国特許出願公開第2014/0061442(US, A1)

特表2006-523074(JP, A)

米国特許第6977601(US, B1)

特表2009-543454(JP, A)

特開2011-071958(JP, A)

米国特許出願公開第2008/0158400(US, A1)

(58)調査した分野(Int.Cl., DB名)

H04N 5/30 - 5/378

H01L 21/339

H01L 27/14 - 27/148

H01L 29/762