[19] 中华人民共和国国家知识产权局

[51] Int. Cl[7]
G06F 13/00
G06F 13/28

[12] 发明专利说明书

[21] ZL 专利号 98805654.2

[43] 授权公告日 2003 年 5 月 28 日

[11] 授权公告号 CN 1109980C

[22] 申请日 1998.5.14 [21] 申请号 98805654.2

[30] 优先权

[32] 1997. 5.30 [33] JP [31] 142157/1997

[86] 国际申请 PCT/JP98/02121 1998.5.14

[87] 国际公布 WO98/54650 日 1998.12.3

[85] 进入国家阶段日期 1999.11.30

[71] 专利权人 三洋电机株式会社

地址 日本大阪府

[72] 发明人 石桥秀树

[56] 参考文献

JP64－76356 1989.03.22 G06F13/28

JP7－334451 1995.12.22 G06F13/28

审查员 张雪梅

[74] 专利代理机构 中国专利代理(香港)有限公司

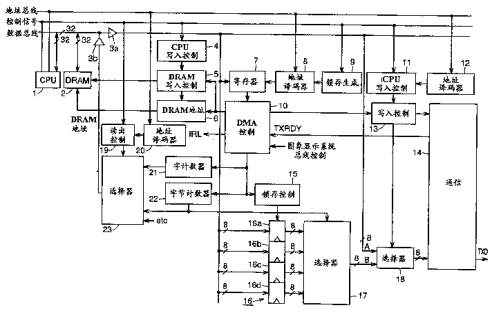
代理人 姜郭厚 李亚非

权利要求书 1 页 说明书 7 页 附图 4 页

[54] 发明名称 通信 DMA 装置

[57] 摘要

当使数据总线与 CPU(1)切离并将发送就绪信号(TXRDY)激活时，DMA 控制电路(10)，根据由 CPU(1)设定的 DRAM(2)的指定存储区域的起始地址及地址宽度，将 32 位的数据一并读出，并存储在发送缓冲器(16)内。 选择器(17)，每次从发送缓冲器(16)选择 8 位数据，在写入通信电路(14)后输出，并将总线释放请求解除，每次从发送缓冲器(16)读出 8 位的数据，写入通信电路(14)。 当再次供给发送就绪信号时，重复进行上述处理。



ISSN1008-4274

1. 一种通信 DMA 装置，使 CPU、通信电路及存储器共用数据总线，并用于将存储于上述存储器的发送数据通过上述通信电路输出到外部，该通信 DMA 装置包括：寄存装置，通过由上述 CPU 进行的控制，存储指示上述存储器上的存储着应发送的数据的区域的信息、指示应发送的数据容量的信息、及指示通信开始的信息；总线切换请求装置，为从上述存储器读出规定位宽的发送数据，请求上述 CPU 释放上述数据总线，并在读出结束后立即将数据总线与 CPU 连接；暂存装置，根据存储在上述寄存装置内的信息，暂时存储通过上述数据总线从上述存储器读出的数据；及数据输出装置，对暂时存储在上述暂存装置内的规定位宽的数据进行分割并以每次若干位的方式通过通信电路输出到外部。

2. 根据权利要求 1 所述的通信 DMA 装置，其特征在于：还具有 DMA 控制装置，当暂时存储在上述暂存装置内的所有数据的发送结束时，用于控制以反复从上述存储器读出下一个发送数据并进行发送处理。

3. 根据权利要求 1 所述的通信 DMA 装置，其特征在于：还包含对从上述存储器读出数据的次数或向上述通信电路提供的数据的次数进行计数并将该计数值输出到上述数据总线的计数装置，上述 CPU，通过上述数据总线读取上述计数装置的计数值。

4. 根据权利要求 1 所述的通信 DMA 装置，其特征在于：所述 CPU 当其他装置请求释放上述数据总线时，如该装置的总线释放请求在前时，则使数据总线对该装置释放，因此而在该装置的处理结束后由上述通信 DMA 装置进行处理；并且所述 CPU 当该通信 DMA 装置的总线释放请求在前而在其处理过程中有其他装置请求释放总线时，该通信 DMA 装置在立即中断该处理后，将上述数据总线让给该其他装置，因此而在该装置的处理结束后，使上述数据总线再次返回到上述通信 DMA 装置，重新开始处理。

通信 DMA 装置

技术领域

本发明涉及通信 DMA 装置，尤其是将用数字式静像摄影机摄制的图像数据输出到个人计算机时使数据总线从 CPU 释放并将存储在 DRAM 内的图像数据通过通信线路输出的通信 DMA 装置。

背景技术

在数字式静像摄影机等中，通常，将所摄制的图像数据存储在 DRAM 内，由 CPU 读出所存储的图像数据，并传送到记录媒体作为图像保存，此外还可以传送到显示装置将图像映出。DRAM 可将图像数据区域以外的区域用作进行各种处理的工作区。例如，在将图像数据通过串行通信接口传送到个人计算机等时，在记录媒体上通常存储着按 JPEG 格式压缩后的图像数据，并从中读出其尺寸适于发送的图像数据，将其暂时写入 DRAM 的工作区，然后，CPU 读出图像数据并作为发送数据写入通信电路，从而以串行形式输出发送数据。

当通过反复进行上述处理而完成对工作区的全部图像数据的发送时，读出下一个发送尺寸适当的图像数据，写入 DRAM，并通过反复进行与上述同样的处理而继续发送。

但是，为使通信高速化，必须使 CPU 为通信控制所专用，因而在这段时间里不能进行其他处理。此外，控制摄影机的 CPU，通常很少用 8 位总线进行控制，一般是用 16～32 位总线控制。

另一方面，通信处理一般是以 8 位为单位进行，众所周知的 8251 等，作为非同步/同步通信芯片也是用 8 位进行处理。因此，假如进行着控制的 CPU 是 32 位总线，则总线的数据被分成 7～0、15～8、23～16、31～24 位的 4 个字节，其中，7～0 位的数据可以直接写入通信电路，但 31～8 位的数据则必须在对 7～0 位进行重新分配后写入通信电路。因此，与将 32 位的数据一并传送的情况相比，CPU 的负荷增大，其结果是使 CPU 的处理速度变慢了。特别是，当从摄影机向打印机直接传送图像数据时，要求非常高的传送速度，因而存在着超出 CPU 的处理能力的问题。

因此，本发明提供一种可以减轻 CPU 的负荷并能进行高速传送的通信 DMA 装置。

发明内容：

本发明的通信 DMA 装置，使 CPU、通信电路及存储器共用数据总线，并用于将存储在存储器内的发送数据通过通信电路输出到外部，该通信 DMA 装置的特征在于：通过由 CPU 进行的控制，将指示存储器上的存储着应发送的数据的区域的信息、指示应发送的数据容量的信息、及指示通信开始的信息存储在寄存器内，为从存储器读出规定位宽的发送数据，请求使数据总线从 CPU 释放，并在读出结束后立即由总线切换请求电路将数据总线与 CPU 连接，根据存储在寄存器内的信息将通过数据总线从存储器读出的数据暂时存储在暂存电路内，对暂时存储着的规定位宽的数据进行分割并以每次若干位的方式通过通信电路输出到外部。

因此，按照本发明，在进行串行通信控制的基础上，CPU 可以通过执行若干个命令执行发送，并能避免使 CPU 为通信控制所专用，因而可以将花在通信控制上的时间用来进行其他的处理。而且，一旦对通信数据进行了 DMA（直接存储器存取），则即可通过监视通信电路的标志进行发送处理而不管数据总线的状态，所以能够实现在发送数据与发送数据之间无间隙的发送。此外，由于可以缩短通信系统 DMA 专用数据总线的时间，所以对 CPU 的处理的影响非常小，因此不仅能高速通信，而且作为系统整体也可以进行高速处理。

在更理想的实施例中，由计数电路对从存储器读出数据的次数或向通信电路提供的数据的次数进行计数，并将该计数值输出到数据总线，使 CPU 通过该数据总线读取计数值。

进一步，在另一理想的实施例中，当其他装置请求释放数据总线时，如该装置的总线释放请求在前，则使数据总线对该装置释放，并在该装置的处理结束后由通信 DMA 装置进行处理，当通信 DMA 装置的总线释放请求在前而在其处理过程中有其他装置请求释放总线时，由通信 DMA 装置将处理中断，并将数据总线让给该其他装置，在该装置的处理结束后，使数据总线再次返回到通信 DMA 装置，重新开始处理。

附图说明：

图 1 是本发明一实施例的电路图。

图 2A～图 2H 是表示发送 DMA 处理的时序的时序图。

图 3A～图 3I 是表示发送 DMA 时的发送数据的写入控制时序的时序图。

图 4A～图 4D 是表示发送 DMA 时的总线控制时序的时序图。

具体实施方式：

为了更详细地说明本发明，参照附图对其进行说明。如图 1 所示，CPU1 的数据总线宽度由 32 位构成，在该数据总线上，连接 DRAM2，同时，通过输入缓冲器 3a 连接着寄存器 7、发送缓冲器 16 及选择器 18。用数字式静像摄影机摄制的图像数据，作为传送数据存储在 DRAM2 内。为了对该 DRAM2 进行写入控制，设有 CPU 写入控制电路 4、DMA 写入控制电路 5 及 DRAM 地址电路 6。

在将数据总线与 CPU1 切离时，DMA 控制电路 10 进行 DMA 控制，用于使存储在 DRAM2 内的数据不通过 CPU1 读出。由 CPU1 将 DRAM2 的存储起始地址、地址宽度及传送开始标志通过地址译码器 8 存储在寄存器 7 内，DMA 控制电路 10，根据这些控制数据从 DRAM2 读出数据。将所读出的数据供给发送缓冲器 16。发送缓冲器 16，具有用于分别存储 4 字节数据的 1 个字节的区域 16a～16d，并由选择器 17 选择每个字节的数据，进一步，通过选择器 18 写入通信电路 14 并输出到外部。

字计数器 21，用于对写入通信电路 14 的数据的字数进行计数，而字节计数器 22，对其字节数进行计数。CPU1，当与数据总线连接时，可以在读出控制电路 19 及地址译码器 20 的控制下通过输出缓冲器 3b 和选择器 23 读得字计数器 21 及字节计数器 22 的计数值。

以下，说明图 1 所示实施例的具体动作。假定通信电路 14 与 8251 具有互换性。8251 通信电路，在初始状态下为模式设定等待状态。因此，CPU1 必须对通信电路 14 写入模式数据。当 CPU1 对与通信电路 14 的模式/命令对应的地址执行写入处理时，预先对 CPU 写入控制电路 11 和地址译码器 12 分配通信电路系统的地址，并通过写入控制电路 13 及选择器 18 将模式数据写入通信电路 14。

模式数据，例如在非同步通信中，将起始位、结束位都设定为 1 位、字符长度为 8 位、波特率为 ×16 模式，当模式的设定结束时，通信电路 14 变为命令设定等待状态，所以，CPU1 再次对同一地址进行写入，从而设定命令。这里，将允许发送设定为激活状态。

在将允许发送设定为激活状态时，通过将发送数据写入通信电路 14，以串行形式输出该写入数据。而当使允许发送变为激活状态时，发送就绪信号（TXRDY）被激活。另外，这里，假定传送数据已预先由 CPU1 通过 CPU 写入控制电路 4、DRAM 写入控制电路 5、DRAM 地址电路 6 写入 DRAM2。

接着，在该状态下进行 DMA 控制电路 10 的设定。该设定，由寄存器 7、地址译码器 8 及锁存生成电路 9 进行设定控制。对控制 DMA 控制电路 10 的几种寄存器的每一个分配地址，并将来自 CPU1 的控制数据存储在规定的寄存器内。如上所述，该控制数据，是指示 DRAM2 的存储传送数据的的某个区域的存储起始地址、地址宽度及传送开始标志。首先，设定 DRAM2 的区域，然后，当传送开始标志被激活时，从 DRAM2 读出 1 个字的数据作为第 1 传送数据。该字与 CPU1 的数据宽度相等，这里为 32 位。

DMA 控制电路 10 读出的数据，通过锁存控制电路 15 的锁存控制，暂时存储在发送缓冲器 16 内。这里，32 位的传送数据，按每 1 个字节分别存储在区域 16a～16d 内。然后，每当字节计数器 22 计得 1 个字节时，切换选择器 17，且通过使选择器 18 选择在发送缓冲器侧，选择 8～0 位的缓冲器并由写入控制电路 13 将其中的数据作为发送数据写入通信电路 14。

图 2A～图 2H 是表示发送 DMA 处理时序的时序图。这里，参照图 2A～图 2H 进行更为具体的说明。图 2A 中的[a]时刻，表示在时钟信号的上升沿将通信电路 14 的允许发送设定为激活状态，并使图 2B 所示的发送就绪信号（TXRDY）变为激活状态。在 TXRDY 变为激活状态后，在由[b]指示的时刻，将传送开始标志设定为激活状态。这里，假定与 DRAM2 的区域有关的设定已进行过设定。当 DMA 控制电路 10 检测到传送开始标志时，使中断标志 IRL 变为禁止状态，DMA 控制电路 10，如图 2C 所示，在[c]时刻请求 CPU1 释放数据总线。

另外，在同一时刻，使 DRAM2 的地址与起始地址连接，并将图 2G

和图 2H 中示出的字计数器 21 和字节计数器 22 的各自的计数值分别设定为 0。在 CPU1 收到总线释放请求并如图 2D 所示结束其自身对数据总线的访问后，在[d]时刻通知已将总线释放，当 DMA 控制电路 10 检测到总线已被释放时，从 DRAM2 读出设定在 DRAM2 内的起始地址为 1 个字的数据，同时将其存储在发送缓冲器 16 内。当在[e]时刻从 DRAM2 读出数据时，将总线释放请求解除，CPU1 则在[f]时刻将总线的释放解除。

另一方面，在将发送缓冲器 16 内的数据写入通信电路 14 时，TXRDY 在[g]时刻变成禁止状态，在发送了 1 个字中的 1 个字节的数据后，使字计数器 21、字节计数器 22 的计数值递增，同时由 DRAM 地址电路 6 将 DRAM2 的地址递增。与此同时，通信电路 14 输出串行发送数据，并在提供下一个 TXRDY 之前保持等待状态。。

当从通信电路 14 进行发送数据的发送时，在[h]时刻使发送就绪信号再次变为激活状态。由字节计数器 22 对 1 个字中的尚未发送的数据进行计数，由选择器 17 选择后写入通信电路 14，并在[i]时刻仅使字节计数器 22 递增。然后，使发送就绪信号变为禁止状态。

当反复进行上述动作并结束对 1 个字中的全部数据的发送时，为从 DRAM2 读出下一个字数据，等待发送就绪信号的激活，并进行从[c]到[g]的处理。以下，通过同样的处理依次进行传送。

图 3A～图 3I 是表示发送 DMA 时的发送数据的写入控制时序的图。在该图 3A～图 3I 中，示出对字数据进行了 2 次传送时的时序，上述图 2A～图 2H 可以说是将图 3A～图 3I 的时序放大后示出的情况。

紧接在传送开始之后的第 1 传送字，如图 3E 所示，相当于 T0。将该第 1 传送字 T0 从 DRAM2 读出后存储在发送缓冲器 16 内，并选择低位的 8 位。该低位的 8 位相当于 T00。在将 T00 存储在通信电路 14 内时，如图 3G 所示，从通信电路 14 的 TXD 以串行形式输出 T00。按照 8251 的初始设定，首先，输出 1 位的初始位，然后输出与 T00 相当的数据，最后输出结束位，从而完成 1 个字节的发送。

接着，依次反复进行第 2 字节（T01）～第 4 字节（T03）对通信电路 14 的写入发送，并从 DRAM2 读出第 2 字节（T01），对第 5 字节（T10）～第 8 字节（T13）进行同样的处理。如图 3H 和图 3I 所示，字计数器 21 计数到 2，字节计数器 22 计数到 4，并将与之相当的数

据写入通信电路 14，在图 3A 所示的 TXRDY 变为激活状态的时刻，DMA 控制电路 10，识别出 DMA 的结束，并通过将作为 DMA 的结束中断信号的 IRL 激活而通知 CPU1，结束一连串的处理。

当数据总线连接着 CPU1 时，字计数器 21 和字节计数器 22，在读出控制电路 19 及地址译码器 20 的控制下通过选择器 23 将各自的计数值供给 CPU1，使 CPU1 可以读出各计数值。读出控制电路 19，根据 CPU1 的读出控制信号及地址选择要读出的数据。此外，地址译码器 20 分配与要读出的数据对应的地址，并将其译码值传送到读出控制电路 19。选择器 23，根据来自读出控制电路 19 的选择信号选择要读出的数据。CPU1，可以通过读出该值掌握发送的进行情况。此外，即使当从通信目的端接收到停止发送的请求并使 DMA 中断时，也仍能算出剩余的数据数。

另外，在数字式静像摄影机作为系统的动作中，不仅通信系统的 DMA 使用数据总线，有时为了显示图像而使数据总线从 CPU1 释放，以便能对 DRMA2 进行读出/写入。在决定了图像显示的时刻如未进行存取，则可能对显示造成影响，所以应使图像显示系统的 DRMA2 的读出/写入优先。

图 4A～图 4D 是表示发送 DMA 时的总线控制时序的图。在图 4A～图 4D 中，在[a]时刻，图像显示系统的组件请求释放总线。在收到请求后，CPU1 在结束其自身的访问的时刻将总线释放。假如在[b]时刻通信系统如图 4B 所示请求释放总线，则通信系统监视图像显示系统的释放总线请求，由于此时图像显示系统正处在请求释放总线的过程中，所以，通信系统保持等待处理状态。假定在[c]时刻图像显示系统解除了总线的释放。通信系统识别到该情况后开始自身的处理。在[d]时刻，通信系统的处理结束，并当将总线的释放解除时，CPU1 本身与总线连接。

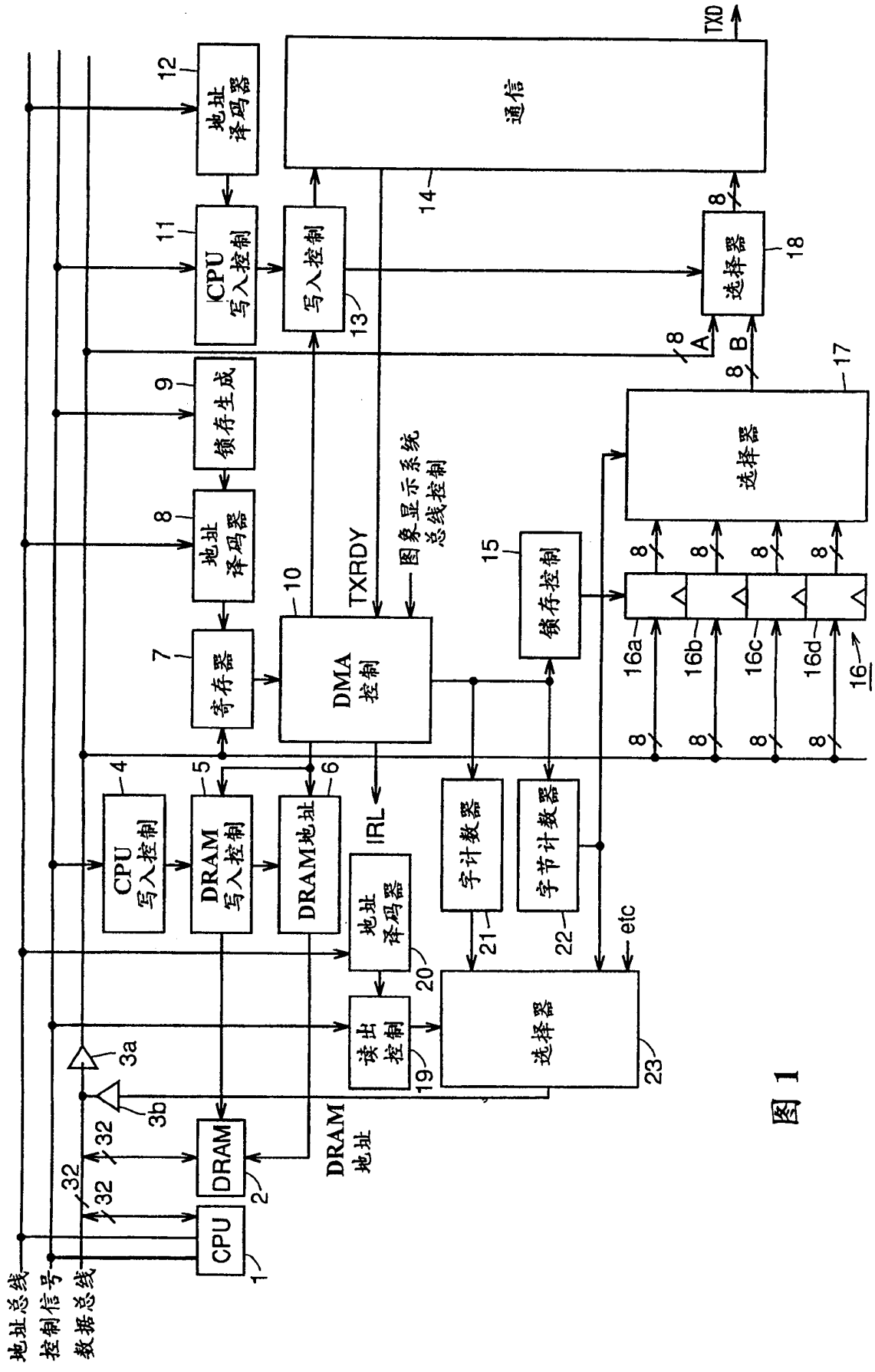
在到此为止的总线控制中，〈a〉期间是图像显示系统的处理期间，〈b 〉期间是通信系统的处理期间，〈c 〉期间表示 CPU1 能够访问的期间。接着，假定在[e]时刻通信系统再次请求释放总线。CPU1 在收到请求后将总线释放，通信系统开始进行处理。这里，在[f]时刻，图像显示系统请求释放总线。通信系统识别到其请求后将处理中断并使图像显示系统具有总线。在[g]时刻，图像处理结束，并将总

线释放请求解除。通信系统识别到该情况后，重新开始处理。在[h]时刻结束处理，并将总线释放请求解除。CPU1 本身与总线连接。总线的释放请求，以图像显示系统和通信系统的 AND 信号的形式返回 CPU1，并且，在总线释放期间，CPU1 不识别执行着哪一种处理。

5

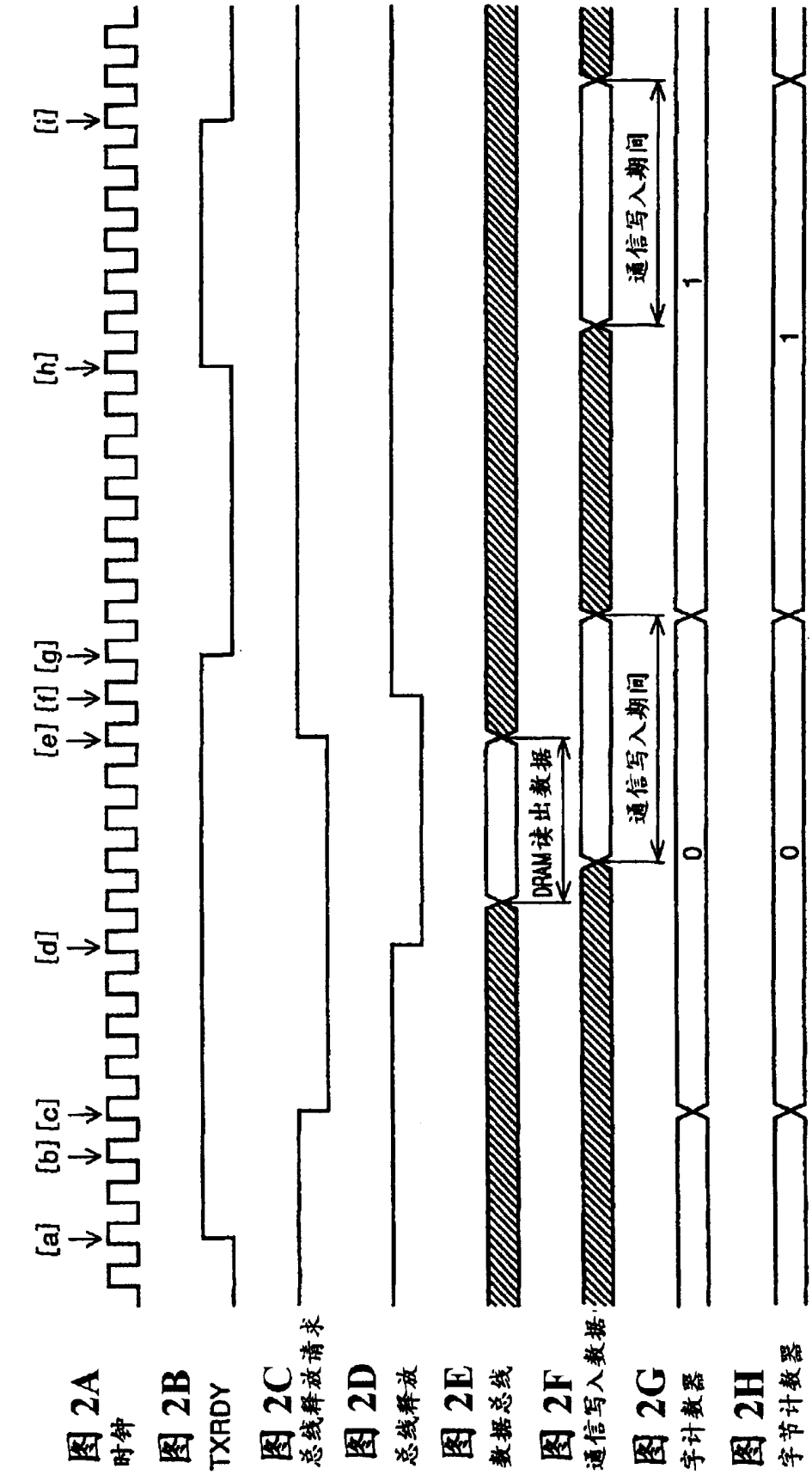
产业上的可应用性

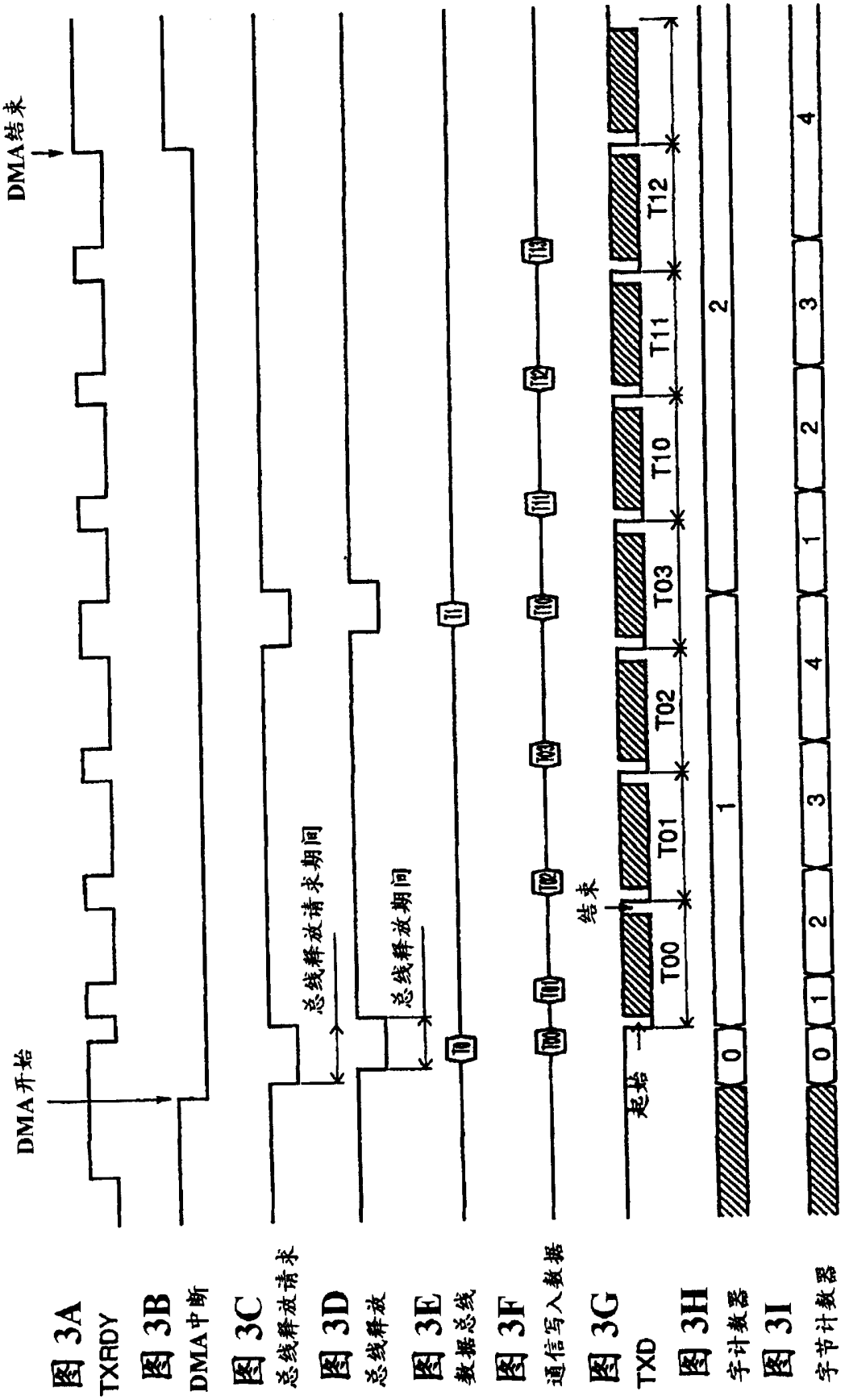
如上所述，本发明的通信 DMA 装置，在将用数字式静像摄影机摄制的图像数据输出到个人计算机时，适用于使数据总线从 CPU 释放并将存储在 DRAM 中的图像数据通过通信电路输出。



地址总线
控制信号
数据总线
CPU
DRAM
DRAM 地址
CPU 写入控制
DRAM 写入控制
DRAM地址
地址 译码器
读出 控制
选择器
字计数器
字节计数器
锁存控制
DMA 控制
寄存器
地址 译码器
锁存生成
CPU 写入控制
写入控制
地址 译码器
通信
TXD
TXRDY
IRL
etc
图象显示系统 总线控制
选择器
选择器
A
B
1
2
3a
3b
4
5
6
7
8
9
10
11
12
13
14
15
16
16a
16b
16c
16d
17
18
19
20
21
22
23
32

图 1


[a]
[b] [c]
[d]
[e] [f] [g]
[h]
[i]
图 2A
时钟
图 2B
TXRDY
图 2C
总线释放请求
图 2D
总线释放
图 2E
数据总线
DRAM读出数据
图 2F
通信写入数据
通信写入期间
通信写入期间
图 2G
字计数器
0
1
图 2H
字节计数器
0
1


DMA开始
DMA结束
总线释放请求期间
总线释放期间
起始
结束
T00
T01
T02
T03
T10
T11
T12
0
1
2
3
4
图 3A
TXRDY
图 3B
DMA中断
图 3C
总线释放请求
图 3D
总线释放
图 3E
数据总线
图 3F
通信写入数据
图 3G
TXD
图 3H
字计数器
图 3I
字节计数器

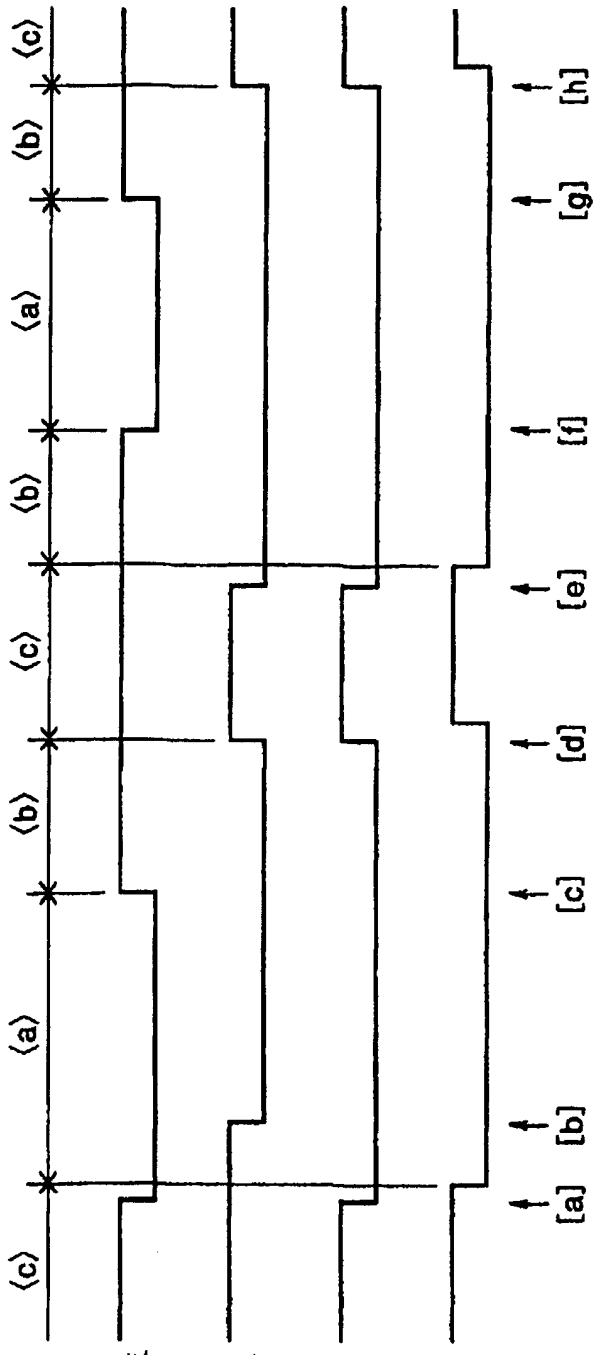


图 4A
其他DMA的总线释放请求

图 4B
通信DMA的总线释放请求

图 4C
对CPU的总线释放请求

图 4D
CPU的总线释放信号