





SK, SL, SM, SV, SY, TJ, TM, TN, TR, TT, TZ, UA, UG,
US, UZ, VC, VN, ZA, ZM, ZW.

CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU,
IE, IS, IT, LT, LU, LV, MC, MT, NL, NO, PL, PT, RO, SE,
SI, SK, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ,
GW, ML, MR, NE, SN, TD, TG).

(84) 指定国 (表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LS, MW, MZ, NA, SD, SL, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), ヨーロッパ (AT, BE, BG,

添付公開書類:
— 国際調査報告書

断される一方、トレンチ (3) の周辺に形成された空乏層 (14) の一部が消滅することにより電流通路 (12) が開くように構成されており、領域 (2b) において、n型エピタキシャル層 (2) と p⁺型拡散領域 (7) との接合部分 (8) がツェナーダイオード (8) となるように構成されている。

明 細 書

半導体装置

技術分野

[0001] この発明は、半導体装置に関し、特に、スイッチング機能などを有する半導体装置に関する。

背景技術

[0002] 従来、スイッチング機能を有する半導体装置として、MOSFET(Metal Oxide Semiconductor Field Effect Transistor)が知られている(たとえば、特許文献1参照)。この特許文献1には、半導体層に形成されたトレンチにゲート電極が埋め込まれたトレンチゲート型のMOSFET(半導体装置)が開示されている。

[0003] 図46は、上記特許文献1に開示された従来のMOSFET(半導体装置)の構造を示した断面図である。図46を参照して、従来のMOSFET(半導体装置)では、 n^+ 型の半導体基板301の上面上に、エピタキシャル層(半導体層)302が形成されている。このエピタキシャル層302には、半導体基板301側から順に、 n^- 型不純物領域(ドレイン領域)302a、p型不純物領域302bおよび n^+ 型不純物領域(ソース領域)302cが形成されている。

[0004] また、エピタキシャル層302には、 n^+ 型不純物領域302cおよびp型不純物領域302bを貫通して n^- 型不純物領域302aの途中の深さにまで達するトレンチ303が形成されている。このトレンチ303には、ゲート絶縁膜304を介して、ゲート電極305が埋め込まれている。また、エピタキシャル層302の上面上には、トレンチ303の開口端を塞ぐ層間絶縁膜306が形成されている。

[0005] また、エピタキシャル層302の上面上には、層間絶縁膜306を覆うように、ソース電極307が形成されている。また、半導体基板301の裏面上には、ドレイン電極308が形成されている。

[0006] 上記のように構成された従来のMOSFETでは、ゲート電極305に対する印加電圧を変化させることによりオン／オフの制御が行われる。

[0007] 具体的には、ゲート電極305に対して所定の正電位を印加すると、p型不純物領域

302bの少数キャリア(電子)がトレンチ303側に引き寄せられることによって、 n^- 型不純物領域(ドレイン領域)302aと n^+ 型不純物領域(ソース領域)302cとを接続するような反転層309が形成される。これにより、反転層309を介して、ソース電極307とドレイン電極308との間に電流を流すことができる。その結果、MOSFETがオン状態となる。

[0008] このように、従来のMOSFETでは、 n^- 型不純物領域(ドレイン領域)302aと n^+ 型不純物領域(ソース領域)302cとを接続するように形成される反転層309をチャネルとして機能させている。

[0009] また、上記した状態からゲート電極305に対する所定の正電位の印加を解除すると、反転層(チャネル)309が消滅するので、ソース電極307とドレイン電極308との間に流れる電流を遮断することができる。その結果、MOSFETがオフ状態となる。

[0010] 特許文献1:特開2001-7149号公報

発明の開示

発明が解決しようとする課題

[0011] しかしながら、図46に示した従来の構造では、オン時に形成される反転層(チャネル)309が非常に薄いため、反転層(チャネル)309を流れる電流に対する抵抗を低減するのが困難であるという不都合がある。その結果、オン抵抗の改善を図るのが困難であるという問題点がある。

[0012] この発明は、上記のような課題を解決するためになされたものであり、この発明の目的は、オン抵抗を大幅に低減することが可能な新しい動作原理に基づく半導体装置を提供することである。

課題を解決するための手段

[0013] 上記目的を達成するために、この発明の第1の局面による半導体装置は、内側領域と、内側領域の外側に設けられた外側領域とを有する一導電型の半導体層と、半導体層の内側領域に形成され、互いに所定の間隔を隔てて配列されているとともに、各々の開口端が半導体層の上面側に位置している複数のトレンチと、半導体層の外側領域に形成され、互いに所定の間隔を隔てて配列されているとともに、各々の上面が半導体層の上面側に露出している複数の逆導電型の拡散領域と、複数のトレ

ンチの各々に埋め込まれた複数の埋め込み電極と、半導体層の内側領域および外側領域を覆うように、半導体層の表面上に形成された電極層とを備えている。そして、半導体層の内側領域において、半導体層の隣接するトレンチ間の各領域が電流通路となり、かつ、トレンチの周辺に形成される空乏層で半導体層の隣接するトレンチ間の各領域が塞がれることにより電流通路が遮断される一方、トレンチの周辺に形成された空乏層の少なくとも一部が消滅することにより電流通路が開くように構成されており、半導体層の外側領域において、半導体層と拡散領域との接合部分がツェナーダイオードとなるように構成されている。

[0014] この第1の局面による半導体装置では、上記のように、一導電型の半導体層の内側領域に、埋め込み電極が埋め込まれる複数のトレンチを形成し、かつ、トレンチの周辺に形成される空乏層で半導体層の隣接するトレンチ間の各領域が塞がれることにより電流通路(半導体層の隣接するトレンチ間の各領域)が遮断される一方、トレンチの周辺に形成された空乏層の少なくとも一部が消滅することにより電流通路(半導体層の隣接するトレンチ間の各領域)が開くように構成することによって、たとえば、トレンチの内面上に絶縁膜を介して埋め込み電極を形成すれば、その埋め込み電極に対する印加電圧に応じてトレンチの周辺に形成される空乏層の形成状態が変化するので、埋め込み電極に対する印加電圧を制御することにより、オン状態(電流通路が開いている状態)からオフ状態(電流通路が遮断されている状態)への切り替えを行うことができるとともに、その逆の切り替えも行うことができる。すなわち、半導体装置をスイッチ装置(スイッチングトランジスタ)として用いることができる。そして、上記した構成では、オン時において、電流通路(半導体層の隣接するトレンチ間の各領域)の空乏層が消滅した部分の全てを介して電流を流すことができるので、非常に薄い反転層をチャンネル(電流通路)として機能させる従来のMOSFET(半導体装置)と比べて、電流に対する抵抗を大幅に低減することが可能となる。これにより、非常に薄い反転層をチャンネル(電流通路)として機能させる従来のMOSFET(半導体装置)と比べて、オン抵抗を大幅に低減することができる。

[0015] また、第1の局面による半導体装置では、上記のように、一導電型の半導体層の内側領域の外側に設けられた外側領域に、複数の逆導電型の拡散領域を形成し、か

つ、半導体層と拡散領域との接合部分がツェナーダイオードとなるように構成することによって、スイッチングトランジスタのソースドレイン間にツェナーダイオードが接続された状態にすることが可能となる。これにより、半導体装置にノイズ電圧やサージ電圧などが入力されたとしても、そのノイズ電圧やサージ電圧などをツェナーダイオードにより吸収することができる。これにより、半導体装置にノイズ電圧やサージ電圧などが入力されることに起因して、半導体装置が破損してしまうという不都合が発生するのを抑制することができる。

[0016] また、上記した構成では、スイッチングトランジスタとツェナーダイオードとが一体化されているので、スイッチングトランジスタとツェナーダイオードとを接続するための配線部材の形成領域などを別途設ける必要がない。これにより、互いに接続されるスイッチングトランジスタおよびツェナーダイオードを含む回路の小面積化を図ることができる。

[0017] 上記第1の局面による半導体装置において、好ましくは、半導体層の外側領域において、半導体層の隣接する拡散領域間の各領域と電極層との接合部分がショットキーバリアダイオードとなるように構成されている。このように構成すれば、スイッチングトランジスタのソースドレイン間に、ツェナーダイオードに加えて、ツェナーダイオードよりも逆回復時間の短いショットキーバリアダイオードがさらに接続された状態にすることが可能となる。これにより、スイッチング速度が低下するのを抑制することができる。

[0018] また、上記した構成では、スイッチングトランジスタ、ツェナーダイオードおよびショットキーバリアダイオードが一体化されているので、スイッチングトランジスタ、ツェナーダイオードおよびショットキーバリアダイオードを互いに接続するための配線部材の形成領域などを別途設ける必要がない。これにより、互いに接続されるスイッチングトランジスタ、ツェナーダイオードおよびショットキーバリアダイオードを含む回路の小面積化を図ることができる。

[0019] この場合、好ましくは、半導体層の外側領域において、半導体層の隣接する拡散領域間の各領域と電極層との接合部分に対して逆バイアスが印加されている場合に、拡散領域の周辺に形成される空乏層で半導体層の隣接する拡散領域間の各領域

が塞がれるように構成されている。このように構成すれば、ショットキーバリアダイオードに対して逆バイアスが印加されている場合に、半導体層の隣接する拡散領域間の各領域を介して流れる電流を遮断することができる。これにより、ショットキーバリアダイオードにおけるリーク電流の発生を抑制することができる。

[0020] また、上記の場合、好ましくは、半導体層の外側領域において、半導体層の隣接する拡散領域間の各領域と電極層との接合部分に対して逆バイアスが印加されている場合に、隣接する拡散領域の各々の周辺に形成される空乏層が互いに連結するように構成されている。このように構成すれば、確実に、半導体層の隣接する拡散領域間の各領域を空乏層で塞ぐことができる。

[0021] さらに、上記の場合、好ましくは、半導体層の外側領域において、隣接する拡散領域間の距離は、隣接する拡散領域の各々の周辺に形成される空乏層の一部が互いに重なるように設定されている。このように構成すれば、容易に、隣接する拡散領域の各々の周辺に形成される空乏層を互いに連結させることができる。

[0022] 上記第1の局面による半導体装置において、複数のトレンチの各々の周辺に形成される全ての空乏層で隣接するトレンチ間の各領域が塞がれることにより電流通路が遮断される一方、複数のトレンチの各々の周辺に形成された全ての空乏層が消滅することにより電流通路が開くように構成されていてもよい。

[0023] 上記第1の局面による半導体装置において、複数の埋め込み電極は、互いに別個に電圧が印加される第1埋め込み電極および第2埋め込み電極の2種類に分けられており、複数のトレンチのうちの全てのトレンチの周辺に形成される空乏層で隣接するトレンチ間の各領域が塞がれることにより電流通路が遮断される一方、複数のトレンチのうちの第1埋め込み電極が埋め込まれたトレンチの周辺に形成された空乏層が消滅することにより電流通路が開くように構成されていてもよい。

[0024] この場合、第2埋め込み電極は、トレンチの内部において、半導体層に対してショットキー接触していてもよい。

[0025] 上記第1の局面による半導体装置において、半導体層の隣接するトレンチ間の各領域に形成され、トレンチに対して所定の間隔を隔てて配置された逆導電型の電流通路遮断用拡散領域をさらに備え、トレンチおよび電流通路遮断用拡散領域の各々

の周辺に形成される空乏層で隣接するトレンチ間の各領域が塞がれることにより電流通路が遮断される一方、トレンチの周辺に形成された空乏層が消滅することにより電流通路が開くように構成されていてもよい。

[0026] なお、上記第1の局面による半導体装置において、電流通路を遮断する場合に、隣接するトレンチの各々の周辺に形成される空乏層が互いに連結するように構成されていてもよい。このように構成すれば、確実に、半導体層の隣接するトレンチ間の各領域を空乏層で塞ぐことができる。

[0027] また、上記第1の局面による半導体装置において、隣接するトレンチ間の距離は、隣接するトレンチの各々の周辺に形成される空乏層の一部が互いに重なるように設定されていてもよい。このように構成すれば、容易に、隣接するトレンチの各々の周辺に形成される空乏層を互いに連結させることができる。

[0028] また、上記第1の局面による半導体装置において、埋め込み電極と電極層との間の絶縁を行うための層間絶縁膜をさらに備え、埋め込み電極は、トレンチの途中の深さまでを埋め込んでおり、層間絶縁膜は、層間絶縁膜の上面が半導体層の上面に対して面一となるように、トレンチの埋め込み電極が埋め込まれていない残りの部分に埋め込まれていてもよい。このように構成すれば、隣接するトレンチ間の距離を小さくしたとしても、半導体層の上面側の部分(半導体層の隣接するトレンチ間の領域の上端部)が層間絶縁膜で覆われてしまうことがない。これにより、隣接するトレンチ間の距離を小さくすることができるので、隣接するトレンチの各々の周辺に形成される空乏層を互いに連結させやすくすることが可能となる。

[0029] この発明の第2の局面による半導体装置は、一導電型の第1領域と、第1領域上に設けられた一導電型の第2領域および逆導電型の第3領域とを有する半導体層と、半導体層の第2領域に少なくとも形成され、互いに所定の間隔を隔てて配列されているとともに、各々の開口端が半導体層の上面側に位置している複数のトレンチと、複数のトレンチの各々に埋め込まれた複数の埋め込み電極とを備えている。そして、第2領域の隣り合うトレンチ間の各領域が電流通路となり、かつ、トレンチの周辺に形成される空乏層で第2領域の隣り合うトレンチ間の各領域が塞がれることにより、電流通路が遮断される一方、トレンチの周辺に形成された空乏層の少なくとも一部が消滅

することにより電流通路が開くように構成されており、半導体層の第3領域には、複数の拡散領域によって構成された双方向ツェナーダイオードが形成されている。なお、本発明の半導体層は、半導体基板を含む。

[0030] この第2の局面による半導体装置では、上記のように、少なくとも、一導電型の半導体層の第2領域に、埋め込み電極が埋め込まれる複数のトレンチを形成し、かつ、トレンチの周辺に形成される空乏層で半導体層の隣り合うトレンチ間の各領域が塞がれることにより電流通路(半導体層の隣り合うトレンチ間の各領域)が遮断される一方、トレンチの周辺に形成された空乏層の少なくとも一部が消滅することにより電流通路(半導体層の隣り合うトレンチ間の各領域)が開くように構成することによって、たとえば、トレンチの内面上に絶縁膜を介して埋め込み電極を形成すれば、その埋め込み電極に対する印加電圧に応じてトレンチの周辺に形成される空乏層の形成状態が変化するので、埋め込み電極に対する印加電圧を制御することにより、オン状態(電流通路が開いている状態)からオフ状態(電流通路が遮断されている状態)への切り替えを行うことができるとともに、その逆の切り替えも行うことができる。すなわち、半導体装置をスイッチ装置(スイッチングトランジスタ)として用いることができる。そして、上記した構成では、オン時において、電流通路(半導体層の隣り合うトレンチ間の各領域)の空乏層が消滅した部分の全てを介して電流を流すことができるので、非常に薄い反転層をチャネル(電流通路)として機能させる従来のMOSFET(半導体装置)と比べて、オン抵抗を大幅に低減することができる。

[0031] また、第2の局面による半導体装置では、上記のように、複数の拡散領域によって構成された双方向ツェナーダイオードを第3領域に形成することによって、スイッチングトランジスタのソースドレイン間およびソースゲート間に双方向ツェナーダイオードが接続された状態にすることが可能となる。これにより、半導体装置に静電気やサージ電圧などが入力されたとしても、その静電気やサージ電圧などを双方向ツェナーダイオードにより吸収することができる。したがって、半導体装置に静電気やサージ電圧などが入力されることに起因する絶縁破壊などを抑制することができる。その結果、絶縁破壊などに起因して、半導体装置が破損してしまうという不都合が発生するのを抑制することができる。

- [0032] また、上記した構成では、スイッチングトランジスタと双方向ツェナーダイオードとが一体化されているので、スイッチングトランジスタと双方向ツェナーダイオードとを接続するための配線部材の形成領域などを別途設ける必要がない。これにより、互いに接続されるスイッチングトランジスタおよび双方向ツェナーダイオードを含む回路の小面積化を図ることができる。
- [0033] 上記第2の局面による半導体装置において、半導体層の少なくとも第2領域上に形成された電極層をさらに備えるとともに、半導体層の第2領域と、双方向ツェナーダイオードを構成する複数の拡散領域の第1部分とを、電極層を介して電氣的に接続することができる。
- [0034] この場合において、好ましくは、第1領域上に設けられた一導電型の第4領域をさらに備え、双方向ツェナーダイオードを構成する複数の拡散領域の第2部分は、第4領域を介して第1領域と電氣的に接続されている。このように構成すれば、容易に、スイッチングトランジスタのソースドレイン間に双方向ツェナーダイオードが接続された状態にすることができる。
- [0035] 上記電極層を備える構成において、好ましくは、双方向ツェナーダイオードを構成する複数の拡散領域の第3部分は、複数の埋め込み電極のうちの所定の埋め込み電極に電氣的に接続されている。このように構成すれば、容易に、スイッチングトランジスタのゲートソース間に双方向ツェナーダイオードが接続された状態にすることができる。
- [0036] 上記第2の局面による半導体装置において、好ましくは、双方向ツェナーダイオードを構成する複数の拡散領域は、一導電型の第1拡散領域と逆導電型の第2拡散領域とを含み、第1拡散領域は、互いに所定の間隔を隔てて配列されており、第2拡散領域は、平面的に見て、互いに隣り合う第1拡散領域の間に、各々の第1拡散領域と接するように配置されている。このように構成すれば、第3領域に、双方向ツェナーダイオードを容易に形成することができる。
- [0037] また、上記した構成では、第1拡散領域および第2拡散領域の形成数を変えることによって、双方向ツェナーダイオードのツェナー電圧(降伏電圧)を容易に調整することができるので、容易に、スイッチングトランジスタのソースドレイン間およびソース

ーゲート間に、所定のツェナー電圧(降伏電圧)を有する双方向ツェナーダイオードが接続された状態にすることができる。

[0038] 上記第4領域が設けられた構成において、第3領域を、第2領域の外側の領域に、平面的に見て、第2領域を囲むように形成するとともに、第4領域を、第3領域の外側の領域に、平面的に見て、第3領域を囲むように形成することができる。

[0039] 上記第2の局面による半導体装置において、複数のトレンチの各々の周辺に形成される全ての空乏層で隣り合うトレンチ間の各領域が塞がれることにより、電流通路が遮断される一方、複数のトレンチの各々の周辺に形成された全ての空乏層が消滅することにより、電流通路が開くように構成されていてもよい。

[0040] 上記第2の局面による半導体装置において、複数の埋め込み電極は、互いに別個に電圧が印加される第1埋め込み電極および第2埋め込み電極の2種類に分けられており、複数のトレンチのうちの全てのトレンチの周辺に形成される空乏層で隣り合うトレンチ間の各領域が塞がれることにより、電流通路が遮断される一方、複数のトレンチのうちの第1埋め込み電極が埋め込まれたトレンチの周辺に形成された空乏層が消滅することにより、電流通路が開くように構成されていてもよい。

[0041] この場合、第2埋め込み電極は、トレンチの内部において、半導体層に対してショットキー接触していてもよい。

[0042] 上記第2の局面による半導体装置において、半導体層の隣り合うトレンチ間の各領域に形成され、トレンチに対して所定の間隔を隔てて配置された逆導電型の電流通路遮断用拡散領域をさらに備え、トレンチおよび電流通路遮断用拡散領域の各々の周辺に形成される空乏層で隣り合うトレンチ間の各領域が塞がれることにより、電流通路が遮断される一方、トレンチの周辺に形成された空乏層が消滅することにより、電流通路が開くように構成されていてもよい。

[0043] なお、上記第2の局面による半導体装置において、第2領域の隣り合うトレンチ間の各領域を介して流れる電流を遮断する場合には、隣り合うトレンチの各々の周辺に形成される空乏層が互いに連結された状態となるように構成されていてもよい。このように構成すれば、確実に、隣り合うトレンチの各々の周辺に形成される空乏層で、半導体層の隣り合うトレンチ間の各領域を塞ぐことができる。

[0044] また、上記第2の局面による半導体装置において、埋め込み電極の上面上に形成された層間絶縁膜をさらに備え、埋め込み電極は、トレンチの途中の深さまでを埋め込んでおり、層間絶縁膜は、層間絶縁膜の上面が半導体層の上面に対して同一面となるように、トレンチの埋め込み電極が埋め込まれていない残りの部分に埋め込まれていてもよい。このように構成すれば、隣り合うトレンチ間の距離を小さくしたとしても、半導体層の上面側の部分(半導体層の隣り合うトレンチ間の領域の上端部)が層間絶縁膜で覆われてしまうことがない。これにより、隣り合うトレンチ間の距離を小さくすることができるので、容易に、隣り合うトレンチの各々の周辺に形成された空乏層を互いに連結させやすくすることが可能となる。

[0045] この発明の第3の局面による半導体装置は、一導電型の第1領域と、第1領域上に設けられた一導電型の第2領域および逆導電型の第3領域とを有する半導体層と、半導体層の第2領域に少なくとも形成され、互いに所定の間隔を隔てて配置された複数のトレンチと、複数のトレンチの各々に埋め込まれた複数の埋め込み電極とを備えている。そして、半導体層の隣接するトレンチ間の各領域が電流通路となり、かつ、トレンチの周辺に形成される空乏層で隣接するトレンチ間の各領域が塞がれることにより電流通路が遮断される一方、トレンチの周辺に形成された空乏層の少なくとも一部が消滅することにより電流通路が開くように構成されており、第1領域と第3領域との接合部分がツェナーダイオードとなっている。

[0046] この第3の局面による半導体装置では、上記のように、一導電型の第1領域上に設けられた一導電型の第2領域に、埋め込み電極が埋め込まれる複数のトレンチを形成し、かつ、トレンチの周辺に形成される空乏層で隣接するトレンチ間の各領域が塞がれることにより電流通路(半導体層の隣接するトレンチ間の各領域)が遮断される一方、トレンチの周辺に形成された空乏層の少なくとも一部が消滅することにより電流通路(半導体層の隣接するトレンチ間の各領域)が開くように構成することによって、たとえば、トレンチの内面上に絶縁膜を介して埋め込み電極を形成すれば、その埋め込み電極に対する印加電圧に応じてトレンチの周辺に形成される空乏層の形成状態が変化するので、埋め込み電極に対する印加電圧を制御することにより、オン状態(電流通路が開いている状態)からオフ状態(電流通路が遮断されている状態)への

切り替えを行うことができるとともに、その逆の切り替えも行うことができる。すなわち、半導体装置をスイッチ装置(スイッチングトランジスタ)として用いることができる。そして、上記した構成では、オン時において、電流通路(半導体層の隣接するトレンチ間の各領域)の空乏層が消滅した部分の全てを介して電流を流すことができるので、非常に薄い反転層をチャネル(電流通路)として機能させる従来のMOSFET(半導体装置)と比べて、オン抵抗を大幅に低減することができる。

[0047] また、第3の局面による半導体装置では、上記のように、一導電型の第1領域上に、一導電型の第2領域に加えて逆導電型の第3領域をさらに設け、かつ、一導電型の第1領域と逆導電型の第3領域との接合部分がツェナーダイオードとなるように構成することによって、スイッチングトランジスタのソースドレイン間にツェナーダイオードが接続された状態にすることが可能となる。これにより、半導体装置に静電気やサージ電圧などが入力されたとしても、その静電気やサージ電圧などをツェナーダイオードにより吸収することができるので、半導体装置に静電気やサージ電圧などが入力されることに起因する絶縁破壊などを抑制することができる。その結果、半導体装置が破損するのを抑制することができる。

[0048] また、上記した構成では、スイッチングトランジスタとツェナーダイオードとが一体化されているので、スイッチングトランジスタとツェナーダイオードとを接続するための配線部材の形成領域などを別途設ける必要がない。これにより、互いに接続されるスイッチングトランジスタおよびツェナーダイオードを含む回路の小面積化を図ることができる。

[0049] 上記第3の局面による半導体装置において、好ましくは、半導体層の上面上に形成された電極層をさらに備え、第2領域および第3領域は、電極層を介して互いに電気的に接続されている。このように構成すれば、容易に、スイッチングトランジスタのソースドレイン間にツェナーダイオードが接続された状態にすることができる。

[0050] 上記第3の局面による半導体装置において、好ましくは、半導体層は、一導電型の第1領域、一導電型の第2領域および逆導電型の第3領域に加えて、逆導電型の第3領域に設けられた一導電型のツェナーダイオード用拡散領域をさらに有しており、第3領域とツェナーダイオード用拡散領域との接合部分がツェナーダイオードとなっ

ている。このように構成すれば、スイッチングトランジスタのソースドレイン間に加えて、スイッチングトランジスタのソースゲート間にもツェナーダイオードが接続された状態にすることが可能となる。これにより、静電気やサージ電圧などに起因する半導体装置の絶縁破壊などをより抑制することができる。

[0051] この場合、好ましくは、ツェナーダイオード用拡散領域は、複数の埋め込み電極のうちの所定の埋め込み電極に電氣的に接続されている。このように構成すれば、容易に、スイッチングトランジスタのソースゲート間にツェナーダイオードが接続された状態にすることができ。

[0052] 上記第3の局面による半導体装置において、複数のトレンチの各々の周辺に形成される全ての空乏層で隣接するトレンチ間の各領域が塞がれることにより電流通路が遮断される一方、複数のトレンチの各々の周辺に形成された全ての空乏層が消滅することにより電流通路が開くように構成されていてもよい。

[0053] 上記第3の局面による半導体装置において、複数の埋め込み電極は、互いに別個に電圧が印加される第1埋め込み電極および第2埋め込み電極の2種類に分けられており、複数のトレンチのうちの全てのトレンチの周辺に形成される空乏層で隣接するトレンチ間の各領域が塞がれることにより電流通路が遮断される一方、複数のトレンチのうちの第1埋め込み電極が埋め込まれたトレンチの周辺に形成された空乏層が消滅することにより電流通路が開くように構成されていてもよい。

[0054] この場合、第2埋め込み電極は、トレンチの内部において、半導体層に対してショットキー接触していてもよい。

[0055] 上記第3の局面による半導体装置において、半導体層の隣接するトレンチ間の各領域に形成され、トレンチに対して所定の間隔を隔てて配置された逆導電型の電流通路遮断用拡散領域をさらに備え、トレンチおよび電流通路遮断用拡散領域の各々の周辺に形成される空乏層で隣接するトレンチ間の各領域が塞がれることにより電流通路が遮断される一方、トレンチの周辺に形成された空乏層が消滅することにより電流通路が開くように構成されていてもよい。

[0056] なお、上記第3の局面による半導体装置において、電流通路を遮断する場合に、隣接するトレンチの各々の周辺に形成される空乏層が互いに連結された状態になる

ように構成されていてもよい。このように構成すれば、確実に、電流通路(半導体層の隣接するトレンチ間の各領域)を空乏層で塞ぐことができる。

[0057] また、上記第3の局面による半導体装置において、隣接するトレンチ間の距離は、隣接するトレンチの各々の周辺に形成される空乏層の一部が互いに重なるように設定されていてもよい。このように構成すれば、容易に、隣接するトレンチの各々の周辺に形成される空乏層を互いに連結させることができる。

発明の効果

[0058] 以上のように、本発明によれば、オン抵抗を大幅に低減することが可能な新しい動作原理に基づく半導体装置を容易に得ることができる。

図面の簡単な説明

[0059] [図1]本発明の第1実施形態による半導体装置を示した断面図である。

[図2]図1に示した第1実施形態による半導体装置のトレンチおよび拡散領域の平面形状を説明するための平面図である。

[図3]図1に示した第1実施形態による半導体装置の等価回路である。

[図4]本発明の第1実施形態による半導体装置のスイッチングトランジスタとして機能する領域の動作を説明するための断面図である。

[図5]本発明の第1実施形態による半導体装置のスイッチングトランジスタとして機能する領域の動作を説明するための断面図である。

[図6]本発明の第1実施形態による半導体装置のダイオードとして機能する領域の動作を説明するための断面図である。

[図7]本発明の第1実施形態による半導体装置のダイオードとして機能する領域の動作を説明するための断面図である。

[図8]本発明の第1実施形態による半導体装置の効果を説明するための図である。

[図9]本発明の第2実施形態による半導体装置のスイッチングトランジスタとして機能する領域の構造を説明するための断面図である。

[図10]本発明の第2実施形態による半導体装置のスイッチングトランジスタとして機能する領域の動作を説明するための断面図である。

[図11]本発明の第3実施形態による半導体装置のスイッチングトランジスタとして機能

する領域の構造を説明するための断面図である。

[図12]本発明の第3実施形態による半導体装置のスイッチングトランジスタとして機能する領域の動作を説明するための断面図である。

[図13]本発明の第4実施形態による半導体装置のスイッチングトランジスタとして機能する領域の構造を説明するための断面図である。

[図14]本発明の第4実施形態による半導体装置のスイッチングトランジスタとして機能する領域の動作を説明するための断面図である。

[図15]本発明の第5実施形態による半導体装置を示した断面図である。

[図16]図15に示した第5実施形態による半導体装置のトレンチおよび拡散領域の平面形状を説明するための平面図である。

[図17]図15に示した第5実施形態による半導体装置を簡略化して示した平面図である。

[図18]図17のA部を拡大して示した平面図である。

[図19]図15に示した第5実施形態による半導体装置の等価回路図である。

[図20]本発明の第5実施形態による半導体装置の動作を説明するための断面図である。

[図21]本発明の第5実施形態による半導体装置の動作を説明するための断面図である。

[図22]本発明の第6実施形態による半導体装置のスイッチングトランジスタとして機能する領域の構造を説明するための断面図である。

[図23]本発明の第6実施形態による半導体装置のスイッチングトランジスタとして機能する領域の動作を説明するための断面図である。

[図24]本発明の第7実施形態による半導体装置のスイッチングトランジスタとして機能する領域の構造を説明するための断面図である。

[図25]本発明の第7実施形態による半導体装置のスイッチングトランジスタとして機能する領域の動作を説明するための断面図である。

[図26]本発明の第8実施形態による半導体装置のスイッチングトランジスタとして機能する領域の構造を説明するための断面図である。

[図27]本発明の第8実施形態による半導体装置のスイッチングトランジスタとして機能する領域の動作を説明するための断面図である。

[図28]本発明の第9実施形態による半導体装置を示した断面図である。

[図29]図28に示した第9実施形態による半導体装置の平面図である。

[図30]図29の一部を拡大した図である。

[図31]図28に示した第9実施形態による半導体装置の埋め込み電極の接続位置を説明するための断面図である。

[図32]図28に示した第9実施形態による半導体装置の等価回路である。

[図33]本発明の第9実施形態による半導体装置の動作を説明するための断面図である。

[図34]本発明の第9実施形態による半導体装置の動作を説明するための断面図である。

[図35]本発明の第10実施形態による半導体装置を示した断面図である。

[図36]図35に示した第10実施形態による半導体装置の平面図である。

[図37]図36の一部を拡大した図である。

[図38]図35に示した第10実施形態による半導体装置の等価回路である。

[図39]本発明の第10実施形態の変形例による半導体装置を示した断面図である。

[図40]本発明の第11実施形態による半導体装置のスイッチングトランジスタとして機能する領域の構造を説明するための断面図である。

[図41]本発明の第11実施形態による半導体装置のスイッチングトランジスタとして機能する領域の動作を説明するための断面図である。

[図42]本発明の第12実施形態による半導体装置のスイッチングトランジスタとして機能する領域の構造を説明するための断面図である。

[図43]本発明の第12実施形態による半導体装置のスイッチングトランジスタとして機能する領域の動作を説明するための断面図である。

[図44]本発明の第13実施形態による半導体装置のスイッチングトランジスタとして機能する領域の構造を説明するための断面図である。

[図45]本発明の第13実施形態による半導体装置のスイッチングトランジスタとして機

能する領域の動作を説明するための断面図である。

[図46]従来のMOSFET(半導体装置)の構造を示した断面図である。

符号の説明

- [0060] 1 n^+ 型シリコン基板(半導体層)
2、102、202 n 型エピタキシャル層(半導体層)
2a 領域(内側領域)
2b 領域(外側領域)
3、3a、3b、3c、103、103a、103b、103c、203、203a、203b、203c トレンチ
5、105、205 埋め込み電極
5a、105a、205a 埋め込み電極(第1埋め込み電極)
5b、105b、205b 埋め込み電極(第2埋め込み電極)
7 p^+ 型拡散領域(拡散領域)
8 接合部分(ツェナーダイオード)
9、41 上面電極層(電極層)
10 接合部分(ショットキーバリアダイオード)
12、32、42、52、113、132、142、152、212、242、252、262 電流通路
14、14a、14b、14c、14d、14e、114、114a、114b、114c、114d、213、213a、213b、213c、213d 空乏層
20、30、40、50、120、130、140、150、220、230、240、250、260 半導体装置
41a、141a、251a 埋め込み部(第2埋め込み電極)
51、151、261 p^+ 型拡散領域(電流通路遮断用拡散領域)
101、201 n^+ 型シリコン基板(半導体層、第1領域)
102a、202a n 型ウェル領域(第2領域)
102b、202b p^- 型領域(第3領域)
102c n 型ウェル領域(第4領域)
107 n^+ 型拡散領域(拡散領域、第1拡散領域)
107a n^+ 型拡散領域(第1部分)

107b n^+ 型拡散領域(第2部分)

107c n^+ 型拡散領域(第3部分)

108 p^+ 型拡散領域(拡散領域、第2拡散領域)

109、141、209、251 ソース電極(電極層)

207a n^+ 型拡散領域(ツェナーダイオード用拡散領域)

発明を実施するための最良の形態

[0061] (第1実施形態)

以下に、図1～図3を参照して、第1実施形態による半導体装置20の構造について説明する。

[0062] 第1実施形態による半導体装置20は、図1および図2に示すように、領域20aと、その領域20aの外側に設けられた領域20bとを有している。そして、半導体装置20の領域20aは、ノーマリオフ型のスイッチングトランジスタとして機能するように構成されており、半導体装置20の領域20bは、ダイオード(ツェナーダイオードおよびショットキーバリアダイオード)として機能するように構成されている。すなわち、第1実施形態の半導体装置20は、スイッチングトランジスタおよびダイオード(ツェナーダイオードおよびショットキーバリアダイオード)が一体的に設けられた構造を有している。

[0063] 具体的な構造としては、第1実施形態の半導体装置20では、 n^+ 型シリコン基板1の上面上に、約 $1\mu\text{m}$ ～約 $10\mu\text{m}$ の厚みを有するn型シリコンからなるn型エピタキシャル層2が形成されている。 n^+ 型シリコン基板1には、後述する裏面電極層11との間で良好なオーミック接触を得るために、n型不純物が高濃度で導入されている。また、n型エピタキシャル層2には、n型不純物が n^+ 型シリコン基板1よりも低い濃度(約 $5\times 10^{15}\text{cm}^{-3}$ ～約 $1\times 10^{18}\text{cm}^{-3}$)で導入されている。また、n型エピタキシャル層2は、領域(半導体装置20の領域20aに対応する領域)2aと、その領域2aの外側に設けられた領域(半導体装置20の領域20bに対応する領域)2bとを有している。なお、 n^+ 型シリコン基板1およびn型エピタキシャル層2は、本発明の「一導電型の半導体層」の一例である。また、領域2aおよび2bは、それぞれ、本発明の「内側領域」および「外側領域」の一例である。

[0064] また、n型エピタキシャル層2の領域2aには、n型エピタキシャル層2の厚み方向に

掘られた複数のトレンチ3が形成されている。この複数のトレンチ3は、n型エピタキシャル層2をその上面(主表面)側からエッチングすることによって形成されている。すなわち、複数のトレンチ3の各々の開口端は、n型エピタキシャル層2の上面側に位置している。

[0065] また、複数のトレンチ3は、平面的に見て、その各々がn型エピタキシャル層2の上面に対して平行な所定方向(Y方向)に沿って延びるように細長状に形成されている。また、複数のトレンチ3は、n型エピタキシャル層2の上面に対して平行で、かつ、トレンチ3が延びる方向(Y方向)と直交する方向(X方向)に互いに約 $0.05\mu\text{m}$ ～約 $0.3\mu\text{m}$ の間隔を隔てて配列されている。さらに、複数のトレンチ3の各々の溝深さは、約 $0.5\mu\text{m}$ ～約 $12\mu\text{m}$ に設定されている。この第1実施形態のトレンチ3の溝深さは、n型エピタキシャル層2の厚み(約 $1\mu\text{m}$ ～約 $10\mu\text{m}$)よりも小さくなるように設定されている。なお、図示しないが、トレンチ3がn型エピタキシャル層2を貫通してn⁺型シリコン基板1にまで達していてもよい。また、複数のトレンチ3の各々のX方向の幅は、約 $0.1\mu\text{m}$ ～約 $1\mu\text{m}$ に設定されている。上記したトレンチ3は、n型エピタキシャル層2の領域2aにのみ形成されており、n型エピタキシャル層2の領域2bには形成されていない。

[0066] また、複数のトレンチ3の各々の内面上には、n型エピタキシャル層2を構成するn型シリコンを熱酸化処理することによって得られるシリコン酸化膜(絶縁膜)4が約10nm～約100nmの厚みで形成されている。

[0067] また、複数のトレンチ3の各々の内面上には、シリコン酸化膜4を介して、p型ポリシリコンからなる埋め込み電極5が形成されている。この複数の埋め込み電極5の各々は、対応するトレンチ3の途中の深さまでを埋め込んでいる。なお、埋め込み電極5の構成材料としては、p型ポリシリコン以外に、金属などを用いることもできる。

[0068] 上記のような複数の埋め込み電極5が設けられた第1実施形態の構成では、複数の埋め込み電極5に対する印加電圧を制御すれば、複数のトレンチ3の各々の周辺に空乏層を形成したり、その形成された空乏層を消滅させたりすることが可能となる。そして、第1実施形態では、隣接するトレンチ3間の距離は、複数のトレンチ3の各々の周辺に空乏層を形成した時に、隣接するトレンチ3の各々の周辺に形成された空

乏層の一部が互いに重なるように設定されている。すなわち、複数のトレンチ3の各々の周辺に空乏層を形成した場合には、隣接するトレンチ3の各々の周辺に形成された空乏層が互いに連結される。このため、第1実施形態では、複数のトレンチ3の各々の周辺に空乏層を形成すれば、n型エピタキシャル層2の隣接するトレンチ3間の各領域が空乏層によって塞がれた状態にすることができる。

[0069] また、第1実施形態の複数の埋め込み電極5は、互いに別個に電圧が印加される2種類の埋め込み電極5aおよび5bに分けられている。一方の埋め込み電極5aは、所定の制御信号(オン/オフの切り替えを行うための信号)に対応する電圧が印加されるように構成されている。また、他方の埋め込み電極5bは、後述する上面電極層9に電氣的に接続されている。すなわち、他方の埋め込み電極5bは、上面電極層9と同電位となるように構成されている。また、埋め込み電極5aおよび5bは、X方向に1つずつ交互に配置されている。したがって、2つの埋め込み電極5a(5b)の間に1つの埋め込み電極5b(5a)が配置されていることになる。なお、埋め込み電極5aおよび5bは、それぞれ、本発明の「第1埋め込み電極」および「第2埋め込み電極」の一例である。

[0070] また、複数のトレンチ3の各々の埋め込み電極5が埋め込まれていない残りの部分(埋め込み電極5よりも上方の部分)には、シリコン酸化膜からなる層間絶縁膜6が埋め込まれている。この複数の層間絶縁膜6の各々は、対応する埋め込み電極5と後述する上面電極層9との間で絶縁を行うために設けられている。また、複数の層間絶縁膜6の各々の厚みは、対応するトレンチ3の埋め込み電極5が埋め込まれていない残りの部分(埋め込み電極5よりも上方の部分)の深さと同じになるように設定されている。したがって、複数の層間絶縁膜6の各々の上面は、n型エピタキシャル層2の上面(隣接するトレンチ3間の各領域の上端部の上面)に対して面一となっている。

[0071] また、n型エピタキシャル層2の領域2aの上面側の部分(隣接するトレンチ3間の各領域の上端部)には、n型エピタキシャル層2の領域2aの上面側に低濃度領域が露出しないように、n型不純物が高濃度でイオン注入された高濃度領域2cが形成されている。このn型エピタキシャル層2の高濃度領域2cの濃度は、後述する上面電極層9との間で良好なオーミック接触を得ることが可能なように設定されており、n型エピタ

キシタル層2の他の部分のn型不純物の濃度よりも高くなっている。さらに、n型エピタキシタル層2の高濃度領域2cの厚み(イオン注入深さ)は、層間絶縁膜6の厚みよりも小さくなるように設定されている。すなわち、n型エピタキシタル層2の高濃度領域2cの下端部は、埋め込み電極5の上端部よりも上方に位置していることになる。

[0072] 一方、n型エピタキシタル層2の領域2bには、p型不純物が高濃度(約 $1 \times 10^{17} \text{ cm}^{-3}$ ~ 約 $1 \times 10^{20} \text{ cm}^{-3}$)で導入された複数の p^+ 型拡散領域7が形成されている。この複数の p^+ 型拡散領域7の各々は、n型エピタキシタル層2の上面側からp型不純物をイオン注入することにより形成されている。すなわち、複数の p^+ 型拡散領域7の各々の上面は、n型エピタキシタル層2の領域2bの上面側に露出していることになる。また、複数の p^+ 型拡散領域7の各々の濃度は、後述する上面電極層9との間で良好なオーミック接触を得ることが可能なように設定されている。なお、 p^+ 型拡散領域7は、本発明の「逆導電型の拡散領域」の一例である。

[0073] また、複数の p^+ 型拡散領域7は、平面的に見て、細長状のトレンチ3が延びる方向(Y方向)と同じ方向に沿って延びるように細長状に形成されている。また、複数の p^+ 型拡散領域7は、複数のトレンチ3の配列方向(X方向)と同じ方向に互いに所定の間隔を隔てて配列されている。さらに、複数の p^+ 型拡散領域7の各々の厚み(イオン注入深さ)は、約 $0.5 \mu\text{m}$ ~ 約 $10 \mu\text{m}$ に設定されている。また、複数の p^+ 型拡散領域7の各々のX方向の幅は、約 $0.1 \mu\text{m}$ ~ 約 $2 \mu\text{m}$ に設定されている。なお、複数の p^+ 型拡散領域7は、n型エピタキシタル層2の領域2bにのみ形成されており、n型エピタキシタル層2の領域2aには形成されていない。

[0074] 上記のような複数の p^+ 型拡散領域7が設けられた第1実施形態の構成では、複数の p^+ 型拡散領域7とn型エピタキシタル層2との各接合部分8をツェナーダイオードとして機能させることが可能となる。以下の説明では、接合部分8をツェナーダイオード8と言う。なお、第1実施形態では、ツェナーダイオード8の降伏電圧がシリコン酸化膜4の耐圧よりも低くなるように設定されている。

[0075] さらに、上記のような複数の p^+ 型拡散領域7が設けられた第1実施形態の構成では、複数の p^+ 型拡散領域7に対する印加電圧を制御すれば、複数の p^+ 型拡散領域7の各々の周辺に空乏層を形成したり、その形成された空乏層を消滅させたりすること

が可能となる。そして、第1実施形態では、隣接する p^+ 型拡散領域7間の距離は、複数の p^+ 型拡散領域7の各々の周辺に空乏層を形成した時に、隣接する p^+ 型拡散領域7の各々の周辺に形成された空乏層の一部が互いに重なるように設定されている。すなわち、複数の p^+ 型拡散領域7の各々の周辺に空乏層を形成した場合には、隣接する p^+ 型拡散領域7の各々の周辺に形成された空乏層が互いに連結される。このため、第1実施形態では、複数の p^+ 型拡散領域7の各々の周辺に空乏層を形成すれば、 n 型エピタキシャル層2の隣接する p^+ 型拡散領域7間の各領域が空乏層によって塞がれた状態にすることができる。

[0076] また、 n 型エピタキシャル層2の上面上には、金属層(たとえば、 Al 層)などからなる上面電極層9が形成されている。この上面電極層9は、 n 型エピタキシャル層2の領域2aおよび2bの両方を覆うように形成されている。なお、上面電極層9は、本発明の「電極層」の一例である。

[0077] 上面電極層9は、 n 型エピタキシャル層2の領域2aにおいて、複数のトレンチ3の各々の開口端を覆っており、かつ、 n 型エピタキシャル層2の隣接するトレンチ3間の各領域の上端部(高濃度領域2aの上面)に対してオーミック接触している。その一方、 n 型エピタキシャル層2の領域2bにおいて、上面電極層9は、複数の p^+ 型拡散領域7の各々の露出した上面に対してオーミック接触している。

[0078] さらに、 n 型エピタキシャル層2の領域2bにおいて、上面電極層9は、 n 型エピタキシャル層2の隣接する p^+ 型拡散領域7間の各領域の上端部(低濃度領域の上面)に対してショットキー接触している。このため、上面電極層9と n 型エピタキシャル層2の隣接する p^+ 型拡散領域7間の各領域の上端部との各接合部分10は、ショットキーバリアダイオードとして機能することになる。以下の説明では、接合部分10をショットキーバリアダイオード10と言う。

[0079] なお、上面電極層9は、半導体装置20のスイッチングトランジスタとして機能する領域20aにおいて、スイッチングトランジスタのソース/ドレイン電極の一方(たとえば、ソース電極)として機能する。その一方、半導体装置20のダイオードとして機能する領域20bにおいて、上面電極層9は、ツェナーダイオード8およびショットキーバリアダイオード10のアノード電極として機能する。

- [0080] また、 n^+ 型シリコン基板1の裏面上には、複数の金属層が積層された多層構造の裏面電極層11が形成されている。この裏面電極層11は、全領域に渡って、 n^+ 型シリコン基板1の裏面に対してオーミック接触している。なお、裏面電極層11は、半導体装置20のスイッチングトランジスタとして機能する領域20aにおいて、スイッチングトランジスタのソース/ドレイン電極の他方(たとえば、ドレイン電極)として機能する。その一方、半導体装置20のダイオードとして機能する領域20bにおいて、裏面電極層11は、ツェナーダイオード8およびショットキーバリアダイオード10のカソード電極として機能する。
- [0081] 上記した構成では、半導体装置20のスイッチングトランジスタとして機能する領域20aにおいて、上面電極層9と裏面電極層11との間に電圧が印加された場合、上面電極層9と裏面電極層11との間を流れる電流(n 型エピタキシャル層2の厚み方向に流れる電流)は、 n 型エピタキシャル層2の隣接するトレンチ3間の各領域を通過することになる。すなわち、 n 型エピタキシャル層2の隣接するトレンチ3間の各領域は、スイッチングトランジスタの電流通路(チャネル)12として機能することになる。
- [0082] また、半導体装置20のダイオードとして機能する領域20bにおいて、上面電極層9と裏面電極層11との間に電圧が印加された場合(ツェナーダイオード8およびショットキーバリアダイオード10に対する印加電圧が順バイアスの場合)、 n 型エピタキシャル層2の隣接する p^+ 型拡散領域7間の各領域には、ショットキーバリアダイオード10を通過した電流が流れることになる。すなわち、 n 型エピタキシャル層2の隣接する p^+ 型拡散領域7間の各領域は、ショットキーバリアダイオード10を通過した電流が流れる電流通路13として機能することになる。
- [0083] そして、上記した構造を有する第1実施形態の半導体装置20は、図3に示すような等価回路で表すことができる。すなわち、第1実施形態の半導体装置20では、図3に示すように、スイッチングトランジスタのソースドレイン間に、ツェナーダイオードとショットキーバリアダイオードとが電氣的に接続された回路となる。なお、図3では、便宜上、半導体装置20のスイッチングトランジスタの部分を、MOSFETの回路記号で表している。
- [0084] 次に、図4および図5を参照して、第1実施形態による半導体装置20のスイッチング

トランジスタとして機能する領域20aの動作について説明する。なお、図4には、半導体装置20のスイッチングトランジスタとして機能する領域20aがオフ状態となっている場合を図示しており、図5には、半導体装置20のスイッチングトランジスタとして機能する領域20aがオン状態となっている場合を図示している。

[0085] まず、図4および図5に示すように、スイッチングトランジスタとして機能する領域20aにおいて、上面電極層(ソース電極)9および裏面電極層(ドレイン電極)11の各々に負電位および正電位が印加されているとすると、埋め込み電極5bが上面電極層(ソース電極)9に電氣的に接続されているため、埋め込み電極5bに対して負電位が印加されることになる。したがって、埋め込み電極5bが埋め込まれたトレンチ3(以下、トレンチ3bと言う)の周辺は、多数キャリアが減少した状態となっている。すなわち、トレンチ3bの周辺には、オン状態およびオフ状態にかかわらず、空乏層14(14b)が形成されている。

[0086] そして、図4に示すように、スイッチングトランジスタとして機能する領域20aにおいて、半導体装置20がオフ状態の場合には、埋め込み電極5aが埋め込まれたトレンチ3(以下、トレンチ3aと言う)の周辺に存在する多数キャリアが減少するように、埋め込み電極5aに対する印加電圧が制御されている。これにより、トレンチ3aの周辺には、トレンチ3bの周辺に形成された空乏層14bと同様の空乏層14(14a)が形成されている。

[0087] この際、スイッチングトランジスタとして機能する領域20aにおいて、トレンチ3aとトレンチ3bとの間の領域では、トレンチ3aおよび3bの各々の周辺に形成された空乏層14aおよび14bの一部が互いに重なる。すなわち、トレンチ3aとトレンチ3bとの間の領域では、空乏層14aおよび14bが互いに連結された状態となる。これにより、電流通路12が空乏層14aおよび14bによって塞がれた状態となるので、電流通路12を介して流れる電流を遮断することができる。したがって、半導体装置20がオフ状態となる。

[0088] 次に、図5に示すように、スイッチングトランジスタとして機能する領域20aにおいて、半導体装置20をオフ状態からオン状態に切り替える場合には、埋め込み電極5aに対して所定の正電位を印加することによって、トレンチ3aの周辺に形成された空乏

層14a(図4参照)を消滅させる。すなわち、電流通路12の埋め込み電極5a側の部分を塞いでいた空乏層14aを消滅させる。これにより、電流通路12の埋め込み電極5a側の部分を介して図5中の矢印方向に電流を流すことができるので、半導体装置20をオン状態にすることが可能となる。

[0089] また、スイッチングトランジスタとして機能する領域20aにおいて、半導体装置20をオン状態からオフ状態に切り替える場合には、埋め込み電極5aに対する所定の正電位の印加を解除する。これにより、図4に示した状態に戻るため、半導体装置20をオフ状態にすることが可能となる。

[0090] 次に、図6および図7を参照して、第1実施形態による半導体装置20のダイオードとして機能する領域20bの動作について説明する。なお、図6には、半導体装置20のダイオードとして機能する領域20bに逆バイアスが印加されている状態を図示しており、図7には、半導体装置20のダイオードとして機能する領域20bに順バイアスが印加されている状態を図示している。

[0091] まず、図6に示すように、ダイオードとして機能する領域20bにおいて、上面電極層(アノード電極)9と裏面電極層(カソード電極)11との間に逆バイアスが印加されると、 p^+ 型拡散領域7が上面電極層(アノード電極)9に電氣的に接続されているため、 p^+ 型拡散領域7に対して負電位が印加されることになる。したがって、 p^+ 型拡散領域7の周辺は、多数キャリアが減少した状態となっている。すなわち、 p^+ 型拡散領域7の周辺には、空乏層14(14c)が形成される。

[0092] この際、ダイオードとして機能する領域20bにおいて、隣接する p^+ 型拡散領域7間の領域では、隣接する p^+ 型拡散領域7の各々の周辺に形成された空乏層14cの一部が互いに重なる。すなわち、隣接する p^+ 型拡散領域7間の領域では、隣接する p^+ 型拡散領域7の各々の周辺に形成された空乏層14cが互いに連結された状態となる。これにより、電流通路13が空乏層14cによって塞がれた状態となるため、ショットキーバリアダイオード10におけるリーク電流の発生が抑制される。

[0093] また、図7に示すように、ダイオードとして機能する領域20bにおいて、上面電極層(アノード電極)9と裏面電極層(カソード電極)11との間に順バイアスが印加されると、 p^+ 型拡散領域7が上面電極層(アノード電極)9に電氣的に接続されているため、 p^+

型拡散領域7に対して正電位が印加されることになる。このため、 p^+ 型拡散領域7の周辺に形成された空乏層14c(図6参照)が消滅する。すなわち、電流通路13を塞いでいた空乏層14cが消滅する。これにより、ショットキーバリアダイオード10を通過した電流は、電流通路13を介して図7中の矢印方向に流れることになる。

[0094] 第1実施形態では、上記のように、n型エピタキシャル層2の領域2aにおいて、トレンチ3の周辺に形成される空乏層14でn型エピタキシャル層2の隣接するトレンチ3間の各領域が塞がれることにより電流通路12が遮断される一方、トレンチ3の周辺に形成された空乏層14の少なくとも一部(トレンチ3aの周辺に形成された空乏層14a)が消滅することにより電流通路12が開くように構成することによって、トレンチ3の周辺に形成される空乏層14の形成状態は埋め込み電極5に対する印加電圧に応じて変化するので、埋め込み電極5に対する印加電圧を制御することにより、オン状態(電流通路12が開いている状態)からオフ状態(電流通路12が遮断されている状態)への切り替えを行うことができるとともに、その逆の切り替えも行うことができる。すなわち、半導体装置20をスイッチ装置(スイッチングトランジスタ)として用いることができる。そして、上記した構成では、オン時において、電流通路12の空乏層14が消滅した部分の全てを介して電流を流すことができるので、非常に薄い反転層をチャネル(電流通路)として機能させる従来のMOSFET(半導体装置)と比べて、電流に対する抵抗を大幅に低減することが可能となる。これにより、非常に薄い反転層をチャネル(電流通路)として機能させる従来のMOSFET(半導体装置)と比べて、オン抵抗を大幅に低減することができる。

[0095] また、第1実施形態では、上記のように、n型エピタキシャル層2の領域2aの外側に設けられた領域2bにおいて、n型エピタキシャル層2と p^+ 型拡散領域7との接合部分8がツェナーダイオード8となるように構成することによって、スイッチングトランジスタのソースドレイン間にツェナーダイオード8が接続された状態にすることが可能となる。これにより、半導体装置20にノイズ電圧やサージ電圧などが入力されたとしても、そのノイズ電圧やサージ電圧などをツェナーダイオード8により吸収することができる。これにより、半導体装置20にノイズ電圧やサージ電圧などが入力されることに起因して、半導体装置20が破損してしまうという不都合が発生するのを抑制することがで

きる。

- [0096] また、第1実施形態では、上記のように、n型エピタキシャル層2の領域2bにおいて、n型エピタキシャル層2の隣接する p^+ 型拡散領域7間の各領域と上面電極層9との接合部分10がショットキーバリアダイオード10となるように構成することによって、スイッチングトランジスタのソースドレイン間に、ツェナーダイオード8に加えて、ツェナーダイオード8よりも逆回復時間の短いショットキーバリアダイオード10がさらに接続された状態にすることが可能となる。これにより、スイッチング速度が低下するのを抑制することができる。
- [0097] また、上記した第1実施形態の構成では、スイッチングトランジスタ、ツェナーダイオード8およびショットキーバリアダイオード10が一体化されているので、スイッチングトランジスタ、ツェナーダイオード8およびショットキーバリアダイオード10を互いに接続するための配線部材の形成領域などを別途設ける必要がない。これにより、互いに接続されるスイッチングトランジスタ、ツェナーダイオード8およびショットキーバリアダイオード10を含む回路の小面積化を図ることができる。
- [0098] また、第1実施形態では、上記のように、n型エピタキシャル層2の領域2bにおいて、ショットキーバリアダイオード10に対して逆バイアスが印加されている場合に、 p^+ 型拡散領域7の周辺に形成される空乏層14でn型エピタキシャル層2の隣接する p^+ 型拡散領域7間の各領域が塞がれるように構成することによって、ショットキーバリアダイオード10に対して逆バイアスが印加されている場合に、n型エピタキシャル層2の隣接する p^+ 型拡散領域7間の各領域を介して流れる電流を遮断することができる。これにより、ショットキーバリアダイオード10におけるリーク電流の発生を抑制することができる。この場合、隣接する p^+ 型拡散領域7の各々に形成される空乏層14が互いに連結するように構成することによって、確実に、n型エピタキシャル層2の隣接する p^+ 型拡散領域7間の各領域を空乏層14で塞ぐことができる。
- [0099] また、第1実施形態では、上記のように、n型エピタキシャル層2の領域2bにおいて、隣接する p^+ 型拡散領域7間の距離を、隣接する p^+ 型拡散領域7の各々の周辺に形成される空乏層14の一部が互いに重なるように設定することによって、容易に、隣接する p^+ 型拡散領域7の各々の周辺に形成される空乏層14を互いに連結させること

ができる。

[0100] また、第1実施形態では、上記のように、n型エピタキシャル層2の領域2aにおいて、電流通路12を遮断する場合に、隣接するトレンチ3の各々の周辺に形成される空乏層14が互いに連結するように構成することによって、確実に、電流通路12を空乏層14で塞ぐことができる。

[0101] また、第1実施形態では、上記のように、n型エピタキシャル層2の領域2aにおいて、隣接するトレンチ3間の距離を、隣接するトレンチ3の各々の周辺に形成される空乏層14の一部が互いに重なるように設定することによって、容易に、隣接するトレンチ3の各々の周辺に形成される空乏層14を互いに連結させることができる。

[0102] また、第1実施形態では、上記のように、n型エピタキシャル層2の領域2aにおいて、層間絶縁膜6の上面がn型エピタキシャル層2の上面に対して面一となるように、層間絶縁膜6をトレンチ3に埋め込むことによって、隣接するトレンチ3間の距離を小さくし

たとしても、n型エピタキシャル層2の上面側の部分(隣接するトレンチ3間の領域の上端部)が層間絶縁膜6で覆われてしまうことがない。これにより、隣接するトレンチ3間の距離を小さくすることができるので、隣接するトレンチ3の各々の周辺に形成された空乏層14を互いに連結させやすくすることができる。

[0103] また、図8に示すように、第1実施形態の半導体装置20にコイル21などが接続されている場合には、ツェナーダイオード8により、コイル21からのエネルギー(図8中の矢印)を吸収することができる。

[0104] (第2実施形態)

以下に、図9を参照して、第2実施形態による半導体装置30のスイッチングトランジスタとして機能する領域30aの構造について説明する。

[0105] 第2実施形態の半導体装置30では、図9に示すように、そのスイッチングトランジスタとして機能する領域30aに、所定の制御信号(オン/オフの切り替えを行うための信号)が印加される埋め込み電極5(5a)が埋め込まれたトレンチ3(3a)のみが設けられている。

[0106] そして、第2実施形態では、上面電極層9と裏面電極層11との間に電圧が印加さ

れた場合、上面電極層9と裏面電極層11との間を流れる電流は、隣接するトレンチ3a間の各領域を通過することになる。すなわち、第2実施形態では、隣接するトレンチ3a間の各領域が電流通路32として機能することになる。

[0107] なお、第2実施形態の半導体装置30のスイッチングトランジスタとして機能する領域30aのその他の構造は、上記第1実施形態の半導体装置20のスイッチングトランジスタとして機能する領域20aの構造と同様である。また、図示しないが、第2実施形態の半導体装置30のダイオードとして機能する領域の構造は、上記第1実施形態の半導体装置20のダイオードとして機能する領域20bの構造と同様である。

[0108] 次に、図9および図10を参照して、第2実施形態の半導体装置30のスイッチングトランジスタとして機能する領域30aの動作について説明する。

[0109] まず、オフ状態の場合には、図9に示すように、全てのトレンチ3aの周辺に空乏層14(14a)が形成されるように、全ての埋め込み電極5aに対して負電位が印加されている。これにより、電流通路32が空乏層14aによって塞がれた状態となるので、電流通路32を介して流れる電流を遮断することができる。

[0110] そして、オフ状態からオン状態に切り替える場合には、図10に示すように、全ての埋め込み電極5aに対して正電位を印加することによって、図9に示した全ての空乏層14aを消滅させる。これにより、上面電極層9および裏面電極層11の各々に負電位および正電位が印加されているとすれば、電流通路32を介して図10中の矢印方向に電流を流すことができる。

[0111] この第2実施形態の効果は、上記第1実施形態の効果と同様である。

[0112] (第3実施形態)

以下に、図11を参照して、第3実施形態による半導体装置40のスイッチングトランジスタとして機能する領域40aの構造について説明する。

[0113] 第3実施形態の半導体装置40では、図11に示すように、そのスイッチングトランジスタとして機能する領域40aに、所定の制御信号が印加される埋め込み電極5(5a)が埋め込まれたトレンチ3(3a)と、上面電極層41の一部(以下、埋め込み部41aと言う)が埋め込まれたトレンチ3(3c)とが設けられている。このトレンチ3aおよび3cは、互いに所定の間隔を隔てて1つずつ交互に配列されている。また、上面電極層41の

埋め込み部41aは、トレンチ3cの内部において、エピタキシャル層2に対してショットキー接触している。なお、上面電極層41は、本発明の「電極層」の一例であり、埋め込み部41aは、本発明の「第2埋め込み電極」の一例である。

[0114] そして、第3実施形態では、上面電極層41と裏面電極層11との間に電圧が印加された場合、上面電極層41と裏面電極層11との間を流れる電流は、トレンチ3aとトレンチ3cとの間の各領域を通過することになる。すなわち、第3実施形態では、トレンチ3aとトレンチ3cとの間の各領域が電流通路42として機能することになる。

[0115] なお、第3実施形態の半導体装置40のスイッチングトランジスタとして機能する領域40aのその他の構造は、上記第1実施形態の半導体装置20のスイッチングトランジスタとして機能する領域20aの構造と同様である。また、図示しないが、第3実施形態の半導体装置40のダイオードとして機能する領域の構造は、上記第1実施形態の半導体装置20のダイオードとして機能する領域20bの構造と同様である。

[0116] 次に、図11および図12を参照して、第3実施形態による半導体装置40のスイッチングトランジスタとして機能する領域40aの動作について説明する。

[0117] なお、以下の動作説明では、上面電極層41および裏面電極層11の各々に負電位および正電位が印加されているとする。すなわち、上面電極層41の埋め込み部41aが埋め込まれたトレンチ3cの周辺には、オン状態およびオフ状態にかかわらず、空乏層14(14d)が形成されている。

[0118] まず、オフ状態の場合には、図11に示すように、トレンチ3aの周辺に空乏層14(14a)が形成されるように、埋め込み電極5aに対して負電位が印加されている。これにより、電流通路42が空乏層14aおよび14dによって塞がれた状態となるので、電流通路42を介して流れる電流を遮断することができる。

[0119] そして、オフ状態からオン状態に切り替える場合には、図12に示すように、埋め込み電極5aに対して正電位を印加することによって、図11に示した空乏層14aを消滅させる。これにより、電流通路42の埋め込み電極5a側の部分を介して図12中の矢印方向に電流を流すことができる。

[0120] この第3実施形態の効果は、上記第1実施形態の効果と同様である。

[0121] (第4実施形態)

以下に、図13を参照して、第4実施形態による半導体装置50のスイッチングトランジスタとして機能する領域50aの構造について説明する。

[0122] 第4実施形態の半導体装置50では、図13に示すように、そのスイッチングトランジスタとして機能する領域50aに、所定の制御信号が印加される埋め込み電極5(5a)が埋め込まれたトレンチ3(3a)に加えて、p型不純物が高濃度で導入された p^+ 型拡散領域51がさらに設けられている。この p^+ 型拡散領域51は、隣接するトレンチ3a間の各領域に、トレンチ3aに対して所定の間隔を隔てて1つずつ配置されている。また、 p^+ 型拡散領域51は、上面電極層9に対してオーミック接触している。なお、 p^+ 型拡散領域51は、本発明の「電流通路遮断用拡散領域」の一例である。

[0123] そして、第4実施形態では、上面電極層9と裏面電極層11との間に電圧が印加された場合、上面電極層9と裏面電極層11との間を流れる電流は、トレンチ3aと p^+ 型拡散領域51との間の各領域を通過することになる。すなわち、第4実施形態では、トレンチ3aと p^+ 型拡散領域51との間の各領域が電流通路52として機能することになる。

[0124] なお、第4実施形態の半導体装置50のスイッチングトランジスタとして機能する領域50aのその他の構造は、上記第1実施形態の半導体装置20のスイッチングトランジスタとして機能する領域20aの構造と同様である。また、図示しないが、第4実施形態の半導体装置50のダイオードとして機能する領域の構造は、上記第1実施形態の半導体装置20のダイオードとして機能する領域20bの構造と同様である。

[0125] 次に、図13および図14を参照して、第4実施形態による半導体装置50のスイッチングトランジスタとして機能する領域50aの動作について説明する。

[0126] なお、以下の動作説明では、上面電極層9および裏面電極層11の各々に負電位および正電位が印加されているとする。すなわち、 p^+ 型拡散領域51の周辺には、オン状態およびオフ状態にかかわらず、空乏層14(14e)が形成されている。

[0127] まず、オフ状態の場合には、図13に示すように、トレンチ3aの周辺に空乏層14(14a)が形成されるように、埋め込み電極5aに対して負電位が印加されている。これにより、電流通路52が空乏層14aおよび14eによって塞がれた状態となるので、電流通路52を介して流れる電流を遮断することができる。

[0128] そして、オフ状態からオン状態に切り替える場合には、図14に示すように、埋め込み電極5aに対して正電位を印加することによって、図13に示した空乏層14aを消滅させる。これにより、電流通路52の埋め込み電極5a側の部分を介して図14中の矢印方向に電流を流すことができる。

[0129] この第4実施形態の効果は、上記第1実施形態の効果と同様である。

[0130] (第5実施形態)

以下に、図15～図19を参照して、本発明の第5実施形態による半導体装置120の構造について説明する。

[0131] 第5実施形態による半導体装置120は、図15～図17に示すように、領域120aと、その領域120aの外側に、平面的に見て、領域120aを囲むように設けられた領域120bとを有している。そして、半導体装置120の領域120aは、ノーマリオフ型のスイッチングトランジスタとして機能するように構成されており、半導体装置120の領域120bは、双方向ツェナーダイオードとして機能するように構成されている。すなわち、第5実施形態の半導体装置120は、スイッチングトランジスタおよび双方向ツェナーダイオードが一体的に設けられた構造を有している。

[0132] 具体的な構造としては、第5実施形態の半導体装置120では、 n^+ 型シリコン基板101の上面上に、約 $1\mu\text{m}$ ～約 $10\mu\text{m}$ の厚みを有する p^- 型シリコンからなるエピタキシャル層102が形成されている。 n^+ 型シリコン基板101には、後述するドレイン電極110との間で良好なオーミック接触を得るために n 型不純物が高濃度で導入されている。なお、 n^+ 型シリコン基板101およびエピタキシャル層102は、本発明の「半導体層」の一例である。

[0133] また、エピタキシャル層102は、図15および図17に示すように、 n 型不純物が導入されることによって形成された n 型ウェル領域102aおよび102cと、エピタキシャル層102を構成する p^- 型シリコンの領域である p^- 型領域102bとを有している。また、 n 型ウェル領域102aおよび102cは、それぞれ、エピタキシャル層102の上面側から n^+ 型シリコン基板101の上面に達する深さまで n 型不純物をイオン注入することによって形成されている。なお、 n 型ウェル領域102aおよび102cの n 型不純物濃度は、たとえば、約 $5 \times 10^{15} \text{cm}^{-3}$ ～約 $1 \times 10^{18} \text{cm}^{-3}$ であり、 p^- 型領域102bの p 型不純物濃

度は、たとえば、約 $5 \times 10^{15} \text{ cm}^{-3}$ ～約 $1 \times 10^{18} \text{ cm}^{-3}$ である。

[0134] また、n型ウェル領域102aは、半導体装置120の領域120aに対応する領域に形成されているとともに、p⁻型領域102bは、半導体装置120の領域120bに対応する領域に形成されている。すなわち、p⁻型領域102bは、n型ウェル領域102aの外側の領域に、平面的に見て、n型ウェル領域102aを囲むように形成されている。また、n型ウェル領域102cは、p⁻型領域102bの外側の領域に、平面的に見て、p⁻型領域102bを囲むように形成されている。すなわち、エピタキシャル層102には、n型ウェル領域102aとn型ウェル領域102cとの間にp⁻型領域102bが挟まれるように、n型ウェル領域102a、p⁻型領域102bおよびn型ウェル領域102cが、それぞれ、形成されている。なお、n⁺型シリコン基板101は、本発明の「一導電型の第1領域」の一例であり、n型ウェル領域102aは、本発明の「一導電型の第2領域」の一例である。また、p⁻型領域102bは、本発明の「逆導電型の第3領域」の一例であり、n型ウェル領域102cは、本発明の「一導電型の第4領域」の一例である。

[0135] また、エピタキシャル層102のn型ウェル領域102aには、エピタキシャル層102の厚み方向に掘られた複数のトレンチ103が形成されている。ただし、複数のトレンチ103のうち両端側のトレンチ103については、エピタキシャル層102のn型ウェル領域102aとp⁻型領域102bとの境界部分に形成されている。この複数のトレンチ103は、エピタキシャル層102をその上面(主表面)側からエッチングすることによって形成されている。すなわち、複数のトレンチ103の各々の開口端は、エピタキシャル層102の上面側に位置している。

[0136] また、複数のトレンチ103は、図16に示すように、平面的に見て、その各々がエピタキシャル層102の上面に対して平行な所定方向(Y方向)に沿って延びるように細長状に形成されている。また、複数のトレンチ103は、エピタキシャル層102の上面に対して平行で、かつ、トレンチ103が延びる方向(Y方向)と直交する方向(X方向)に互いに約 $0.05 \mu\text{m}$ ～約 $0.3 \mu\text{m}$ の間隔を隔てて配列されている。さらに、複数のトレンチ103の各々の溝深さは、エピタキシャル層102の厚み(約 $1 \mu\text{m}$ ～約 $10 \mu\text{m}$)よりも小さくなるように、約 $0.5 \mu\text{m}$ ～約 $5 \mu\text{m}$ に設定されている。また、複数のトレンチ103の各々のX方向の幅は、約 $0.1 \mu\text{m}$ ～約 $1 \mu\text{m}$ に設定されている。

- [0137] また、複数のトレンチ103の各々の上面上には、エピタキシャル層102を構成するシリコンを熱酸化処理することによって得られるシリコン酸化膜104が約10nm～約100nmの厚みで形成されている。
- [0138] また、複数のトレンチ103の各々の内面上には、シリコン酸化膜104を介して、p型ポリシリコンからなる埋め込み電極（ゲート電極）105が形成されている。この複数の埋め込み電極105の各々は、対向するトレンチ103の途中の深さまでを埋め込んでいる。なお、埋め込み電極105の構成材料としては、p型ポリシリコン以外に、金属などを用いることもできる。
- [0139] 上記のような複数の埋め込み電極105が設けられた第5実施形態の構成では、複数の埋め込み電極105に対する印加電圧を制御すれば、複数のトレンチ103の各々の周辺に空乏層を形成したり、その形成された空乏層を消滅させたりすることが可能となる。そして、第5実施形態では、隣り合うトレンチ103間の距離は、複数のトレンチ103の各々の周辺に空乏層を形成した時に、隣り合うトレンチ103の各々の周辺に形成された空乏層が互いに連結される距離に設定されている。このため、第5実施形態では、複数のトレンチ103の各々の周辺に空乏層を形成すれば、エピタキシャル層102の隣り合うトレンチ103間の各領域が空乏層によって塞がれた状態にすることができる。
- [0140] また、第5実施形態の複数の埋め込み電極105は、互いに別個に電圧が印加される2種類の埋め込み電極105aおよび105bに分けられている。一方の埋め込み電極105aは、所定の制御信号（オン／オフの切り替えを行うための信号）に対応する電圧が印加されるように構成されている。また、他方の埋め込み電極105bは、後述するソース電極109に電氣的に接続されている。すなわち、他方の埋め込み電極105bは、ソース電極109と同電位となるように構成されている。また、埋め込み電極105aおよび105bは、X方向に1つずつ交互に配置されている。したがって、2つの埋め込み電極105a（105b）の間に1つの埋め込み電極105b（105a）が配置されていることになる。なお、埋め込み電極105aおよび105bは、それぞれ、本発明の「第1埋め込み電極」および「第2埋め込み電極」の一例である。
- [0141] また、複数のトレンチ103の各々の埋め込み電極105が埋め込まれていない残りの

部分(埋め込み電極105よりも上方の部分)には、シリコン酸化膜からなる層間絶縁膜106が埋め込まれている。この複数の層間絶縁膜106の各々は、対応する埋め込み電極105と後述するソース電極109との間で絶縁を行うために設けられている。また、複数の層間絶縁膜106の各々の厚みは、対応するトレンチ103の埋め込み電極105が埋め込まれていない残りの部分(埋め込み電極105よりも上方の部分)の深さと同じになるように設定されている。したがって、複数の層間絶縁膜106の各々の上面は、エピタキシャル層102の上面(隣り合うトレンチ103間の各領域の上端部の上面)に対して同一面となっている。

[0142] また、エピタキシャル層102のn型ウェル領域102aの上面側の部分(隣り合うトレンチ103間の各領域の上端部)には、エピタキシャル層102のn型ウェル領域102aの上面側に低濃度領域が露出しないように、n型不純物が高濃度でイオン注入された高濃度領域102dが形成されている。このエピタキシャル層102の高濃度領域102dの濃度は、後述するソース電極109との間で良好なオーミック接触を得ることが可能となるように設定されており、エピタキシャル層102のn型ウェル領域102aの他の部分のn型不純物濃度よりも高くなっている。さらに、エピタキシャル層102の高濃度領域102dの厚み(イオン注入による拡散後の深さ)は、層間絶縁膜106の厚みよりも小さくなるように設定されている。すなわち、エピタキシャル層102の高濃度領域102dの下端部は、埋め込み電極105の上端部よりも上方に位置している。

[0143] 一方、図15に示すように、エピタキシャル層102のp⁻型領域102bには、n型不純物が高濃度(たとえば、約 $1 \times 10^{17} \text{ cm}^{-3}$ ~ 約 $1 \times 10^{20} \text{ cm}^{-3}$)で導入された複数のn⁺型拡散領域107と、p型不純物が高濃度(たとえば、約 $1 \times 10^{17} \text{ cm}^{-3}$ ~ 約 $1 \times 10^{20} \text{ cm}^{-3}$)で導入された複数のp⁺型拡散領域108とが形成されている。この複数のn⁺型拡散領域107の各々は、エピタキシャル層102の上面側からn型不純物をイオン注入することにより形成されているとともに、複数のp⁺型拡散領域108の各々は、エピタキシャル層102の上面側からp型不純物をイオン注入することにより形成されている。また、複数のp⁺型拡散領域108の各々の厚み(イオン注入による拡散後の深さ)は、n⁺型拡散領域107の厚み(イオン注入による拡散後の深さ)よりも大きくなるように設定されている。すなわち、p⁺型拡散領域108の下端部は、n⁺型拡散領域107の下

端部よりも下方に位置している。

[0144] また、 n^+ 型拡散領域107の各々、および、 p^+ 型拡散領域108の各々は、図17および図18に示すように、平面的に見て、 n 型ウェル領域102aを囲むように形成されている。そして、 n^+ 型拡散領域107と p^+ 型拡散領域108とは、平面的に見て、互いに交互に配置されている。具体的には、図15および図18に示すように、2つの n^+ 型拡散領域107の間に、1つの p^+ 型拡散領域108が各々の n^+ 型拡散領域107と接するように配置されている。これにより、エピタキシャル層102の p^- 型領域102bに、複数の n^+ 型拡散領域107と複数の p^+ 型拡散領域108とによって構成された双方向ツェナーダイオードが形成される。なお、複数の n^+ 型拡散領域107および複数の p^+ 型拡散領域108は、本発明の「複数の拡散領域」の一例である。また、 n^+ 型拡散領域107および p^+ 型拡散領域108は、それぞれ、本発明の「第1拡散領域」および「第2拡散領域」の一例である。

[0145] また、図15に示すように、エピタキシャル層102の上面上(半導体装置120の領域120aに対応する領域上)には、複数のトレンチ103の各々の開口端を覆うように、Al層などからなるソース電極109が形成されている。このソース電極109は、エピタキシャル層102の高濃度領域(隣り合うトレンチ103間の各領域の上端部)102cに対してオーミック接触しているとともに、双方向ツェナーダイオードを構成する複数の n^+ 型拡散領域107のうちの最も n 型ウェル領域102a側の n^+ 型拡散領域107aともオーミック接触している。なお、ソース電極109は、本発明の「電極層」の一例であり、最も n 型ウェル領域102a側の n^+ 型拡散領域107aは、本発明の「第1部分」の一例である。

[0146] また、 n^+ 型シリコン基板101の下面(裏面)上には、複数の金属層が積層された多層構造のドレイン電極110が形成されている。このドレイン電極110は、全領域に渡って、 n^+ 型シリコン基板101の下面(裏面)に対してオーミック接触している。

[0147] また、エピタキシャル層102の p^- 型領域102bの上面上には、 n^+ 型拡散領域107および p^+ 型拡散領域108の所定領域を覆うように、 SiO_2 層111が形成されている。この SiO_2 層111は、双方向ツェナーダイオードを構成する複数の n^+ 型拡散領域107のうちの所定の n^+ 型拡散領域107cの上面の一部を露出させるように形成されている。なお、複数の n^+ 型拡散領域107のうちの所定の n^+ 型拡散領域107cは、本発明

の「第3部分」の一例である。

[0148] ここで、双方向ツェナーダイオードを構成する複数の n^+ 型拡散領域107のうちの最も n 型ウェル領域102c側の n^+ 型拡散領域107bは、 n 型ウェル領域102cにも形成されている。このため、 n^+ 型拡散領域107bと n^+ 型シリコン基板101(ド레인電極110)とは、 n 型ウェル領域102cを介して、電氣的に接続された状態となっている。これにより、半導体装置120におけるスイッチングトランジスタのソースド레인間に、双方向ツェナーダイオードが電氣的に接続された状態となっている。なお、最も n 型ウェル領域102c側の n^+ 型拡散領域107bは、本発明の「第2部分」の一例である。

[0149] また、エピタキシャル層102における p^- 型領域102bの上面上の所定領域には、埋め込み電極105aと電氣的に接続されたメタル層112が形成されている。このメタル層112の一部は、露出している n^+ 型拡散領域107cの上面の一部とオーミック接触している。すなわち、埋め込み電極105aと電氣的に接続されているメタル層112は、双方向ツェナーダイオードを構成する複数の n^+ 型拡散領域107のうちの所定の n^+ 型拡散領域107cとも電氣的に接続されている。これにより、半導体装置120におけるスイッチングトランジスタのソースゲート間に、双方向ツェナーダイオードが電氣的に接続された状態となっている。

[0150] 上記した構成では、半導体装置120のスイッチングトランジスタとして機能する領域120aにおいて、ソース電極109とド레인電極110との間に電圧が印加された場合、ソース電極109とド레인電極110との間を流れる電流(エピタキシャル層102の厚み方向に流れる電流)は、エピタキシャル層102の隣り合うトレンチ103間の各領域を通過することになる。すなわち、エピタキシャル層102の隣り合うトレンチ103間の各領域は、スイッチングトランジスタの電流通路(チャネル)113として機能することになる。

[0151] そして、上記した構造を有する第5実施形態の半導体装置120は、図19に示すような等価回路で表すことができる。すなわち、第5実施形態の半導体装置120では、図19に示すように、スイッチングトランジスタのソースド레인間およびソースゲート間に、それぞれ、双方向ツェナーダイオードが接続された回路となる。なお、図19では、便宜上、半導体装置120のスイッチングトランジスタの部分、MOSFETの回路

記号で表している。

[0152] 次に、図20および図21を参照して、第5実施形態の半導体装置120のスイッチングトランジスタとして機能する領域120aの動作について説明する。なお、図20には、スイッチ装置として機能する半導体装置がオフ状態となっている場合を図示しており、図21には、スイッチ装置として機能する半導体装置がオン状態となっている場合を図示している。

[0153] まず、図20および図21に示すように、ソース電極109およびド레인電極110の各々に負電位および正電位が印加されているとすると、埋め込み電極105bがソース電極109に電氣的に接続されているため、埋め込み電極105bに対して負電位が印加されることになる。したがって、埋め込み電極105bが埋め込まれたトレンチ103(以下、トレンチ103bと言う)の周辺には、多数キャリアが減少した状態となっている。すなわち、トレンチ103bの周辺には、オン状態およびオフ状態にかかわらず、空乏層114(114b)が形成されている。

[0154] そして、図20に示すように、半導体装置120がオフ状態の場合には、埋め込み電極105aが埋め込まれたトレンチ103(以下、トレンチ103aと言う)の周辺に存在する多数キャリアが減少するように、埋め込み電極105aに対する印加電圧が制御されている。これにより、トレンチ103aの周辺には、トレンチ103bの周辺に形成された空乏層114(114b)と同様の空乏層114(114a)が形成されている。

[0155] この際、トレンチ103aとトレンチ103bとの間の領域では、トレンチ103aおよび103bの各々の周辺に形成された空乏層114aおよび114bの一部が互いに重なる。すなわち、トレンチ103aとトレンチ103bとの間の領域では、空乏層114aおよび114bが互いに連結された状態となる。これにより、電流通路113が空乏層114aおよび114bによって塞がれた状態となるので、電流通路113を介して流れる電流を遮断することができる。したがって、半導体装置120がオフ状態となる。

[0156] 次に、図21に示すように、半導体装置120をオフ状態からオン状態に切り替える場合には、埋め込み電極105aに対して所定の正電位を印加することによって、トレンチ103aの周辺に形成された空乏層114a(図20参照)を消滅させる。すなわち、電流通路113の埋め込み電極105a側の部分を塞いでいた空乏層114aを消滅させる

。これにより、電流通路113の埋め込み電極105a側の部分を介して図21中の矢印方向に電流を流すことができるので、半導体装置120をオン状態にすることが可能となる。

[0157] また、半導体装置120をオン状態からオフ状態に切り替える場合には、埋め込み電極105aに対する所定の正電位の印加を解除する。これにより、図20に示した状態に戻るので、半導体装置120をオフ状態にすることが可能となる。

[0158] 第5実施形態では、上記のように、エピタキシャル層102のn型ウェル領域102aにおいて、トレンチ103の周辺に形成される空乏層114でエピタキシャル層102の隣り合うトレンチ103間の各領域が塞がれることにより電流通路113が遮断される一方、トレンチ103の周辺に形成された空乏層114の少なくとも一部(トレンチ103aの周辺に形成された空乏層114a)が消滅することにより電流通路113が開くように構成することによって、トレンチ103の周辺に形成される空乏層114の形成状態は埋め込み電極105に対する印加電圧に応じて変化するので、埋め込み電極105に対する印加電圧を制御することにより、オン状態(電流通路113が開いている状態)からオフ状態(電流通路113が閉じている状態)への切り替えを行うことができるとともに、その逆の切り替えも行うことができる。すなわち、半導体装置120をスイッチ装置(スイッチングトランジスタ)として用いることができる。そして、上記した構成では、オン時において、電流通路113の空乏層114が消滅した部分の全てを介して電流を流すことができるので、非常に薄い反転層をチャネル(電流通路)として機能させる従来のMOSFET(半導体装置)と比べて、電流に対する抵抗を大幅に低減することが可能となる。これにより、非常に薄い反転層をチャネル(電流通路)として機能させる従来のMOSFET(半導体装置)に比べて、オン抵抗を大幅に低減することができる。

[0159] また、第5実施形態では、上記のように、 n^+ 型拡散領域107と p^+ 型拡散領域108とが交互に配置されることによって構成された双方向ツェナーダイオードを、エピタキシャル層102の p^- 型領域102bに形成することによって、半導体装置120におけるスイッチングトランジスタのソースドレイン間およびソースゲート間に双方向ツェナーダイオードが接続された状態にすることが可能となる。これにより、半導体装置120に静電気やサージ電圧などが入力されたとしても、その静電気やサージ電圧などを双

方向ツェナーダイオードにより吸収することができる。したがって、半導体装置120に静電気やサージ電圧などが入力されることに起因する絶縁破壊などを抑制することができる。その結果、絶縁破壊などに起因して、半導体装置120が破損してしまうという不都合が発生するのを抑制することができる。

[0160] また、上記した第5実施形態の構成では、 n^+ 型拡散領域107および p^+ 型拡散領域108の形成数を変えることによって、双方向ツェナーダイオードのツェナー電圧(降伏電圧)を容易に調整することができる。このため、スイッチングトランジスタのソースドレイン間およびソースゲート間に、所定のツェナー電圧(降伏電圧)を有する双方向ツェナーダイオードが接続された状態に容易にすることができる。

[0161] さらに、上記した第5実施形態の構成では、スイッチングトランジスタと双方向ツェナーダイオードとが一体化されているので、スイッチングトランジスタと双方向ツェナーダイオードとを接続するための配線部材の形成領域などを別途設ける必要がない。これにより、互いに接続されるスイッチングトランジスタおよび双方向ツェナーダイオードを含む回路の小面積化を図ることができる。

[0162] また、第5実施形態では、上記のように、電流通路113を遮断する場合に、隣り合うトレンチ103の各々の周辺に形成される空乏層114が互いに連結するように構成することによって、確実に、隣り合うトレンチ103の各々の周辺に形成される空乏層114で、電流通路113を塞ぐことができる。

[0163] また、第5実施形態では、上記のように、層間絶縁膜106の上面がエピタキシャル層102の上面に対して同一面となるように層間絶縁膜106を各々のトレンチ103に埋め込みことによって、隣り合うトレンチ103間の距離を小さくしたとしても、エピタキシャル層102の上面側の部分(隣り合うトレンチ103間の領域の上端部)が層間絶縁膜106で覆われてしまうことがない。これにより、隣り合うトレンチ103間の距離を小さくすることができるので、隣り合うトレンチ103の各々の周辺に形成された空乏層114を互いに連結させ易くすることができる。

[0164] (第6実施形態)

以下に、図22を参照して、第6実施形態による半導体装置130のスイッチングトランジスタとして機能する領域130aの構造について説明する。

[0165] この第6実施形態の半導体装置130では、そのスイッチングトランジスタとして機能する領域130aに、所定の制御信号(オン／オフの切り替えを行うための信号)が印加される埋め込み電極105(105a)が埋め込まれたトレンチ103(103a)のみが設けられている。

[0166] そして、第6実施形態では、ソース電極109とドレイン電極110との間に電圧が印加された場合、ソース電極109とドレイン電極110との間を流れる電流は、隣り合うトレンチ103a間の各領域を通過することになる。すなわち、第6実施形態では、隣り合うトレンチ103a間の各領域が電流通路132として機能することになる。

[0167] なお、第6実施形態の半導体装置130のスイッチングトランジスタとして機能する領域130aのその他の構造は、上記第5実施形態の半導体装置120のスイッチングトランジスタとして機能する領域120aの構造と同様である。また、図示しないが、第6実施形態の半導体装置130の双方向ツェナーダイオードとして機能する領域の構造は、上記第5実施形態の半導体装置120の双方向ツェナーダイオードとして機能する領域120bの構造と同様である。

[0168] 次に、図22および図23を参照して、第6実施形態の半導体装置130のスイッチングトランジスタとして機能する領域130aの動作について説明する。

[0169] まず、オフ状態の場合には、図22に示すように、全てのトレンチ103aの周辺に空乏層114(114a)が形成されるように、全ての埋め込み電極105aに対して負電位が印加されている。これにより、電流通路132が空乏層114aによって塞がれた状態となるので、電流通路132を介して流れる電流を遮断することができる。

[0170] そして、オフ状態からオン状態に切り替える場合には、図23に示すように、全ての埋め込み電極105aに対して正電位を印加することによって、図22に示した全ての空乏層114aを消滅させる。これにより、ソース電極109およびドレイン電極110の各々に負電位および正電位が印加されているとすれば、電流通路132を介して図23中の矢印方向に電流を流すことができる。

[0171] この第6実施形態の効果は、上記第5実施形態の効果と同様である。

[0172] (第7実施形態)

以下に、図24を参照して、第7実施形態による半導体装置140のスイッチングトラン

ジスタとして機能する領域140aの構造について説明する。

- [0173] 第7実施形態の半導体装置140では、そのスイッチングトランジスタとして機能する領域140aに所定の制御信号(オン／オフの切り替えを行うための信号)が印加される埋め込み電極105(105a)が埋め込まれたトレンチ103(103a)と、ソース電極141の一部(以下、埋め込み部141aと言う)が埋め込まれたトレンチ103(103c)とが設けられている。このトレンチ103aおよび103cは、互いに所定の間隔を隔てて1つずつ交互に配列されている。また、ソース電極141の埋め込み部141aは、トレンチ103cの内部において、エピタキシャル層102に対してショットキー接触している。なお、ソース電極141の埋め込み部141aは、本発明の「第2埋め込み電極」の一例である。
- [0174] そして、第7実施形態では、ソース電極141とドレイン電極110との間に電圧が印加された場合、ソース電極141とドレイン電極110との間を流れる電流は、トレンチ103aとトレンチ103cとの間の各領域を通過することになる。すなわち、第7実施形態では、トレンチ103aとトレンチ103cとの間の各領域が電流通路142として機能することになる。
- [0175] この第7実施形態の半導体装置140のスイッチングトランジスタとして機能する領域140aのその他の構造は、上記第5実施形態の半導体装置120のスイッチングトランジスタとして機能する領域120aの構造と同様である。また、図示しないが、第7実施形態の半導体装置140の双方向ツェナーダイオードとして機能する領域の構造は、上記第5実施形態の半導体装置120の双方向ツェナーダイオードとして機能する領域120bの構造と同様である。
- [0176] 次に、図24および図25を参照して、第7実施形態による半導体装置140のスイッチングトランジスタとして機能する領域140aの動作について説明する。
- [0177] なお、以下の動作説明では、ソース電極141およびドレイン電極110の各々に負電位および正電位が印加されているとする。すなわち、ソース電極141の埋め込み部141aが埋め込まれたトレンチ103cの周辺には、オン状態およびオフ状態にかかわらず、空乏層114(114c)が形成されている。
- [0178] まず、オフ状態の場合には、図24に示すように、トレンチ103aの周辺に空乏層114(114a)が形成されるように、埋め込み電極105aに対して負電位が印加されている

。これにより、電流通路142が空乏層114aおよび114cによって塞がれた状態となるので、電流通路142を介して流れる電流を遮断することができる。

[0179] そして、オフ状態からオン状態に切り替える場合には、図25に示すように、埋め込み電極105aに対して正電位を印加することによって、図24に示した空乏層114aを消滅させる。これにより、電流通路142の埋め込み電極105a側(トレンチ103a側)の部分を経由して図25中の矢印方向に電流を流すことができる。

[0180] この第7実施形態の効果は、上記第5実施形態の効果と同様である。

[0181] (第8実施形態)

以下に、図26を参照して、第8実施形態による半導体装置150のスイッチングトランジスタとして機能する領域150aの構造について説明する。

[0182] 第8実施形態の半導体装置150では、そのスイッチングトランジスタとして機能する領域150aに、所定の制御信号(オン/オフの切り替えを行うための信号)が印加される埋め込み電極105(105a)が埋め込まれたトレンチ103(103a)に加えて、p型不純物が高濃度に導入された p^+ 型拡散領域151がさらに設けられている。この p^+ 型拡散領域151は、隣り合うトレンチ103a間の各領域に、トレンチ103aに対して所定の間隔を隔てて1つずつ配置されている。また、 p^+ 型拡散領域151は、ソース電極109に対してオーミック接触している。なお、 p^+ 型拡散領域151は、本発明の「電流通路遮断用拡散領域」の一例である。

[0183] そして、第8実施形態では、ソース電極109とドレイン電極110との間に電圧が印加された場合、ソース電極109とドレイン電極110との間を流れる電流は、トレンチ103aと p^+ 型拡散領域151との間の各領域を通過することになる。すなわち、第8実施形態では、トレンチ103aと p^+ 型拡散領域151との間の各領域が電流通路152として機能することになる。

[0184] なお、第8実施形態の半導体装置150のスイッチングトランジスタとして機能する領域150aのその他の構造は、上記第5実施形態の半導体装置120のスイッチングトランジスタとして機能する領域120aの構造と同様である。また、図示しないが、第8実施形態の半導体装置150の双方向ツェナーダイオードとして機能する領域の構造は、上記第5実施形態の半導体装置120の双方向ツェナーダイオードとして機能する

領域120bの構造と同様である。

[0185] 次に、図26および図27を参照して、第8実施形態による半導体装置150のスイッチングトランジスタとして機能する領域150aの動作について説明する。

[0186] なお、以下の動作説明では、ソース電極109およびドレイン電極110の各々に負電位および正電位が印加されているとする。すなわち、 p^+ 型拡散領域151の周辺には、オン状態およびオフ状態にかかわらず、空乏層114(114d)が形成されている。

[0187] まず、オフ状態の場合には、図26に示すように、トレンチ103aの周辺に空乏層114(114a)が形成されるように、埋め込み電極105aに対して負電位が印加されている。これにより、電流通路152が空乏層114aおよび114dによって塞がれた状態となるので、電流通路152を介して流れる電流を遮断することができる。

[0188] そして、オフ状態からオン状態に切り替える場合には、図27に示すように、埋め込み電極105aに対して正電位を印加することによって、図26に示した空乏層114aを消滅させる。これにより、電流通路152の埋め込み電極105a側(トレンチ103a側)の部分を経由して図27中の矢印方向電流を流すことができる。

[0189] この第8実施形態の効果は、上記第5実施形態の効果と同様である。

[0190] (第9実施形態)

以下に、図28～図32を参照して、第9実施形態による半導体装置220の構造について説明する。

[0191] 第9実施形態の半導体装置220は、図28および図29に示すように、領域220aと、その領域220aの外側に設けられた領域220bとを有している。この半導体装置220の領域220aおよび220bは、平面的に見て、領域220aを領域220bが囲むように配置されている。そして、半導体装置220の領域220aは、ノーマリオフ型のスイッチングトランジスタとして機能するように構成されており、半導体装置220の領域220bは、ツェナーダイオードとして機能するように構成されている。すなわち、第9実施形態の半導体装置220は、スイッチングトランジスタおよびツェナーダイオードが一体的に設けられた構造を有している。

[0192] 具体的な構造としては、第9実施形態の半導体装置220では、図28に示すように、 n^+ 型シリコン基板201の上面上に、約 $1\mu m$ ～約 $10\mu m$ の厚みを有する p^- 型シリコ

ンからなるエピタキシャル層202が形成されている。 n^+ 型シリコン基板201には、後述するドレイン電極210との間で良好なオーミック接触を得るために、 n 型不純物が高濃度で導入されている。なお、 n^+ 型シリコン基板201は、本発明の「半導体層」および「一導電型の第1領域」の一例であり、エピタキシャル層202は、本発明の「半導体層」の一例である。

[0193] また、エピタキシャル層202は、 n 型ウェル領域202aおよび202cと、 p^- 型領域202bとを有している。エピタキシャル層202の n 型ウェル領域202aおよび202cは、エピタキシャル層202の上面側から n 型不純物がイオン注入されることによって形成されており、 n^+ 型シリコン基板201の上面にまで達している。また、エピタキシャル層202の p^- 型領域202bは、 n 型不純物がイオン注入されていない領域によって構成されている。なお、エピタキシャル層202の n 型ウェル領域202aおよび202cの n 型不純物濃度は、たとえば、 $5 \times 10^{15} \text{ cm}^{-3} \sim 1 \times 10^{18} \text{ cm}^{-3}$ に設定されている。また、エピタキシャル層202の n 型不純物がイオン注入されていない領域(p^- 型領域202b)の p 型不純物濃度は、たとえば、 $5 \times 10^{15} \text{ cm}^{-3} \sim 1 \times 10^{18} \text{ cm}^{-3}$ に設定されている。

[0194] また、エピタキシャル層202の n 型ウェル領域202aは、半導体装置220の領域220aに対応する全領域に設けられているとともに、エピタキシャル層202の n 型ウェル領域202cは、半導体装置220の領域220bに対応する領域の最も外側に設けられている。このため、エピタキシャル層202の p^- 型領域202bは、半導体装置220の領域220bに対応する領域において、 n 型ウェル領域202cよりも内側に設けられていることになる。なお、 n 型ウェル領域202aは、本発明の「一導電型の第2領域」の一例であり、 p^- 型領域202bは、本発明の「逆導電型の第3領域」の一例である。

[0195] また、エピタキシャル層202の n 型ウェル領域202aには、エピタキシャル層202の厚み方向に掘られた複数のトレンチ203が形成されている。この複数のトレンチ203は、エピタキシャル層202をその上面(主表面)側からエッチングすることによって形成されている。すなわち、複数のトレンチ203の各々の開口端は、エピタキシャル層202の上面側に位置している。さらに、複数のトレンチ203の各々の溝深さは、約 $0.5 \mu\text{m} \sim 12 \mu\text{m}$ に設定されている。この第9実施形態のトレンチ203の溝深さは、 n 型エピタキシャル層202の厚み(約 $1 \mu\text{m} \sim 10 \mu\text{m}$)よりも小さくなるように設定され

ている。なお、図示しないが、トレンチ203がn型エピタキシャル層202を貫通して n^+ 型シリコン基板201まで達していてもよい。

[0196] また、図29および図30に示すように、複数のトレンチ203は、平面的に見て、その各々がエピタキシャル層202の上面に対して平行な所定方向(Y方向)に沿って延びるように細長状に形成されている。また、複数のトレンチ203は、エピタキシャル層202の上面に対して平行で、かつ、トレンチ203が延びる方向(Y方向)と直交する方向(X方向)に互いに約 $0.05\mu\text{m}$ ～約 $0.3\mu\text{m}$ の間隔を隔てて配置されている。また、複数のトレンチ203の各々のX方向の幅は、約 $0.1\mu\text{m}$ ～約 $1\mu\text{m}$ に設定されている。なお、複数のトレンチ203のうちの最端に位置するトレンチ203は、エピタキシャル層202のn型ウェル領域202aと p^- 型領域202bとの境界部分を跨ぐように配置されている。

[0197] また、図28に示すように、複数のトレンチ203の各々の内面上には、エピタキシャル層202を構成するシリコンを熱酸化処理することによって得られるシリコン酸化膜(絶縁膜)204が約10nm～約100nmの厚みで形成されている。

[0198] また、複数のトレンチ203の各々の内面上には、シリコン酸化膜204を介して、p型ポリシリコンからなる埋め込み電極205が形成されている。この複数の埋め込み電極205の各々は、対応するトレンチ203の途中の深さまでを埋め込んでいる。なお、埋め込み電極205の構成材料としては、p型ポリシリコン以外に金属などを用いることもできる。

[0199] 上記のような複数の埋め込み電極205が設けられた第9実施形態の構成では、複数の埋め込み電極205に対する印加電圧を制御すれば、複数のトレンチ203の各々の周辺に空乏層を形成したり、その形成された空乏層を消滅させたりすることが可能となる。そして、第9実施形態では、隣接するトレンチ203間の距離は、複数のトレンチ203の各々の周辺に空乏層を形成した時に、隣接するトレンチ203の各々の周辺に形成された空乏層の一部が互いに重なるように設定されている。すなわち、複数のトレンチ203の各々の周辺に空乏層を形成した場合には、隣接するトレンチ203の各々の周辺に形成された空乏層が互いに連結される。このため、第9実施形態では、複数のトレンチ203の各々の周辺に空乏層を形成すれば、隣接するトレンチ203

間の各領域を空乏層によって塞ぐことができる。

[0200] また、図31に示すように、第9実施形態の複数の埋め込み電極205は、互いに別個に電圧が印加される2種類の埋め込み電極(ゲート電極)205aおよび埋め込み電極(コモン電極)205bに分けられている。一方の埋め込み電極(ゲート電極)205aは、所定の制御信号(オン/オフの切替を行うための信号)に対応する電圧が印加されるように構成されている。また、他方の埋め込み電極(コモン電極)205bは、後述するソース電極209に電氣的に接続されている。すなわち、他方の埋め込み電極(コモン電極)205bは、ソース電極209と同電位となるように構成されている。なお、埋め込み電極205aおよび205bは、それぞれ、本発明の「第1埋め込み電極」および「第2埋め込み電極」の一例である。

[0201] また、図28に示すように、複数のトレンチ203の各々の埋め込み電極205が埋め込まれていない残りの部分(埋め込み電極205よりも上方の部分)には、シリコン酸化膜からなる層間絶縁膜206が埋め込まれている。この複数の層間絶縁膜206の各々は、対応する埋め込み電極205と後述するソース電極209との間で絶縁を行うために設けられている。また、複数の層間絶縁膜206の各々の厚みは、対応するトレンチ203の埋め込み電極205が埋め込まれていない残りの部分(埋め込み電極205よりも上方の部分)の深さと同じになるように設定されている。したがって、複数の層間絶縁膜206の各々の上面は、エピタキシャル層202の上面(隣接するトレンチ203間の各領域の上端部の上面)に対して面一となっている。

[0202] また、エピタキシャル層202のn型ウェル領域202aの上面側の部分(隣接するトレンチ203間の各領域の上端部)には、エピタキシャル層202の上面に低濃度領域が露出しないように、n型不純物が高濃度でイオン注入された高濃度領域202dが形成されている。このエピタキシャル層202の高濃度領域202dの濃度は、後述するソース電極209との間で良好なオーミック接触を得ることが可能なように設定されており、エピタキシャル層202のn型ウェル領域202aの他の部分の濃度よりも高くなっている。また、エピタキシャル層202の高濃度領域202dの厚みは、層間絶縁膜206の厚みよりも小さくなるように設定されている。すなわち、エピタキシャル層202の高濃度領域202dの下端部は、埋め込み電極205の上端部よりも上方に位置している。

- [0203] 一方、エピタキシャル層202の p^- 型領域202bの上面側の少なくとも一部には、後述するソース電極209との間で良好なオーミック接触を得るために、 p 型不純物が高濃度(たとえば、約 $1 \times 10^{17} \text{ cm}^{-3}$ ～約 $1 \times 10^{20} \text{ cm}^{-3}$)でイオン注入された p^+ 型拡散領域208が設けられている。さらに、エピタキシャル層202の n 型ウェル領域202cの上面側の部分には、エピタキシャル層202の上面に n 型ウェル領域202cが露出しないように、 n 型不純物が高濃度でイオン注入された n^+ 型拡散領域207bが設けられている。
- [0204] また、エピタキシャル層202の上面上には、Al層などからなるソース電極209が形成されている。このソース電極209は、エピタキシャル層202の高濃度領域(隣接するトレンチ203間の各領域の上端部)202dおよび p^+ 型拡散領域208に対してオーミック接触している。すなわち、エピタキシャル層202の n 型ウェル領域202aおよび p^- 型領域202bは、ソース電極209を介して互いに電氣的に接続されていることになる。なお、ソース電極209は、本発明の「電極層」の一例である。また、 n^+ 型シリコン基板201の裏面上には、複数の金属層が積層された多層構造体からなるドレイン電極210が形成されている。このドレイン電極210は、 n^+ 型シリコン基板201に対してオーミック接触している。
- [0205] 上記した構成では、ソース電極209とドレイン電極210との間に電圧が印加された場合、ソース電極209とドレイン電極210との間を流れる電流(エピタキシャル層202の厚み方向に流れる電流)は、エピタキシャル層202の隣り合うトレンチ203間の各領域の少なくとも一部を通過することになる。すなわち、エピタキシャル層202の隣接するトレンチ203間の各領域の少なくとも一部が電流通路(チャネル)212として機能することになる。
- [0206] さらに、上記した構成では、エピタキシャル層202の p^- 型領域202bと n^+ 型シリコン基板201との接合部分がツェナーダイオードとして機能することになる。
- [0207] なお、上記した第9実施形態の半導体装置220は、図32に示すような等価回路で表すことができる。すなわち、第9実施形態の半導体装置220では、図32に示すように、スイッチングトランジスタのソースからドレインへの方向を順方向として、スイッチングトランジスタのソースドレイン間にツェナーダイオードが接続された回路となる。な

お、図32では、便宜上、半導体装置220のスイッチングトランジスタの部分をも、MOS FETの回路記号で表している。

[0208] 次に、図33および図34を参照して、第9実施形態による半導体装置220のスイッチングトランジスタとして機能する領域220aの動作について説明する。なお、図33には、半導体装置220のスイッチングトランジスタとして機能する領域220aがオフ状態となっている場合を図示しており、図34には、半導体装置220のスイッチングトランジスタとして機能する領域220aがオン状態となっている場合を図示している。

[0209] まず、図33および図34に示すように、ソース電極209およびドレイン電極210の各々に負電位および正電位が印加されているとすると、埋め込み電極(コモン電極) 205bがソース電極209に電氣的に接続されているため、埋め込み電極(コモン電極) 205bに対して負電位が印加されることになる。したがって、埋め込み電極(コモン電極) 205bが埋め込まれたトレンチ203(以下、トレンチ203bと言う)の周辺は、常に多数キャリアが減少した状態となっている。すなわち、トレンチ203bの周辺には、オン状態およびオフ状態にかかわらず、常に空乏層213(213b)が形成されている。

[0210] そして、オフ状態の場合には、図33に示すように、埋め込み電極(ゲート電極) 205aが埋め込まれたトレンチ203(以下、トレンチ203aと言う)の周辺に存在する多数キャリアが減少するように、埋め込み電極(ゲート電極) 205aに対する印加電圧が制御されている。これにより、トレンチ203aの周辺には、トレンチ203bの周辺に形成された空乏層213bと同様の空乏層213(213a)が形成されている。

[0211] この際、トレンチ203aとトレンチ203bとの間の領域において、トレンチ203aおよび203bの各々の周辺に形成された空乏層213aおよび213bの一部が互いに重なる。すなわち、トレンチ203aとトレンチ203bとの間の領域において、空乏層213aおよび213bが互いに連結された状態となる。これにより、電流通路212が空乏層213aおよび213bによって塞がれた状態となるので、電流通路212を流れる電流を遮断することができる。

[0212] そして、オフ状態からオン状態に切り替える場合には、図34に示すように、埋め込み電極(ゲート電極) 205aに対して所定の正電位を印加することによって、トレンチ203aの周辺に形成された空乏層213a(図33参照)を消滅させる。すなわち、電流通

路212の埋め込み電極(ゲート電極)205a側の部分を塞いでいた空乏層213aを消滅させる。これにより、電流通路212の埋め込み電極(ゲート電極)205a側の部分を介して電流を流すことができるので、オン状態にすることが可能となる。

[0213] また、オン状態からオフ状態に切り替える場合には、埋め込み電極(ゲート電極)205aに対する所定の正電位の印加を解除する。これにより、図33に示した状態に戻るため、オフ状態にすることが可能となる。

[0214] 第9実施形態では、上記のように、トレンチ203の周辺に形成される空乏層213で隣接するトレンチ203間の各領域が塞がれることにより電流通路212が遮断される一方、トレンチ203の周辺に形成された空乏層213の少なくとも一部(トレンチ203aの周辺に形成された空乏層213a)が消滅することにより電流通路212が開くように構成することによって、空乏層213の形成状態は埋め込み電極205に対する印加電圧に応じて変化するので、埋め込み電極205に対する印加電圧を制御することにより、オン状態(電流通路212が開いている状態)からオフ状態(電流通路212が遮断されている状態)への切り替えを行うことができるとともに、その逆の切り替えも行うことができる。すなわち、半導体装置220にスイッチング機能を持たせることができる。そして、上記した構成では、オン時において、電流通路212の空乏層213が消滅した部分の全てを介して電流を流すことができるので、非常に薄い反転層を電流通路(チャネル)として機能させる従来の半導体スイッチ装置(MOSFET)と比べて、電流に対する抵抗を大幅に低減することが可能となる。これにより、従来の半導体スイッチ装置(MOSFET)と比べて、オン抵抗を大幅に低減することができる。

[0215] また、第9実施形態では、上記のように、 n^+ 型シリコン基板201とエピタキシャル層202の p^- 型領域202bとの接合部分がツェナーダイオードとなるように構成することによって、スイッチングトランジスタのソースドレイン間にツェナーダイオードが接続された状態にすることが可能となる。これにより、半導体装置220にサージ電圧などが入力されたとしても、そのサージ電圧などをツェナーダイオードにより吸収することができるので、半導体装置220にサージ電圧が入力されることに起因する絶縁破壊などを抑制することができる。その結果、半導体装置220が破損してしまうのを抑制することができる。

[0216] また、上記した構成では、スイッチングトランジスタとツェナーダイオードとが一体化されているので、スイッチングトランジスタとツェナーダイオードとを接続するための配線部材の形成領域などを別途設ける必要がない。これにより、互いに接続されるスイッチングトランジスタおよびツェナーダイオードを含む回路の小面積化を図ることができる。

[0217] また、第9実施形態では、上記のように、電流通路212を遮断する場合に、隣り合うトレンチ203の各々の周辺に形成される空乏層213が互いに連結するように構成することによって、確実に、隣り合うトレンチ203の各々の周辺に形成される空乏層213で電流通路212を塞ぐことができる。

[0218] また、第9実施形態では、上記のように、隣接するトレンチ203間の距離を、隣接するトレンチ203の各々の周辺に形成される空乏層213の一部が互いに重なるように設定することによって、容易に、隣接するトレンチ203の各々の周辺に形成される空乏層213を互いに連結させることができる。

[0219] (第10実施形態)

以下に、図35～図38を参照して、第10実施形態による半導体装置230の構造について説明する。

[0220] この第10実施形態の半導体装置230は、図35～図37に示すように、領域230aと、その領域230aを囲むように設けられた領域230bとを有している。この半導体装置230の領域230aおよび230bは、それぞれ、スイッチングトランジスタおよびツェナーダイオードとして機能するように構成されている。

[0221] そして、第10実施形態では、半導体装置230の領域230bに対応する領域において、エピタキシャル層202の p^- 型領域202bに、 p^+ 型拡散領域208に加えて、 n 型不純物が高濃度(たとえば、約 $1 \times 10^{17} \text{ cm}^{-3}$ ～約 $1 \times 10^{20} \text{ cm}^{-3}$)でイオン注入された n^+ 型拡散領域207aが設けられている。なお、 n^+ 型拡散領域207aは、本発明の「ツェナーダイオード用拡散領域」の一例である。

[0222] このエピタキシャル層202の n^+ 型拡散領域207aは、 p^- 型領域202bの上面側の所定部分に、 p^+ 型拡散領域208と接しないように配置されている。さらに、エピタキシャル層202の n^+ 型拡散領域207aは、外周配線214を介して、埋め込み電極(ゲート

電極)205aに電氣的に接続されている。なお、外周配線214は、 SiO_2 層211により、エピタキシャル層202の n^+ 型拡散領域207a以外の部分と絶縁されている。

[0223] なお、第10実施形態のその他の構成は、上記第9実施形態と同様である。

[0224] 上記した第10実施形態の構成では、エピタキシャル層202の p^- 型領域202bと n^+ 型シリコン基板201との接合部分に加えて、エピタキシャル層202の p^- 型領域202bと n^+ 型拡散領域207aとの接合部分もツェナーダイオードとして機能することになる。

[0225] そして、上記した第10実施形態の半導体装置230は、図38に示すような等価回路で表すことができる。すなわち、第10実施形態の半導体装置230では、図38に示すように、スイッチングトランジスタのソースからドレインへの方向を順方向として、スイッチングトランジスタのソースドレイン間にツェナーダイオードが接続され、スイッチングトランジスタのソースからゲートへの方向を順方向として、スイッチングトランジスタのソースゲート間にもう1つのツェナーダイオードが接続された回路となる。なお、図38では、便宜上、半導体装置230のスイッチングトランジスタの部分を、MOSFETの回路記号で表している。

[0226] 第10実施形態では、上記のように構成することによって、スイッチングトランジスタのソースドレイン間に加えて、スイッチングトランジスタのソースゲート間にもツェナーダイオードが接続された状態にすることが可能となる。これにより、半導体装置230にサージ電圧などが入力されたとしても、そのサージ電圧などを2種類のツェナーダイオードにより吸収することができるので、半導体装置230にサージ電圧が入力されることに起因する絶縁破壊などをより抑制することができる。その結果、半導体装置230が破損してしまうのをより抑制することができる。

[0227] また、第10実施形態の変形例として、図39に示すように、 p^- 型領域202bが n 型ウェル領域202aに挟まれた構成とすることも可能である。

[0228] (第11実施形態)

以下に、図40を参照して、第11実施形態による半導体装置240のスイッチングトランジスタとして機能する領域240aの構造について説明する。

[0229] 第11実施形態の半導体装置240では、図40に示すように、そのスイッチングトランジスタとして機能する領域240aに、所定の制御信号(オン/オフの切り替えを行うた

めの信号)が印加される埋め込み電極205(205a)が埋め込まれたトレンチ203(203a)のみが設けられている。

[0230] そして、第11実施形態では、ソース電極209とドレイン電極210との間に電圧が印加された場合、ソース電極209とドレイン電極210との間を流れる電流は、隣接するトレンチ203a間の各領域を通過することになる。すなわち、第11実施形態では、隣接するトレンチ203a間の各領域が電流通路242として機能することになる。

[0231] なお、第11実施形態の半導体装置240のスイッチングトランジスタとして機能する領域240aのその他の構造は、上記第9実施形態の半導体装置220のスイッチングトランジスタとして機能する領域220aの構造と同様である。また、図示しないが、第11実施形態の半導体装置240のツェナーダイオードとして機能する領域の構造は、上記第9実施形態の半導体装置220のツェナーダイオードとして機能する領域220b、または上記第10実施形態の半導体装置230のツェナーダイオードとして機能する領域230bの構造と同様である。

[0232] 次に、図40および図41を参照して、第11実施形態の半導体装置240のスイッチングトランジスタとして機能する領域240aの動作について説明する。

[0233] まず、オフ状態の場合には、図40に示すように、全てのトレンチ203aの周辺に空乏層213(213a)が形成されるように、全ての埋め込み電極205aに対して負電位が印加されている。これにより、電流通路242が空乏層213aによって塞がれた状態となるので、電流通路242を介して流れる電流を遮断することができる。

[0234] そして、オフ状態からオン状態に切り替える場合には、図41に示すように、全ての埋め込み電極205aに対して正電位を印加することによって、図40に示した全ての空乏層213aを消滅させる。これにより、ソース電極209およびドレイン電極210の各々に負電位および正電位が印加されているとすれば、電流通路242を介して図41中の矢印方向に電流を流すことができる。

[0235] この第11実施形態の効果は、上記第9実施形態の効果と同様である。

[0236] (第12実施形態)

以下に、図42を参照して、第12実施形態による半導体装置250のスイッチングトランジスタとして機能する領域250aの構造について説明する。

- [0237] 第12実施形態の半導体装置250では、図42に示すように、そのスイッチングトランジスタとして機能する領域250aに、所定の制御信号が印加される埋め込み電極205(205a)が埋め込まれたトレンチ203(203a)と、ソース電極251の一部(以下、埋め込み部251aと言う)が埋め込まれたトレンチ203(203c)とが設けられている。このトレンチ203aおよび203cは、互いに所定の間隔を隔てて1つずつ交互に配列されている。また、ソース電極251の埋め込み部251aは、トレンチ203cの内部において、エピタキシャル層202に対してショットキー接触している。なお、ソース電極251は、本発明の「電極層」の一例であり、埋め込み部251aは、本発明の「第2埋め込み電極」の一例である。
- [0238] そして、第12実施形態では、ソース電極251とドレイン電極210との間に電圧が印加された場合、ソース電極251とドレイン電極210との間を流れる電流は、トレンチ203aとトレンチ203cとの間の各領域を通過することになる。すなわち、第12実施形態では、トレンチ203aとトレンチ203cとの間の各領域が電流通路252として機能することになる。
- [0239] なお、第12実施形態の半導体装置250のスイッチングトランジスタとして機能する領域250aのその他の構造は、上記第9実施形態の半導体装置220のスイッチングトランジスタとして機能する領域220aの構造と同様である。また、図示しないが、第12実施形態の半導体装置250のダイオードとして機能する領域の構造は、上記第9実施形態の半導体装置220のダイオードとして機能する領域220b、または上記第10実施形態の半導体装置230のツェナーダイオードとして機能する領域230bの構造と同様である。
- [0240] 次に、図42および図43を参照して、第12実施形態による半導体装置250のスイッチングトランジスタとして機能する領域250aの動作について説明する。
- [0241] なお、以下の動作説明では、ソース電極251およびドレイン電極210の各々に負電位および正電位が印加されているとする。すなわち、ソース電極251の埋め込み部251aが埋め込まれたトレンチ203cの周辺には、オン状態およびオフ状態にかかわらず、空乏層213(213c)が形成されている。
- [0242] まず、オフ状態の場合には、図42に示すように、トレンチ203aの周辺に空乏層21

3(213a)が形成されるように、埋め込み電極205aに対して負電位が印加されている。これにより、電流通路252が空乏層213aおよび213cによって塞がれた状態となるので、電流通路252を介して流れる電流を遮断することができる。

[0243] そして、オフ状態からオン状態に切り替える場合には、図43に示すように、埋め込み電極205aに対して正電位を印加することによって、図42に示した空乏層213aを消滅させる。これにより、電流通路252の埋め込み電極205a側の部分を介して図43中の矢印方向に電流を流すことができる。

[0244] この第12実施形態の効果は、上記第9実施形態の効果と同様である。

[0245] (第13実施形態)

以下に、図44を参照して、第13実施形態による半導体装置260のスイッチングトランジスタとして機能する領域260aの構造について説明する。

[0246] 第13実施形態の半導体装置260では、図44に示すように、そのスイッチングトランジスタとして機能する領域260aに、所定の制御信号が印加される埋め込み電極205(205a)が埋め込まれたトレンチ203(203a)に加えて、p型不純物が高濃度で導入された p^+ 型拡散領域261がさらに設けられている。この p^+ 型拡散領域261は、隣接するトレンチ203a間の各領域に、トレンチ203aに対して所定の間隔を隔てて1つずつ配置されている。また、 p^+ 型拡散領域261は、ソース電極209に対してオーミック接触している。なお、 p^+ 型拡散領域261は、本発明の「電流通路遮断用拡散領域」の一例である。

[0247] そして、第13実施形態では、ソース電極209とドレイン電極210との間に電圧が印加された場合、ソース電極209とドレイン電極210との間を流れる電流は、トレンチ203aと p^+ 型拡散領域261との間の各領域を通過することになる。すなわち、第13実施形態では、トレンチ203aと p^+ 型拡散領域261との間の各領域が電流通路262として機能することになる。

[0248] なお、第13実施形態の半導体装置260のスイッチングトランジスタとして機能する領域260aのその他の構造は、上記第9実施形態の半導体装置220のスイッチングトランジスタとして機能する領域220aの構造と同様である。また、図示しないが、第12実施形態の半導体装置260のツェナーダイオードとして機能する領域の構造は、上

記第9実施形態の半導体装置220のツェナーダイオードとして機能する領域220b、または上記第10実施形態の半導体装置230のツェナーダイオードとして機能する領域230bの構造と同様である。

[0249] 次に、図44および図45を参照して、第13実施形態による半導体装置260のスイッチングトランジスタとして機能する領域260aの動作について説明する。

[0250] なお、以下の動作説明では、ソース電極209およびドレイン電極210の各々に負電位および正電位が印加されているとする。すなわち、 p^+ 型拡散領域261の周辺には、オン状態およびオフ状態にかかわらず、空乏層213(213d)が形成されている。

[0251] まず、オフ状態の場合には、図44に示すように、トレンチ203aの周辺に空乏層213(213a)が形成されるように、埋め込み電極205aに対して負電位が印加されている。これにより、電流通路262が空乏層213aおよび213dによって塞がれた状態となるので、電流通路262を介して流れる電流を遮断することができる。

[0252] そして、オフ状態からオン状態に切り替える場合には、図45に示すように、埋め込み電極205aに対して正電位を印加することによって、図44に示した空乏層213aを消滅させる。これにより、電流通路262の埋め込み電極205a側の部分を介して図45中の矢印方向に電流を流すことができる。

[0253] この第13実施形態の効果は、上記第9実施形態の効果と同様である。

[0254] なお、今回開示された実施形態は、すべての点で例示であって制限的なものではないと考えられるべきである。本発明の範囲は、上記した実施形態の説明ではなく特許請求の範囲によって示され、さらに特許請求の範囲と均等の意味および範囲内でのすべての変更が含まれる。

[0255] たとえば、上記第1～第13実施形態では、層間絶縁膜の上面がn型エピタキシャル層の上面に対して面一となるように構成したが、本発明はこれに限らず、層間絶縁膜の上面がn型エピタキシャル層の上面よりも上方に位置していてもよいし、層間絶縁膜の上面がn型エピタキシャル層の上面よりも下方に位置していてもよい。

[0256] また、上記第1～第13実施形態では、トレンチの溝深さがエピタキシャル層の厚みよりも小さくなるように構成したが、本発明はこれに限らず、トレンチがエピタキシャル層を貫通して n^+ 型シリコン基板にまで達していてもよい。たとえば、トレンチの溝深さ

を12 μ m程度に構成してもよい。

[0257] また、上記第1～第13実施形態では、基板にシリコン基板を用いた例を示したが、本発明はこれに限らず、SiCなどから構成される基板(半導体基板)を用いるようにしてもよい。

[0258] また、上記第1～第4実施形態では、n型エピタキシャル層を一導電型の半導体層として用いるようにしたが、本発明はこれに限らず、p型エピタキシャル層を一導電型の半導体層として用いてもよい。

[0259] また、上記第5～第13実施形態では、複数のトレンチをn型ウェル領域に形成し、そのn型ウェル領域の隣り合うトレンチ間の各領域の少なくとも一部を電流通路(チャネル)として機能させるようにしたが、本発明はこれに限らず、複数のトレンチをp型ウェル領域に形成し、そのp型ウェル領域の隣り合うトレンチ間の各領域の少なくとも一部を電流通路(チャネル)として機能させるようにしてもよい。すなわち、導電型を逆にした構成にしてもよい。

請求の範囲

- [1] 内側領域と、前記内側領域の外側に設けられた外側領域とを有する一導電型の半導体層と、
- 前記半導体層の内側領域に形成され、互いに所定の間隔を隔てて配列されているとともに、各々の開口端が前記半導体層の上面側に位置している複数のトレンチと、
- 前記半導体層の外側領域に形成され、互いに所定の間隔を隔てて配列されているとともに、各々の上面が前記半導体層の上面側に露出している複数の逆導電型の拡散領域と、
- 前記複数のトレンチの各々に埋め込まれた複数の埋め込み電極と、
- 前記半導体層の内側領域および外側領域を覆うように、前記半導体層の上面上に形成された電極層とを備え、
- 前記半導体層の内側領域において、前記半導体層の隣接する前記トレンチ間の各領域が電流通路となり、かつ、前記トレンチの周辺に形成される空乏層で前記半導体層の前記隣接するトレンチ間の各領域が塞がれることにより前記電流通路が遮断される一方、前記トレンチの周辺に形成された空乏層の少なくとも一部が消滅することにより前記電流通路が開くように構成されており、
- 前記半導体層の外側領域において、前記半導体層と前記拡散領域との接合部分がツェナーダイオードとなるように構成されていることを特徴とする半導体装置。
- [2] 前記半導体層の外側領域において、前記半導体層の隣接する前記拡散領域間の各領域と前記電極層との接合部分がショットキーバリアダイオードとなるように構成されていることを特徴とする請求項1に記載の半導体装置。
- [3] 前記半導体層の外側領域において、前記半導体層の前記隣接する拡散領域間の各領域と前記電極層との接合部分に対して逆バイアスが印加されている場合に、前記拡散領域の周辺に形成される空乏層で前記半導体層の前記隣接する拡散領域間の各領域が塞がれるように構成されていることを特徴とする請求項2に記載の半導体装置。
- [4] 前記半導体層の外側領域において、前記半導体層の前記隣接する拡散領域間の各領域と前記電極層との接合部分に対して逆バイアスが印加されている場合に、前

記隣接する拡散領域の各々の周辺に形成される空乏層が互いに連結するように構成されていることを特徴とする請求項3に記載の半導体装置。

- [5] 前記半導体層の外側領域において、前記隣接する拡散領域間の距離は、前記隣接する拡散領域の各々の周辺に形成される空乏層の一部が互いに重なるように設定されていることを特徴とする請求項3に記載の半導体装置。

- [6] 前記複数のトレンチの各々の周辺に形成される全ての空乏層で前記隣接するトレンチ間の各領域が塞がれることにより前記電流通路が遮断される一方、前記複数のトレンチの各々の周辺に形成された全ての空乏層が消滅することにより前記電流通路が開くように構成されていることを特徴とする請求項1に記載の半導体装置。

- [7] 前記複数の埋め込み電極は、互いに別個に電圧が印加される第1埋め込み電極および第2埋め込み電極の2種類に分けられており、

前記複数のトレンチのうちの全てのトレンチの周辺に形成される空乏層で前記隣接するトレンチ間の各領域が塞がれることにより前記電流通路が遮断される一方、前記複数のトレンチのうちの前記第1埋め込み電極が埋め込まれたトレンチの周辺に形成された空乏層が消滅することにより前記電流通路が開くように構成されていることを特徴とする請求項1に記載の半導体装置。

- [8] 前記第2埋め込み電極は、前記トレンチの内部において、前記半導体層に対してショットキー接触していることを特徴とする請求項7に記載の半導体装置。

- [9] 前記半導体層の前記隣接するトレンチ間の各領域に形成され、前記トレンチに対して所定の間隔を隔てて配置された逆導電型の電流通路遮断用拡散領域をさらに備え、

前記トレンチおよび前記電流通路遮断用拡散領域の各々の周辺に形成される空乏層で前記隣接するトレンチ間の各領域が塞がれることにより前記電流通路が遮断される一方、前記トレンチの周辺に形成された空乏層が消滅することにより前記電流通路が開くように構成されていることを特徴とする請求項1に記載の半導体装置。

- [10] 一導電型の第1領域と、前記第1領域上に設けられた一導電型の第2領域および逆導電型の第3領域とを有する半導体層と、

前記半導体層の第2領域に少なくとも形成され、互いに所定の間隔を隔てて配列さ

れているとともに、各々の開口端が前記半導体層の上面側に位置している複数のトレンチと、

前記複数のトレンチの各々に埋め込まれた複数の埋め込み電極とを備え、

前記第2領域の前記隣り合うトレンチ間の各領域が電流通路となり、かつ、前記トレンチの周辺に形成される空乏層で前記第2領域の前記隣り合うトレンチ間の各領域が塞がれることにより、前記電流通路が遮断される一方、前記トレンチの周辺に形成された空乏層の少なくとも一部が消滅することにより前記電流通路が開くように構成されており、

前記半導体層の第3領域には、複数の拡散領域によって構成された双方向ツェナーダイオードが形成されていることを特徴とする半導体装置。

[11] 前記半導体層の少なくとも前記第2領域上に形成された電極層をさらに備え、

前記半導体層の前記第2領域と、前記双方向ツェナーダイオードを構成する前記複数の拡散領域の第1部分とが、前記電極層を介して電氣的に接続されていることを特徴とする請求項10に記載の半導体装置。

[12] 前記第1領域上に設けられた一導電型の第4領域をさらに備え、

前記双方向ツェナーダイオードを構成する前記複数の拡散領域の第2部分は、前記第4領域を介して前記第1領域と電氣的に接続されていることを特徴とする請求項11に記載の半導体装置。

[13] 前記双方向ツェナーダイオードを構成する前記複数の拡散領域の第3部分は、前記複数の埋め込み電極のうちの所定の埋め込み電極に電氣的に接続されていることを特徴とする請求項11に記載の半導体装置。

[14] 前記双方向ツェナーダイオードを構成する前記複数の拡散領域は、一導電型の第1拡散領域と逆導電型の第2拡散領域とを含み、

前記第1拡散領域は、互いに所定の間隔を隔てて配列されており、

前記第2拡散領域は、平面的に見て、互いに隣り合う前記第1拡散領域の間に、各々の前記第1拡散領域と接するように配置されていることを特徴とする請求項10に記載の半導体装置。

[15] 前記第3領域は、前記第2領域の外側の領域に、平面的に見て、前記第2領域を

囲むように形成されており、

前記第4領域は、前記第3領域の外側の領域に、平面的に見て、前記第3領域を囲むように形成されていることを特徴とする請求項12に記載の半導体装置。

- [16] 前記複数のトレンチの各々の周辺に形成される全ての空乏層で前記隣り合うトレンチ間の各領域が塞がれることにより、前記電流通路が遮断される一方、前記複数のトレンチの各々の周辺に形成された全ての空乏層が消滅することにより、前記電流通路が開くように構成されていることを特徴とする請求項10に記載の半導体装置。

- [17] 前記複数の埋め込み電極は、互いに別個に電圧が印加される第1埋め込み電極および第2埋め込み電極の2種類に分けられており、

前記複数のトレンチのうちの全てのトレンチの周辺に形成される空乏層で前記隣り合うトレンチ間の各領域が塞がれることにより、前記電流通路が遮断される一方、前記複数のトレンチのうちの前記第1埋め込み電極が埋め込まれたトレンチの周辺に形成された空乏層が消滅することにより、前記電流通路が開くように構成されていることを特徴とする請求項10に記載の半導体装置。

- [18] 前記第2埋め込み電極は、前記トレンチの内部において、前記半導体層に対してショットキー接触していることを特徴とする請求項17に記載の半導体装置。

- [19] 前記半導体層の前記隣り合うトレンチ間の各領域に形成され、前記トレンチに対して所定の間隔を隔てて配置された逆導電型の電流通路遮断用拡散領域をさらに備え、

前記トレンチおよび前記電流通路遮断用拡散領域の各々の周辺に形成される空乏層で前記隣り合うトレンチ間の各領域が塞がれることにより、前記電流通路が遮断される一方、前記トレンチの周辺に形成された空乏層が消滅することにより、前記電流通路が開くように構成されていることを特徴とする請求項10に記載の半導体装置。

- [20] 一導電型の第1領域と、前記第1領域上に設けられた一導電型の第2領域および逆導電型の第3領域とを有する半導体層と、

前記半導体層の第2領域に少なくとも形成され、互いに所定の間隔を隔てて配置された複数のトレンチと、

前記複数のトレンチの各々に埋め込まれた複数の埋め込み電極とを備え、

前記半導体層の隣接する前記トレンチ間の各領域が電流通路となり、かつ、前記トレンチの周辺に形成される空乏層で前記隣接するトレンチ間の各領域が塞がれることにより前記電流通路が遮断される一方、前記トレンチの周辺に形成された空乏層の少なくとも一部が消滅することにより前記電流通路が開くように構成されており、

前記第1領域と前記第3領域との接合部分がツェナーダイオードとなっていることを特徴とする半導体装置。

[21] 前記半導体層の表面上に形成された電極層をさらに備え、

前記第2領域および前記第3領域は、前記電極層を介して互いに電氣的に接続されていることを特徴とする請求項20に記載の半導体装置。

[22] 前記半導体層は、前記一導電型の第1領域、前記一導電型の第2領域および前記逆導電型の第3領域に加えて、前記逆導電型の第3領域に設けられた一導電型のツェナーダイオード用拡散領域をさらに有しており、

前記第3領域と前記ツェナーダイオード用拡散領域との接合部分がツェナーダイオードとなっていることを特徴とする請求項20に記載の半導体装置。

[23] 前記ツェナーダイオード用拡散領域は、前記複数の埋め込み電極のうちの所定の埋め込み電極に電氣的に接続されていることを特徴とする請求項22に記載の半導体装置。

[24] 前記複数のトレンチの各々の周辺に形成される全ての空乏層で前記隣接するトレンチ間の各領域が塞がれることにより前記電流通路が遮断される一方、前記複数のトレンチの各々の周辺に形成された全ての空乏層が消滅することにより前記電流通路が開くように構成されていることを特徴とする請求項20に記載の半導体装置。

[25] 前記複数の埋め込み電極は、互いに別個に電圧が印加される第1埋め込み電極および第2埋め込み電極の2種類に分けられており、

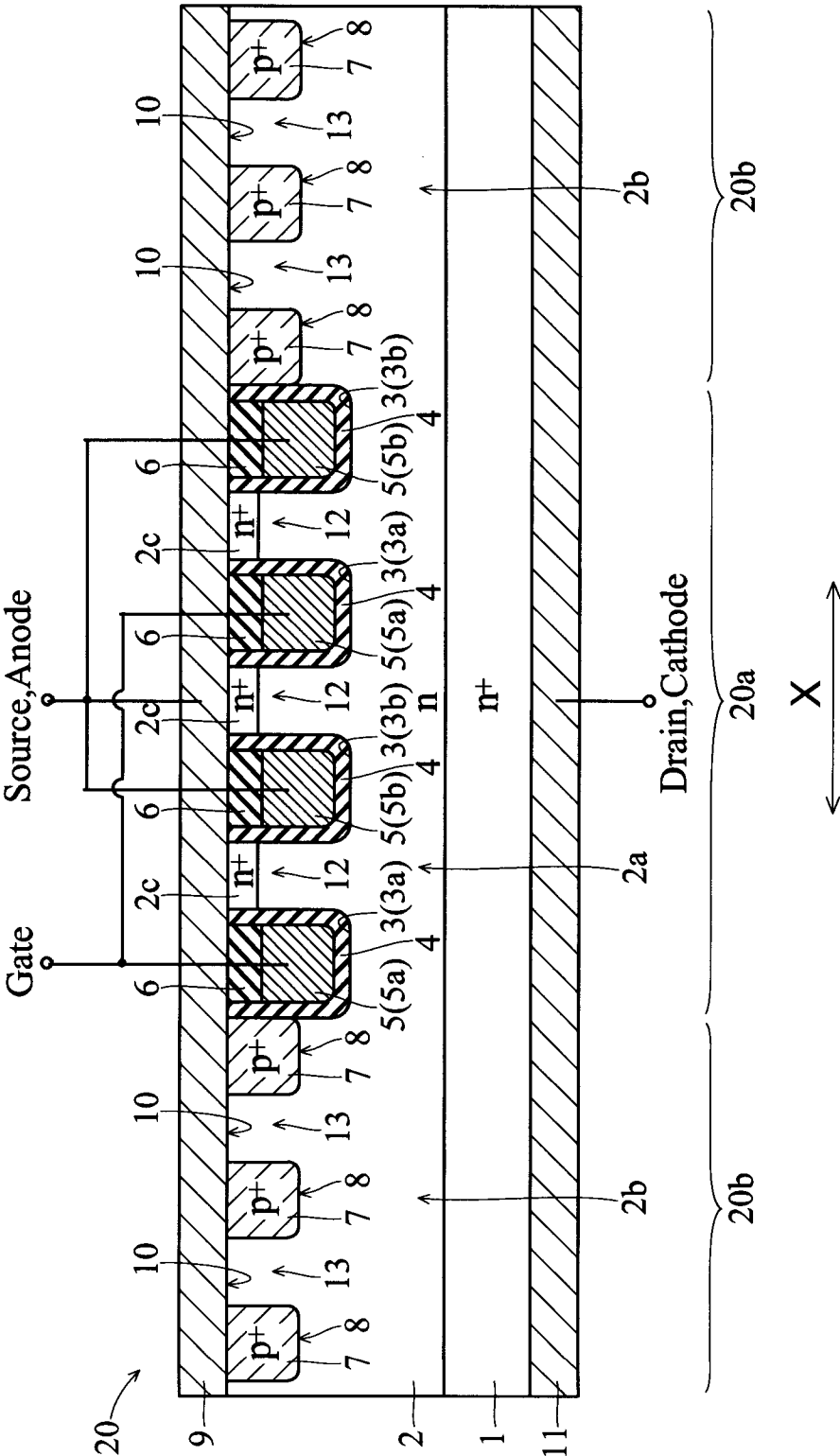
前記複数のトレンチのうちの全てのトレンチの周辺に形成される空乏層で前記隣接するトレンチ間の各領域が塞がれることにより前記電流通路が遮断される一方、前記複数のトレンチのうちの前記第1埋め込み電極が埋め込まれたトレンチの周辺に形成された空乏層が消滅することにより前記電流通路が開くように構成されていることを特徴とする請求項20に記載の半導体装置。

[26] 前記第2埋め込み電極は、前記トレンチの内部において、前記半導体層に対してショットキー接触していることを特徴とする請求項25に記載の半導体装置。

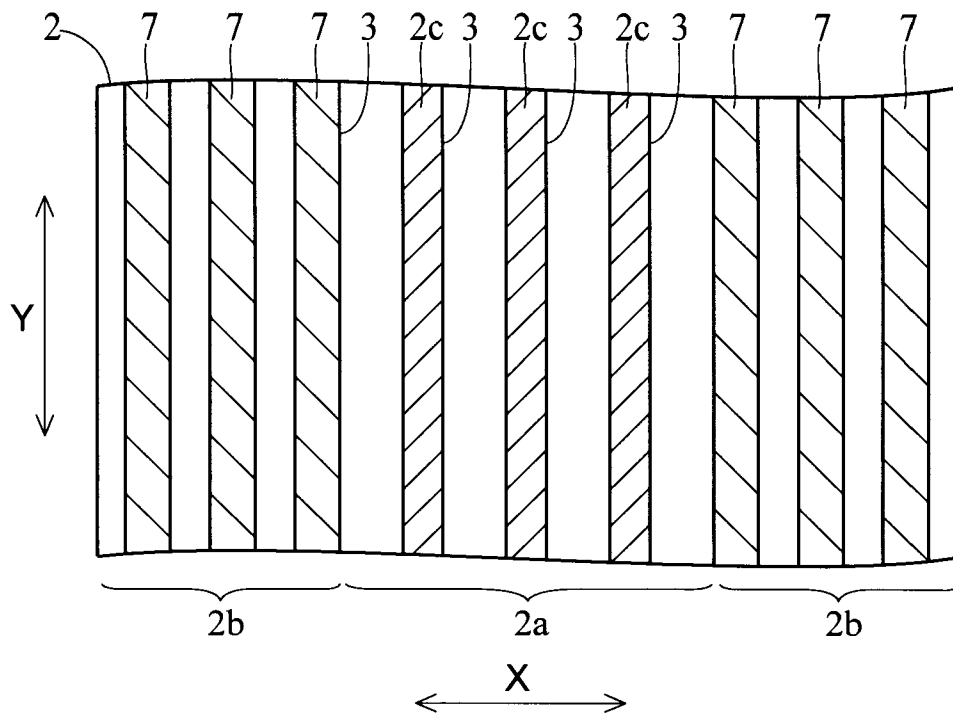
[27] 前記半導体層の前記隣接するトレンチ間の各領域に形成され、前記トレンチに対して所定の間隔を隔てて配置された逆導電型の電流通路遮断用拡散領域をさらに備え、

前記トレンチおよび前記電流通路遮断用拡散領域の各々の周辺に形成される空乏層で前記隣接するトレンチ間の各領域が塞がれることにより前記電流通路が遮断される一方、前記トレンチの周辺に形成された空乏層が消滅することにより前記電流通路が開くように構成されていることを特徴とする請求項20に記載の半導体装置。

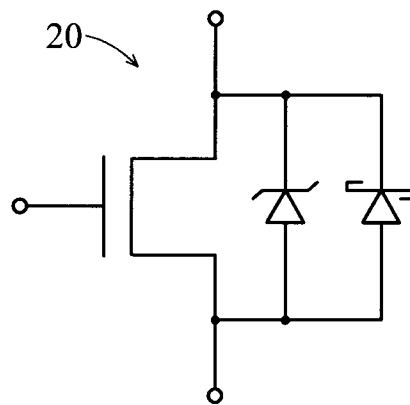
[図1]



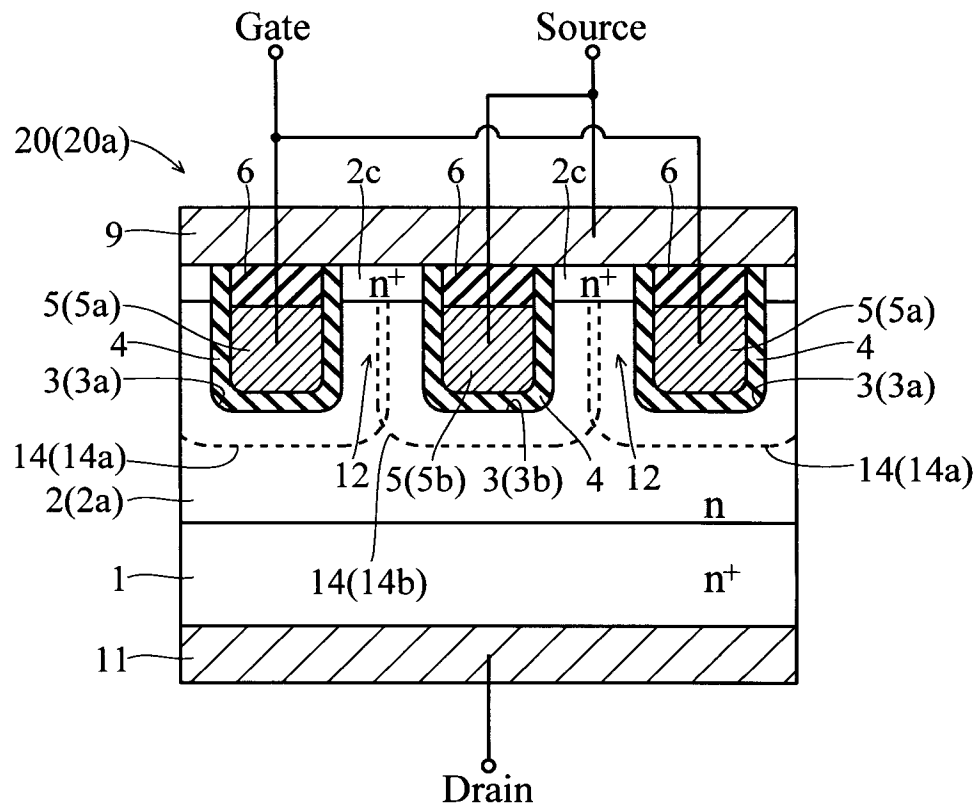
[図2]



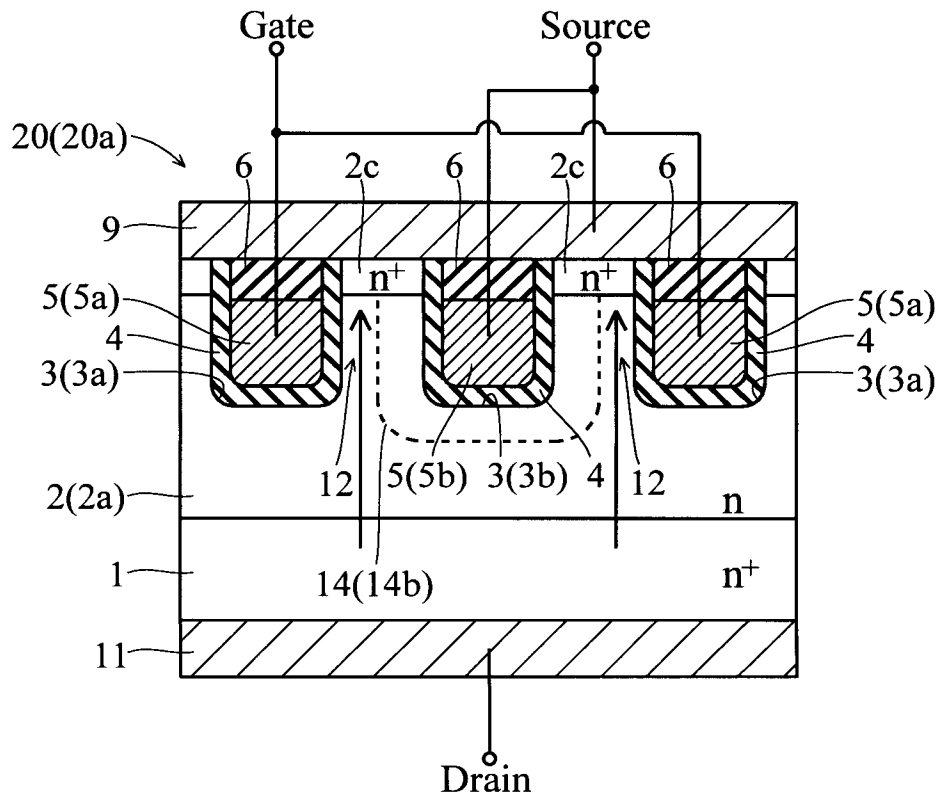
[図3]



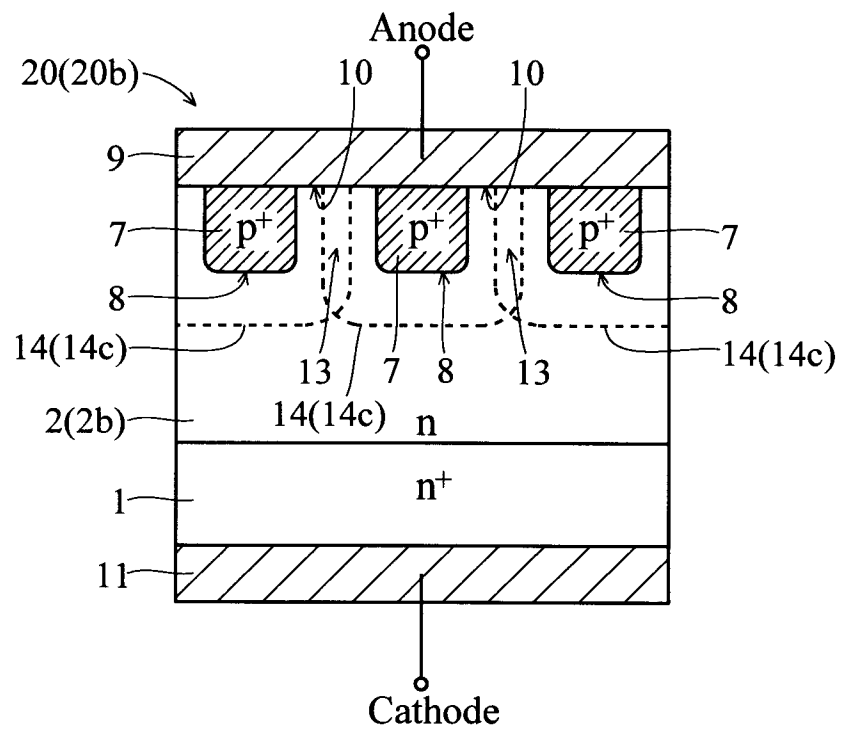
[図4]



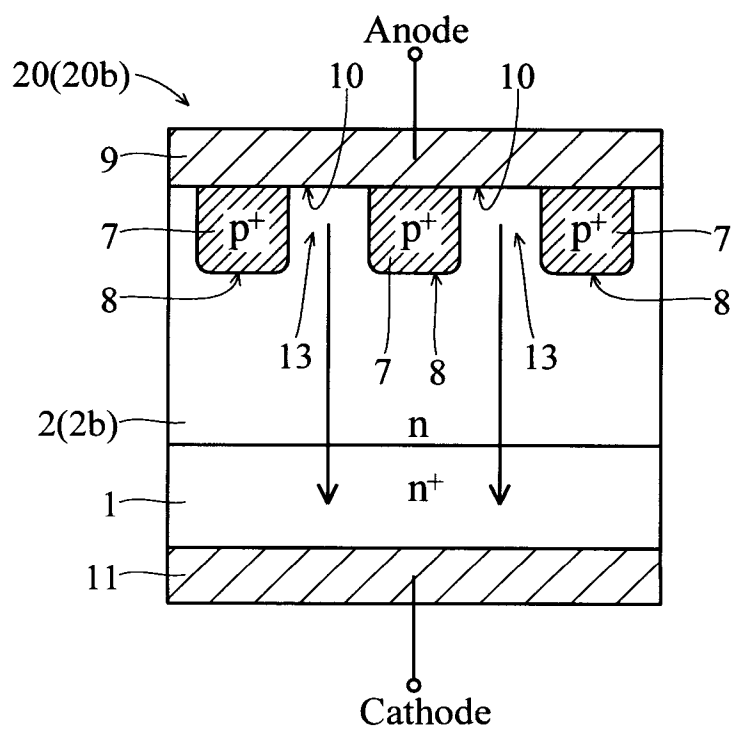
[図5]



[図6]



[図7]



Gate

Source

30(30a)

6

2c

6

2c

6

9

5(5a)

4

3(3a)

n⁺

5(5a)

4

3(3a)

14(14a)

32

5(5a)

3(3a)

4

32

14(14a)

n

2(2a)

1

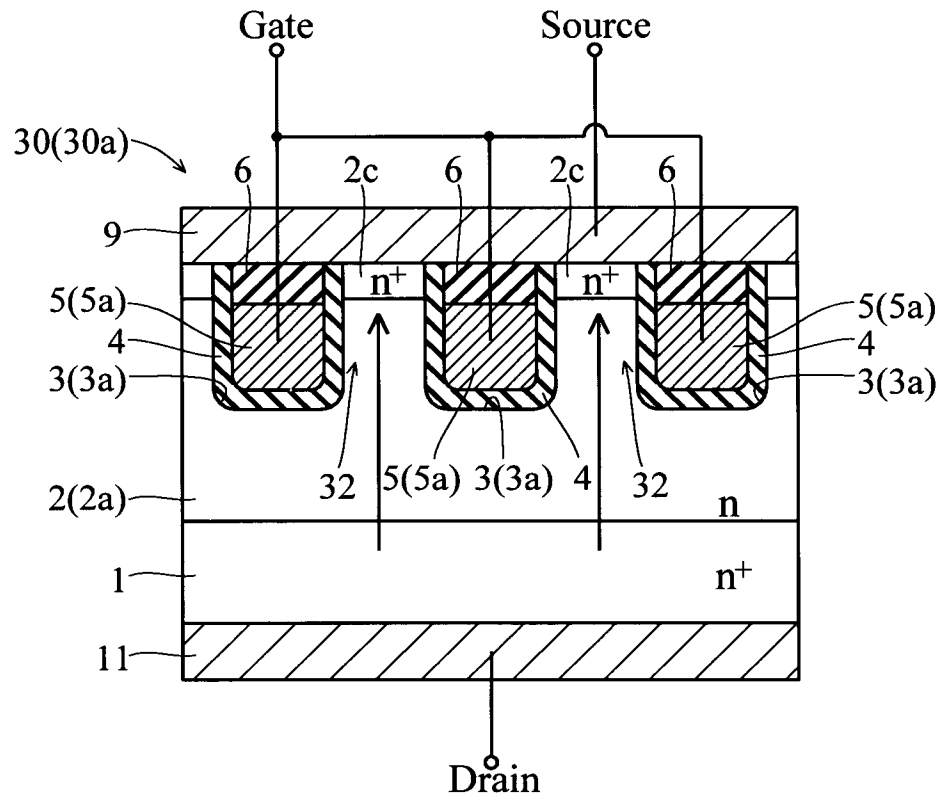
14(14a)

n⁺

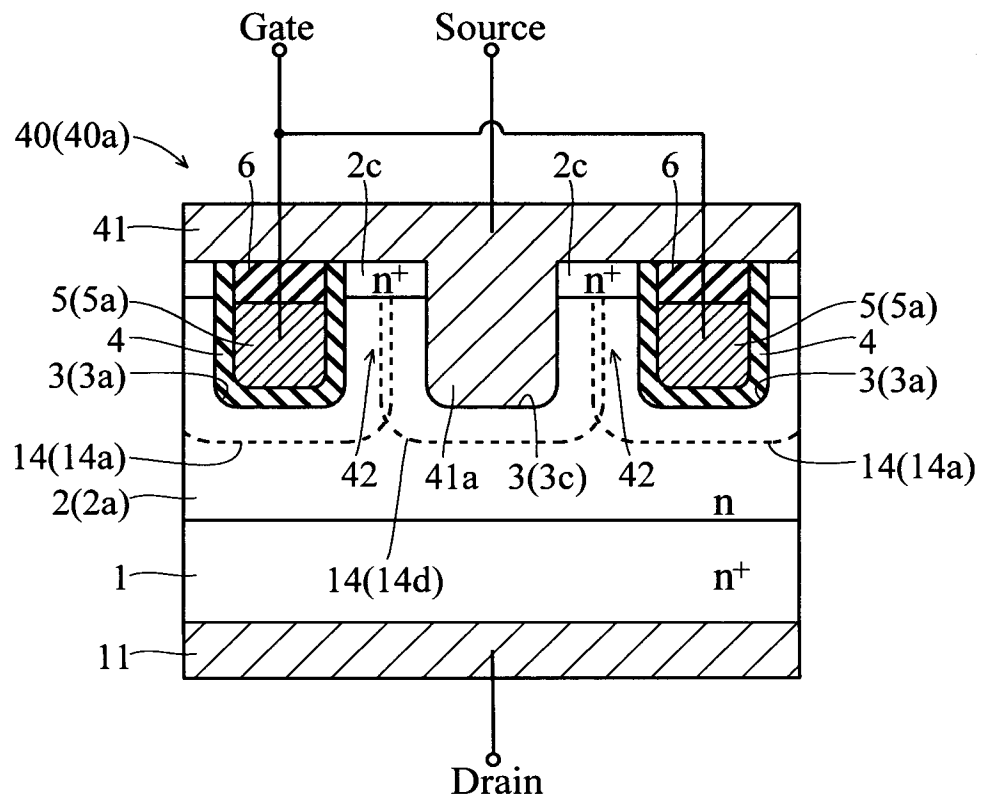
11

Drain

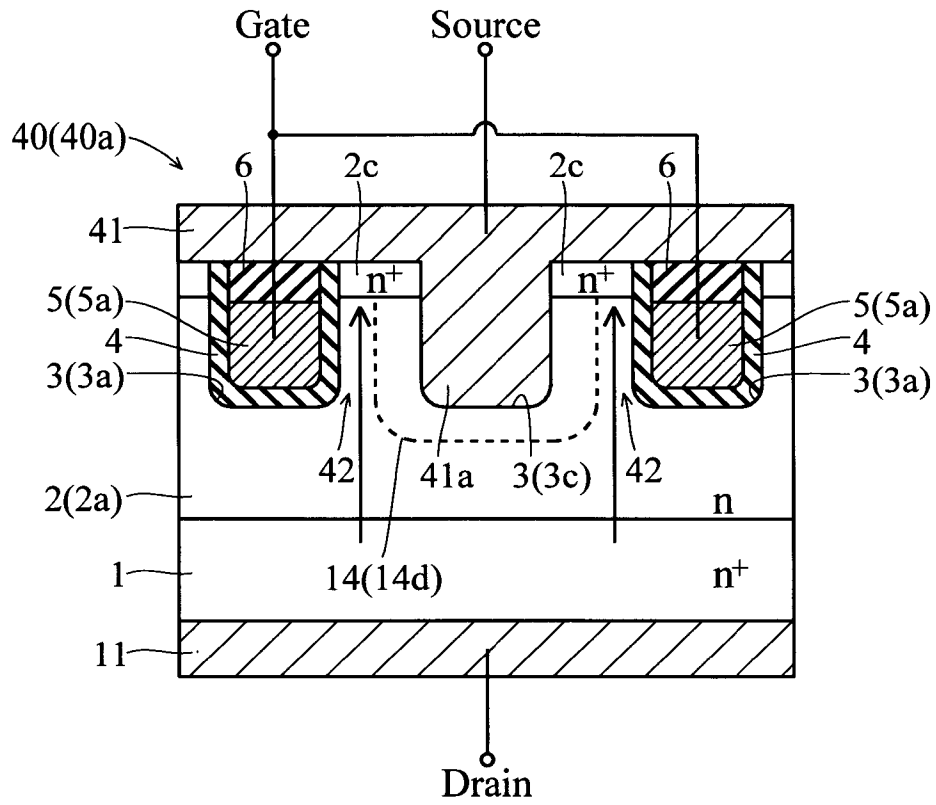
[図10]



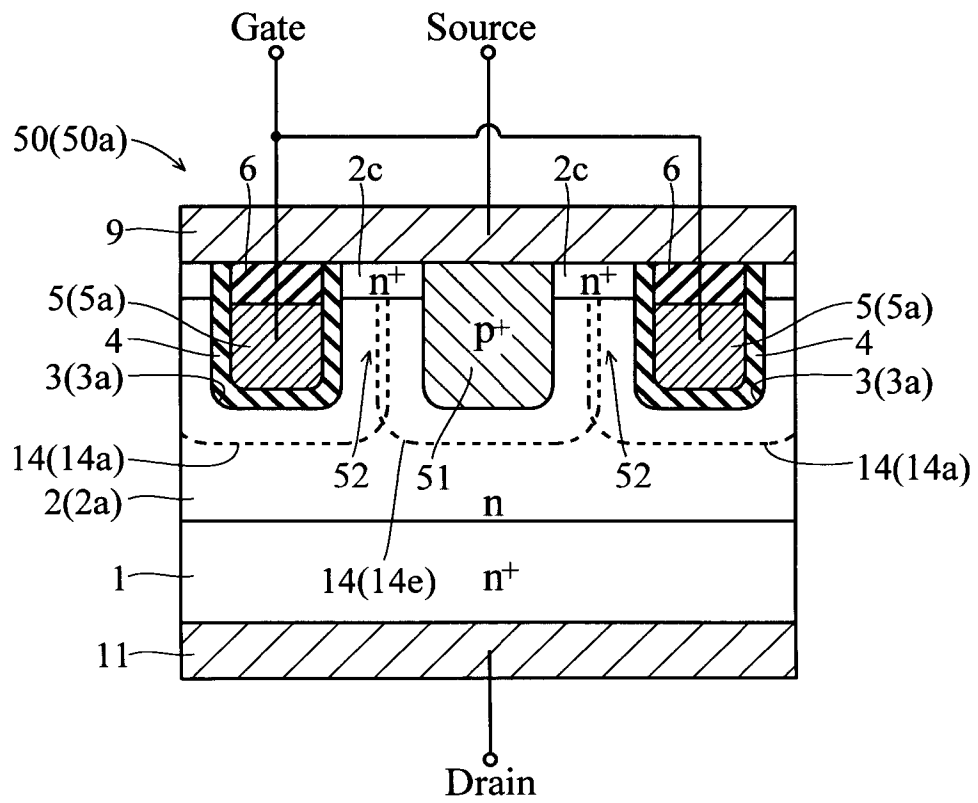
[図11]



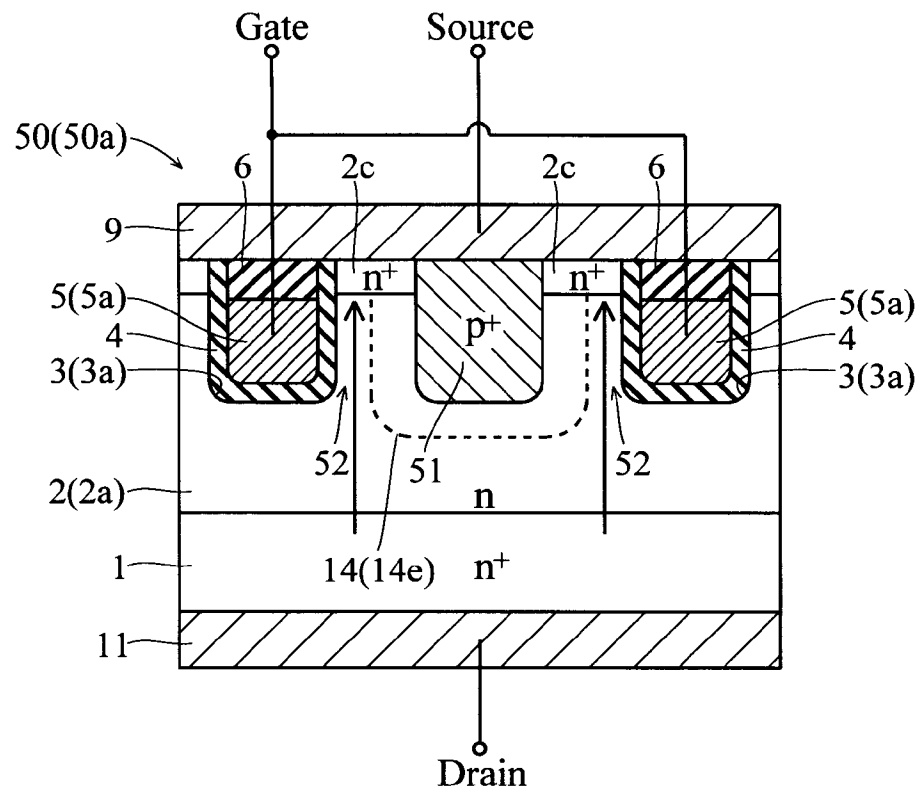
[図12]



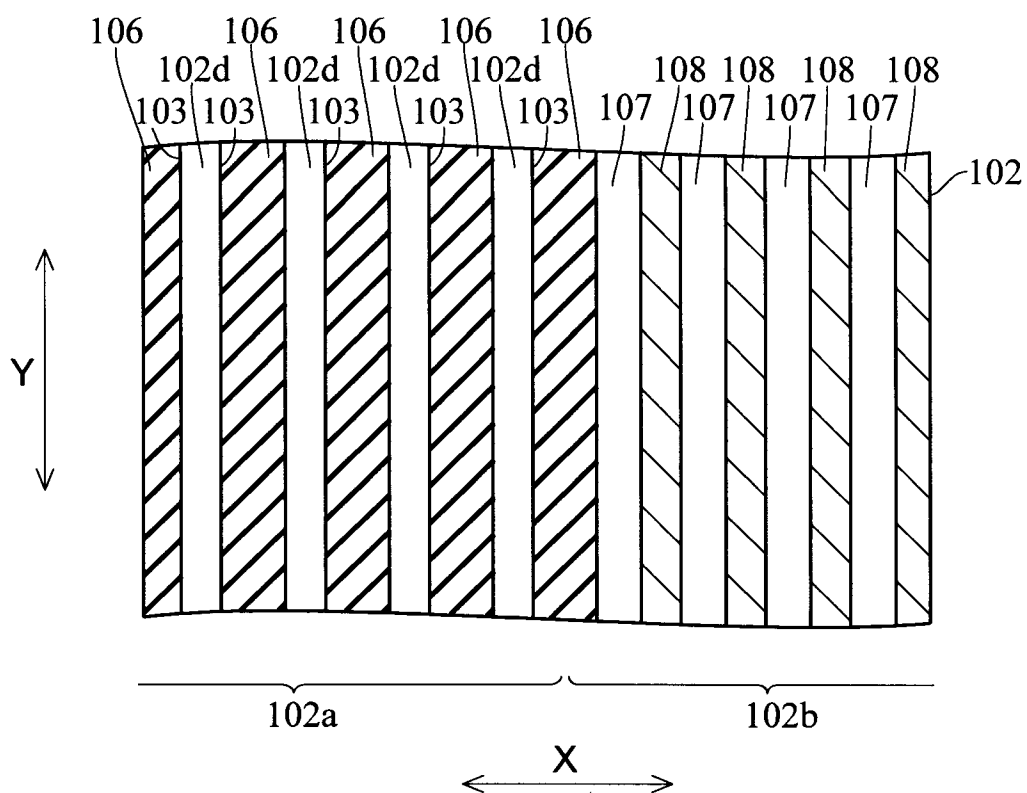
[図13]



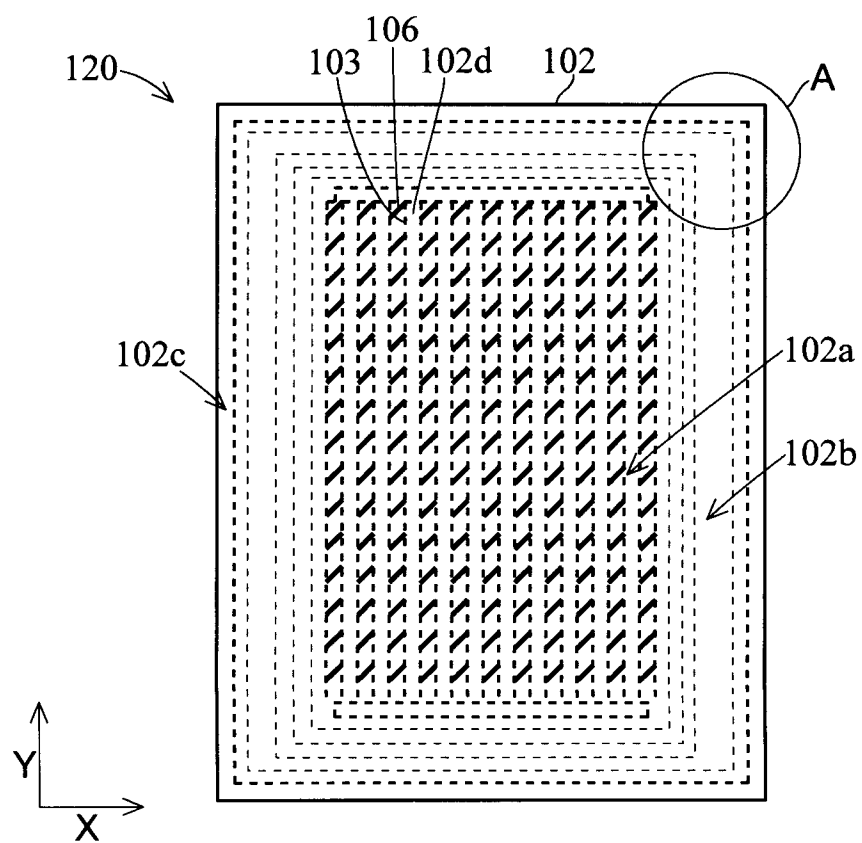
[図14]



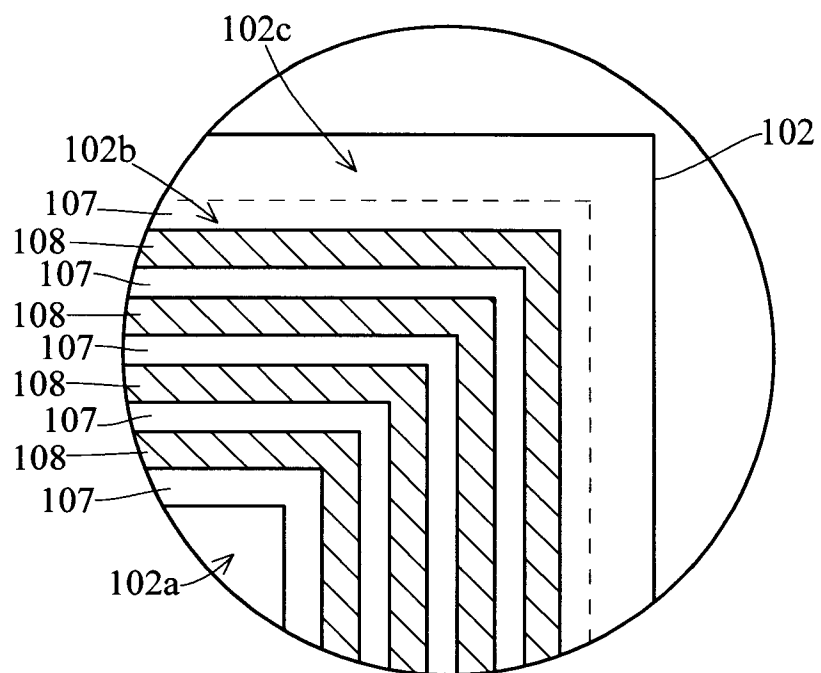
[図16]



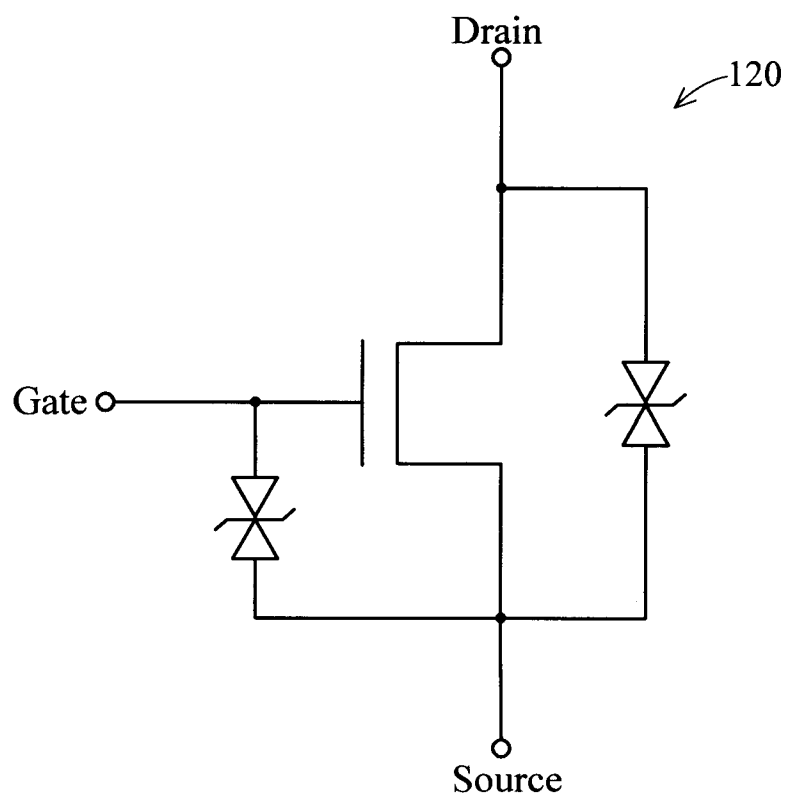
[図17]

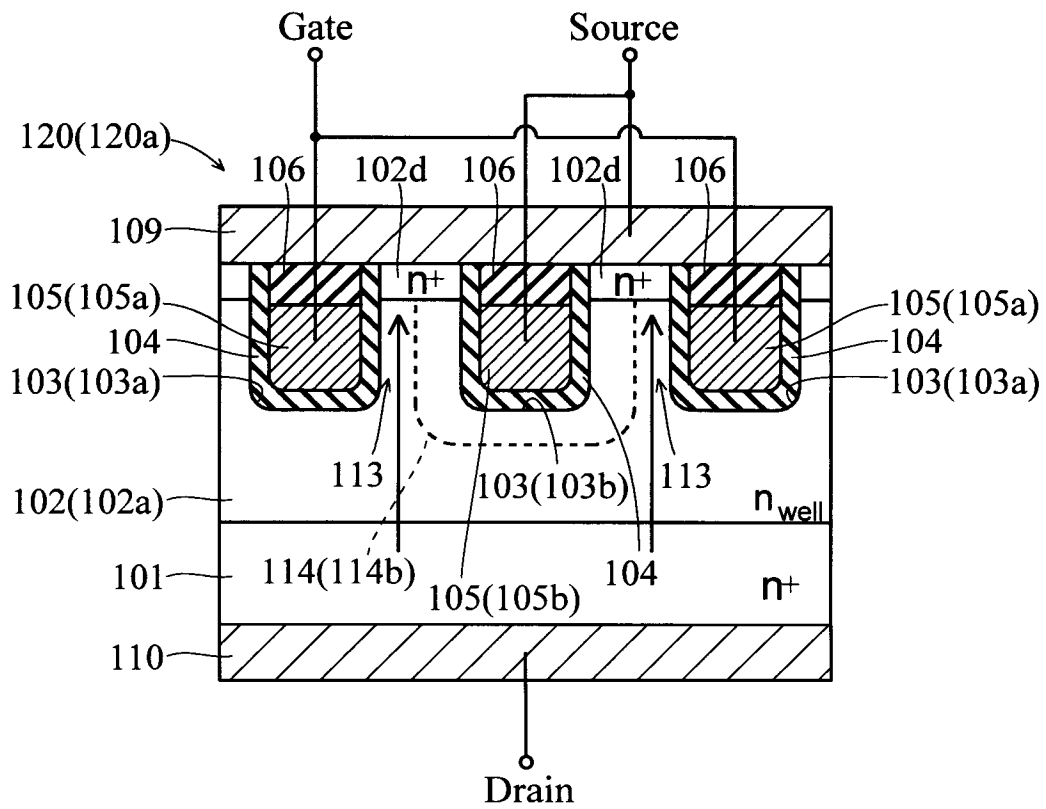


[図18]

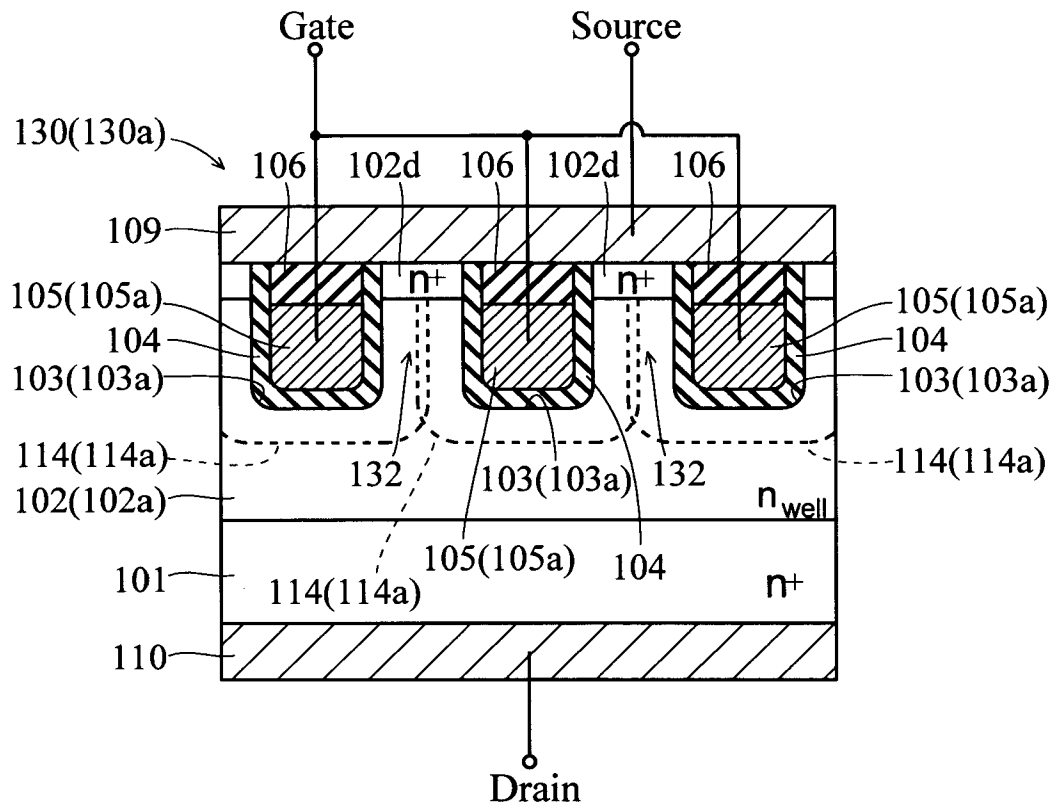


[図19]

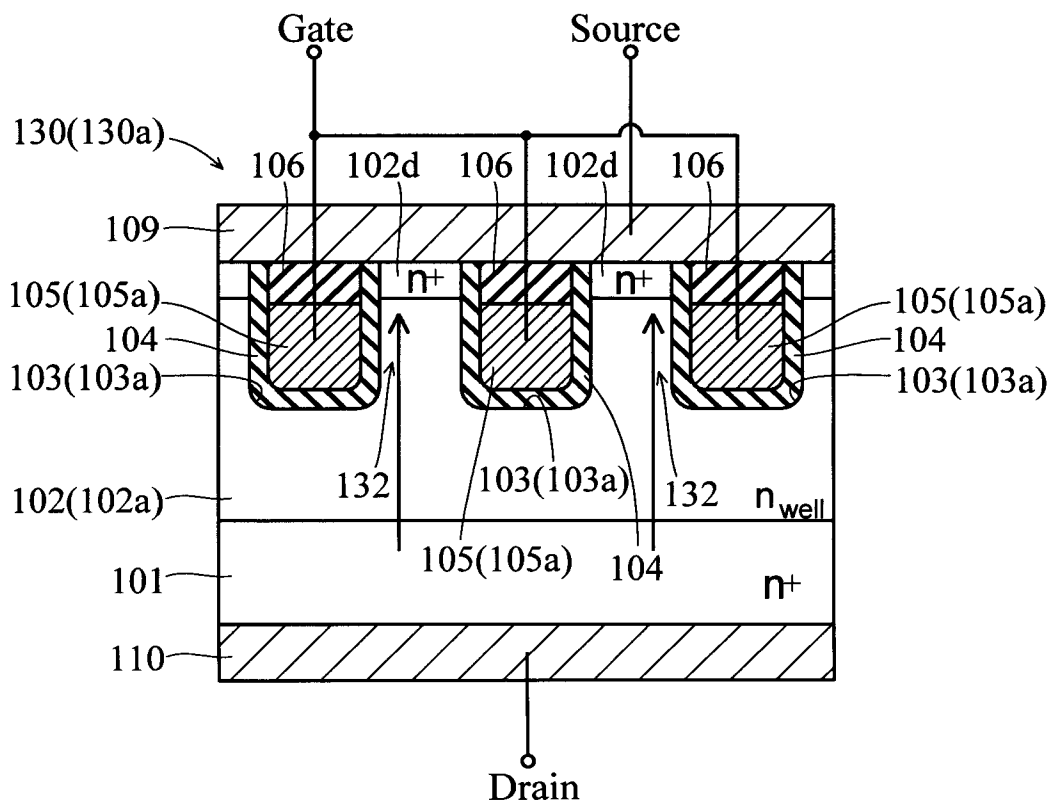




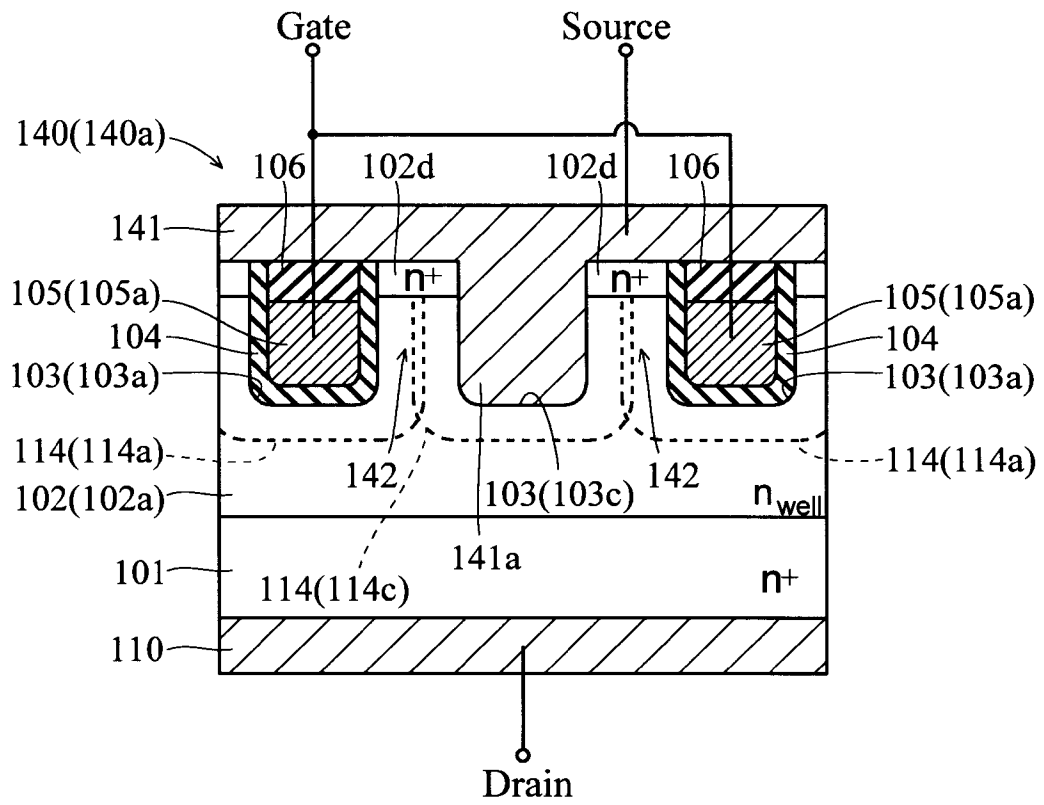
[図22]



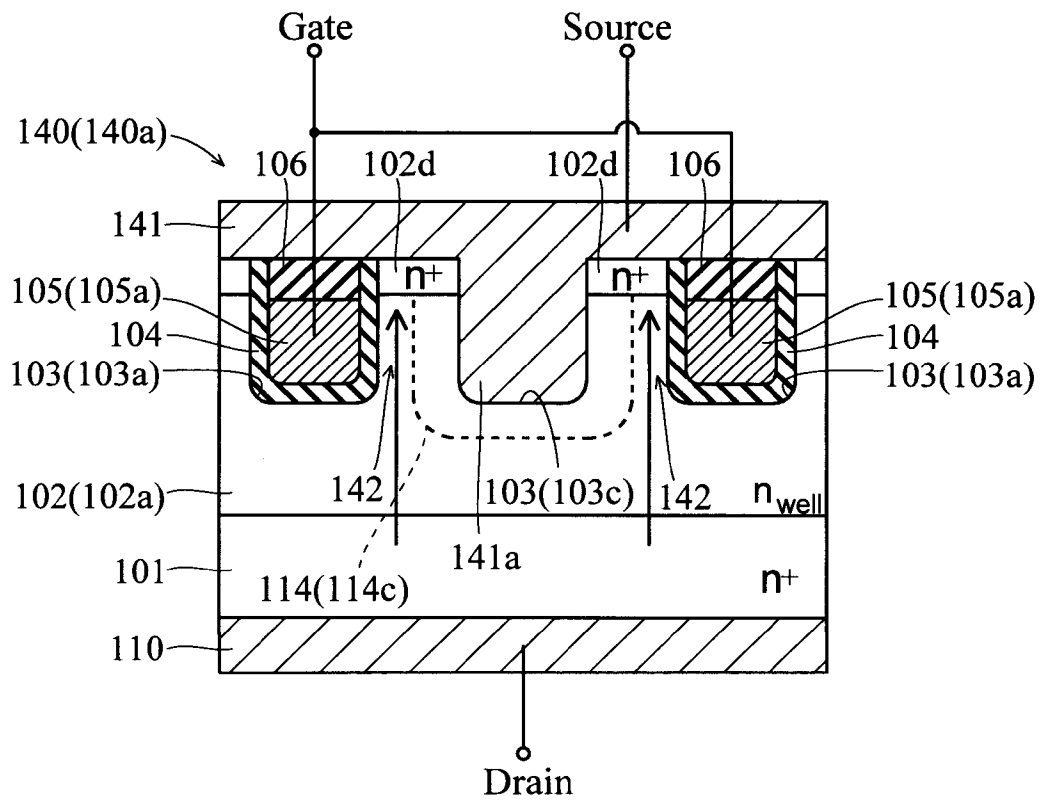
[図23]



[図24]

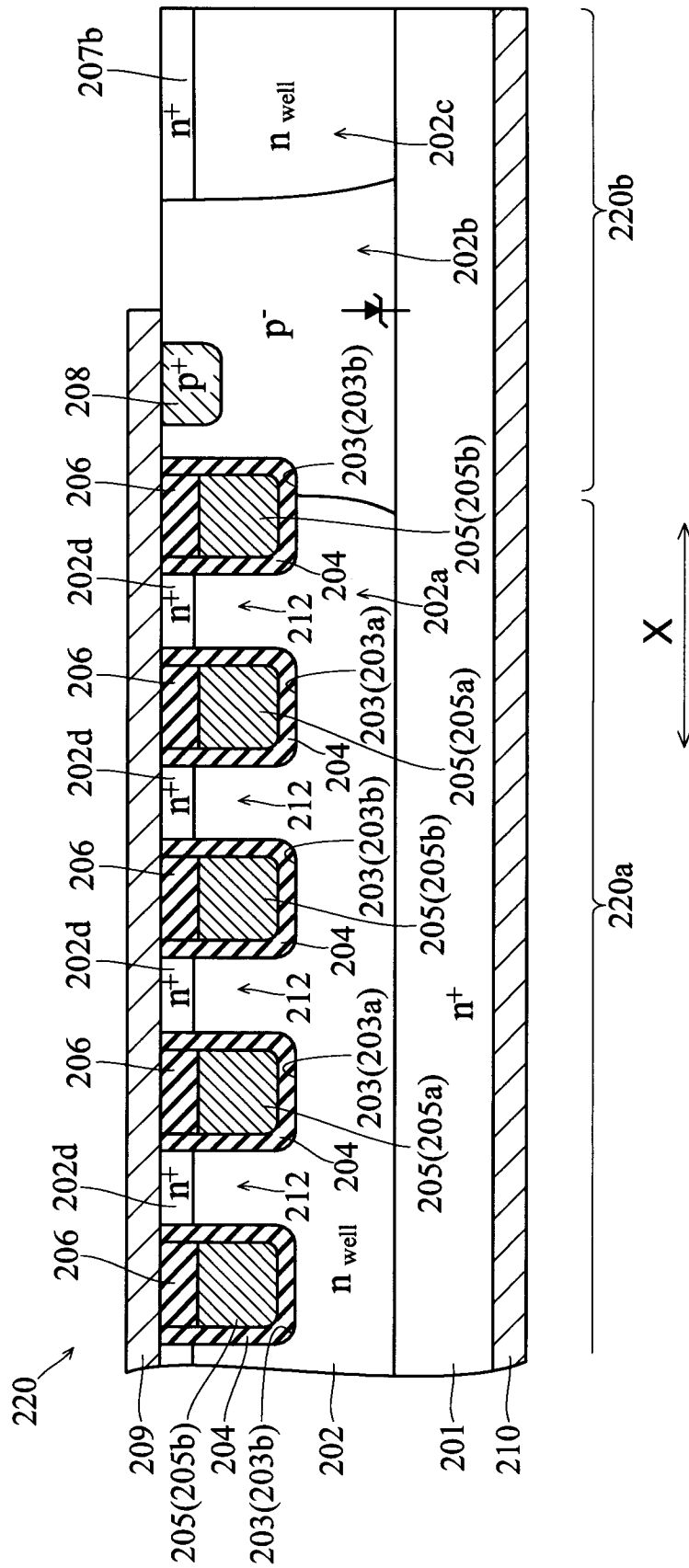


[図25]

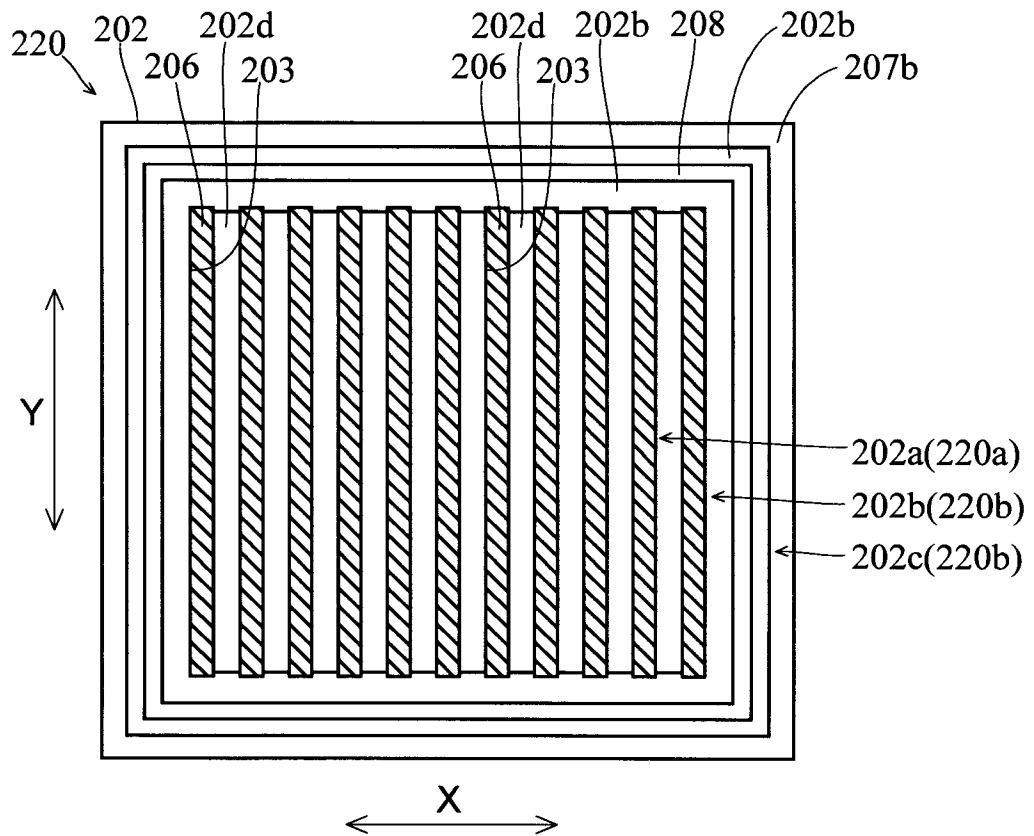


A cross-sectional view of a semiconductor device. The structure consists of several layers: a top gate layer (109) with a gate electrode (106) and a source electrode (102d); a channel layer (105(105a)) with a p+ region (151) and n+ regions (152); a substrate layer (101) with an n+ region (114(114d)); and a bottom layer (110). The device is labeled with various components: Gate, Source, Drain, 106, 102d, 109, 105(105a), 104, 103(103a), 114(114a), 102(102a), 101, 110, 150(150a), 151, 152, and 114(114d).

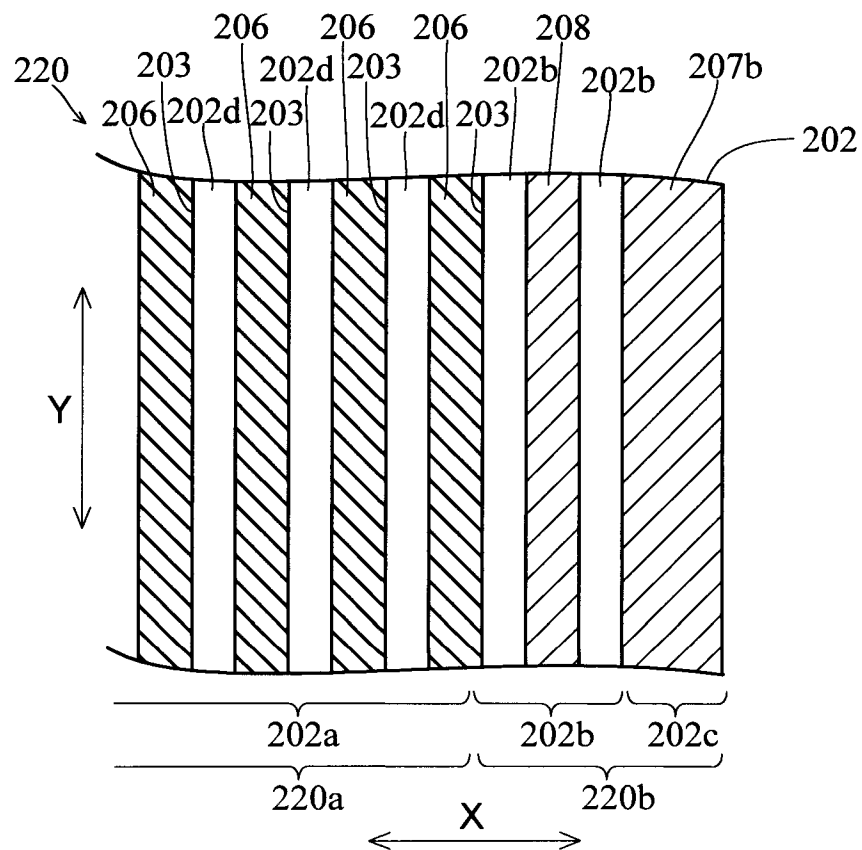
[図28]



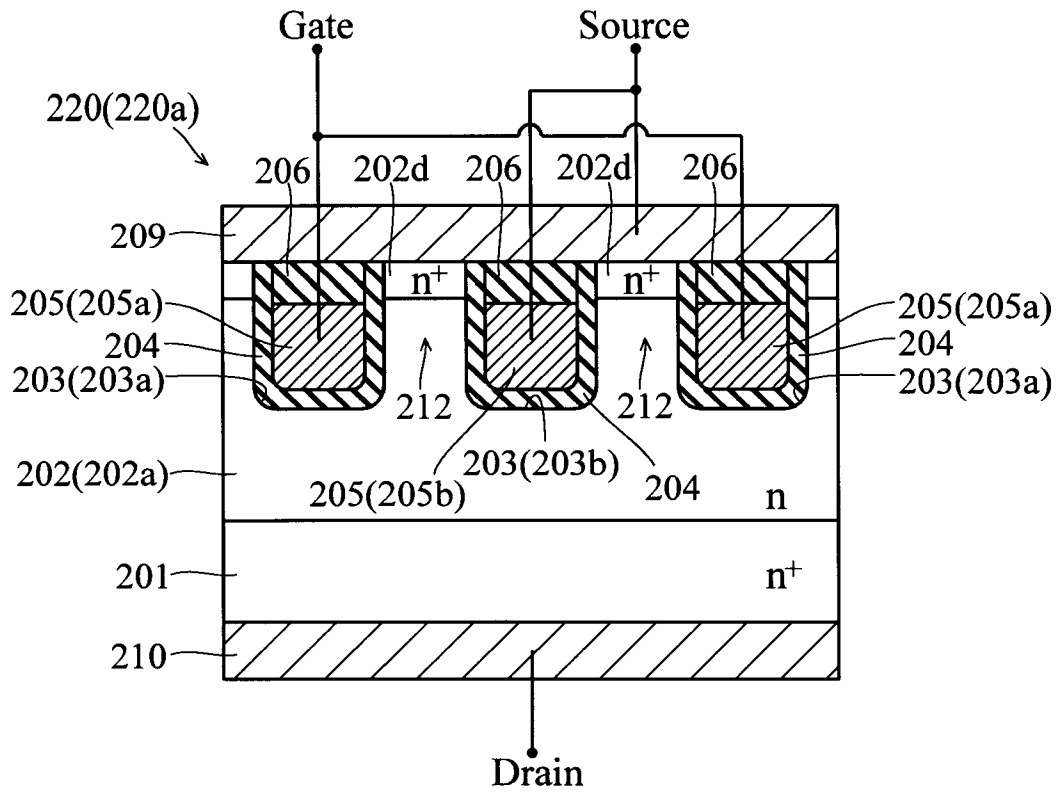
[図29]



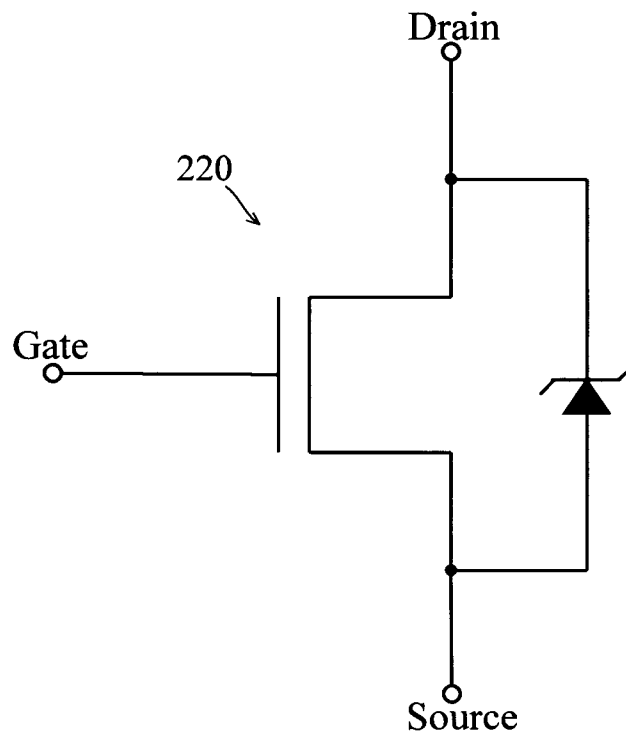
[図30]



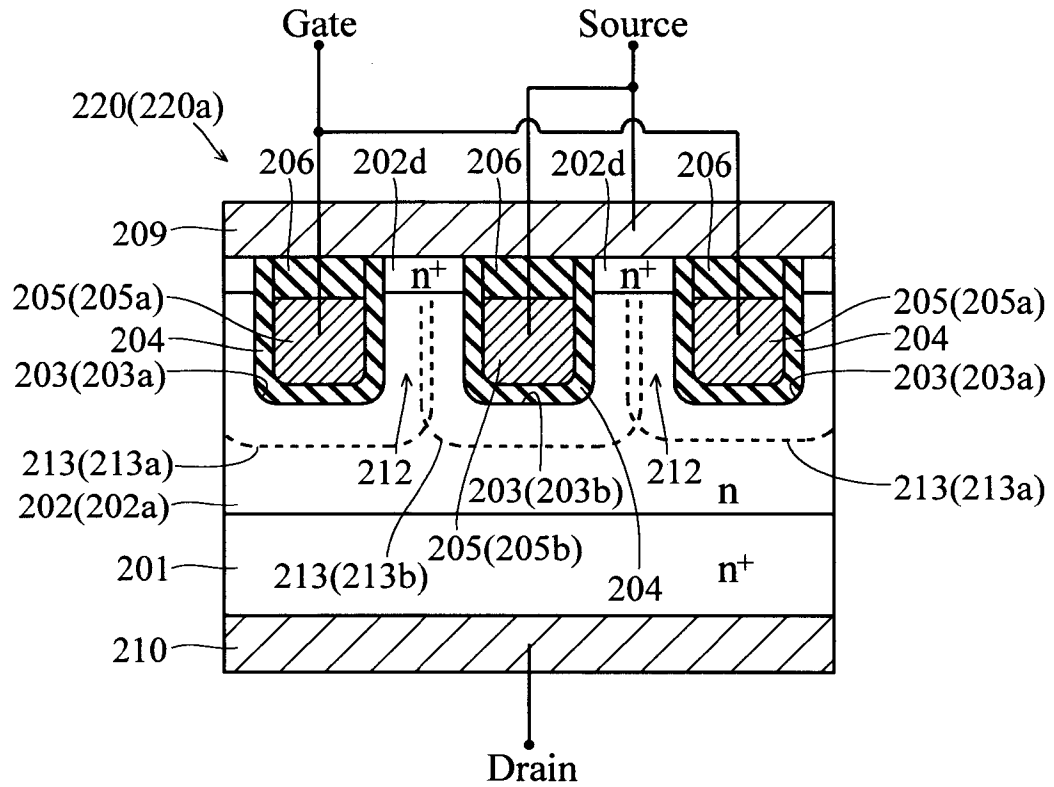
[図31]



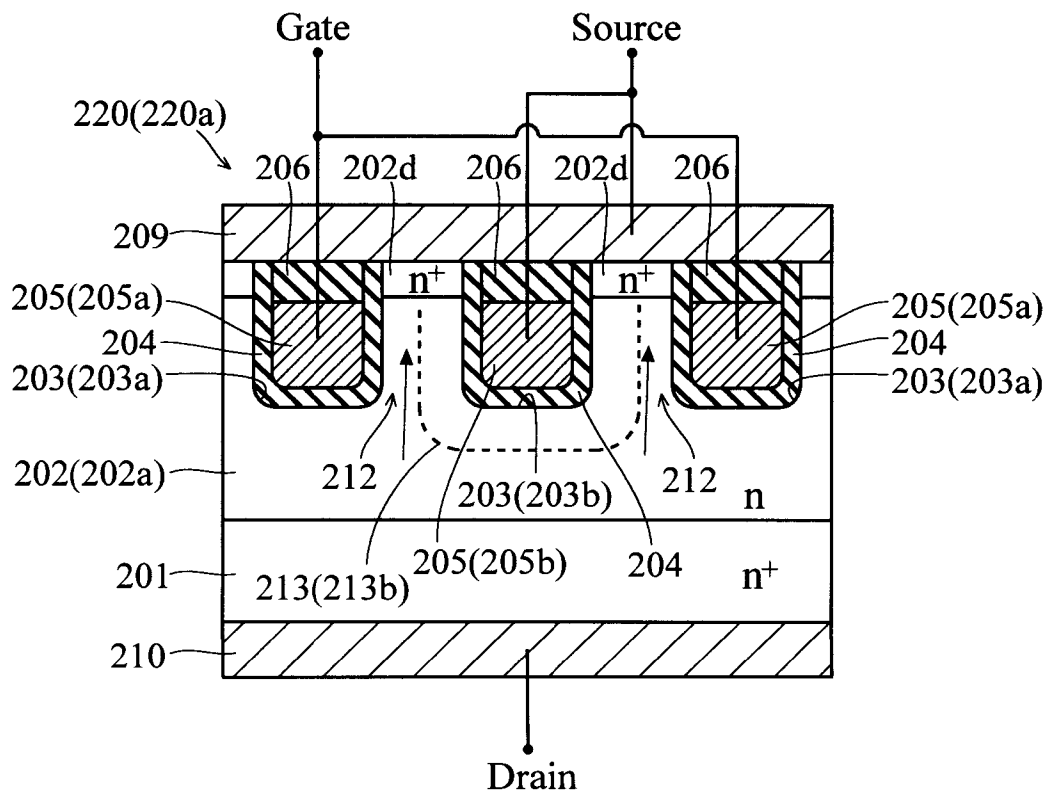
[図32]



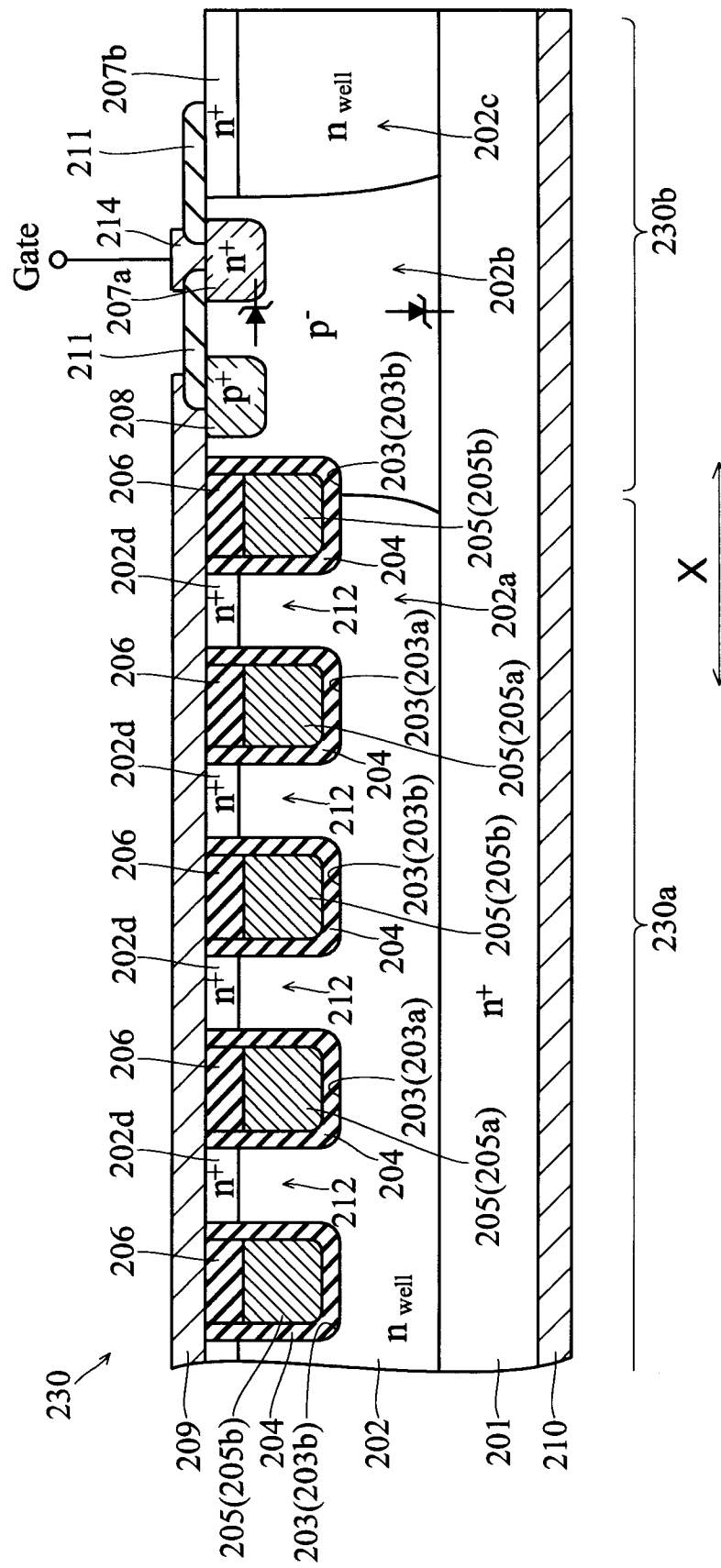
[図33]



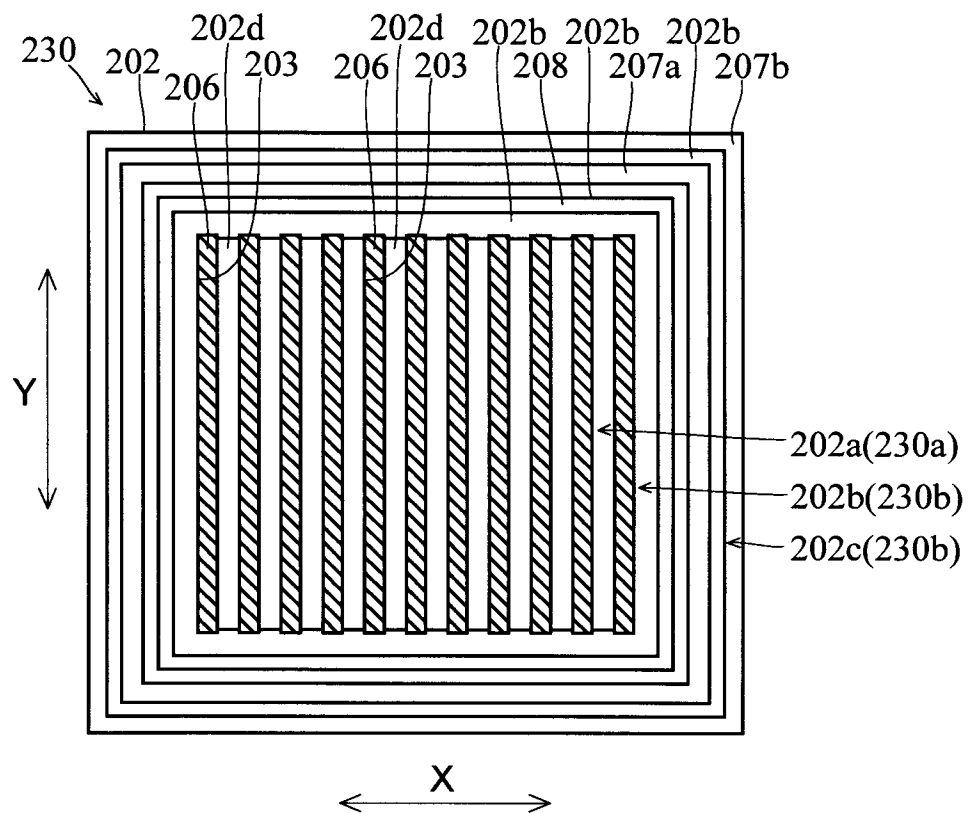
[図34]



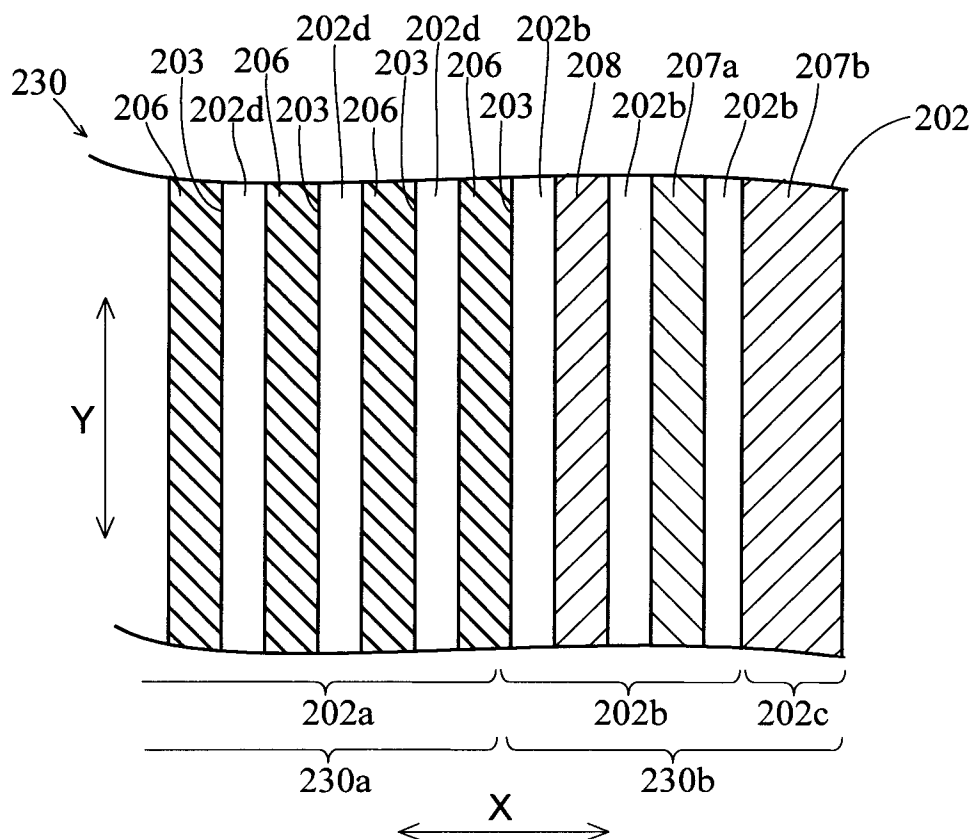
[図35]



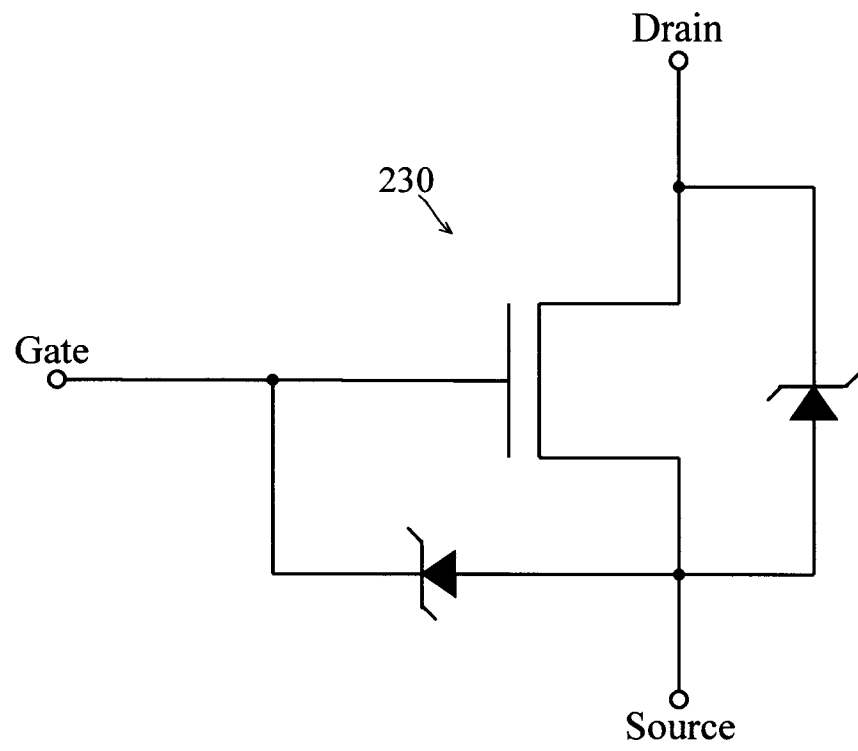
[図36]



[図37]

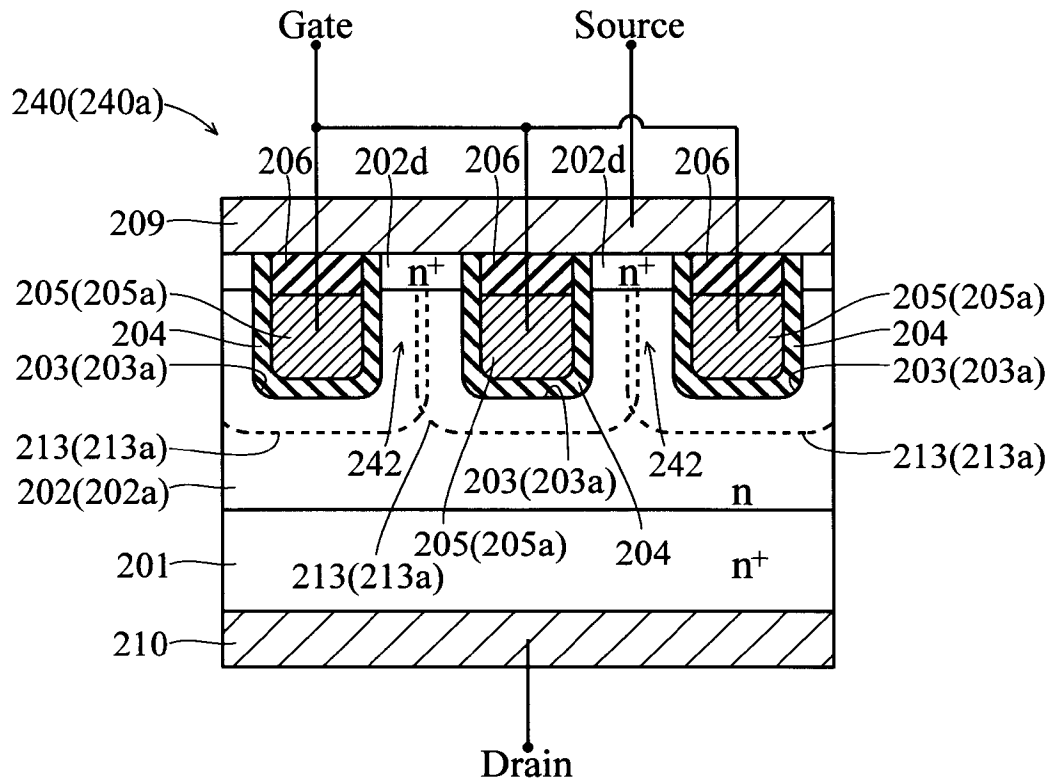


[図38]

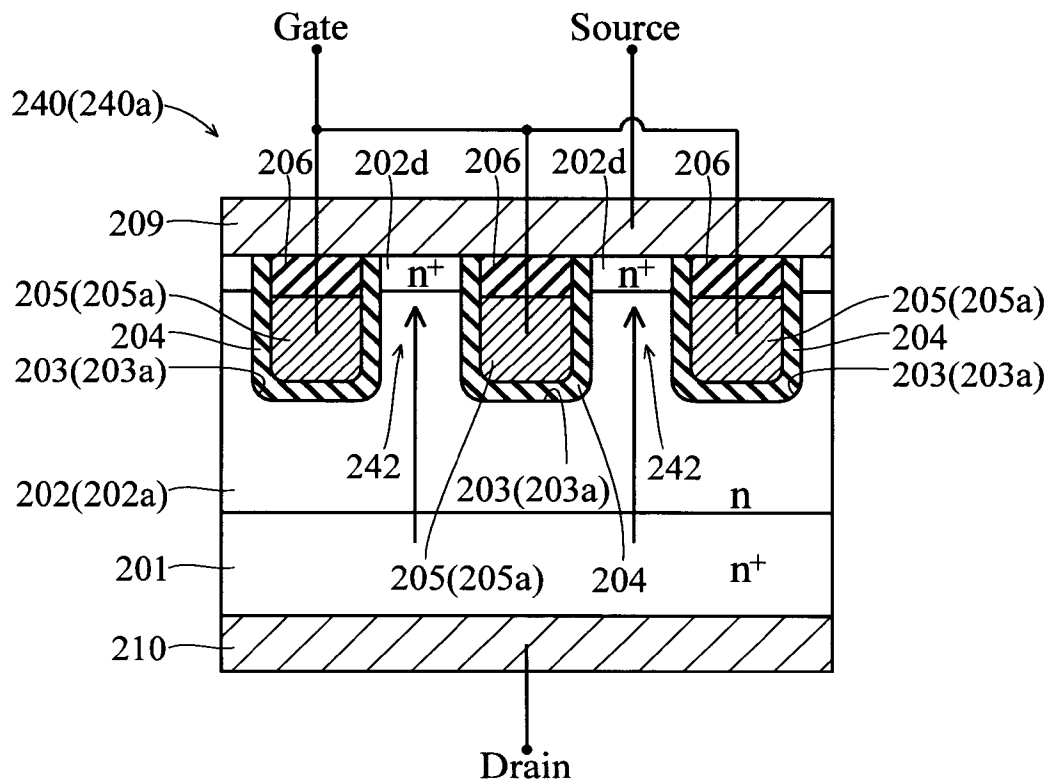


[illegible]

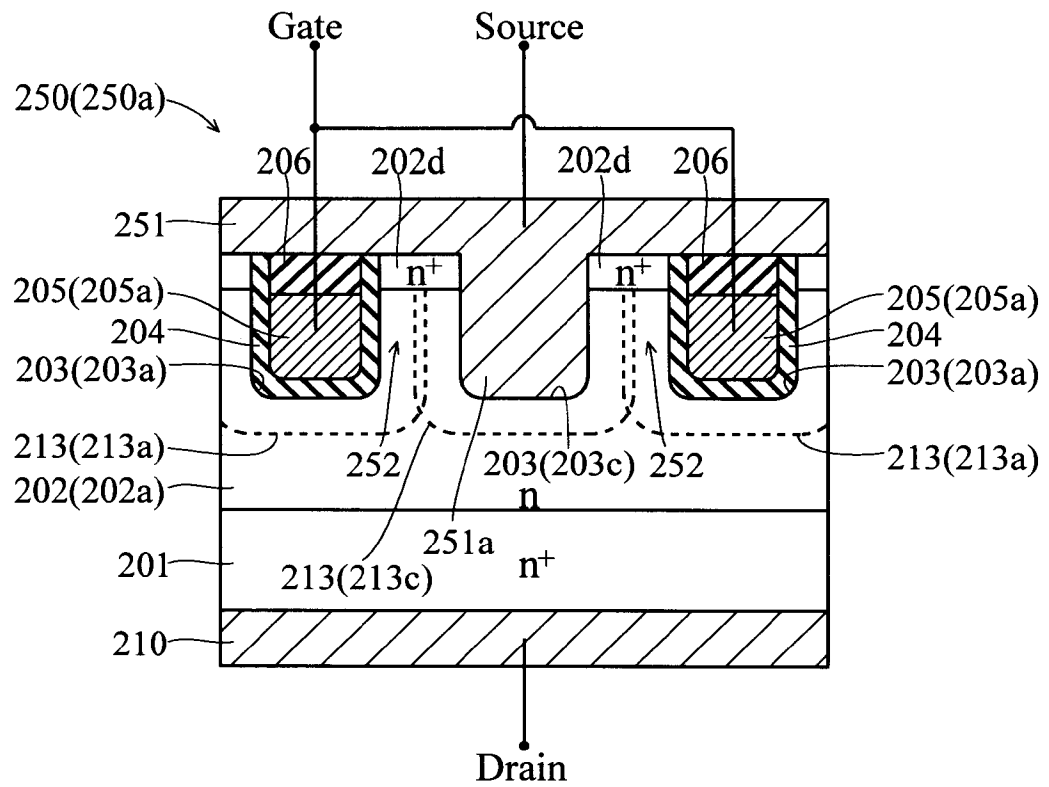
[図40]



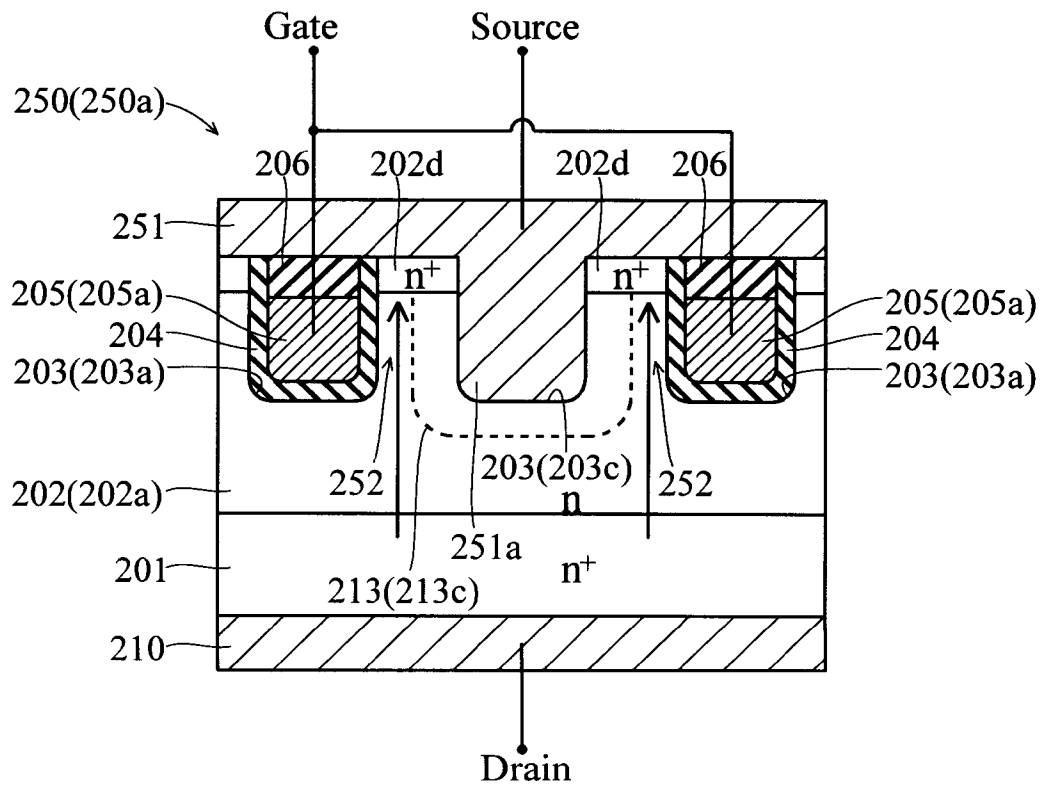
[図41]



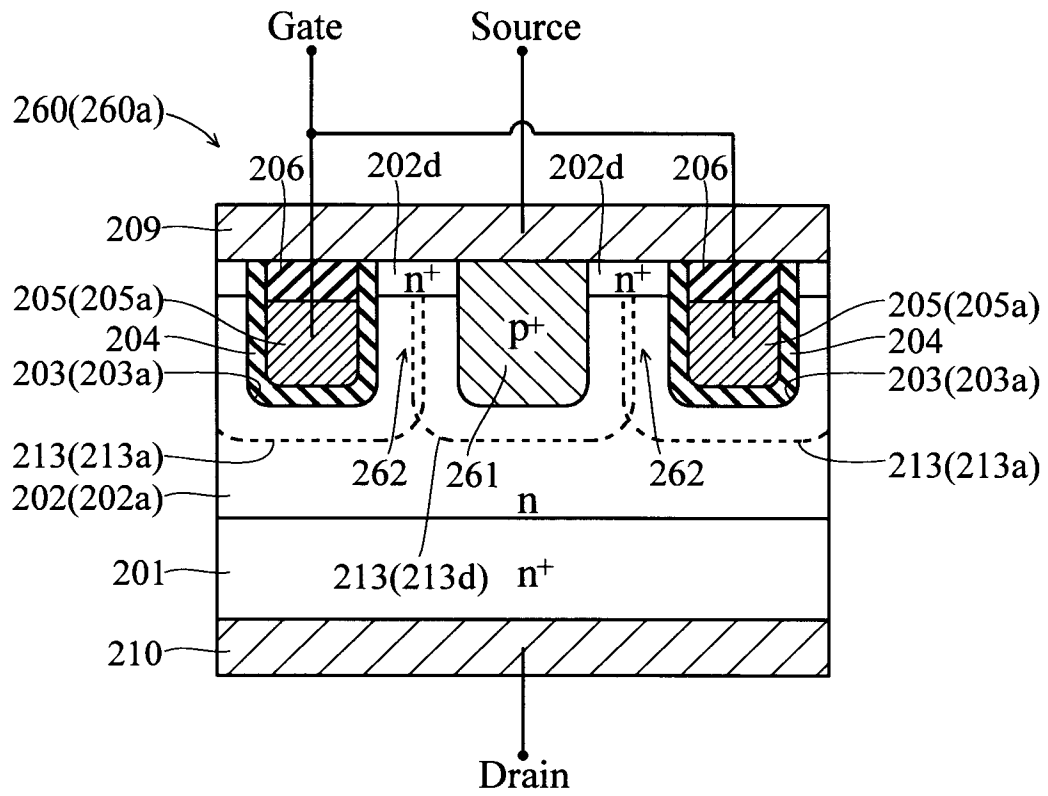
[図42]



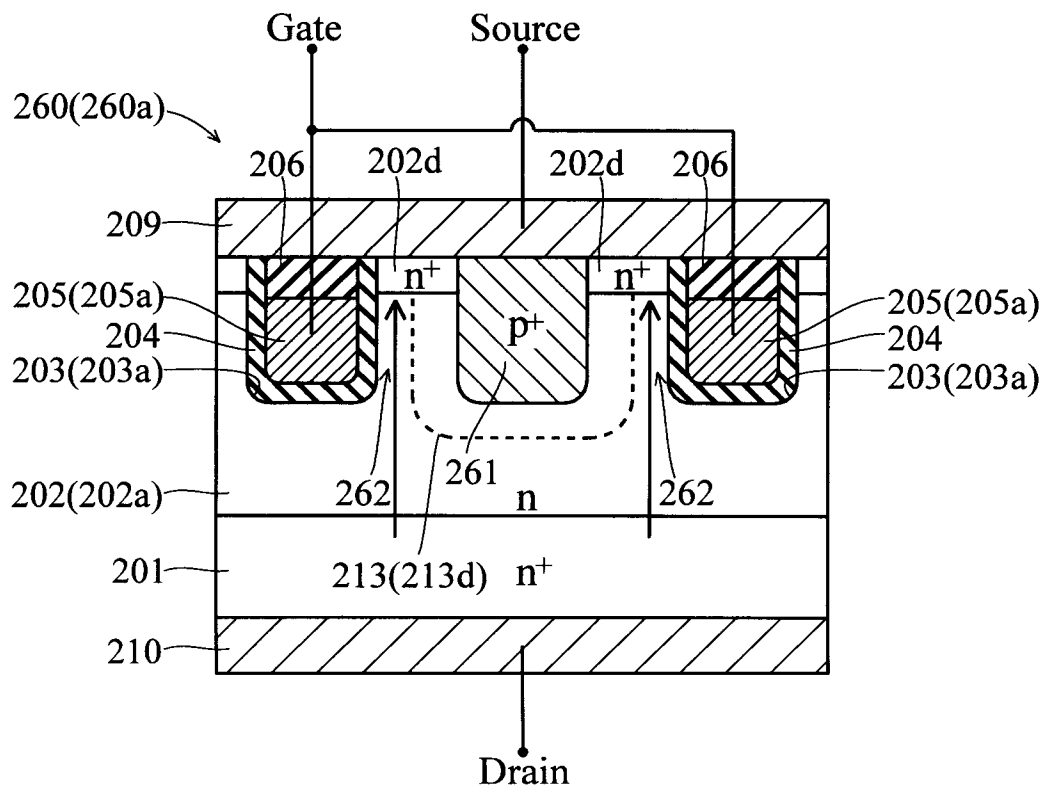
[図43]



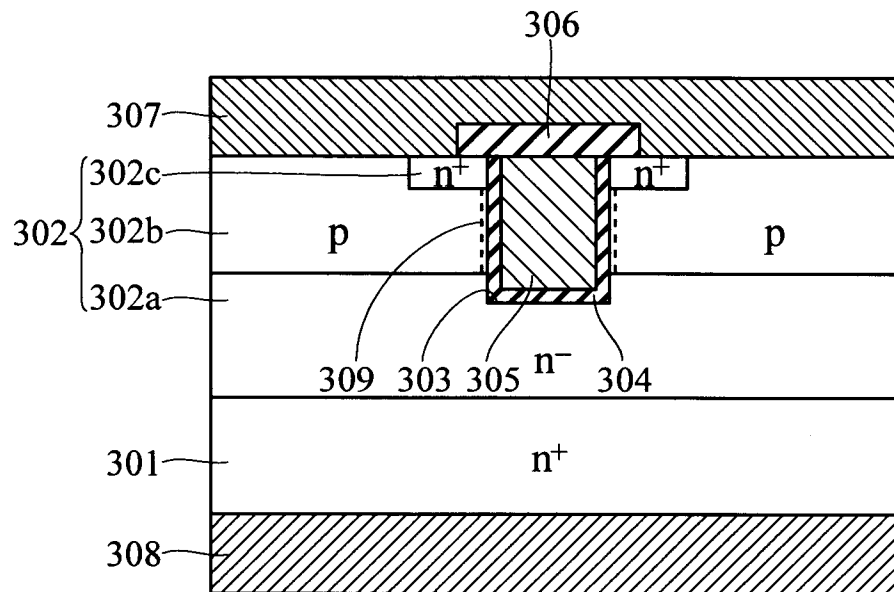
[図44]



[図45]



[図46]



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2008/060881

A. CLASSIFICATION OF SUBJECT MATTER

H01L29/78(2006.01)i, H01L27/04(2006.01)i, H01L29/47(2006.01)i, H01L29/866(2006.01)i, H01L29/872(2006.01)i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)
H01L29/78

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho	1922-1996	Jitsuyo Shinan Toroku Koho	1996-2008
Kokai Jitsuyo Shinan Koho	1971-2008	Toroku Jitsuyo Shinan Koho	1994-2008

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y A	JP 8-316470 A (Fuji Electric Co., Ltd.), 29 November, 1996 (29.11.96), Full text; all drawings (Family: none)	1-6, 10, 13, 16, 20, 21, 24 7-9, 11, 12, 14, 15, 17-19, 22, 23, 25-27
Y A	JP 2003-224277 A (Denso Corp.), 08 August, 2003 (08.08.03), Full text; all drawings (Family: none)	1-6, 10, 13, 16, 20, 21, 24 7-9, 11, 12, 14, 15, 17-19, 22, 23, 25-27
Y A	JP 2003-229570 A (Nissan Motor Co., Ltd.), 15 August, 2003 (15.08.03), Par. Nos. [0087] to [0114]; Figs. 8 to 14 (Family: none)	1-6, 10, 13, 16, 20, 21, 24 7-9, 11, 12, 14, 15, 17-19, 22, 23, 25-27



Further documents are listed in the continuation of Box C.



See patent family annex.

* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier application or patent but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&" document member of the same patent family

Date of the actual completion of the international search
28 August, 2008 (28.08.08)

Date of mailing of the international search report
09 September, 2008 (09.09.08)

Name and mailing address of the ISA/
Japanese Patent Office

Authorized officer

Facsimile No.

Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2008/060881

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	JP 2002-373989 A (Toshiba Corp.), 26 December, 2002 (26.12.02), Par. Nos. [0069] to [0075]; Figs. 1, 4 & US 6707128 B2 & US 2002/0190340 A1	1-6
Y	JP 2006-524432 A (Cree Inc.), 26 October, 2006 (26.10.06), Par. Nos. [0025] to [0037]; Figs. 2A, 2B & US 2004/0212011 A1 & EP 1616356 A & WO 2004/097944 A2	1-6
Y	JP 3-250670 A (Hitachi, Ltd. et al.), 08 November, 1991 (08.11.91), Page 3, upper left column to lower left column; Fig. 10 & US 5101244 A & US 5731970 A & US 5929519 A & EP 450306 A1 & DE 69120995 C	1-6
Y	JP 64-61956 A (Siliconix, Inc.), 08 March, 1989 (08.03.89), Page 3, lower left column to page 4, lower left column; Figs. 2 to 3 (Family: none)	10,13,16
Y	JP 3-38881 A (NEC Corp.), 19 February, 1991 (19.02.91), Full text; Figs. 1 to 2 (Family: none)	10,13,16
Y	JP 2005-175301 A (Rohm Co., Ltd.), 30 June, 2005 (30.06.05), Par. Nos. [0029] to [0043]; Figs. 1 to 2 & US 2005/0127481 A1	20,21,24
Y	WO 01/006569 A1 (Rohm Co., Ltd.), 25 January, 2001 (25.01.01), Full text; Fig. 1 & US 6747315 B1 & EP 1198011 A1 & WO 2001/006569 A1 & TW 465107 B	20,21,24

A. 発明の属する分野の分類（国際特許分類（I P C）） Int.Cl. H01L29/78(2006.01)i, H01L27/04(2006.01)i, H01L29/47(2006.01)i, H01L29/866(2006.01)i, H01L29/872(2006.01)i			
B. 調査を行った分野 調査を行った最小限資料（国際特許分類（I P C）） Int.Cl. H01L29/78			
最小限資料以外の資料で調査を行った分野に含まれるもの 日本国実用新案公報 1 9 2 2 - 1 9 9 6 年 日本国公開実用新案公報 1 9 7 1 - 2 0 0 8 年 日本国実用新案登録公報 1 9 9 6 - 2 0 0 8 年 日本国登録実用新案公報 1 9 9 4 - 2 0 0 8 年			
国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）			
C. 関連すると認められる文献			
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号	
Y A	JP 8-316470 A（富士電機株式会社）1996.11.29, 全文, 全図（ファミリーなし）	1-6, 10, 13, 16 , 20, 21, 24 7-9, 11, 12, 14 , 15, 17-19, 22 , 23, 25-27	
Y A	JP 2003-224277 A（株式会社デンソー）2003.08.08, 全文, 全図（ファミリーなし）	1-6, 10, 13, 16 , 20, 21, 24 7-9, 11, 12, 14	
☒ C欄の続きにも文献が列挙されている。 ☐ パテントファミリーに関する別紙を参照。			
* 引用文献のカテゴリー 「A」 特に関連のある文献ではなく、一般的技術水準を示すもの 「E」 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの 「L」 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す） 「O」 口頭による開示、使用、展示等に言及する文献 「P」 国際出願日前で、かつ優先権の主張の基礎となる出願日の後に公表された文献 「T」 国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの 「X」 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの 「Y」 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの 「&」 同一パテントファミリー文献			
国際調査を完了した日 2 8 . 0 8 . 2 0 0 8		国際調査報告の発送日 0 9 . 0 9 . 2 0 0 8	
国際調査機関の名称及びあて先 日本国特許庁（I S A / J P） 郵便番号 1 0 0 - 8 9 1 5 東京都千代田区霞が関三丁目4番3号		特許庁審査官（権限のある職員） 恩田 春香 電話番号 0 3 - 3 5 8 1 - 1 1 0 1 内線 3 4 6 2	4 M 8 9 3 4

C (続き) . 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
		, 15, 17-19, 22 , 23, 25-27
Y A	JP 2003-229570 A (日産自動車株式会社) 2003. 08. 15, 段落【0087】－【0114】, 図8－14 (ファミリーなし)	1-6, 10, 13, 16 , 20, 21, 24 7-9, 11, 12, 14 , 15, 17-19, 22 , 23, 25-27
Y	JP 2002-373989 A (株式会社東芝) 2002. 12. 26, 段落【0069】－【0075】, 図1, 4 & US 6707128 B2 & US 2002/0190340 A1	1-6
Y	JP 2006-524432 A (クリー インコーポレイテッド) 2006. 10. 26, 段落【0025】－【0037】, 図2A, 2B & US 2004/0212011 A1 & EP 1616356 A & WO 2004/097944 A2	1-6
Y	JP 3-250670 A (株式会社日立製作所 外1名) 1991. 11. 08, 第3頁左上欄－左下欄, 第1図 & US 5101244 A & US 5731970 A & US 5929519 A & EP 450306 A1 & DE 69120995 C	1-6
Y	JP 64-61956 A (シリコニックス・インコーポレイテッド) 1989. 03. 08, 第3頁左下欄－第4頁左下欄, 第2－3図 (ファミリーなし)	10, 13, 16
Y	JP 3-38881 A (日本電気株式会社) 1991. 02. 19, 全文, 第1－2図 (ファミリーなし)	10, 13, 16
Y	JP 2005-175301 A (ローム株式会社) 2005. 06. 30, 段落【0029】－【0043】, 図1－2 & US 2005/0127481 A1	20, 21, 24
Y	WO 01/006569 A1 (ローム株式会社) 2001. 01. 25, 全文, 図1 & US 6747315 B1 & EP 1198011 A1 & WO 2001/006569 A1 & TW 465107 B	20, 21, 24