(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2009-0007633
(43) 공개일자 2009년01월19일

(51) Int. Cl.[9]
H01L 21/316 (2006.01) *H01L 21/336* (2006.01)
(21) 출원번호 10-2008-7029778
(22) 출원일자 2008년12월05일
심사청구일자 2008년12월05일
번역문제출일자 2008년12월05일
(86) 국제출원번호 PCT/US2007/068056
국제출원일자 2007년05월02일
(87) 국제공개번호 WO 2007/131051
국제공개일자 2007년11월15일
(30) 우선권주장
11/381,960 2006년05월05일 미국(US)

(71) 출원인
어플라이드 머티어리얼스, 인코포레이티드
미국 95054 캘리포니아 산타 클라라 바우어스 애브뉴 3050
(72) 발명자
츄아, 타이 청
미국 95014 캘리포니아 쿠퍼티노 칼리 드 바르셀로나 19351
크자르닉, 코리
미국 95070 캘리포니아 사라토가 티투스 애브뉴 12468
(뒷면에 계속)
(74) 대리인
남상선

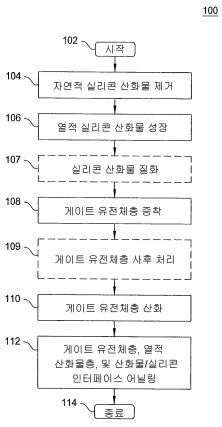
전체 청구항 수 : 총 20 항

(54) 전계 효과 트랜지스터의 게이트 유전체 제조 방법

(57) 요 약

전계 효과 트랜지스터의 게이트 유전체를 제조하는 방법이 제공된다. 일실시예에서, 방법은, 자연 산화물층을 제거하는 단계, 산화물층을 형성하는 단계, 산화물층 위에 게이트 유전체층을 형성하는 단계, 게이트 유전체층 위에 산화물층을 형성하는 단계, 층들 및 하부 열적 산화물/실리콘 인터페이스를 어닐링하는 단계를 포함한다. 선택가능하게, 산화물층은 게이트 유전체층을 형성하는 단계 이전에 질화될 수 있다. 일실시예에서, 기판상의 산화물층은 산화물층을 증착하는 단계에 의해 형성되고, 게이트 유전체층상의 산화물층은 산소-포함 플라즈마를 사용하여 게이트 유전체층의 적어도 일부분을 산화시키는 단계에 의하여 형성된다. 다른 실시예에서, 게이트 유전체층상의 산화물층은 열적 산화물층을 형성하는 단계, 즉, 게이트 유전체층상에 산화물층을 증착하는 단계에 의하여 형성된다.

대 표 도 - 도1



(72) 발명자

헤지더스, 안드레아스 지.

미국 94025 캘리포니아 멘로 파크 커몬웰쓰 드라이브 149

올센, 크리스토퍼 션

미국 95363 캘리포니아 프레몬트 무어 드라이브 38642

아메드, 칼레드 지.

미국 92804 캘리포니아 아나하임 더블유. 브로드웨이 2366

크라우스, 필립 알랜

미국 95123 캘리포니아 샌어제이 마카티 써클 5697 아파트먼트 비

특허청구의 범위

청구항 1

전계 효과 트랜지스터의 게이트 유전체를 제조하는 방법으로서,

(a) 실리콘 기판을 제공하는 단계;

(b) 상기 실리콘 기판으로부터 자연 산화물층을 제거하는 단계;

(c) 상기 실리콘 기판상에 제1 산화물층을 형성하는 단계;

(d) 상기 제1 산화물층상에 게이트 유전체층을 형성하는 단계;

(e) 상기 게이트 유전체층상에 제2 산화물층을 형성하는 단계; 및

(f) 상기 게이트 유전체층, 상기 제1 산화물층, 및 상기 제1 산화물층과 상기 실리콘 기판 사이의 인터페이스를 어닐링하는 단계

를 포함하는, 전계 효과 트랜지스터의 게이트 유전체 제조 방법.

청구항 2

제1항에 있어서,

상기 단계(c) 내지 상기 단계(e) 동안 단일 챔버에서 상기 실리콘 기판을 유지시키는 단계를 더 포함하는 것을 특징으로 하는 전계 효과 트랜지스터의 게이트 유전체 제조 방법.

청구항 3

제1항에 있어서,

상기 단계(c)는 약 2 내지 10 옹스트롬의 두께로 상기 제1 산화물층을 증착하는 단계를 더 포함하는 것을 특징으로 하는 전계 효과 트랜지스터의 게이트 유전체 제조 방법.

청구항 4

제1항에 있어서,

상기 단계(c)는 분리된 플라즈마 소스에 의해 발생된 산소, 산화질소, 또는 아산화질소 중 적어도 하나를 포함하는 플라즈마에 상기 제1 산화물층을 노출시키는 단계를 더 포함하는 것을 특징으로 하는 전계 효과 트랜지스터의 게이트 유전체 제조 방법.

청구항 5

제1항에 있어서,

상기 단계(c)는 상기 제1 산화물층을 질화시키는 단계를 더 포함하는 것을 특징으로 하는 전계 효과 트랜지스터의 게이트 유전체 제조 방법.

청구항 6

제5항에 있어서,

상기 질화시키는 단계는 상기 제1 산화물층에 질화된 물질의 서브-층을 생성하는 단계를 더 포함하며, 상기 서브-층은 약 0.5 내지 3 옹스트롬의 두께를 갖는 것을 특징으로 하는 전계 효과 트랜지스터의 게이트 유전체 제조 방법.

청구항 7

제5항에 있어서,

상기 제1 산화물층을 질화시키는 단계는, 질소-포함 플라즈마에 상기 제1 산화물층을 노출시키는 단계를 포함하는 것을 특징으로 하는 전계 효과 트랜지스터의 게이트 유전체 제조 방법.

청구항 8

제1항에 있어서,

상기 단계(d)는, 실리콘 질화물, 하프늄 산화물, 및 하프늄 규산염 중 적어도 하나로부터 상기 게이트 유전체층을 형성하는 단계를 더 포함하는 것을 특징으로 하는 전계 효과 트랜지스터의 게이트 유전체 제조 방법.

청구항 9

제8항에 있어서,

상기 단계(d)는 상기 하프늄 산화물 또는 하프늄 규산염 중 적어도 하나로부터 약 10 내지 60 옹스트롬의 두께의 상기 게이트 유전체층을 형성하는 단계를 더 포함하는 것을 특징으로 하는 전계 효과 트랜지스터의 게이트 유전체 제조 방법.

청구항 10

제8항에 있어서,

상리 실리콘 질화물로부터 약 2 내지 10 옹스트롬의 두께의 상기 게이트 유전체층을 형성하는 단계를 더 포함하는 것을 특징으로 하는 전계 효과 트랜지스터의 게이트 유전체 제조 방법.

청구항 11

제1항에 있어서,

상기 단계(d)는 플라즈마 강화 프로세스에서 상기 게이트 유전체층을 형성하는 단계를 더 포함하는 것을 특징으로 하는 전계 효과 트랜지스터의 게이트 유전체 제조 방법.

청구항 12

제1항에 있어서,

상기 제2 산화물층은 약 2 내지 10 옹스트롬의 두께를 갖는 것을 특징으로 하는 전계 효과 트랜지스터의 게이트 유전체 제조 방법.

청구항 13

제1항에 있어서,

상기 단계(e)는 저 에너지 플라즈마 소스를 사용하여 플라즈마를 형성하는 단계를 더 포함하는 것을 특징으로 하는 전계 효과 트랜지스터의 게이트 유전체 제조 방법.

청구항 14

제1항에 있어서,

상기 단계(f)는 급속 열 프로세싱 챔버 또는 퍼니스(furnace)에서 상기 기판을 열적으로 어닐링하는 단계를 더 포함하는 것을 특징으로 하는 전계 효과 트랜지스터의 게이트 유전체 제조 방법.

청구항 15

기판 위에 전계 효과 트랜지스터의 게이트 유전체를 제조하는 방법으로서,

(a) 상기 기판으로부터 자연 산화물층을 제거하고, 질소 정화 또는 진공 환경에 상기 기판을 위치시키는 단계;

(b) 상기 기판상에 제1 열적 산화물층을 형성하는 단계;

(c) 상기 제1 열적 산화물층상에 게이트 유전체층을 형성하는 단계;

(d) 상기 게이트 유전체층상에 제2 열적 산화물층을 형성하는 단계; 및

(e) 상기 제1 열적 산화물층 및 상부에 형성된 산화된 상기 게이트 유전체층을 갖는 상기 기판을 열적으로 어닐링하는 단계

를 포함하는, 전계 효과 트랜지스터의 게이트 유전체 제조 방법.

청구항 16

제15항에 있어서,

상기 단계(c) 이전에 상기 제1 열적 산화물층을 질화시키는 단계를 더 포함하는 것을 특징으로 하는 전계 효과 트랜지스터의 게이트 유전체 제조 방법.

청구항 17

제15항에 있어서,

상기 단계(d) 이전에 상기 게이트 유전체층을 질화시키는 단계를 더 포함하는 것을 특징으로 하는 전계 효과 트랜지스터의 게이트 유전체 제조 방법.

청구항 18

전계 효과 트랜지스터의 게이트 유전체를 제조하는 통합 반도체 기판 프로세싱 시스템으로서,

실리콘 기판상에 열적 산화물층을 형성하고, 상기 열적 산화물층상에 게이트 유전체층을 증착시키며, 상기 게이트 유전체층상에 열적 산화물층을 형성하도록 구성되는 반응기;

분리된 플라즈마 소스;

하나 이상의 로드-록 챔버들;

상기 반응기 및 상기 로드-록 챔버에 결합되는 적어도 하나의 기판 이송 챔버; 및

상기 프로세싱 시스템의 관리 및 모니터링 동작을 위한 제어기

를 포함하는, 통합 반도체 기판 프로세싱 시스템.

청구항 19

제18항에 있어서,

상부 가스 주입부 및 하부 가스 주입부를 더 포함하는 것을 특징으로 하는 통합 반도체 기판 프로세싱 시스템.

청구항 20

제19항에 있어서,

상기 하부 가스 주입부는 상기 분리된 플라즈마 소스 아래에 제공되며, 상기 상부 가스 주입구는 상기 분리된 플라즈마 소스 위에 제공되는 것을 특징으로 하는 통합 반도체 기판 프로세싱 시스템.

명 세 서

기 술 분 야

<1> 본 발명의 실시예들은 일반적으로 반도체 기판들상에 디바이스들을 제조하는 방법들과 연관된다. 보다 상세하게는, 본 발명은 전계 효과 트랜지스터들, 특히, 전계 효과 트랜지스터들의 게이트 유전체들을 제조하는 방법에 관한 것이다.

배 경 기 술

<2> 집적 회로들은 기판상에 형성되고, 회로 내에서 다양한 기능들을 수행하도록 협력하는 백만개 이상의 마이크로-전자 전계 효과 트랜지스터들(예를 들어, CMOS(complementary metai-oxide-semiconductor) 전계 효과 트랜지스터들을 포함할 수 있다. CMOS 트랜지스터는 트랜지스터의 소스와 드레인 영역들 사이에 형성되는 채널 영역 위에 배치되는 게이트 구조물을 포함한다. 게이트 구조물은 일반적으로 게이트 전극 및 게이트 유전체를 포함한다. 게이트 전극은 게이트 유전체 위에 배치되며, 작동시, 게이트 유전체 아래의 채널 영역에서 전하 캐리어들의 흐름(즉, 전류)을 제어하는데 사용된다.

<3> 게이트 유전체는 통상적으로 실리콘 질화물(Si_3N_4) 또는 실리콘 옥시질화물(SiON)로부터 형성된다. 트랜지스터의 속도를 증가시키기 위하여, 진보된 집적 회로들에서의 게이트 유전체의 두께는 약 20-30 옹스트롬 이하의 범위에서 선택된다. 그러나, 그러한 초박 게이트 유전체들을 갖는 게이트 구조물들의 제조는 도전적인 과업을 제시한다. 하나의 특정한 문제점은 본 제조 기술들이 게이트 유전체를 통한 높은 누출 전류를 야기하며, 트랜지스터들의 실리콘/게이트 유전체 인터페이스 안에 많은 양의 질소(N_2)의 확산으로 인하여 채널 영역에서 전하 캐리어들의 이동력을 감소시킨다는 것이다. 또한, 게이트 유전체의 폴리실리콘과 질소의 상호작용은 V_{FB}/V_t를 이동시키며, 여기서 V_{FB}는 플랫-밴드 전압이고, V_t는 임계치 전압이다.

<4> 따라서, 전계 효과 트랜지스터의 게이트 유전체를 제조하는 개선된 방법이 본 기술 분야에서 요구된다.

발명의 상세한 설명

<5> 본 발명의 실시예들은 일반적으로 전계 효과 트랜지스터의 게이트 유전체를 제조하는 방법과 관련된다. 본 발명은 마이크로프로세서들, 애플리케이션 특정 집적 회로들(ASICs), 전자 메모리 디바이스들 등과 같은 집적 회로 디바이스들에서 사용될 수 있다.

<6> 일실시예에서, 방법은 실리콘 기판으로부터 자연 산화물층을 제거하는 단계, 기판상에 제1 산화물층을 형성하는 단계, 제1 산화물층상에 게이트 유전체층(예를 들어, 실리콘 질화물(Si_3N_4), 하프늄 산화물(HfO_2), 하프늄 규산염($HfSi_xO_y$, 여기서 x 및 y는 정수) 등)을 형성하는 단계, 게이트 유전체층상에 제2 산화물층을 형성하는 단계, 및 게이트 유전체층, 제1 산화물층, 및 제1 산화물층과 실리콘 기판 사이의 인터페이스를 어닐링하는 단계를 포함한다. 선택가능하게, 기판상의 제2 산화물층은 게이트 유전체층을 형성하는 단계 이전에 질화될 수 있다. 선택가능하게, 게이트 유전체층은 게이트 유전체층상에 제2 산화물층을 형성하는 단계 이전에 질화될 수 있다. 일실시예에서, 방법의 적어도 일부는 통합 반도체 기판 프로세싱 시스템(즉, 클러스터 툴)의 프로세싱 반응기들을 사용하여 수행될 수 있다. 일실시예에서, 기판상의 산화물층은 제1 산화물층을 증착하는 단계에 의하여 형성되며, 게이트 유전체층의 산화물층은 게이트 유전체층을 산화시키는 단계에 의하여 형성된다. 다른 실시예에서, 기판상의 산화물층은 산화물층을 증착하는 단계에 의해 형성되며, 게이트 유전체층상의 산화물층은 게이트 유전체층상에 제2 산화물층을 증착하는 단계에 의해 형성된다.

<7> 다른 실시예에서, 기판 위에 전계 효과 트랜지스터의 게이트 유전체를 제조하는 방법은, 기판으로부터 자연 산화물층을 제거하고, 질소 정화 또는 진공 환경에 상기 기판을 위치시키는 단계, 기판상에 제1 열적 산화물층을 형성하는 단계, 제1 열적 산화물층상에 게이트 유전체층을 형성하는 단계, 게이트 유전체층상에 제2 열적 산화물층을 형성하는 단계, 및 제1 열적 산화물층 및 상부에 형성된 산화된 게이트 유전체층을 갖는 기판을 열적으로 어닐링하는 단계를 포함한다. 일실시예에서, 제1 산화물층을 증착하는 단계에 의하여 기판상의 산화물층이 형성되며, 산소-포함 플라즈마를 사용하여 게이트 유전체층의 적어도 일부분을 산화시키는 단계에 의하여 게이트 유전체층상에 산화물층이 형성된다. 다른 실시예에서, 제1 산화물층을 증착하는 단계에 의하여 기판상에 산화물층이 형성되고, 열적 산화물층을 형성하는 단계, 즉, 게이트 유전체층상에 제2 산화물층을 증착하는 단계에 의하여 게이트 유전체층상에 산화물층이 형성된다.

<8> 본 발명의 다른 측면에서, 전계 효과 트랜지스터의 게이트 유전체를 제조하는 통합 반도체 기판 프로세싱 시스템이 개시된다. 일실시예에서, 시스템은, 실리콘 기판상에 열적 산화물층을 형성하도록 구성되는 적어도 하나의 제1 반응기, 열적 산화물층상에 게이트 유전체층을 증착시키도록 구성되는 적어도 하나의 제2 반응기, 게이트 유전체층을 산화시키도록 구성되는 적어도 하나의 제3 반응기, 적어도 하나의 로드-록 챔버, 반응기들 및 로드-록 챔버들 각각에 결합되는 적어도 하나의 기판 이송 챔버, 및 프로세싱 시스템의 관리 및 모니터링 동작을 위한 제어기를 포함한다.

<9> 본 발명의 다른 측면에서, 전계 효과 트랜지스터의 게이트 유전체를 제조하는 통합 반도체 기판 프로세싱 시스템이 개시된다. 일실시예에서, 시스템은, 실리콘 기판상에 열적 산화물층을 형성하도록 구성되는 반응기 - 반응기는 열적 산화물층상에 게이트 유전체층을 증착시키고, 게이트 유전체층상에 열적 산화물층을 형성하도록 구성됨 - ; 분리된 플라즈마 소스; 하나 이상의 로드-록 챔버들; 반응기 및 로드-록 챔버에 결합되는 적어도 하나의 기판 이송 챔버; 및 프로세싱 시스템의 관리 및 모니터링 동작을 위한 제어기를 포함한다.

<10> 본 발명의 이론들은 첨부도면들과 함께 하기의 상세한 설명을 고려하여 명백해질 것이다.

실 시 예

<15> 가능하면, 본 명세서에서는 도면들에서 공통적인 동일한 엘리먼트들을 지칭하기 위하여 동일한 참조 번호들이 사용된다. 도면들에서 이미지들은 설명을 목적으로 간략화되었으며, 일정 비율에 따라 도시되지 않았다.

<16> 첨부된 도면들은 본 발명의 예시적인 실시예들을 설명하고, 마찬가지로, 본 발명의 범위를 제한하는 것으로 고려되어서는 안 되며, 다른 동일한 효과의 실시예들을 허용할 수 있다.

<17> 본 발명은 초박 게이트 유전체들(예를 들어, 약 20-30 옹스트롬 미만)을 갖는 전계 효과 트랜지스터들의 게이트 유전체를 제조하는 방법이다. 본 발명은 통합 반도체 디바이스들 및 회로들의 제조에 사용될 수 있다.

<18> 도 1은 본 발명의 일실시예에 따른 전계 효과 트랜지스터의 게이트 유전체를 제조하기 위한 방법(100)을 설명하는 흐름도이다. 방법(100)은 예시적인 CMOS 전계 효과 트랜지스터의 게이트 구조물의 제조 동안에 기판 위에서 수행되는 프로세싱 단계들을 포함한다. 몇몇 실시예들에서, 이러한 프로세싱 단계들은 도시된 순서대로 수행된다. 대안적인 실시예들에서, 이러한 단계들 중 적어도 두 단계가 동시에 또는 상이한 순서로 수행될 수 있다. 서브-단계들 및 보조 절차들(예를 들어, 프로세싱 반응기들 사이의 기판 이송들, 프로세스 제어 단계들 등)은 본 기술 분야에 공지되어 있으며, 따라서 본 명세서에서는 생략된다.

<19> 방법(100)의 적어도 일부는 통합 반도체 기판 프로세싱 시스템의 프로세싱 반응기들(즉, 클러스터 툴)을 사용하여 수행될 수 있다. 그러한 한 프로세싱 시스템으로는 캘리포니아 산타 클라라의 Applied Materials사로부터 이용가능한 CENTURA® 통합 프로세싱 시스템을 들 수 있다. 적절한 프로세싱 시스템(300) 및 적절한 CVD 챔버(400)에 대한 일반적인 설명은 각각 도 3 및 도 4를 참조로 하여 하기에서 논의된다.

<20> 도 2a-2e는 함께 도 1의 방법을 사용하여 게이트 구조물이 제조되는 기판의 일련의 개략적인 횡단면도들을 도시한다. 도 2a-2e의 횡단면도들은 게이트 구조물을 제조하기 위하여 수행되는 개별적인 프로세싱 단계들과 연관된다. 도 2a-2e의 이미지들은 일정 비율에 따라 도시되지 않으며, 설명을 목적으로 간략화된다. 발명을 잘 이해하기 위하여, 도 1 및 도 2a-2e를 동시에 참조해야만 할 것이다.

<21> 방법(100)은 단계(102)에서 시작하여, 단계(104)로 진행된다.

<22> 단계(104)에서, 실리콘(Si) 기판(200)이 제공되고(예를 들어, 200mm 웨이퍼, 300mm 웨이퍼 등), 기판의 표면으로부터 자연 산화물(SiO_2)을 제거하기 위한 용액에 노출된다(도 2a). 도식적으로, 방법(100)은 트랜지스터의 게이트 구조물(미도시)을 형성하는데 이용될 수 있다. 게이트 구조물은 일반적으로, 예를 들어, 트랜지스터의 소스 및 드레인 영역들(222 및 224)(점선으로 도시됨) 및 채널 영역(226) 위의 영역(220)에 배치된다. 그래프적으로 명확하도록, 영역들(220-226)은 도 2a에만 보여진다.

<23> 일실시예에서, 층(204)이 플루오르화 수소(HF) 및 탈이온화된(DI) 물을 포함하는 용액(즉, 플루오르화 수소산 용액)을 사용하여 제거된다. 일실시예에서, 용액은 중량당 약 0.1 내지 10 %의 HF 및 섭씨 약 20-30 도(℃)의 온도를 갖는다. 다른 실시예에서, 용액은 약 0.5 %의 HF 및 약 25 ℃의 온도를 갖는다. 단계(104)는 탈이온수에서의 헹굼을 수반하는, 용액으로의 기판(200)의 웨트 딥(wet dip)을 사용할 수 있으며, 초음파적으로 개선된 배스(bath)를 포함하는 배치(batch) 배스들 또는 단일 웨이퍼에서 수행될 수 있다. 대안적으로, 단계(104)는 통합 프로세싱 시스템(300)의 단일 기판 습식 세정 반응기를 사용하여 수행될 수 있다. 다른 실시예에서, 층(204)은 RCA 세정 방법을 사용하여 제거될 수 있다. 단계(102)의 완료시, 기판(200)은 진공 로드-록 또는 질소(N_2) 정화 환경에 위치된다.

<24> 단계(106)에서, 열적 산화물(SiO_2)층(206)이 기판(200)상에 성장된다(도 2b). 일반적으로, 층(206)은 약 2-40 옹스트롬, 바람직하게는 약 2-10 옹스트롬의 두께를 가질 수 있다. 일실시예에서, 층(206)은 약 6-10 옹스트롬의 두께를 갖는다. 단계(106)는 예를 들어, RADIANCE® 급속 열 프로세싱(RTP) 반응기, 분리 플라즈마 산화물(DPO) 반응기, 또는 통합 프로세싱 시스템(300)의 플라즈마 강화 화학 기상 증착(PECVD) 반응기를 사용하여 수행될 수 있다. RADIANCE® 반응기는 캘리포니아 산타 클라라의 Applied Materials사로부터 이용가능하다.

<25> 일실시예에서, 단계(106)는 약 750-850 ℃의 기판 온도 및 약 0.1-50 Torr의 반응 챔버의 압력을 유지시키면서, 약 0.5-10 slm로 산소(O_2)를 제공함으로써 층(206)을 성장시키기 위하여 RTP 반응기를 사용하여 수행될 수 있다. 프로세스의 기간은 약 5-30초일 수 있다. 일실시예에서, 약 800 ℃의 온도 및 약 2 Torr의 압력을 유지

시키면서, 약 2 slm의 O_2가 제공된다.

<26> 다른 실시예에서, 층(206)은 약 700-850 ℃의 기판 온도를 유지시키면서, 약 1-10 slm의 속도로 산화질소(N_2O)를, 약 10-500 sccm의 속도로 수소(H_2)를 제공함으로써(즉, 약 2:1 - 1000:1 범위의 N_2O:H_2 흐름 비율) RTP 반응기에서 성장될 수 있다. 추가로, 단계(106)는 약 0.5-20 Torr에서 반응 챔버의 압력을 유지시킨다. 프로세스의 기간은 약 5-60초일 수 있다. 하나의 특정 프로세스 레시피는 약 800 ℃의 온도에서 약 4.9 slm의 속도로 N_2O를, 약 50 sccm의 속도로 H_2를(즉, 약 98:1의 N_2O:H_2 흐름 비율) 제공한다.

<27> 다른 실시예에서, 단계(106)는 DPO 챔버와 같은 저-에너지 플라즈마를 생성하기에 적합한 프로세스 챔버를 사용하여 수행될 수 있다. 플라즈마의 저 에너지는 기판 및/또는 층의 표면에서 반응을 제어하는 것을 돕는다. 예를 들어, 플라즈마는 다른 플라즈마 소스들 중에서도 특히, 유사-원격 플라즈마 소스, 유도적 플라즈마 소스, 및/또는 RLSA 소스를 사용하여 생성될 수 있다. 대안적인 실시예들에서, RLSA 마이크로파 소스들 또는 자석과 같은 CW 및/또는 펄스형 마이크로파 전력의 소스들이 층(206)을 형성하는데 사용될 수 있다.

<28> 일실시예에서, 층(206)은 산소(O_2), 산화질소(NO), 또는 아산화질소(N_2O) 및 기타 같은 종류의 것들 중 적어도 하나를 포함하는 플라즈마에 기판(200)을 노출시킴으로써 DPO 반응기에서 성장될 수 있다. 또한, 플라즈마는 질소(N_2) 및/또는 선택적 비활성 가스(예를 들어, 아르곤(Ar), 헬륨(He) 등)를 선택가능하게 포함할 수 있다.

<29> 일실시예에서, 층(206)은 약 10-2000 sccm으로, 약 20-500 ℃의 기판 페데스탈 온도, 및 약 5-1000 mTorr의 반응 챔버의 압력에서 산소(O_2)를 제공함으로써 DPO 반응기를 사용하여 형성될 수 있다. 무선 주파수(RF) 플라즈마는 예를 들어, 13.56 MHz에서 약 3-5 kW에 달하는 지속파(CW) 또는 펄스형 플라즈마 전력 소스를 사용하여 전압 공급된다. 펄싱(pulsing) 동안에, 피크 RF 전력은 약 10-3000 W의 범위에 있을 수 있으며, 주파수는 약 2-100 kHz의 범위에 있을 수 있고, 듀티 사이클은 약 2-50 %의 범위에 있을 수 있다. 이러한 프로세스는 약 1-180초 동안 수행될 수 있다. 일실시예에서, O_2가 약 200 sccm로 제공되고, 약 500 W의 피크 RF 전력이 유도 플라즈마 소스에 인가된 약 5%의 듀티 사이클로 약 10 kHz에서, 약 25 ℃의 온도 및 약 40-80 mTorr의 압력에서, 약 15-60초 동안 펄스화된다.

<30> 추가의 실시예에서, 열적 실리콘 산화물층(206)은 도 4를 참조로 하여 개시된 바와 같이 PE-CVD 챔버를 사용하여 증착될 수 있다. 산소(O_2), 산화질소(NO), 또는 아산화질소(N_2O) 등이 상부 가스 주입기(435)를 통해 주입되는 반면, 실란(SiH_4)이 하부 가스 주입기를 통해 주입된다. 본 명세서에 개시된 실시예들과 다른 실리콘 소스가 대안적으로 사용될 수 있다. 상부 가스 주입기(435)를 통해 주입되는 가스들은 유도적으로 결합된 플라즈마를 통해 여기될 수 있다. 산소는 예를 들어, 13.56 MHz에서 무선 주파수(RF) 플라즈마에 의해 여기된다. 플라즈마 소스는 펄스형 모드 또는 CW 모드에서 작동될 수 있다. 펄스형 RF 플라즈마가 인가되는 경우에, 피크 전력은 10 내지 3000 와트의 범위에 있을 수 있다. CW 모드 플라즈마가 인가되는 경우에, 피크 전력은 10 W 내지 1000 W의 범위에 있을 수 있다.

<31> 층(206)은 약 10-2000 sccm으로, 약 20 ℃ 내지 500 ℃의 페데스탈 온도, 및 1 내지 50 mTorr의 챔버의 압력에서 산소를 제공함으로써 성장될 수 있다.

<32> 선택가능한 단계(107)에서, 산화물층(206)이 질화될 수 있다. 층(206)은 예를 들어, 플라즈마 프로세스에서 또는 열적 프로세스에서 질화될 수 있다. 도식적으로, 단계(107)는 층(206)의 상부에서 질화된 물질의 서브-층(207)을 형성한다(도 2c). 질화된 서브-층(207)의 두께는 통상적으로 약 0.5-5 옹스트롬, 바람직하게는 약 1-3 옹스트롬의 범위에서 형성된다.

<33> 일실시예에서, 층(206)은 질소-포함 플라즈마에 노출된다. 일실시예에서, 플라즈마는 질소(N_2)를 포함하고, 선택가능하게 하나 이상의 비활성 가스들(예를 들어, 아르곤(Ar), 헬륨(He), 및 이와 유사한 종류의 다른 것들)을 포함할 수 있다. 단계(107)는 예를 들어, 통합 프로세싱 시스템(300)의 분리된 플라즈마 질화(DPN) 플라즈마 반응기를 사용하여 수행될 수 있다.

<34> 일실시예에서, 서브-층(207)은 약 1-2000 sccm으로, 약 20-500 ℃의 기판 페데스탈 온도, 및 약 5-1000 mTorr의 반응 챔버의 압력에서 질소(N_2)를 제공함으로써 DPN 반응기를 사용하여 형성될 수 있다. 무선 주파수(RF) 플라즈마는 약 3-5 kW에 달하는 지속파(CW) 또는 펄스형 플라즈마 전력 소스를 사용하여 예를 들어, 13.56 MHz에서 전압이 공급된다. 펄싱 동안에, 피크 RF 전력, 주파수 및 듀티 사이클은 통상적으로 각각 약 10-3000 W,

약 2-100 kHz, 및 약 2-50 %의 범위에서 선택된다. 이러한 프로세스는 약 1-180초 동안 수행될 수 있다. 일실시예에서, N_2가 약 200 sccm으로 제공되고, 약 1000W의 피크 RF 전력이 유도성 플라즈마 소스에 인가된 약 5 %의 듀티 사이클을 갖는 약 10 kHz에서, 그리고 약 25 ℃의 온도 및 약 40-80 mTorr의 압력에서 약 15-60초 동안 펄스화된다. 플라즈마는 다른 플라즈마 소스들 중에서도 특히, 유사-원격 플라즈마 소스, 유도성 플라즈마 소스, 및 방사상 라인 슬로티드 안테나(RLSA: radial line slotted antenna) 소스를 사용하여 생성될 수 있다. 대안적인 실시예들에서, CW 및/또는 펄스형 마이크로파 전력의 소스들은 서브-층(207)을 형성하기 위해 사용될 수 있다.

<35> 선택가능한 단계(107)에서, 열적 산화물층(206)은 또한 질화된 물질의 서브-층(207)을 형성하기 위하여 RTP 반응기내의 고온에서 암모니아(NH_3) 가스, 또는 NH_3와 N_2의 혼합물, 또는 헬륨, 아르곤 등과 같은 하나 이상의 비활성 가스에 노출됨으로써 열적으로 질화될 수 있다.

<36> 일실시예에서, 서브-층(207)은 700 ℃-1000 ℃의 기판 온도 및 약 0.1-10 Torr의 반응기 챔버의 압력을 유지시키면서, 5 내지1000 sccm으로 암모니아(NH_3) 가스를 제공함으로써 RTP 반응기를 사용하여 형성될 수 있다. 프로세스의 기간은 약 5-120초일 수 있다. 일실시예에서, NH_3는 15초의 시간 동안 약 800 ℃의 온도 및 0.3 Torr의 압력을 유지시키면서, 100 sccm으로 제공된다. 선택가능하게, 배치 퍼니스들이 서브-층(207)을 형성하는데 사용될 수 있다.

<37> 단계(108)에서, 게이트 유전체층(208)이 열적 산화물층(206) 위에 증착된다(도 2d). 층(208)은 실리콘 질화물(Si_3N_4)로부터 약 2-20 옹스트롬의 두께로 형성될 수 있으며, 또는, 하프늄 산화물(HfO_2), 하프늄 규산염($HfSi_xO_y$과 같은, 여기서 x 및 y는 정수) 및 이와 유사한 종류의 다른 것들 또는 그들의 결합물과 같은 높은-k 물질로부터 약 10-60 옹스트롬의 두께로 형성될 수 있다. 단계(108)는 예를 들어, CVD반응기 또는 ALD 반응기와 같은 통합 프로세싱 시스템(300)의 원자층 증착(ALD) 반응기, 또는 화학 기상 증착(CVD) 반응기를 사용하여 수행될 수 있다. 하나의 적절한 CVD 반응기로는 Applied Materials사로부터 이용가능한 XGen CVD 반응기를 들 수 있다.

<38> 일실시예에서, CVD반응기를 사용하여, 게이트 유전체층(208)은 실리콘 질화물(Si_3N_4)을 포함할 수 있으며, 약 400-750℃의 기판 페데스탈 온도 및 약 0.1-50 Torr의 반응 챔버의 압력을 유지시키면서, 약 100-1000 sccm으로 암모니아(NH_3)를, 약 1-100 sccm으로 실란(SiH_4)을(즉, 1:1 내지 1000:1 범위의 NH_3:SiH_4 흐름 비율), 그리고 약 10-1000 sccm으로 질소(N_2)를 제공함으로써 형성될 수 있다. 이러한 프로세스는 약 30-180초 동안 수행될 수 있다. 일실시예에서, 약 600 ℃의 온도 및 챔버의 약 5 Torr의 압력을 유지시키면서, NH_3는 약 500 Torr에서, SiH_4는 약 10 sccm으로(즉, 약 50:1의 NH_3:SiH_4 흐름 비율), 그리고 N_2는 약 25 sccm으로 제공된다. 디실란(Si_2H_6), 디클로로실란(DCS), 트리클로로실란(TCS), 테트라클로르실란(TCS) 또는 헥사클로로디실란(HCD)과 같은 실란(SiH_4)을 대신하여 다른 실리콘 소스 가스 또는 화학 약품이 사용될 수 있다.

<39> 다른 실시예에서, 게이트 유전체층(208)은 하프늄 산화물 또는 하프늄 규산염을 포함할 수 있으며, CVD 또는 ALO 프로세스를 사용하여 증착될 수 있다. 하프늄 산화물 또는 하프늄 규산염 게이트 유전체층(208)은 오존, 물, 또는 원격 플라즈마 산소 래디컬(radical)들 중 적어도 하나를 포함하는 산화제로 하프늄 및 실리콘의 금속-유기 또는 무기 선구물질들을 사용하여 형성될 수 있다.

<40> 일실시예에서, 실리콘 질화물(Si_3N_4)로 형성된 유전체층이 도 4와 관련하여 개시된 바와 같이 PE-CVD 챔버에서 증착된다. 암모니아(NH_3) 및/또는 질소(N_2)가 상부 가스 주입기를 통해 주입되는 반면, 실란(SiH_4)은 하부 가스 주입기를 통해 주입된다. 일실시예에 따라, NH_3는 약 100-1000 sccm으로 주입되고, 실란은 약 1-100 sccm으로 주입되는데, 즉, 1:1 내지 1000:1의 범위의 유량 비율로 주입된다. 또한, N_2는 10-1000 sccm의 유량으로 주입될 수 있다. 페데스탈은 약 400 내지 약 750 ℃의 온도에서 유지되며, 반응기 챔버의 압력은 약 1 mTorr 내지 50 mTorr, 통상적으로 약 1 mTorr 내지 20 mTorr에서 유지된다. 본 명세서에 개시된 실시예에서와 다른 실리콘 소스가 대안적으로 사용될 수 있다.

<41> NH_3 및/또는 N_2는 유도적으로 결합된 플라즈마에 의해 여기된다. 암모니아 및/또는 질소는 예를 들어, 13.56 MHz에서 무선 주파수(RF)에 의해 여기된다. 플라즈마 소스는 펄스형 모드 또는 CW 모드로 작동될 수 있다. 펄

스형 RF 플라즈마가 인가되는 경우에, 피크 전력은 10 내지 3000 와트의 범위에 있을 수 있다. CW 모드 플라즈마가 인가되는 경우에, 피크 전력은 10 W 내지 1000 W의 범위에 있을 수 있다.

<42> 단계(110)에서, 게이트 유전체층(208)은 산소-포함 플라즈마로의 노출에 의해 산화된다. 도식적으로, 단계(110)는 층(208)의 상부에 산화된 물질의 서브-층(210)을 형성한다(도 2e). 산화된 서브-층(210)의 두께는 통상적으로 약 0.2-10 옹스트롬, 바람직하게는 약 0.5-5 옹스트롬의 범위에서 선택된다.

<43> 일실시예에서, 플라즈마는 선택가능한 질소(N_2) 및/또는 선택가능한 비활성 가스(예를 들어, 아르곤(Ar), 헬륨(He) 등)를 포함할 수 있을 뿐 아니라, 적어도 산소(O_2), 산화질소(NO), 아산화질소(N_2O) 및 이와 유사한 것들 중 적어도 하나를 포함한다. 단계(110)는 저-에너지 플라즈마를 생성하기에 적합한 프로세스 챔버를 사용하여 수행될 수 있다. 플라즈마의 저 에너지는 기판 및/또는 층의 표면에서의 반으을 제어하는 것을 돕는다. 예를 들어, 플라즈마는 다른 플라즈마 소스들 중에서도 특히, 유사-원격 플라즈마 소스, 유도성 플라즈마 소스 및/또는 RLSA 소스를 사용하여 생성될 수 있다. 대안적인 실시예들에서, 자석 또는 RLSA 마이크로파 소스들과 같은 CW 및/또는 펄스형 마이크로파 전력의 소스들은 서브-층(210)을 형성하는데 사용될 수 있다. 일실시예에서, 단계(110)는 예를 들어, 통합 프로세싱 시스템(300)의 DPN 플라즈마 반응기를 사용하여 수행될 수 있다.

<44> 서브-층(210)은 약 10-2000 sccm으로 산소(O_2)를 제공함으로써 형성될 수 있다. 산소는 선택가능하게 N_2 및/또는 He 및/또는 Ar과 혼합될 수 있다. 기판 페데스탈 온도는 약 20-500℃에서 유지되고, 반응 챔버의 압력은 약 5-1000 mTorr일 수 있다. 무선 주파수(RF) 플라즈마는 약 3-5 kW에 달하는 지속파(CW) 또는 펄스형 플라즈마 전력 소스를 사용하여 약 13.56 MHz에서 전압 공급된다. 펄싱 동안에, 피크 RF 전력, 주파수, 및 듀티 사이클은 통상적으로, 각각 약 10-3000 W, 약 2-100 kHz, 및 약 2-50 % 범위에서 선택된다. 산화 프로세스는 약 1-180초 동안 수행될 수 있다. 일실시예에서, O_2는 약 200 sccm으로, 유도성 플라즈마 소스에 인가되는 약 5%의 듀티 사이클을 갖는 약 10 kHz에서 펄스화된 약 1000 W의 피크 RF 전력으로, 약 25℃의 온도 및 약 40 mTorr의 압력에서 약 30초 동안 제공된다.

<45> 일실시예에서, 게이트 유전체층에 부가적으로 또는 대안적으로, 실리콘 산화물층은 실리콘 질화물 유전체층(208)상에 성장된다. 열적 실리콘 산화물층은 도 4와 관련하여 개시된 바와 같이, PE-CVD 챔버를 사용하여 증착된다. 산소(O_2), 산화질소(NO), 아산화질소(N_2O) 또는 이와 유사한 다른 것들은 유도적으로 결합된 플라즈마에 의해 여기되고, 가스는 상부 가스 주입부로부터 주입되는 한편, 실리콘 소스(예를 들어, 실란)는 하부 가스 주입부에 의해 제공된다. 본 명세서에 개시된 실시예들에서와 다른 실리콘 소스가 대안적으로 사용될 수 있다. 플라즈마 소스는 펄스형 모드 또는 CW 모드에서 작동될 수 있다. 실리콘 질화물층의 최상부상의 실리콘 산화물층은 2-20 옹스트롬 범위의 두께로 증착되며, 약 10-2000 sccm으로, 약 20 ℃ 내지 500 ℃의 페데스탈 온도 및 1 내지 50 mTorr의 챔버의 압력에서 산소를 제공함으로써 성장될 수 있다. 산소는 예를 들어, 13.56 MHz에서 무선 주파수(RF) 플라즈마에 의해 여기된다. 펄스형 RF 플라즈마가 인가되는 경우에, 피크 전력은 10 내지 3000 와트의 범위에 있을 수 있다. CW 모드 플라즈마가 인가되는 경우에, 피크 전력은 10 W 내지 1000 W의 범위에 있을 수 있다.

<46> PE-CVD 챔버에서 수행되고 있는 단계들(106, 108, 110)과 관련된 실시예들에 따라, 도 4에서 개시된 실시예와 같이, SiO_2, Si_3N_4, 및 SiO_2의 적층물이 동일한 챔버에 증착될 수 있다. 적층물에서 층들을 증착하는 단계들은 선택가능하게 플라즈마 보조를 이용하여 수행될 수 있다. 플라즈마 강화 프로세스는 더 낮은 기판 온도를 허용한다.

<47> 낮은 압력들에 대한 배기 유닛, 플라즈마 소스(410), 및 하부 챔버 몸체(420)를 포함하는 챔버 장치(arrangement)는 SiO_2, Si_3N_4, 및 SiO_2로 형성된 게이트 유전체 적층물이 열적으로 증착될 수 있도록 얇은 층들의 성장을 허용한다.

<48> 단계(112)에서, 게이트 유전체층(208) 및 층(206)과 기판(200) 사이의 산화물/실리콘 인터페이스는 어닐링된다. 단계(112)는 층들(206 및 210)의 노출 전류 감소를 강화하고, 산화물/실리콘 인터페이스의 신뢰성을 강화시킬 뿐 아니라, 채널 영역(226)(도 2a에 도시됨)에서 전하 캐리어들의 이동력을 증가시킨다. 단계(112)는 단일 기판 또는 배치 퍼니스, 또는 통합 프로세싱 시스템(300)의 RTP(예를 들어, RADIANCE® 또는 RTP XE+) 반응기와 같은 적절한 열적 어닐링 챔버를 사용하여 수행될 수 있다.

<49> 일실시예에서, 단계(112)의 어닐링 프로세스는 약 800-1100℃의 기판 표면 온도 및 약 0.1-50 Torr의 반응 챔버

의 압력을 유지시키면서, 약 2-5000 sccm의 산소(O_2) 및 약 100-5000 sccm의 산화질소(NO) 중 적어도 하나를 제공함으로써 수행될 수 있으며, 둘 중 한 가스는 선택가능하게 질소(N_2)와 혼합된다. 프로세스는 약 5-180초 동안 수행될 수 있다. 일실시예에서, 약 15초의 기간 동안 약 1000 ℃의 온도 및 약 0.1 Torr의 압력으로 챔버를 유지시키면서, 산소(O_2)가 약 500 sccm으로 제공된다. 다른 실시예에서, 약 15초의 기간 동안 약 1000 ℃의 온도 및 약 0.5 Torr의 압력으로 챔버를 유지시키면서, NO가 약 500 sccm으로 제공된다.

<50> 단계(112)의 완료시, 단계(114)에서 방법(100)이 종료된다. 집적 회로들의 제조에서, 방법(100)은 바람직하게는 누출 전류들에 대한 높은 저항력 경로들을 나타내는 초박 게이트 유전체들을 형성하고, 전계 효과 트랜지스터들의 채널 영역들에서 전하 캐리어들의 높은 이동력을 용이하게 한다.

<51> 도 3은 도 1의 방법(100)의 일부를 실행하는데 사용될 수 있는 종류의 예시적인 CENTURA® 통합 반도체 기판 프로세싱 시스템(예를 들어, 클러스터 툴)(300)의 개략적인 도면을 도시한다. 시스템(300)의 특정한 실시예는 단지 도식적인 것이며, 본 발명의 범위를 제한하는데 사용되어서는 안 된다. 방법(100)은 다른 반도체 기판 프로세싱 시스템들 및/또는 프로세싱 반응기들을 사용하여 실행될 수 있다.

<52> 통합 프로세싱 시스템(300)은 일반적으로 진공 로드-록 챔버들(322), 기판 저장소(334)가 공급되는 로봇(330)을 갖는 타이트한 진공 플레넘(vacuum-tight plenum)(328), 플레넘(328)에 결합되는 프로세스 모듈들(310, 312, 314, 316 및 318), 입력/출력 모듈(302), 선택가능한 계측 모듈(326), 및 시스템 제어기(340)를 포함한다. 로드-록 챔버(322)는 기판 카세트들을 위한 도킹(docking) 스테이션들로서 사용되며, 대기 오염물질로부터 플레넘(328)을 보호한다. 로봇(330)은 로드-록 챔버들과 프로세스 모듈들 사이에서 기판을 이송한다. 로봇(330)의 도시된 실시예는 예시적인 것이며, 본 발명의 범위를 제한해서는 안 된다. 입력/출력 모듈(302)은 공장 인터페이스(324), 계측 모듈(326), 및 로드-록 챔버들(322) 사이에서 기판 카세트들의 교환을 용이하게 하는 적어도 하나의 전면 개구 단일화 포드(FOUP: front opening unified pod)(306)를 포함한다.

<53> 시스템 제어기(340)는 일반적으로 중앙 프로세싱 유닛(CPU)(342), 메모리344), 및 지원 회로들(346)을 포함하며, 시스템(300)의 성능을 최적화시키기 위하여 개별 모듈들로부터의 데이터 수집 및 피드백을 가능하게 할 뿐 아니라, 통합 프로세싱 시스템(300)의 장치 및 모듈들을 제어한다. 작동시, 제어기(340)는 시스템(300)의 장치 및 모듈들의 직접 제어를 사용하며, 대안적으로, 이러한 모듈들 및 장치들과 연관된 컴퓨터들(또는 제어기들)을 관리한다.

<54> 프로세싱 모듈들(310, 312, 314, 316, 및 318) 중 적어도 하나는 RTP 반응기(예를 들어, RADIANCE® 반응기), PECVD 반응기, CVD 반응기(예를 들어, XGen 반응기), ALD 반응기, DPN 반응기, 및/또는 도 1을 참조로 상기 개시된 프로세스들을 수행하는데 적합한 다른 반응기일 수 있다. 본 발명에 따른 프로세스들을 수행하기 위한 시스템(300)의 가능한 구성의 일실시예는 두 개의 로드-록 챔버들(322), 두 개의 RTP 모듈들(310 및 312), ALD 모듈(314), CVD 모듈(316), DPN 모듈(318), 측정 툴(304) 및 로봇들(308 및 320)을 포함하는 계측 모듈(326), 및 두 개의 FOUP들(306)을 갖는 입력/출력 모듈(302)을 포함한다. 시스템(300)의 다른 구성들이 또한 본 명세서에 개시된 발명을 실행하는데 이용될 수 있다는 것을 인지해야 한다.

<55> 도 4는 예시적인 PE-CVD 챔버(400)의 개략적인 도면을 도시한다. 분리된 플라즈마 질화(DPN) 플라즈마 소스(410)가 하부 챔버 몸체(420)의 프로세싱 영역(402) 위에 제공된다. 챔버 벽들(422)은 프로세싱 영역(402)을 둘러싼다. 기판(401)은 페데스탈(424)상에 위치된다. 페데스탈(424)은 페데스탈의 듀얼 존 히터(dual zone heater)를 위한 접속부들을 포함하는 스템(stem)(450)을 갖는다. 듀얼 존 히터 페데스탈에 관련된 세부 사항들은 2001년 10월 19일자로 출원된, 미국 특허 제 6,646,235호에 보다 상세히 개시되며, 이는 본 명세서에 참조로서 통합된다.

<56> 코일(412)은 플라즈마 소스의 돔의 상부벽의 수직 축 주변에 나선형으로 상승한다. 코일(412)은 전극 플레이트(18) 위에 위치되며, 돔 형태에 따른다. 코일(412)의 한 단부는 RF 소스(462)에 접속되며, 코일의 다른 단부는 접지에 접속된다. 일실시예에 따라, RF 매치 회로(464)는 RF 소스(462)와 코일(412) 사이에 제공될 수 있다.

<57> RF 소스(462)는 예를 들어, 13.56 MHz의 주파수에서 코일(412)에 RF 전류를 제공하도록 작동될 수 있다. 0 내지 3000 와트의 전력이 인가될 수 있다. RF 전계는 가스 주입부(435)에 주입되는 질소 가스 또는 산소 가스와 결합된다. 가스 주입부(435)는 N_2, NH_3, 또는 이와 유사한 다른 것들을 주입할 수 있다. 추가로, 가스 주입부(435)는 산화물이 성장되는 경우에, 산소(O_2), 산화질소(NO), 아산화질소(N_2O)를 주입할 수 있다. RF 소스

(462)는 펄스형 모드 또는 CW 모드에서 작동될 수 있다.

<58> 가스 주입부(435)에 의해 주입되고 RF 플라즈마에 의해 이온화되는 가스, 및 증착 가스 주입부(430)에 의해 주입되는 증착 가스는 기판상의 층의 열적 증착을 위해 가열된 웨이퍼 표면 및/또는 프로세싱 영역(402)에서 반응한다.

<59> 터보 펌프(440)는 밸브(442) 및 가스 배기관(443)을 통해 챔버 몸체(420)에 접속된다. 일실시예에서, 밸브(442)는 쓰로틀(throttle) 밸브일 수 있다. 터보 펌프(440)는 기판(401)상의 원하는 성장 조건들에 적절한 레벨로 챔버의 압력을 감소시킬 수 있다. 프로세싱 영역의 압력은 일실시예에 따라, 약 30 mTorr 미만으로, 통상적으로는 약 1 mTorr 내지 약 20 mTorr로 제어된다.

<60> 상기 개시된 실시예들은 예를 들어, 질소(N_2), 암모니아(NH_3), 산소(O_2), 산화질소(NO) 또는 아산화질소(N_2O)가 여기되는 실리콘의 성장을 허용한다. 질소 및/또는 NH_3는 실리콘 질화물층을 증착하는데 사용된다. O_2, NO, 및/또는 N_2O가 실리콘 산화물층을 증착하는데 사용된다. 상부 가스 주입부(435)로부터 주입되는 가스들은 실리콘 소스와 혼합되기 이전에, 펄스형 RF 유도 소스로 여기될 수 있다. 따라서, 플라즈마 강화 CVD는 더 낮은 웨이퍼 온도에서 수행될 수 있다.

<61> 추가의 실시예들을 형성하기 위하여 챔버(400)에 포함될 수 있는 챔버의 추가의 세부 사항들은 2003년 6월 12일자로 출원된 미국 특허 제6,831,021호에 보다 상세히 개시되며, 그 모든 내용은 본 명세서에 참조로서 통합된다.

<62> 본 발명은 본 발명의 정신을 벗어나지 않고 본 명세서에 개시된 이론들을 이용함으로써 파라미터들이 본 기술분야의 당업자들에 의해 수용가능한 특성들을 달성하도록 조정될 수 있는 다른 프로세스들을 사용하여 실행될 수 있다. 전술된 논의들은 전계 효과 트랜지스터의 제조를 참조하였으나, 집적 회로들에서 사용되는 다른 디바이스들 및 구좀루들의 제조 또한 본 발명으로부터 이익을 얻을 수 있다.

<63> 전술한 내용은 본 발명의 실시예들에 관한 것으로서, 본 발명의 다른 그리고 추가의 실시예들이 본 발명의 기본적인 범위를 벗어나지 않고 고안될 수 있으며, 그 범위는 하기의 청구항들에 의해 결정된다.

도면의 간단한 설명

<11> 도 1은 본 발명의 일실시예에 따른 전계 효과 트랜지스터의 게이트 유전체를 제조하는 방법을 설명하는 흐름도를 도시한다.

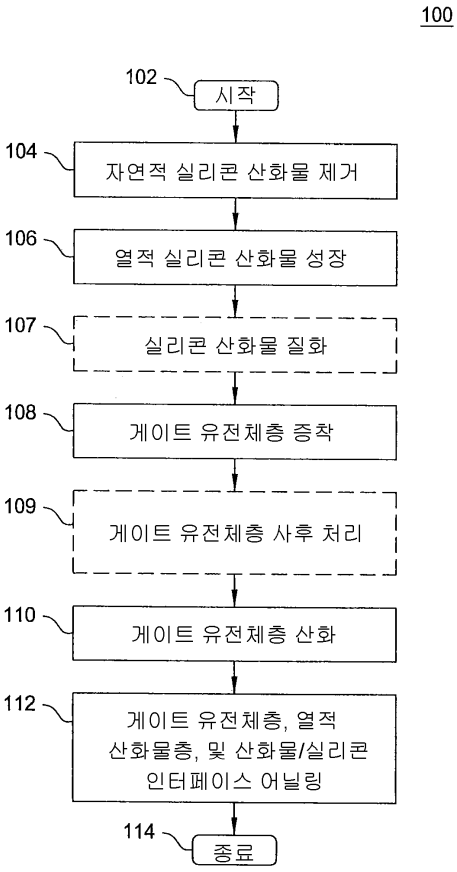
<12> 도 2a-2e는 도 1의 방법에 따라 게이트 구조물이 제조되는 기판의 일련의 개략적인 횡단면도들을 함께 도시한다.

<13> 도 3은 본 발명의 부분들을 실행하는데 사용될 수 있는 종류의 예시적인 통합 반도체 기판 프로세싱 시스템의 개략적인 도면을 도시한다.

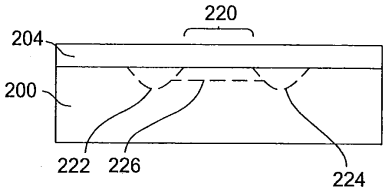
<14> 도 4는 본 발명의 부분들을 실행하는데 사용될 수 있는 종류의 예시적인 통합 반도체 기판 프로세싱 챔버의 개략적인 도면을 도시한다.

도면

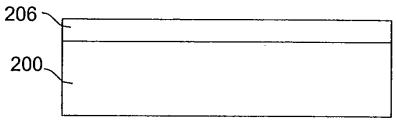
도면1



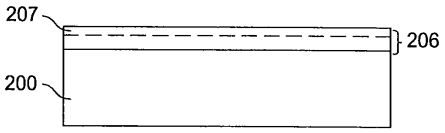
도면2A



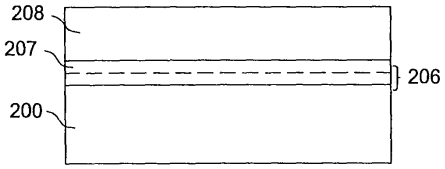
도면2B



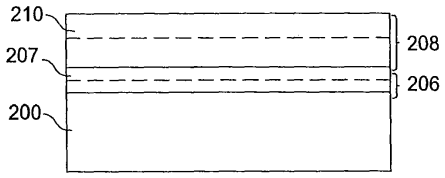
도면2C



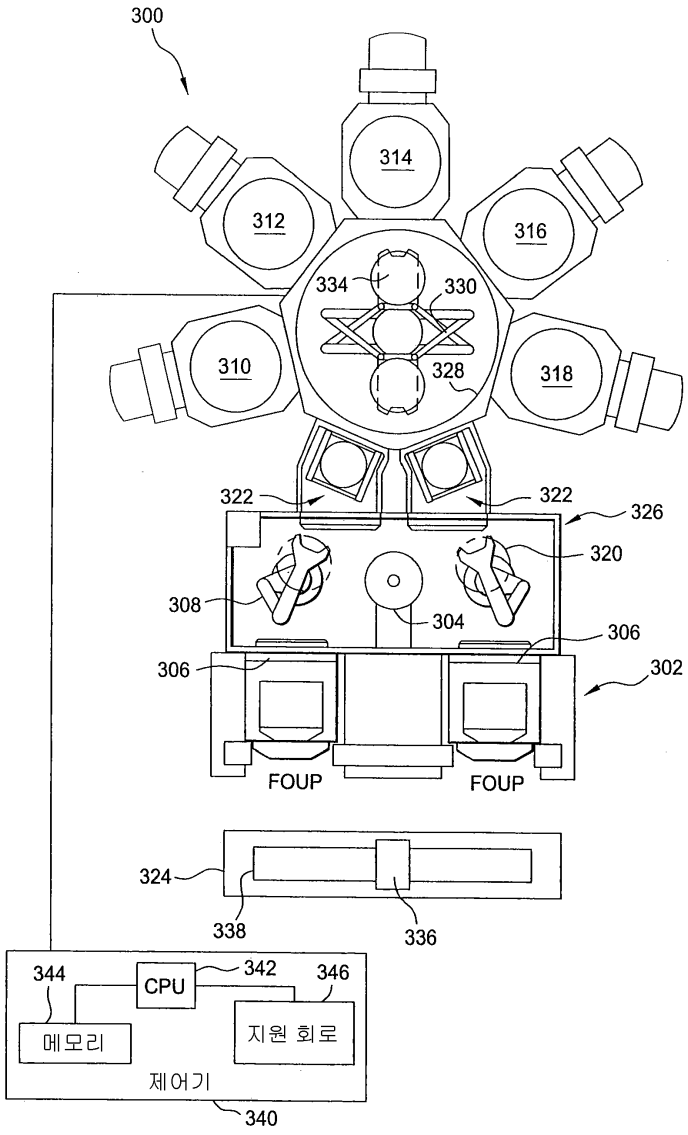
도면2D



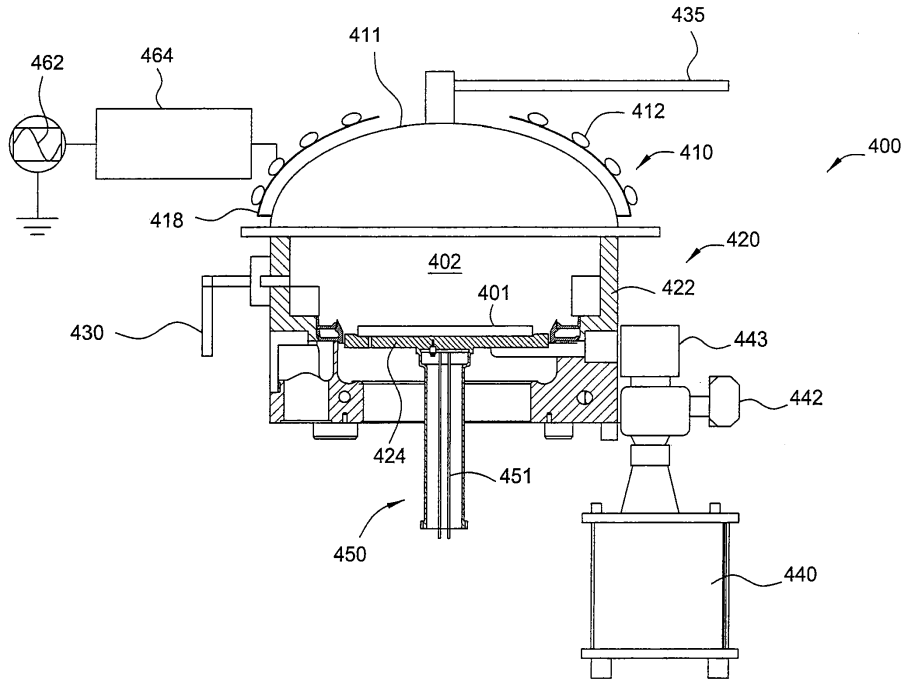
도면2E



도면3


300
314
312
316
334
330
310
328
318
322
322
326
320
308
304
306
306
302
FOUP
FOUP
324
338
336
344
CPU
342
346
메모리
지원 회로
제어기
340

도면4


435
411
462
464
412
410
400
418
420
402
422
401
430
443
442
424
451
450
440