

[19] 中华人民共和国国家知识产权局

[51] Int. Cl.

H01L 21/336 (2006.01)

H01L 29/78 (2006.01)



[12] 发明专利说明书

专利号 ZL 200610077821.0

[45] 授权公告日 2009年7月29日

[11] 授权公告号 CN 100521118C

[22] 申请日 1994.10.20

[21] 申请号 200610077821.0

分案原申请号 200310103678.4

[30] 优先权

[32] 1993.10.20 [33] JP [31] 285990/1993

[73] 专利权人 株式会社半导体能源研究所

地址 日本神奈川县厚木市

[72] 发明人 小沼利光 广木正明 张宏勇

山本睦夫 竹村保彦

[56] 参考文献

CN1073300A 1993.6.16

CN1073806A 1993.6.30

US4439245 1984.3.27

审查员 张剑铭

[74] 专利代理机构 中国专利代理(香港)有限公司

代理人 陈景峻

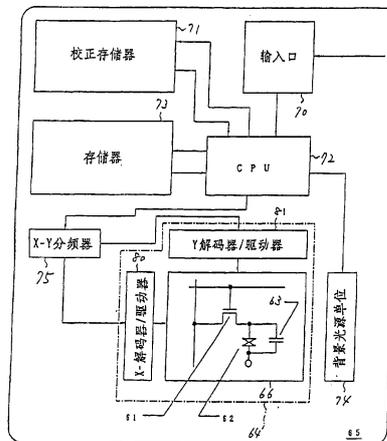
权利要求书2页 说明书20页 附图6页

[54] 发明名称

显示器件

[57] 摘要

在一半导体集成电路中，在具有绝缘表面的同一基片上形成多个薄膜晶体管(TFT)。由于形成在TFT中的栅极相互电绝缘，所以阳极氧化期间在电解液中独立地向栅极施加电压，至少在每个栅极的两侧形成阳极氧化层。根据TFT的特性改变阳极氧化厚度。利用具有所期望厚度的阳极氧化层作为掩模，通过离子掺杂改变在每个TFT的有源层中形成的高阻区宽度。



1. 一种制造半导体器件的方法，包括：

在衬底上形成包括第一栅电极、第一源区和漏区以及位于所述第一源区和漏区与所述第一栅电极之间的第一高阻区的第一薄膜晶体管，所述第一高阻区具有比所述第一源区和漏区高的阻抗；

形成包括第二栅电极、第二源区和漏区以及位于所述第二源区和漏区与所述第二栅电极之间的具有比所述第二源区和漏区高的阻抗的第二高阻区的第二薄膜晶体管，使得所述第二薄膜晶体管中所述源区和漏区之间的方向的所述第二高阻区的宽度不同于所述第一薄膜晶体管中所述源区和漏区之间的方向的所述第一高阻区的宽度；

在所述第一源区和漏区以及所述第二源区和漏区上形成镍膜；以及

通过加热使所述镍膜与所述第一源区和漏区以及所述第二源区和漏区反应，形成硅化镍。

2. 根据权利要求1的方法，其中，所述第一源区和漏区以及所述第一高阻区是同时形成的。

3. 一种制造半导体器件的方法，包括：

在衬底上形成包括第一栅电极、第一源区和漏区以及位于所述第一源区和漏区与所述第一栅电极之间的第一高阻区的第一薄膜晶体管，所述第一高阻区具有比所述第一源区和漏区高的阻抗；

形成包括第二栅电极、第二源区和漏区以及位于所述第二源区和漏区与所述第二栅电极之间的具有比所述第二源区和漏区高的阻抗的第二高阻区的第二薄膜晶体管，使得所述第二薄膜晶体管中所述源区和漏区之间的方向的所述第二高阻区的宽度不同于所述第一薄膜晶体管中所述源区和漏区之间的方向的所述第一高阻区的宽度；

在所述第一源区和漏区以及所述第二源区和漏区上形成镍膜；以及

通过用激光照射使所述镍膜与所述第一源区和漏区以及所述第二源区和漏区反应，形成硅化镍。

4. 根据权利要求3的方法，其中，所述第一源区和漏区以及所述第一高阻区是同时形成的。

5. 一种半导体器件，包括：

在衬底上的第一薄膜晶体管，包括第一栅电极、第一源区和漏区以及位于所述第一源区和漏区与所述第一栅电极之间的第一高阻区，所述第一高阻区具有比所述第一源区和漏区高的阻抗；

第二薄膜晶体管，包括第二栅电极、第二源区和漏区以及位于所述第二源区和漏区与所述第二栅电极之间的第二高阻区，所述第二高阻区具有比所述第二源区和漏区高的阻抗；

在所述第一源区和漏区以及所述第二源区和漏区上的镍膜，

其中，所述第一源区和漏区包括硅化镍；以及

其中，所述第二薄膜晶体管中所述源区和漏区之间的方向的第二高阻区的宽度不同于所述第一薄膜晶体管中所述源区和漏区之间的方向的第一高阻区的宽度。

显示器件

技术领域

本发明涉及一种薄膜状集成电路，该电路包括多个形成在绝缘表面上的薄膜绝缘栅半导体器件如薄膜晶体管（TFT），还涉及制造集成电路的方法。根据本发明的半导体器件可以用于诸如液晶显示的电-光器件的有源矩阵电路，用于图象传感器的驱动电路，SOI 集成电路以及传统的半导体集成电路（如微处理器、微控制器、微型计算机、半导体存储器等）。更具体地讲，本发明涉有一种单片式薄膜集成电路，它包括在同一基片上形成的有源矩阵电路和驱动该电路的驱动器，或是在同一基片上形成的存储器和 CPU，并涉及制造单片式薄膜集成电路的方法。

背景技术

近年来，对在绝缘基片或绝缘表面上制造绝缘栅半导体器件（MISFET）的方法进行了研究。通过厚的绝缘膜把绝缘表面与半导体表面绝缘开来。其中半导体层（有源层）为薄膜状的半导体器件被称为薄膜晶体管（TFT）。由于很难获得与单晶半导体的结晶性相对应的良好的结晶性，因此，通常采用非单晶半导体。

这种非单晶半导体在性能上要比单晶半导体低劣。特别是，当在栅电极施加反向电压（对 N 沟道 TFT 是负电压，对 P 沟道 TFT 是正电压）时，源与漏之间的泄漏电流增大，TFT 的迁移率下降。因此，必须在源/漏区与栅极之间形成本征的或 P-或 N-型高阻区。

例如，在形成高阻区的情形，通过阳极化或其它方法至少使栅

绝缘膜的侧表面氧化，并且通过自对准用氧化物或者其微量进行掺杂。按此方式，可获得具有均匀宽度的高阻区。

然而，这种高阻区还起到以串联方式插入源极与漏极之间的电阻器的作用。所以，在同一绝缘表面上形成具有不同性能的 TFT 时就会产生问题。在需要高速工作时，这些区是不必要的。对于有源矩阵电路和驱动该有源矩阵电路的驱动器均形成于同一基片上的单片式电路，最好有源矩阵电路具有低的泄漏电流。所以，期望 TFT 具有宽的高阻区。另一方面，驱动器需要工作在高速状态下。如果，期望 TFT 具有窄的高阻区。但是，通过相同的处理在同一基片上形成的高阻区具有均匀的宽度，因而很难根据需要来改善高阻区的宽度。此外，很难制造单片式有源矩阵电路和单片式集成电路。

发明内容

本发明的目的是解决上述问题。

根据本发明，提供了一种半导体集成电路，包括其片；形成于基片上并包含多个薄膜晶体管的有源矩阵电路，每个晶体管具有第一高阻区；用于驱动该有源矩阵电路的驱动装置，它形成于基片上并包含具有第二高阻区的至少另一个薄膜晶体管；其中第一高阻区的宽度大于第二高阻区的宽度。

根据本发明，提供了一种半导体集成电路，包括基片；至少一个形成于基片上并具有第一高阻区的薄膜晶体管；至少另一个形成于基片上并具有第二高阻区的薄膜晶体管；其中第一高阻区的宽度大于第二高阻区的宽度。

根据本发明，提供了一种半导体器件，包括具有绝缘表面的基片；形成于绝缘表面上并且每个至少具有一个有源层的多个半导体区；覆盖半导体区的绝缘膜；穿过绝缘膜在每个有源层上形成的栅

极；至少在每个栅极的两侧形成的至少一个阳极氧化层；其中形成于一个栅极的一个阳极氧化层的厚度不同于形成在另一栅极的另一阳极氧化层的厚度。

根据本发明，提供了一种半导体器件，包括具有绝缘表面的基片；形成在绝缘表面上并且每个至少具有一个有源层的多个半导体区；覆盖半导体区的绝缘膜；通过绝缘膜在每个有源层上形成的栅极；至少在每个栅极的两侧形成的至少一个阳极氧化层；其中在一个栅极上形成的一个阳极氧化层的厚度不同于在另一栅电极上形成的另一阳极氧化层。

根据本发明，提供了一种制造半导体器件的方法，包括以下步骤：在绝缘表面上形成多个半导体区；在半导体区上形成绝缘膜；在每个半导体区上形成至少一个栅极，通过绝缘膜，其中至少两个栅极相互电绝缘；通过在电解液中对每个栅电极施加电压，至少在每个栅极的两侧形成至少一个阳极氧化层，其中对一个栅极施加电压的时间不同于另一个栅极。

根据本发明，提供了一种制造半导体器件的方法，包括以下步骤：在绝缘表面上形成每个具有至少一个有源层的多个半导体区；在半导体区上形成绝缘膜；通过该绝缘层在每个有源层上形成一栅极；至少在每个栅极的两侧形成至少一个阳极氧化层；利用每个栅极和每个阳极氧化层作为掩模，向每个有源层引入杂质，在每个有源层形成高阻区。

根据本发明，提供了一种制造半导体集成电路的方法，包括以下步骤：在基片上形成有源矩阵电路，其中包括均具有第一高阻区的多个薄膜晶体管；在基片上形成用于驱动有源矩阵电路的驱动器，该驱动器包括至少另一个具有第二高阻区的薄膜晶体管，其中第一

高阻区的宽度大于第二高阻区的宽度。

根据本发明，提供了一种制造半导体集成电路的方法，包括以下步骤：在基片上形成至少一个具有第一高阻区的薄膜晶体管；在基片上形成至少另一个具有第二高阻区的薄膜晶体管，其中第一高阻区的宽度大于第二高阻区的宽度。

根据本发明，提供了一种制造半导体器件的方法，包括以下步骤：在绝缘表面上形成均具有至少一个有源层的多个半导体区；在半导体区上形成绝缘膜；通过该绝缘膜在每个有源层上形成一栅极；至少在每个栅极电极的两侧形成至少一个阳极氧化层，其中在一个栅极上形成的一个阳极氧化层的厚度不同于在另一栅电极上形成的另一阳极氧化层的厚度。

根据本发明，提供了一种制造半导体器件的方法，包括以下步骤：在绝缘表面上形成均具有至少一个有源层的多个半导体区；在半导体区上形成绝缘膜；通过该绝缘膜在每个有源层上形成一栅极；在每个栅极形成至少一个阳极氧化层，其中在一个栅极上形成的一个阳极氧化厚度不同于在另一栅极形成的另一阳极氧化厚度；利用每个栅极和每个阳极氧化层作为掩模，向每个有源层引入杂质，在每个有源层形成高阻区。

根据本发明，提供了一种制造半导体集成电路的方法，包括以下步骤：在绝缘表面上形成至少一个含有高阻区的薄膜晶体管，该高阻区具有至少两个不同宽度中的一个宽度；在绝缘表面上形成至少另一个含有高阻区的薄膜晶体管，该高阻区具有至少两个不同宽度中的另一个宽度。

附图说明

图 1A 至 1E 是根据本发明的实施例 1 的 TFT 电路的剖面图。

图 2A 至 2C 是根据实施例 1 的 TFT 电路的顶视图。

图 3A 至 3F 是根据本发明第 2 实施例的 TFT 电路的剖面图。

图 4A 至 4C 是根据实施例 2 的 TFT 电路的顶视图。

图 5A 至 5E 是根据本发明第 3 实施例的 TFT 的剖面图。

图 6 是根据本发明的集成电路的方框图。

具体实施方式

本发明提供一种半导体集成电路，其中根据所需的性能、TFT 的可靠性及电路来调整高阻区的宽度，并且提供了制造这种半导体集成电路的方法。

在阳极氧化处理中根据 TFT 来改变阳极氧化时间，由此改变高阻区的宽度。在单片式有源矩阵电路中，构成用于低关断电流/低频工作的有源矩阵电路的 TFT 的高阻区宽于构成用于大电流/高频工作的驱动器的 TFT 的高阻区，并且宽于构成用于低功率损耗/高频工作的解码器的 TFT 的高阻区。此外，N 沟道 TFT (NTFT) 的高阻区宽于 P 沟道 TFT (PTFT)。

构成单片式有源矩阵电路的 TFT 的高阻区具有 0.4 至 1 μm 的宽度。构成驱动器的 NTFT 的高阻区具有 0.2 至 0.3 μm 的宽度。PTFT 的高阻区具有 0 至 0.2 μm 的宽度。构成用于 CPU 或其它逻辑工作器件/电路的解码器的 NTFT 具有 0.3 至 0.4 μm 的宽度。应用相同的 PTFT 具有 0 至 0.2 μm 的宽度。此例中，构成有源矩阵电路的 TFT 的高阻区宽于构成驱动器和解码器的 TFT。NTFT 的高阻区宽于 PTFT。

构成有源矩阵电路的 TFT 的高阻区宽于构成驱动器和解码器的 TFT 的宽度，这是因为要求有源矩阵电路的泄漏电流低，而要求驱

动器和解码器能高速工作。在驱动器和解码器中，由于以下原因，高阻区的宽度在NTFT与PTFT之间变化。如果在NTFT形成薄弱的N型高阻区，围绕漏极的电场被降低。这就抑制了由于热载流子造成的恶化程度。对于PTFT，由于热载流子造成的恶化程度较小，因此形成高阻区是不必要的。或者说，高阻区的存在降低了TFT的工作速度。由于PTFT的迁移率小于NTFT，所以期望使PTFT的高阻区变窄。因此，NTFT的高阻区宽于PTFT的高阻区。

实施例1

用于制造具有不同类型的TFT的集成电路的工艺可见图1A至1E和2A至3C。图2A至2C中由长短交替的阴影线表示的剖面分别对应于图1A、1C和1E。Corning 7059制成的基片101的尺寸为300 × 300mm或100 × 100mm。采用溅射或等离子CVD(PCVD)方法在基片101上形成厚1000至3000Å的氧化硅膜102。

采用PCVD或低压CVD(LPCVD)方法沉积非晶硅膜，厚度为300至1500Å，最好为500至1000Å。对非晶硅膜进行制图，形成岛形硅区103和104。利用溅射或PCVD，形成氧化硅膜，厚度为200至1500Å，最好为500至1000Å。氧化硅膜还起到栅绝缘膜的作用。采用PCVD时，在150至400°C、最好是200至250°C的温度下，采用氧气和原料气体产生RF放电。TEOS被分解并且沉积。TEOS压强与氧气压强的比例是1:1至1:3。压强是0.05至0.5毛。RF功率为100至250W。在150至400°C、最好是200至250°C的基片温度下，通过LPCVD或大气压强CVD，采用TEOS和臭氧气体沉积TEOS。

KrF激发物激光的照射，使硅区103晶化，波长为248nm，脉冲

宽度为20ns。能量密度为200至400mJ/cm²，最好为250至300mJ/cm²。激光照射期间，把基片加热至300至500°C。上述激光也可采用波长为308nm的XeCl激发物激光或者其它激光。区104仍保持为非晶态。

接着，采用电子束蒸发，形成厚度为2000Å至5μm，如6000Å的铝膜。对此膜制图，形成栅极106、107和109以及内连接(导线)108。如果用0.05至0.3%重量的钪(Sc)对铝膜掺杂，则可抑制由于加热而异常析出的产生。图2A中，栅极109与内连接108相互电气连接。栅极106和107(这里标为A序列)与栅极109和内连接108(标为B序列)电气绝缘。

然后，把层叠基片浸入含1至3%酒石酸的乙二醇溶液中。溶液的PH值约为7。以铂作为阴极，栅极为阳极，进行阳极氧化。采用这种中性溶液获得的阳极氧化通称为阻挡型的。这种氧化层是致密的且具有优异的耐压性能。

采用两个电压源，在阳极氧化期间独立地调节电压。电压源分别与A和B序列连接。首先，在序列A和B施加，以2至5V/min的速率升至50至150V(本例为100V)的电压V₁。之后，施加电压V₁保持1小时，随后，将施加于A序列的电压保持在V₁，而把施加于B序列的电压以2至5V/min的速率升高至100至250V(本例为200V)的电压V₂。由于采用两级阳极氧化处理，在A序列的栅极的顶表面和侧表面上形成的阳极氧化厚度不同于B序列。后者的阳极氧化厚度较厚。结果，厚约1200Å的阳极氧化层110和111形成于栅极106和107。厚2400Å的阳极氧化层112和113形成于栅极109和内连接108(图1B)。

然后，采用CMOS技术或者自对准杂质引入技术，通过离子掺

杂(等离子掺杂),把杂质离子如磷和硼引入TFT的岛形硅膜。掺杂气体采用磷化氢(PH_3)和乙硼烷(B_2H_6)。剂量为 2×10^{15} 至 $8 \times 10^{15} \text{cm}^{-2}$ 。结果,形成N型杂质(磷)区114、116和P型杂质(硼)区115。

KrF激发物激光的照射,激活该区114、115和116。激光波长为248nm,脉冲宽度为20ns,能量密度为150至 $400 \text{mJ}/\text{cm}^2$,最好为200至 $250 \text{mJ}/\text{cm}^2$ 。因此,恶化部位的结晶性由于引入杂质而得到改善。这些部位的表面电阻是200至 $800 \Omega/\text{平方}$ 。本处理可通过RTA(快速退火)进行(图1C和2B)。

通过上述处理来确定每个TFT的偏置区(高阻区)的宽度。TFT126和127的阳极氧化层110和111的厚度约为 1200\AA 。考虑到离子掺杂期间掺杂剂离子的非直线运动,偏置宽度 X_1 和 X_3 约为 1000\AA 。TFT128的阳极氧化层113的厚度约为 2400\AA ,因此,偏置宽度 X_2 约为 2000\AA 。

TFT126和127的偏置宽度 X_1 和 X_3 必须小于TFT128的偏置宽度 X_2 ,TFT128要求具有小的关断电流。然而,NTFT的偏置宽度大于PTFT的偏置宽度($X_3 > X_1$),这是因为NTFT易于被热载流子所恶化,所述热载流子是由于施加在漏区的反向偏置所产生的。TFT128具有大的偏置宽度($X_2 > X_3$),其偏置电流较小且被施加有高的漏区电压。

接着,栅极和内连接被切断。采用TEOS(原料气体)和氧气通过PCVD,或者采用TEOS和臭氧通过LPCVD或大气压CVD,在150至 400°C 、最好200至 300°C 的基片温度下,形成厚3000至 10000\AA (如 6000\AA)的氧化硅作为层间绝缘117。此时,如果氟与六氟化二碳

(C_2H_6)反应,并添加至氧化硅,则可改善台阶覆盖。通过溅射来沉积ITO膜,并制成象素电极118。位于内连接108之上的层间绝缘117和阳极氧化层112被蚀刻形成接触孔119(图1D)。

对层间绝缘117和栅极绝缘膜105进行蚀刻,形成源和漏区的接触孔。同时,对阳极氧化层110和111进行蚀刻,在栅极106和107形成接触孔(图2C)。

在形成具有氮化钛和铝的多层内连接120至125之后,内连接124与象素电极118连接。借助形成的接触孔,内连接125与栅极106和107连接。在200至300°C,在氢气中对层叠基片进行0.1至2小时的退火,由此完成硅的氢化。以此方法制成集成电路(图1E和2C)。

本例中,对阳极氧化层113进行蚀刻以完成形成接触孔的处理。是与形成其它接触孔的处理单独进行的。也可以同时完成这些处理。本例中,由于以下原因,是分别形成这两种接触孔的。阳极氧化层113的厚度比阳极氧化层110和111大1200Å。阻挡型阳极氧化层的蚀刻速率比氧化硅等的蚀刻速率要小得多。如果同时蚀刻它们,则由易于腐蚀的氧化硅膜覆盖的源和漏中的接触孔会过腐蚀。结果这些孔进入源极和漏极。

按此方法,由于在同一基片上形成不同类型的TFT,TFT126和127的激活层由结晶硅制成并具有窄的高阻区(偏置区),所以这些TFT适用于高速工作。由于TFT128的激活层由非晶硅制成并具有宽的高阻区,所以该TFT可用作泄漏电流小的TFT。如果TFT128的激活层由结晶度小于TFT126和127的结晶硅制成,则可获得同样的优点。如果用同样的工艺制造单片式有源矩阵电路,则前述TFT

可用作驱动器。后者TFT可用作有源矩阵电路。

NTFT常常因热载流子而导致恶化。然而,对于具有宽沟道(具有偏置宽度 X_4)的驱动器TFT来说,很少发生这种恶化。用于需要工作于高频的解码器、特别是移位寄存器、CPU、存储器及其它电路的NTFT(具有偏置宽度 X_4)必须具有小的沟道宽度和小的沟道长度。因此,在这些TFT中,漏电压和恶化均小于有源矩阵电路的TFT128(具有偏置宽度 X_2)。所以必须满足关系式 $X_4 < X_3 < X_2$ 。由于用作驱动器TFT和其它电路的PTFT很难恶化,就这些具有偏置宽度 X_1 的PTFT而言,有关系式 $X_1 \leq X_4$ 。

实施例2

本实施例可参见图3A至3F、4A至4C。图3A至3F是图4A至4C中长短阴影线所代表的部位的剖面图。由Corning 7059制成的基片201,尺寸为 $300 \times 400\text{mm}$ 或 $100 \times 100\text{mm}$ 。采用氧气氛中的溅射,在基片201上沉积厚1000至 3000\AA 如 2000\AA 的氧化硅作为基底氧化膜202。为了提高生产率,也可使用由通过PCVD分解及沉积TEOS而形成的膜。

然后,通过PCVD或LPCVD,形成厚300至 5000\AA 、最好是500至 1000\AA 的非晶硅膜。在还原(脱氧)气氛中使层叠基片于 550 至 600°C 持续24小时,使非晶硅膜晶化。该处理也可采用激光照射来进行。把结晶硅膜制成岛状有源层区203和204。此外,由溅射形成厚700至 1500\AA 的氧化硅膜205。

采用电子束蒸发或溅射,形成厚 1000\AA 至 $3\mu\text{m}$ 如 6000\AA 的铝膜。铝膜含有1%重量的Si或者0.1至0.3%重量的钪(Sc)。通过旋转涂

覆，形成例如由Tokyo Ohka有限公司制造的OFPR800/30CP的光刻胶膜。如果在光刻胶膜形成之前，由阳极氧化形成厚100至1000Å的氧化铝膜，则可改善对光刻胶膜的粘着性。而且，还可抑制由光刻胶泄漏的电流。因此，对在后续的阳极氧化处理中形成阳极氧化物来说，这种氧化铝膜是有效的。对光刻胶膜和铝膜制图蚀刻之后，形成内连接206和209以及栅极207、208和210(图3A)

以位于内连接和栅极之上的光刻胶膜作为防止阳极氧化的掩模。栅极207和208以及内连接209(称为A₂序列)与内连接206及栅极210(称为B₂序列)电绝缘(图4A)。

通过在电解液中施加5至30V(本例为8V)电压达20至240分钟，仅对B₂序列进行阳极氧化。电解液是3至20%的柠檬酸、草酸、磷酸、铬酸、硫酸的酸性溶液，本例中为草酸溶液(30至80°C)。在内连接和栅极的侧表面形成厚3000Å至25μm如0.5mm的多孔阳极氧化层211和212。通过控制阳极氧化的时间和温度来调节阳极氧化层厚度。由于A₂序列不进行阳极氧化，所以在栅极207和208及内连接209上无阳极氧化形成(图3B和4B)。

除去光刻胶之后，在电解液中(含3至10%的酒石酸、硼酸或硝酸的乙二醇溶液)对A₂和B₂序列施加电压。电解液的PH值约为7。由此，在栅极和内连接206至210的顶表面及侧表面上形成阻挡型阳极氧化层213至217。溶液温度约为10°C，如果温度低于室温，则可获得高质量的氧化膜。阳极氧化层213至217的厚度与所加电压成比例。当加上100V的电压时，则可形成厚1200Å的阳极氧化层。本发明中，由于所加电压高达100V，所以阳极氧化厚度为1200Å。如果阻挡型阳极氧化太薄，在多孔阳极氧化的腐蚀期间，

铝就会溶解。因此,阻挡型阳极氧化的厚度最好在 500\AA 以上。在后续处理中,不在多孔阳极氧化之外形成阻挡型阳极氧化,但在多孔阳极氧化与栅电极之间,以及在多孔阳极氧化与内连接之间形成阻挡型阳极氧化(图3C)。

利用栅极部位(包括栅极及其周围的阳极氧化膜)和栅绝缘膜作为掩模,通过自对准法把杂质引入区203和204。结果,形成杂质区(源/漏)218、219和220。采用磷化氢(PH_3)和乙硼烷(B_2H_6)作为掺杂气体。剂量为 5×10^{14} 至 $5 \times 10^{15} \text{cm}^{-2}$ 。加速能量是50至90Kev。把N型杂质引入区218和220。把P型杂质引入区219。由此,分别由区218、219和220形成NTFT228、PTFT229和NTFT230。

对于互补型TFT228和229,栅极侧表面的阳极氧化214和215的厚度约为 1200\AA 。栅极未与杂质区搭接的区(偏置区)具有宽度 X_1 和 X_3 。考虑到离子掺杂期间的离子非直线运动,偏置宽度 X_2 和 X_3 约为 1000\AA 。对于TFT230,由于阳极氧化层212和217的厚度总和约为 6200\AA ,偏置宽度约为 6000\AA 。

采用磷酸、醋酸和硝酸的混合酸,以 $600\text{\AA}/$ 分左右的腐蚀速率对阳极氧化层211和212进行蚀刻。阳极氧化层213至217及氧化硅膜205保持未蚀刻然后照射KrF激发物激光器,激活有源层内引入的杂质(图3E)。激光波长为248nm,脉冲宽度为20ns。栅极和内连接是分离的(图4C)。

形成厚 6000\AA 的氧化硅膜作为内连接绝缘221。通过溅射形成厚 800\AA 的ITO膜并制成象素电极222。之后,对内连接绝缘层221和栅绝缘膜205进行蚀刻,在源和漏形成接触孔。同时,对内连接绝缘层221和阳极氧化层213至217进行蚀刻,在栅极和内连接中

形成接触孔。与实施例1不同的是 A_2 和 B_2 序列在阳极氧化厚度上几乎相同。因此，它们可同时蚀刻。这样，与实施例1相比，本例仅具有较少的光刻蚀处理。形成内连接和电极223至226之后，在200至400°C进行氢气退火。

内连接223使内连接206与互补型NTFT的源相连接。内连接225使互补型PTFT的源与内连接209连接。内连接224和226使互补型TFT的输出端(NTFT和PTFT的漏)与TFT230的漏连接。内连接227使TFT230的漏与象素电极222连接。按此方式，完成集成电路(图3F)。

对于 A_2 序列，由于驱动器工作于大电流，所以PTFT和NTFT恶化较小，其高阻区分别具有宽度 X_1 和 X_4 。解码器、CPU、移位寄存器、存储器及其它电路仅消耗少量电功率，且工作于高频。它们的沟道宽度和沟道长度较小。易于产生由于热载流子引起的恶化。在这些电路使用的NTFT的高阻区的宽度 X_3 必须大于PTFT的高阻区宽度 X_1 。由于要求施加高电压的有源矩阵电路的NTFT(高阻区宽度 X_2)具有小的迁移率，所以这些NTFT易于受损。为了改善可靠性，必须获得下列关系： $X_2 > X_3 > X_4 \geq X_1$ 。例如 X_2 为0.5至 $1\mu\text{m}$ ， X_3 为0.2至 $0.3\mu\text{m}$ ， X_4 为0至 $0.2\mu\text{m}$ ， X_1 为0至 $0.1\mu\text{m}$ 。移位寄存器可工作于1至50MHz。

本例中，用于控制象素电极的TFT230的偏置区足够地宽于实施例1的TFT的偏置区。因此，泄漏电流可被极大的抑制。

实施例3

图5A至5E展示了本实施例的单片式有源矩阵液晶显示器。驱

动器由互补型TFT构成。有源矩阵电路包括用于控制象素的TFT。采用溅射或PCVD,于氧气氛中在基片301上沉积厚 2000\AA 的氧化硅膜作为基底氧化膜302。基片由Corning7059制成,尺寸为 $300 \times 400\text{mm}$ 。

然后,通过PCVD或LPCVD,形成厚 300 至 5000\AA 、最好为 500 至 1000\AA 的非晶硅膜。在还原气氛中、 550 至 600°C 下使层叠基片持续24小时,使非晶硅膜晶化。把结晶硅膜制成岛状区303和304。此外,由溅射形成厚 700 至 1500\AA 的氧化硅膜305。

通过溅射形成铝膜,厚度为 1000\AA 至 $3\mu\text{m}$,如 6000\AA 。铝膜含有 0.1 至 0.3% 重量的钪(Sc)。按与实施例2相同的方式,通过旋转涂覆在铝膜上形成光刻胶膜(图3A至3C)。在形成光刻胶膜之前,通过阳极氧化形成厚 100 至 1000\AA 的氧化铝膜。对光刻胶膜和铝膜进行制图蚀刻之后,形成栅极306、307和308及内连接309。栅极306、307和308在电气上相互独立。栅电极308与内连接309电气连接。

通过在电解液中施加 5 至 30V (本例中为 8V)的电压约 20 至 140 分钟来进行阳极氧化,形成厚 3000\AA 至 $25\mu\text{m}$ 的多孔阳极氧化层。电解液是 3 至 20% 的柠檬酸、草酸、磷酸、铬酸或硫酸的酸性水溶液,本例中是柠檬酸溶液(30°C)。通过阳极氧化时间来调节阳极氧化层厚度。在栅极306和307上形成厚 500 至 2000\AA 如 1000\AA 的薄阳极氧化层。在栅极308和内连接309上形成厚 3000 至 9000\AA 如 5000\AA 的厚阳极氧化层。

除去光刻胶之后,在电解液中(含 3 至 10% 酒石酸、硼酸或硝酸的乙二醇溶液)把上述电压施加于栅极和内连接(导线)。电解液

的PH值约为7。在栅极和内连接的顶表面和侧表面上形成厚 1000\AA 的阻挡型阳极氧化层(图5A)。

通过干法腐蚀, 例如各向同性腐蚀的等离子模式或者各向异性腐蚀的反应离子腐蚀模式, 对氧化硅膜305进行蚀刻。重要的是要使硅与氧化硅之间的选择比例足够的大, 避免有源层被深度腐蚀。如果 CF_4 用作腐蚀气体, 则阳极氧化层不被腐蚀。因此, 位于栅极306、307、308及内连接309之下的氧化硅膜305的那些部位不被腐蚀, 且余下作为栅绝缘膜310、311和312及绝缘膜313(图5B)。

采用磷酸、醋酸和硝酸的混合酸来腐蚀多孔阳极氧化层。利用栅极部位和栅绝缘膜作为掩模, 在离子掺杂处理中通过自对准方式把杂质引入区303和304。如果加速电压为50至90KV, 剂量为 1×10^{13} 至 $5 \times 10^{14} \text{cm}^{-2}$, 则大多数杂质离子通过区314至316。由于基底层中的杂质浓度最大, 所以区314和316的掺杂非常轻, 且杂质浓度非常低。另一方面, 由于栅绝缘膜310至312的存在使高速杂质离子被减速, 所以可认为区317至319具有最大杂质浓度。然而, 由于剂量较小, 区317至319被轻微掺杂并且杂质浓度低。

如果加速电压为5至30KV, 剂量为 5×10^{14} 至 $5 \times 10^{15} \text{cm}^{-2}$, 由于大量杂质离子被引入区314至316, 所以区314至316被高度掺杂且杂质浓度高。另一方面, 由于栅绝缘膜310至312阻碍了低速杂质离子的引入, 所以引入区317至319的离子量较小。结果, 区317至319被轻微掺杂且杂质浓度较低。在这两种方法中, 区317至319均被轻微掺杂。

通过离子掺杂形成区317至319之后, 照射KrF激发物激光, 其

波长为248nm, 脉冲宽度为20ns, 以此激活引入在有源层中的杂质离子。本处理也可由RTP(快速热处理)来进行(图5C)。

结果, 在每个TFT中高阻区(轻掺杂区和偏置区)具有不同的宽度。驱动器NTFT的宽度 X_1 是偏置区宽度 1000\AA 与轻度掺杂区宽度 1000\AA 之和, 即 2000\AA 。驱动器PTFT的宽度 X_2 只是轻度掺杂区的宽度, 即 1000\AA 。象素控制TFT的宽度 X_3 是偏置宽度 1000\AA 与轻度掺杂区宽度 5000\AA 之和, 即 6000\AA 。

而且, 形成金属膜如钛、镍、钼、钨、钽膜。例如, 通过溅射形成厚50至 500\AA 的钛膜320。结果, 钛膜320与区314至316接触(图5D)。

照射波长为248nm、脉冲宽度为20ns的KrF激发物激光, 使钛膜与有源层中的硅反应, 由此形成金属硅化物(硅化钛)区330至332。能量密度为200至 $400\text{mJ}/\text{cm}^2$, 最好为250至 $300\text{mJ}/\text{cm}^2$ 。如果激光照射期间基片温度为200至 500°C , 则可抑制钛膜剥落。所用激光并不限于激发物激光, 也可使用其它激光。如果采用连续振荡激光, 则照射时间要长。结果, 被照物体可能热膨胀并剥落。所以, 希望使用脉冲激光。

就脉冲激光而言, 可使用红外激光如Nd: YAG激光(最好是Q转换脉冲振荡)、采用这种红外激光的二次谐波的可见光、各种紫外激光如激发物激光(如KrF、XeCl、ArF激光)。当由上述金属照射激光时, 激光的波长必须不被金属膜反射。当金属膜非常薄时, 几乎不会产生问题。当由基片侧面照射激光时, 激光光线必须穿过硅膜。

此外, 也可采用可见光或者近红外光的灯退火。当采用灯退

火时,把被照物表面温度调节在600至1000°C左右。温度为600°C时,灯照射需要持续几分钟。温度为1000°C时,灯照射需要持续几十秒。采用近红外线(如1.2 μ m的红外线)进行退火时,近红外线被硅半导体选择地吸收,不会使玻璃基片加热太高。而且,由于每次照射时间短,所以能抑制玻璃基片的加热。

采用由过氧化氢、氨和水按比例5:2:2混合而成的腐蚀液,对钛膜(存在于栅绝缘膜和阳极氧化层)进行腐蚀,与暴露的有源层接触的那些部位除外。硅化钛区330至332保持不腐蚀。区330至332的表面电阻为10至50 Ω /平方,而区317至319的表面电阻为10至100K Ω /平方。

在NTFT337上形成厚500至3000 \AA 、如1000 \AA 的氮化硅膜322。由于氮化硅膜332趋于俘获(捕截)正电空穴,所以在防止栅绝缘膜充电方面这种氮化硅膜322是有效的,在有源矩阵电路的TFT中,上述充电通常是由热载流子的注入而产生的热电子所导致的,而且在上述TFT中易于产生热载流子。对于PTFT,会产生相反的效应。最好是不在互补电路上形成氮化硅膜。因此,仅在有源矩阵电路上保留氮化硅膜。

采用CVD沉积厚2000 \AA 至1 μ m如5000 \AA 的氧化硅膜作为层间绝缘321。在内连接309处形成孔324,使氮化硅膜322暴露。通过溅射形成ITO膜,然后蚀刻制成象素电极323。象素电极323通过采用在孔324中的内连接309,把阻挡型阳极氧化层(厚1000 \AA)和氮化硅膜(厚1000 \AA)夹在中间,由此形成静电电容器。由于阳极氧化膜和氧化硅膜较薄且具有大的介电常数,所以可在小面积上获得大电容量。该电容被用作固定电容,并与由有源矩阵电路的一个象

素与相对的电极形成电容并联设置。内连接309位于与相对电极相同的电位。

对内连接绝缘层321进行蚀刻，在源/漏区和栅极形成接触孔。形成厚 2000\AA 至 $1\mu\text{m}$ 如 500\AA 的多层内连接(氮化钛和铝)及电极325至329(图5E)。

构成有源矩阵电路的NTFT337、用于解码器、CPU、存储器的NTFT，工作于高频且仅消耗少量电能的其它NTFT，用于大功率驱动器的NTFT和PTFT均具有与实施例2相同的高阻区宽度。在具有单片式电—光器件的薄膜集成电路中，对NTFT和PTFT的高阻区宽度可进行优化。

实施例4

图6是使用集成电路的电—光系统的方框图，其中具有的玻璃基片上形成有显示器、CPU、存储器及其它部件。在实施例1至3中，仅说明了有源矩阵电路和X-及Y-解码器/驱动器。采用本实施例可构成更高级的电路和系统。

图6所示的电—光系统65包括液晶显示部分64、输入口70、校正存储器71、CPU72、存储器73、背景光源单位74以及X-Y分频器75。显示部分64具有有源矩阵电路66、X-解码器1驱动器和Y-解码器/驱动器81。有源矩阵电路66包括TFT61、液晶62和电容器63。

输入口70接收来自外部器件如主计算机系统(未示出)的输入信号如图象信号。校正存储器71为固定存储器，并存有数据用于根据有源矩阵电路66的特性对输入信号进行校正。存储器71还存储有每个象素的本征信息。有源矩阵电路64的某些象素具有点缺

陷, 基于围绕有缺陷象素而置的象素, CPU72读出来自校正存储器71的相应校正数据, 并通过X-Y分频器75把校正数据输出至显示部分64。按此方式, 可消除点缺陷。如果有缺陷象素比周围的象素暗, CPU72从校正存储器71读出如下的亮点数据, 即使有缺陷象素的亮度与周围象素的亮度一致。然后把亮度数据输出至显示部分64。

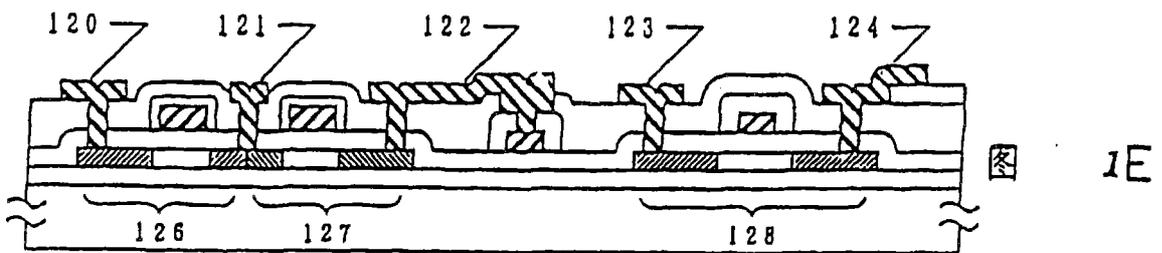
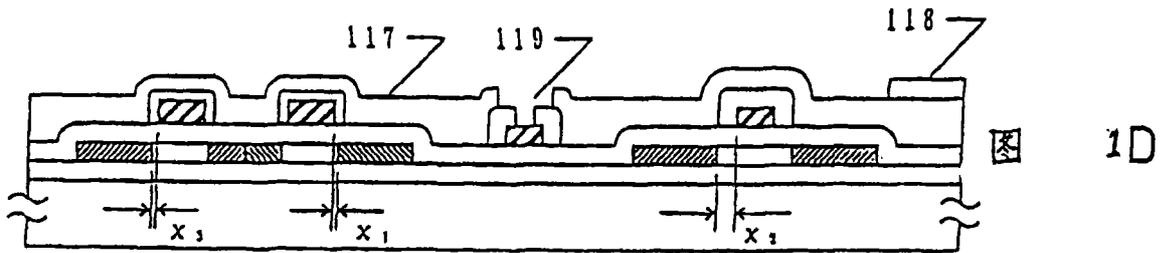
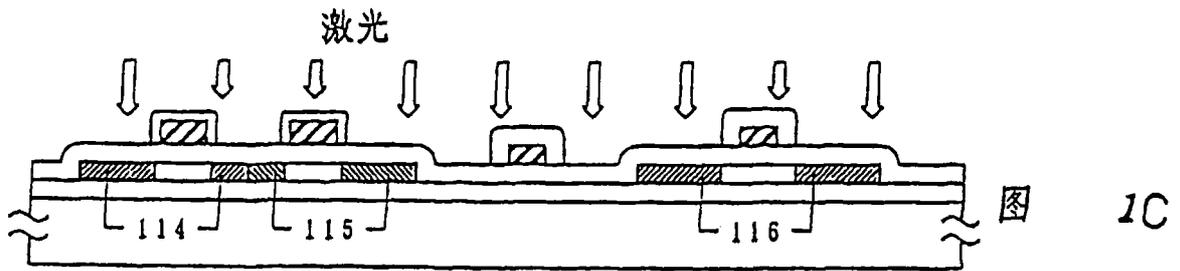
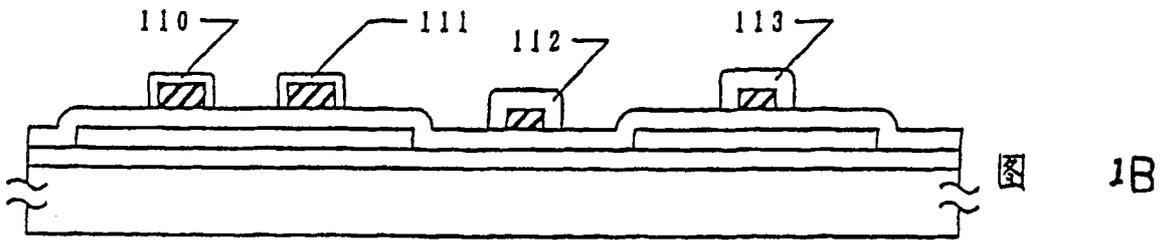
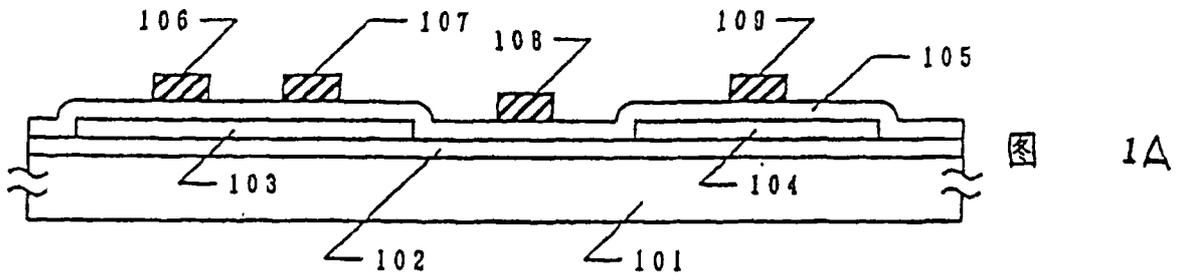
按与传统计算机系统相似的方式设计CPU72和存储器73。存储器73存储对应于每个象素的图象数据作为RAM。CPU72还对根据图象信息从有源矩阵电路66的背面进行照亮的背景光源单元74进行控制。

为了使每个电路具有适当的高阻区宽度, 要形成3至10个内连接系统。通过改变阳极氧化条件, 可以改进沟道长度、沟道宽度及高阻宽度。例如, 在有源矩阵电路中, 沟道长度为 $10\mu\text{m}$, 高阻区宽度为 0.4 至 $1\mu\text{m}$, 如 $0.6\mu\text{m}$ 。在驱动器NTFT中, 沟道长度为 $8\mu\text{m}$, 沟道宽度为 $200\mu\text{m}$, 高阻区宽度为 0.2 至 $0.3\mu\text{m}$, 如 $0.25\mu\text{m}$ 。在驱动器PTFT中, 沟道长度为 $5\mu\text{m}$, 沟道宽度为 $500\mu\text{m}$, 高阻区宽度为 0 至 $0.2\mu\text{m}$, 如 $0.1\mu\text{m}$ 。在解码器NTFT中, 沟道长度为 $8\mu\text{m}$, 沟道宽度为 $10\mu\text{m}$, 高阻区宽度为 0.3 至 $0.4\mu\text{m}$, 如 $0.35\mu\text{m}$ 。在解码器PTFT中, 沟道长度为 $5\mu\text{m}$, 沟道宽度为 $10\mu\text{m}$, 高阻区宽度为 0 至 $0.2\mu\text{m}$, 如 $0.1\mu\text{m}$ 。按与高频工作的低功率消耗的解码器相同的方式, 对构成CPU、输入口、校正存储器及其它存储器的NTFT和PTFT的高阻区宽度进行优化。因此, 可在具有绝缘表面的同一基片上制成电—光系统65。

在本发明中, 可对高阻区宽度进行多样地改进, 但并不要求

高阻区的制成材料及导电类型与沟道形成区相同。在每个NTFT中添加微量的N型杂质。在每个PTFT中添加微量的P型杂质。此外，可以选择地加入碳、氧、氮或其它材料来形成高阻区。这有利于消除在由于热载流子可引起的恶化、可靠性、频率特性及关断电流之间的折衷。

按此方式，根据本发明，依据所需的TFT特性及可靠性，可在同一基片上制成具有其宽度优化的高阻区的TFT。结果，可以制成具有大自由度的大规模集成电路。因此，本发明可用于超薄单板个人计算机、便携式终端等。亦即，在一个大面积基片上形成TFT。这些TFT用作有源矩阵电路、驱动器、CPU和存储器，以此形成电—光系统。此外，本电—光系统可灵活地与采用其它单晶半导体的CPU、计算机系统或图象处理系统配合。



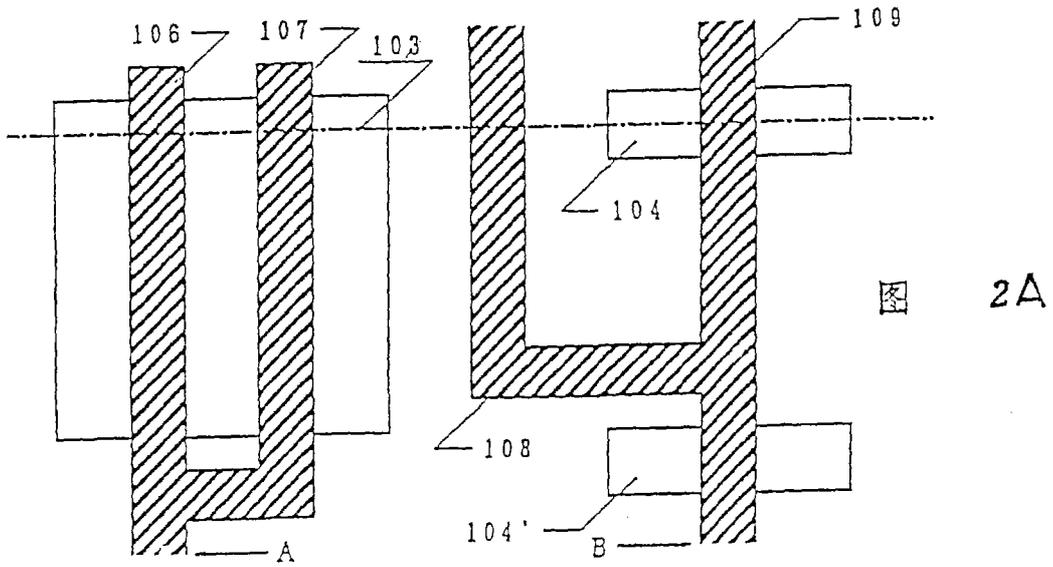


图 2A

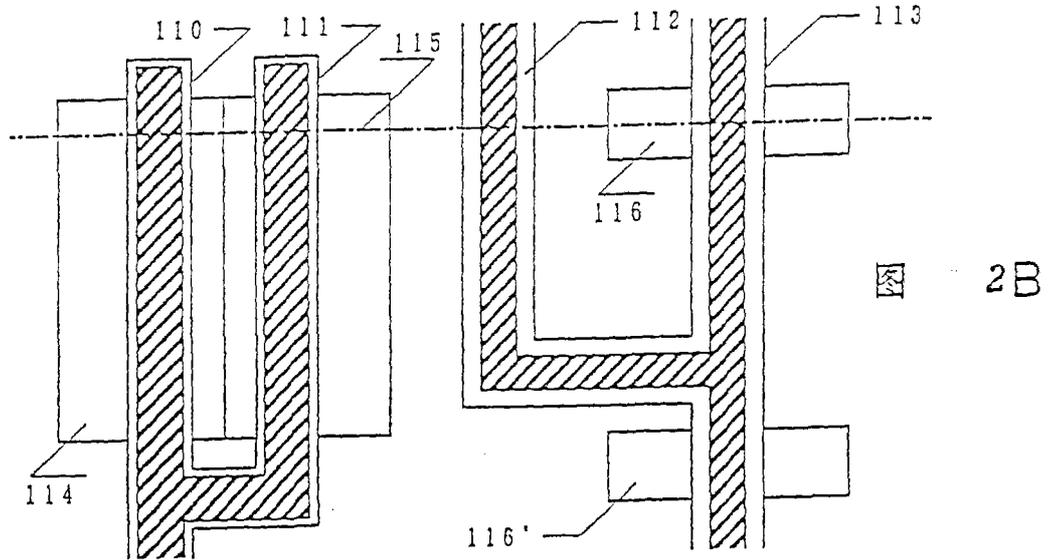


图 2B

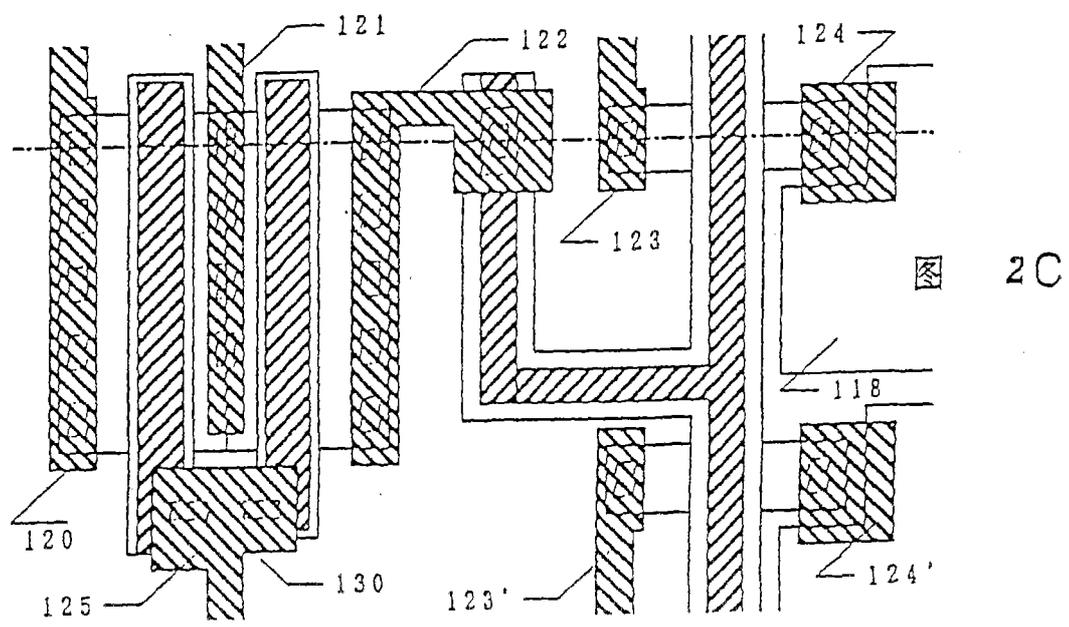


图 2C

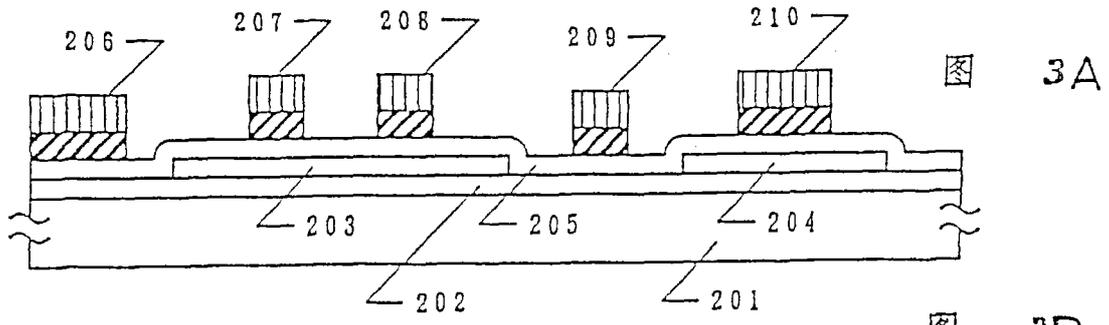


图 3A

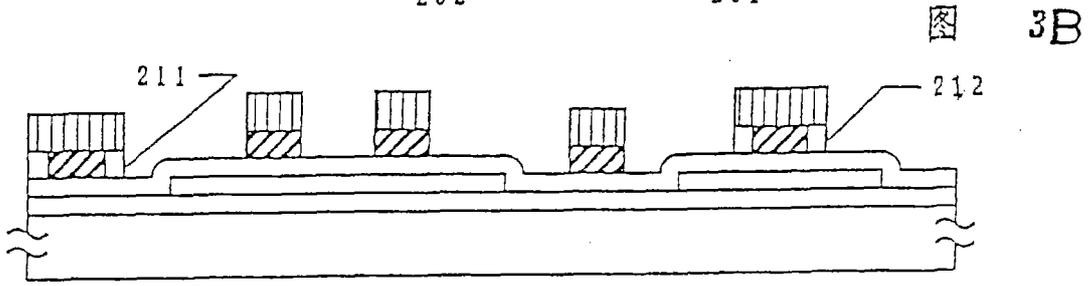


图 3B

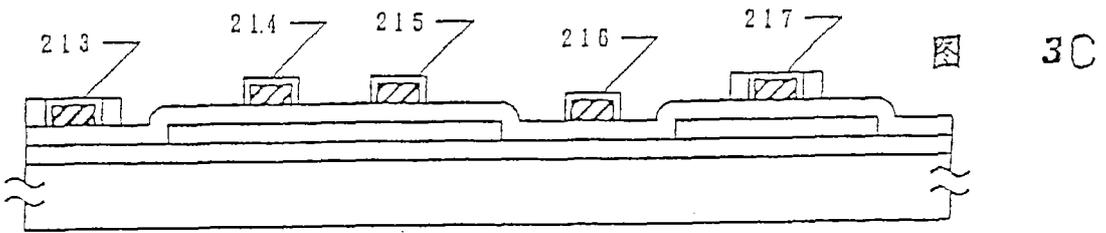


图 3C

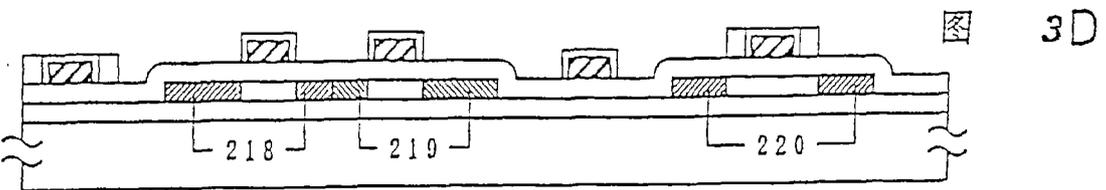


图 3D

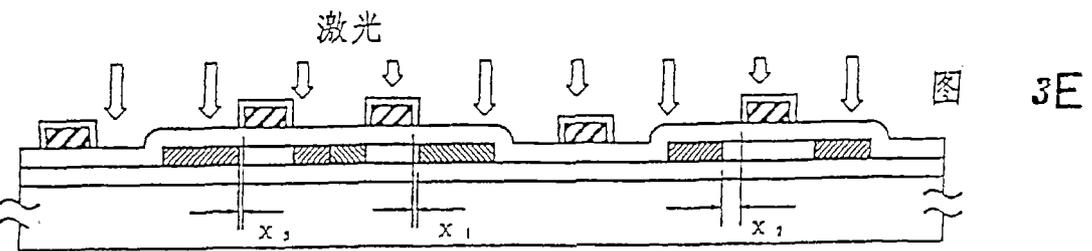


图 3E

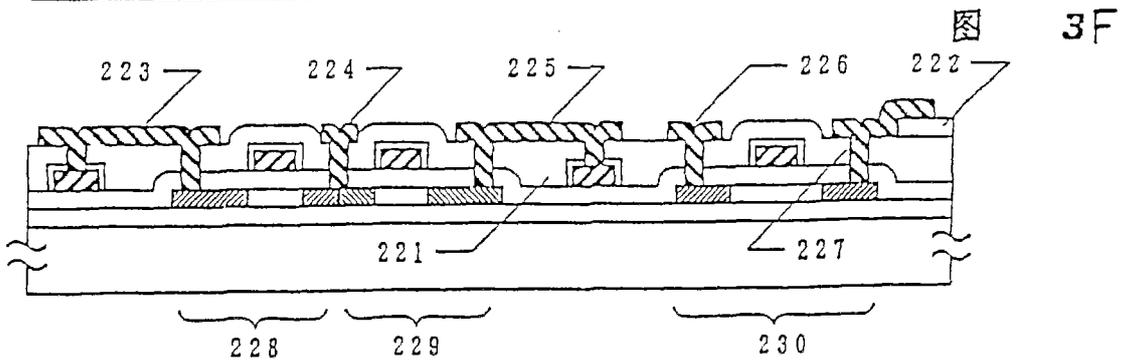


图 3F

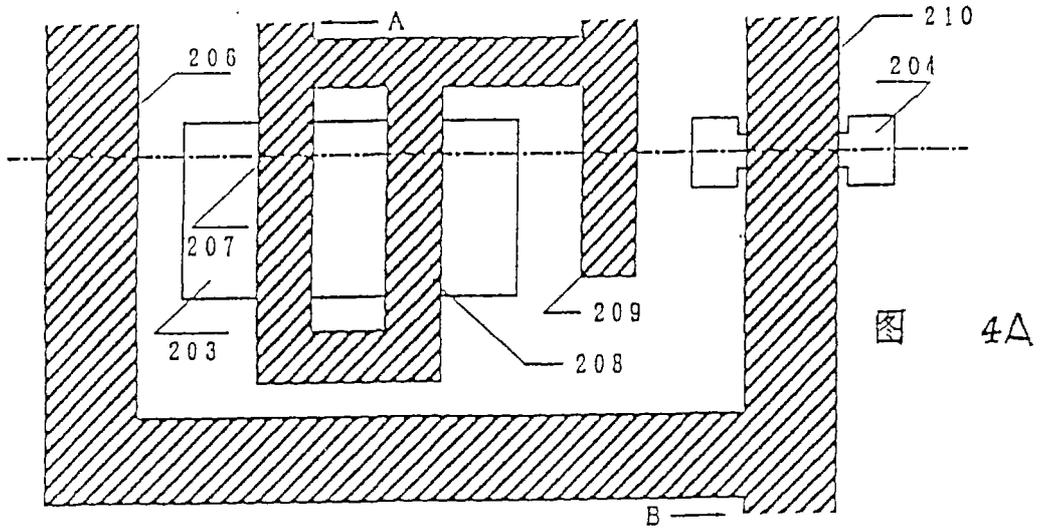


图 4A

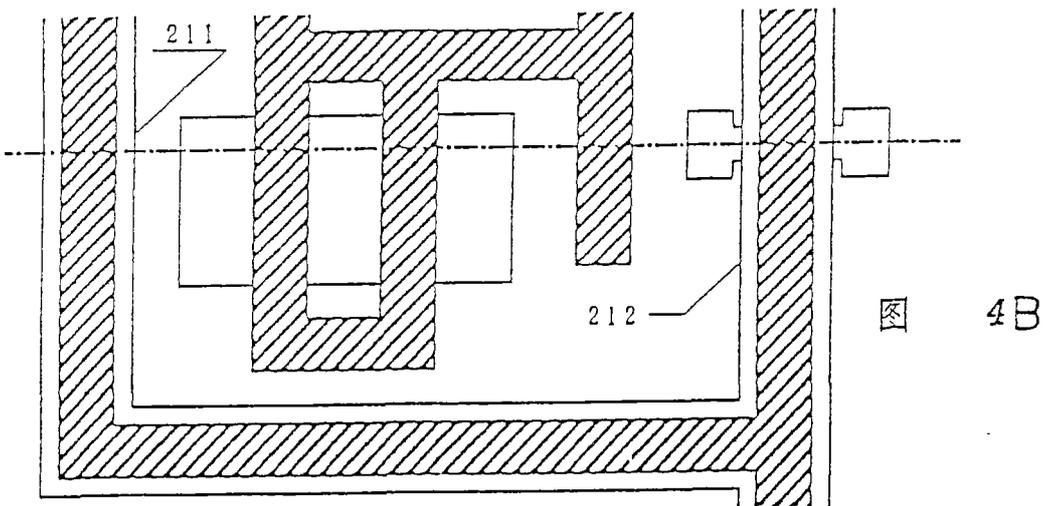


图 4B

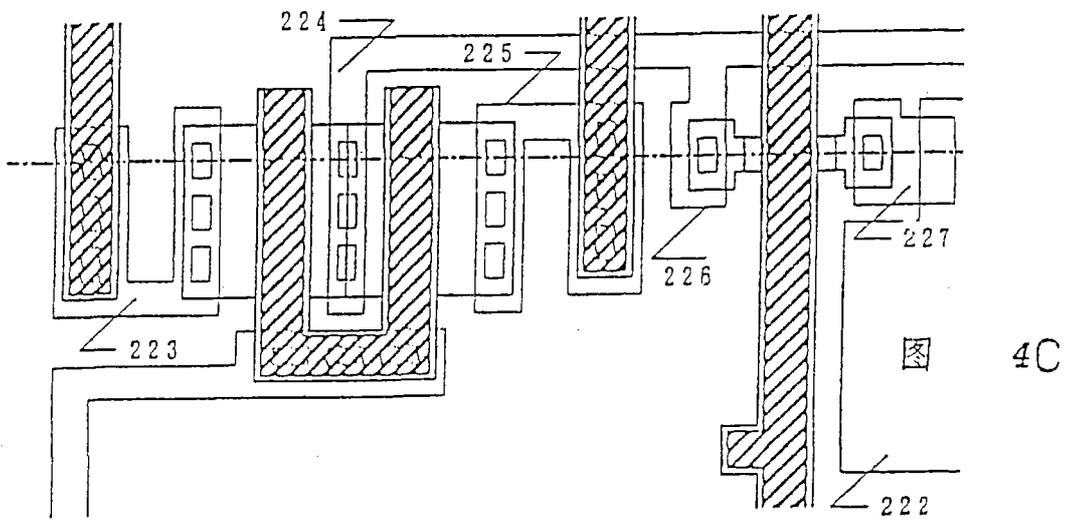
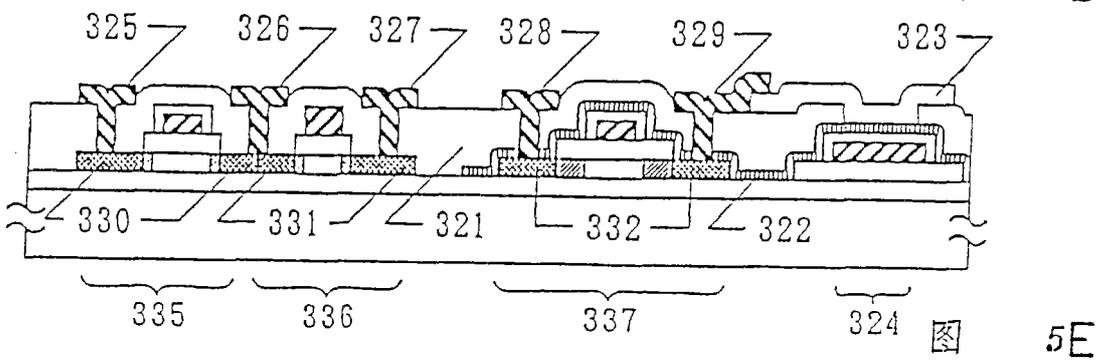
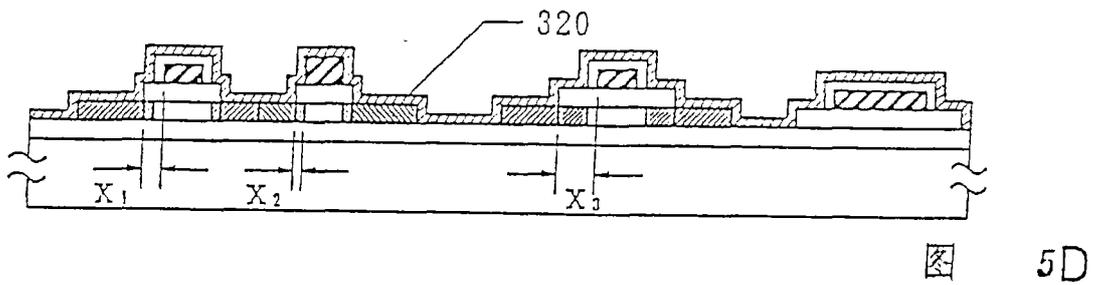
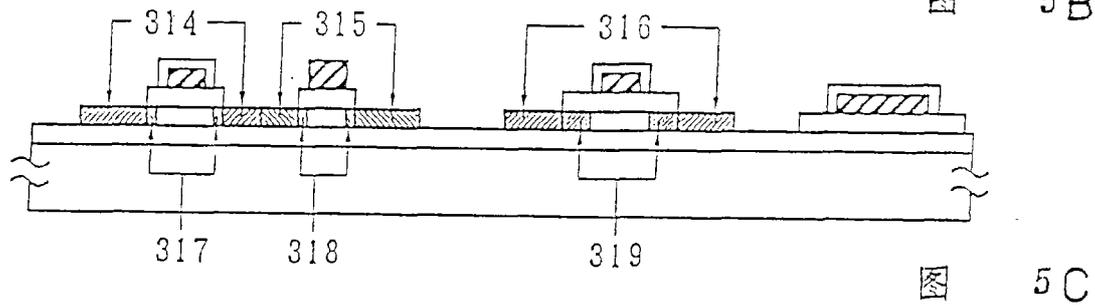
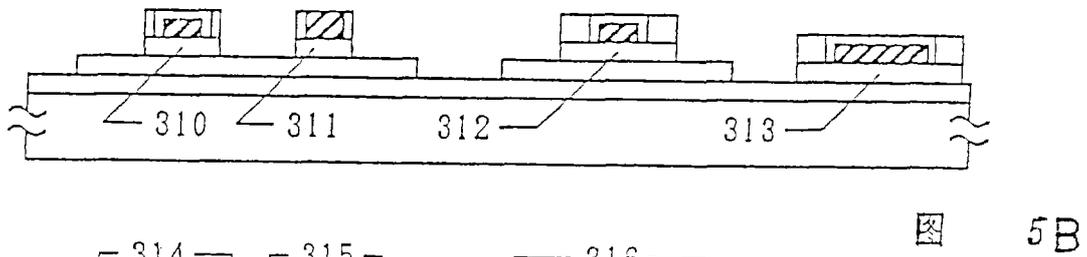
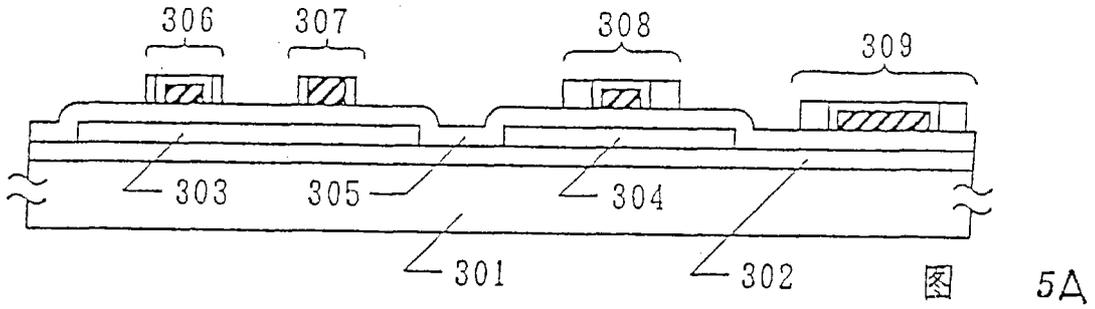


图 4C



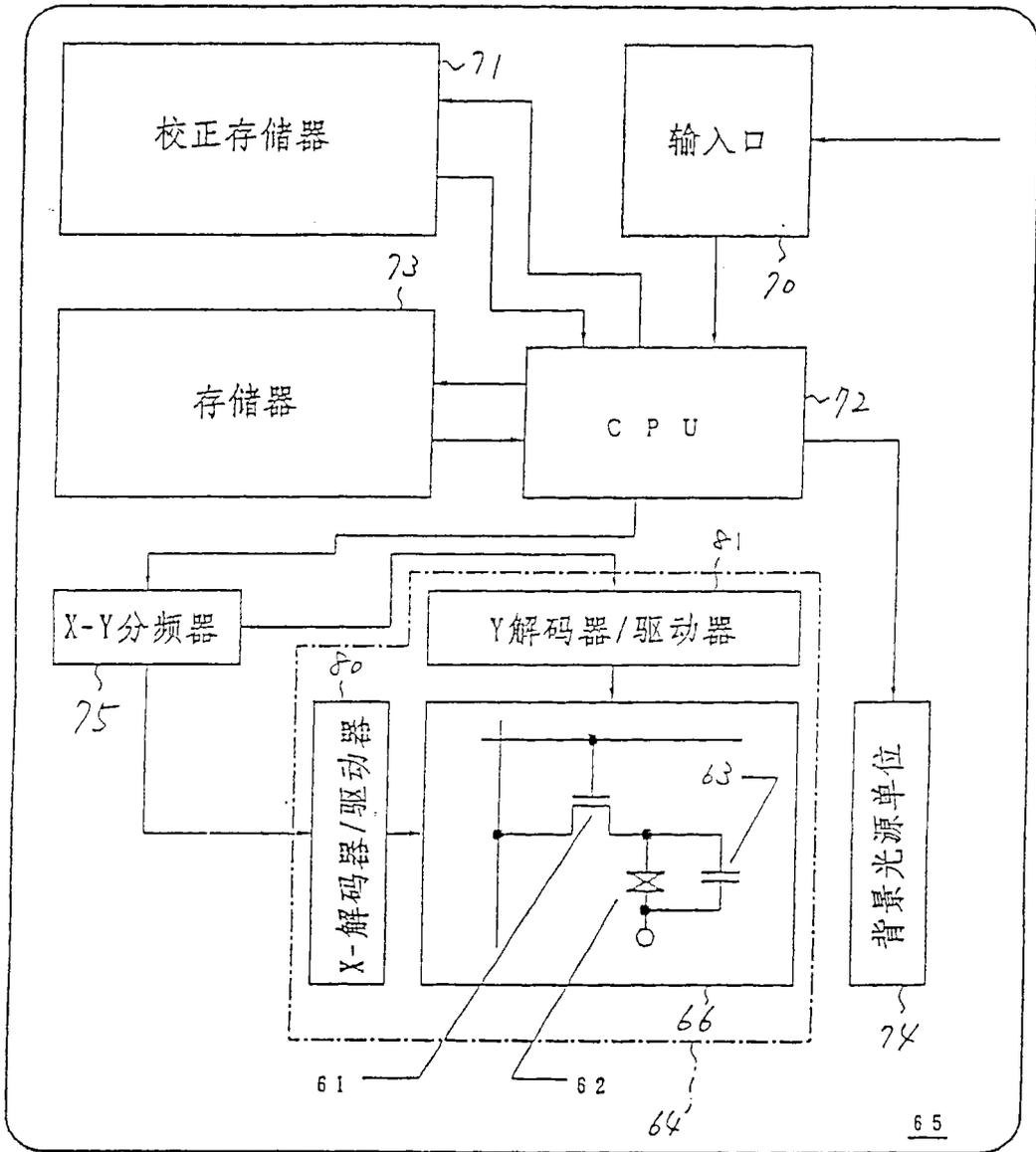


图 6