



(12) 发明专利

(10) 授权公告号 CN 102147776 B

(45) 授权公告日 2014. 04. 09

(21) 申请号 201010610306. 0

(22) 申请日 2010. 12. 17

(30) 优先权数据

2009-288413 2009. 12. 18 JP

(73) 专利权人 佳能株式会社

地址 日本东京都大田区下丸子 3 丁目 30 番
2 号

(72) 发明人 坂本伊左雄 石川尚

(74) 专利代理机构 北京魏启学律师事务所

11398

代理人 魏启学

(51) Int. Cl.

G06F 13/36 (2006. 01)

(56) 对比文件

EP 0161825 A2, 1985. 11. 21,

US 2006132874 A1, 2006. 06. 22,

JP 2006295690 A, 2006. 10. 26,

US 5655120 A, 1997. 08. 05,

JP H10228445 A, 1998. 08. 25,

JP S6281844 A, 1987. 04. 15,

审查员 崔哲

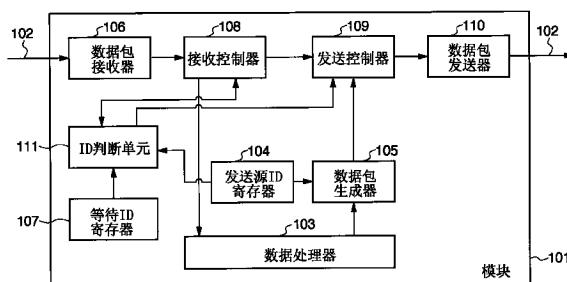
权利要求书1页 说明书5页 附图3页

(54) 发明名称

数据处理装置和数据处理方法

(57) 摘要

本发明提供一种数据处理装置和数据处理方法, 该数据处理装置包括: 接收单元, 用于接收数据包; 判断单元, 用于基于包含在所述数据包中且表示处理顺序的第一信息来判断是否由自身模块处理数据包的数据; 处理单元, 用于在应由所述自身模块处理所述数据的情况下处理所述数据; 生成单元, 用于生成包含所述第一信息且包含处理后的数据和表示处理的数据被停止的第二信息其中之一的数据包; 以及发送单元, 用于根据所述第一信息将数据包发送至预期用于处理数据包的下一模块。如果所述第一信息和所述第二信息表示所述数据包包含应由依处理顺序位于所述自身模块之后的下一模块来处理且被停止的数据, 则所述发送单元以长于预定时间的发送间隔来进行发送。



1. 一种数据处理装置,其通过使用连接至环形总线的多个模块依预先设置的顺序处理数据,

各所述模块包括:

接收单元,用于从另一模块接收数据包;

判断单元,用于基于包含在所述数据包中且表示所述顺序的第一信息,判断是否由自身模块来处理所述接收单元接收到的数据包中保持的数据;

处理单元,用于如果所述判断单元判断为应由所述自身模块来处理所述数据,则处理所述数据;

生成单元,用于生成包含所述第一信息且包含所述处理单元处理后的数据和表示由所述处理单元处理的数据未被处理而停止的第二信息其中之一的数据包;以及

发送单元,用于根据所述第一信息将所述生成单元生成的数据包发送至预期用于处理该数据包的下一模块,

其中,如果所述第一信息和所述第二信息表示所述接收单元接收到的数据包包含应由依处理顺序位于所述自身模块之后的下一模块来处理且未被处理而停止的数据,则所述发送单元以长于预定时间的发送间隔来进行发送,以及

如果所述接收单元接收到的数据包包含应由依处理顺序位于所述自身模块的发送目的地模块之后的模块来处理且未被处理而停止的数据,则所述发送单元以短于所述预定时间的发送间隔来进行发送。

2. 根据权利要求1所述的数据处理装置,其特征在于,如果所述判断单元判断为不应由所述自身模块来处理所述数据,则所述接收单元将接收到的数据包传送至所述发送单元。

3. 一种数据处理方法,其通过使用连接至环形总线的多个模块依预定的顺序处理数据,

所述数据处理方法包括:

接收步骤,用于从另一模块接收数据包;

判断步骤,用于基于包含在所述数据包中且表示所述顺序的第一信息,判断是否由自身模块来处理在所述接收步骤中接收到的数据包中保持的数据;

处理步骤,用于如果在所述判断步骤中判断为应由所述自身模块来处理所述数据,则处理所述数据;

生成步骤,用于生成包含所述第一信息且包含在所述处理步骤中处理后的数据和表示要在所述处理步骤中处理的数据未被处理而停止的第二信息其中之一的数据包;以及

发送步骤,用于根据所述第一信息将在所述生成步骤中生成的数据包发送至预期用于处理该数据包的下一模块,以及

其中,如果所述第一信息和所述第二信息表示在所述接收步骤中接收到的数据包包含应由依处理顺序位于所述自身模块之后的下一模块来处理且未被处理而停止的数据,则在所述发送步骤中以长于预定时间的发送间隔来进行发送,以及

如果所述接收步骤接收到的数据包包含应由依处理顺序位于所述自身模块的发送目的地模块之后的模块来处理且未被处理而停止的数据,则在所述发送步骤中以短于所述预定时间的发送间隔来进行发送。

数据处理装置和数据处理方法

技术领域

[0001] 本发明涉及数据处理装置和数据处理方法。

背景技术

[0002] 传统的数据处理装置通过利用单向环形总线连接多个模块来进行数据处理。例如,日本特开平 10-167560 提出一种装置,该装置中的每个模块包括一级或多级缓冲器或存储器,与模块数量相等的数据包(packet)可存在于环形总线中,且这些数据包在模块之间并行传送。

[0003] 另外,为提高装置的整体处理性能,日本特开平 10-167560 和日本特开 2007-316699 提出一种方法,该方法对包含由自身模块(self-module)处理的数据以及将由另一模块处理的数据的数据包赋予优先级,每一模块判断优先级,并对具有高优先级的数据包优先进行传送。

[0004] 对于上文提及的优先级,日本特开平 10-167560 提出通过中央控制(central control)实现对应于优先级而传送的方法。然而,通过中央控制实现对应于优先级而传送会造成控制电路的复杂度随模块数量的增加成比例增长的问题。

[0005] 日本特开 2007-316699 提出一种使用针对各模块分散的优先级的数据包传送方法。更具体地,模块由数据传送总线和应答传送总线这两条环形总线连接。如果某一模块判断出环形总线已传送的数据包的优先级低于该模块将要发送的数据包的优先级,则该模块丢弃已传送的数据包,并将要发送的高优先级的数据包发送至环形总线。由于已传送的数据包被丢弃,因而该模块通过使用应答传送总线通知另一模块该数据包丢失。被通知了数据包丢失的模块将该数据包再发送至发送源。按照这种方式,实现了对应于优先级而进行数据包传送。

[0006] 不幸的是,所有模块均必须保持已发送数据包的副本,直到确认该数据包未被另一模块丢弃为止。这造成了保持已发送数据包副本的缓冲器容量随模块数量的增加成比例增加的问题。另外,当使用数据传送总线和应答传送总线两条环形总线时,从原理上讲,数据包会不可避免地要在应答传送总线上相互冲突。因此,考虑到应答数据包到达发送源之前的延迟,每个模块除包括用于保持未能发送的应答数据包的缓冲器之外,还必须包括能够保持已发送数据包副本的缓冲器。即使在仅使用一条环形总线时,也需要缓冲器容量能保证即使被丢弃数据的再发送请求发生延迟也不会出现缓冲器容量不够。换言之,数据包传送效率会相应降低。

[0007] 当根据优先级传送数据包时,期望每个模块中的数据处理都基于优先级而动作。然而,当利用环形总线连接多个模块的数据处理装置通过自由改变所用模块的数量及顺序来进行各种处理时,为提高数据处理的整体效率,需要与每个模块的处理能力对应地进行数据包传送。

[0008] 考虑到上述情况做出了本发明,本发明提供的数据处理能够通过利用简单机构判断数据的优先级来提高数据处理装置的数据包传送效率。

发明内容

[0009] 根据本发明的一个方面,提供一种数据处理装置,其通过使用连接至环形总线的多个模块依预先设置的顺序处理数据,各所述模块包括:接收单元,用于从另一模块接收数据包;判断单元,用于基于包含在所述数据包中且表示所述顺序的第一信息,判断是否由自身模块来处理所述接收单元接收到的数据包中保持的数据;处理单元,用于如果所述判断单元判断为应由所述自身模块来处理所述数据,则处理所述数据;生成单元,用于生成包含所述第一信息且包含所述处理单元处理后的数据和表示由所述处理单元处理的数据未被处理而停止的第二信息其中之一的数据包;以及发送单元,用于根据所述第一信息将所述生成单元生成的数据包发送至预期用于处理该数据包的下一模块,其中,如果所述第一信息和所述第二信息表示所述接收单元接收到的数据包包含应由依处理顺序位于所述自身模块之后的下一模块来处理且未被处理而停止的数据,则所述发送单元以长于预定时间的发送间隔来进行发送。

[0010] 根据本发明的另一方面,提供一种数据处理方法,其通过使用连接至环形总线的多个模块依预定的顺序处理数据,所述数据处理方法包括:接收步骤,用于从另一模块接收数据包;判断步骤,用于基于包含在所述数据包中且表示所述顺序的第一信息,判断是否由自身模块来处理在所述接收步骤中接收到的数据包中保持的数据;处理步骤,用于如果在所述判断步骤中判断为应由所述自身模块来处理所述数据,则处理所述数据;生成步骤,用于生成包含所述第一信息且包含在所述处理步骤中处理后的数据和表示要在所述处理步骤中处理的数据未被处理而停止的第二信息其中之一的数据包;以及发送步骤,用于根据所述第一信息将在所述生成步骤中生成的数据包发送至预期用于处理该数据包的下一模块,以及其中,如果所述第一信息和所述第二信息表示在所述接收步骤中接收到的数据包包含应由依处理顺序位于所述自身模块之后的下一模块来处理且未被处理而停止的数据,则在所述发送步骤中以长于预定时间的发送间隔来进行发送。

[0011] 通过以下参考附图对典型实施例的说明,本发明的其它特征将变得明显。

附图说明

[0012] 图 1 是数据处理装置的功能框图。

[0013] 图 2 是示出数据包结构的图。

[0014] 图 3A 和 3B 是示出发送源 ID 结构的图。

[0015] 图 4 是发送控制器的功能框图。

具体实施方式

[0016] 以下将参考附图来详细说明本发明的典型实施例。应当注意,除非特别指明,否则这些实施例给出的组件的相对配置、数字表达式及数值并不限制本发明的范围。

[0017] 下文将参考图 1 解释根据实施例的数据处理装置。根据此实施例的数据处理装置包括多个模块以及连接该多个模块的环形总线。

[0018] 模块 101 是用于处理数据的模块。模块 101 包括数据处理器 103、发送源 ID 寄存器 104、数据包生成器 105、数据包接收器 106、等待 ID 寄存器 107、接收控制器 108、发送控

制器 109、数据包发送器 110 以及 ID 判断单元 111。CPU(未示出)控制上述这些单元。环形总线 102 以环的形式连接各模块 101。数据处理器 103 进行预定的数据处理。发送源 ID 寄存器 104 是设置要添加至数据包的发送源 ID(第一信息)的寄存器。数据包生成器 105 根据数据处理器 103 处理后的数据生成将由环形总线 102 传送的数据包。数据包接收器 106 经由环形总线 102 接收数据包。等待 ID 寄存器 107 是可设置数据处理器 103 将要处理的数据包的 ID 的寄存器。接收控制器 108 进行控制以在自身模块可处理数据包数据时将数据包接收器 106 接收到的数据包发送至数据处理器 103,或者,在自身模块不能处理数据包数据时将该数据包传送至发送控制器 109。发送控制器 109 进行控制以将保持有数据处理器 103 处理后的数据的数据包以及从接收控制器 108 传送来的数据包发送至环形总线 102。数据包发送器 110 发送数据包至环形总线 102。ID 判断单元 111 判断数据包接收器 106 所接收数据包的 ID、发送源 ID 寄存器 104 的 ID 以及等待 ID 寄存器 107 的 ID,并根据这些 ID 值生成接收控制器 108 和发送控制器 109 的控制信息。请注意,所接收数据包的 ID 是依处理顺序位于本模块之前的模块的发送源 ID 寄存器 104 所设置的 ID。

[0019] 根据本实施例的数据处理装置具有模块 101 连接至环形总线 102 的环形结构,且模块的数量并无特别限制。此外,发送控制器 109 包括缓冲器,该缓冲器的输出是下一个模块的输入。一个数据包在一个周期(cycle)内传送至下一个模块 101。每个模块 101 在一个周期内传送一个数据包至下一个模块 101,由此整个装置可以并行传送数据。

[0020] 下文将参考图 2 解释根据本实施例的数据处理装置中在模块 101 之间传送数据所使用的数据包。数据包包括有效(valid)标志 201、发送源 ID 202(第一信息)、数据(data)203 以及停止(stall)标志 204(第二信息)。有效标志 201 表示数据包是否有效。发送源 ID 202 是数据包发送源的标识符,并保持所保持数据的优先级。数据 203 是数据包所保持的数据。停止标志 204(第二信息)表示数据包所保持的数据的接收在传送目的地停止。对发送源 ID 202 分配可识别数据包的发送源模块与处理中将使用的模块之间的顺序关系的值。这使得可以通过简单运算判断每个数据包所保持的数据的处理优先级。

[0021] 下文将参考图 3A 详细解释发送源 ID 202。根据处理顺序将升序值或降序值添加至形成发送源 ID 202 的顺序(order)302。只要可以判断顺序关系,所添加的值可以是任意值。为提高数据处理装置的整体处理效率,优先传送依处理顺序位于后面的数据。因此,添加如下值,通过该值能够判断出依处理顺序位于后面的数据包具有较高的优先级。然而,如果期望不管处理顺序如何都向如下模块的数据包添加高优先级,其中该模块所包含处理器的处理性能在要使用的模块中是瓶颈,则通过使用模式(mode)301 的字段(field)设置 ID。当以这种方式添加 ID 时,处理顺序具有在一系列数据处理步骤中不会重复的值,所以该 ID 也可以用作每个模块的标识符。通过识别多个数据处理步骤的路径,如图 3B 的路径(path)303 所示,可在数据处理装置中并行执行多个数据处理步骤。请注意,图 2、3A、3B 所示的数据包结构仅为示例,字段的顺序不受限制。此外也可存在其他字段。特别地,发送源 ID 202 只需具有如下值,通过该值可识别数据包的发送源模块与处理中即将使用的模块之间的顺序关系。如果不需要模式 301,则发送源 ID 202 也可仅包含顺序 302。

[0022] 下文将解释数据处理装置的模块之间传送数据包的动作。首先将解释数据包接收动作。ID 判断单元 111 判断数据包接收器 106 接收到的数据包所保持的数据是将由自身模块 101 的数据处理器 103 处理的数据还是将由另一模块处理的数据。ID 判断单元 111 通过

对所接收数据包的发送源 ID 202 的 ID 值以及等待 ID 寄存器 107 的 ID 值进行运算来进行该判断。例如, ID 判断单元 111 将要处理的所接收数据包的 ID 值分配给等待 ID 寄存器的 ID 值, 如果这两个 ID 匹配则进行处理。请注意, 可以检查全部 ID 是否匹配, 也可仅检查部分 ID 是否匹配。如果这两个 ID 匹配, 则 ID 判断单元 111 将数据输出至数据处理器 103, 否则将数据包传送至发送控制器 109。然而, 即使当 ID 判断单元 111 所保持的数据是将由数据处理器 103 处理的数据时, 如果数据处理器 103 不能处理该数据, 则 ID 判断单元 111 也会判断为停止处理, 设置停止标志 204, 并将数据包传送至发送控制器 109。

[0023] 下面将解释将数据处理器 103 处理后的数据通过图 2 所示的数据包发送至预期用于处理该数据的下一模块的动作。将数据处理器 103 处理后的数据存储于数据 203 中。将发送源 ID 寄存器 104 的 ID 值存储在发送源 ID 202 的字段中。使有效标志 201 有效, 且数据包生成器 105 生成数据包。发送控制器 109 控制是否经由缓冲器将该数据包发送至环形总线 102。

[0024] 下文将参考图 4 解释根据本实施例的发送控制器 109 的结构。缓冲器 401 保持来自接收控制器 108 的数据包。缓冲器 402 保持数据包生成器 105 生成的数据包。发送间隔控制器 403 控制来自缓冲器 402 的数据包的发送间隔。选择器 404 选择要发送的数据包。

[0025] 缓冲器 401 存储从接收控制器 108 传送来的数据包, 或者存储保持将由自身节点 (self-node) 处理而不能由数据处理器 103 处理的数据的数据包。数据包能否由数据处理器 103 处理可通过停止标志 204 来识别。另外, 如上文所述, 缓冲器 402 存储数据包生成器 105 生成的数据包。选择器 404 从上述两个缓冲器存储的数据包中选择要发送的数据包。发送间隔控制器 403 判断能否发送缓冲器 402 中存储的数据包。发送间隔控制器 403 包括内部计时器, 每当发送数据包时就将该计时器复位至预定值, 由此确保数据包发送间隔最小。此发送间隔可由寄存器等来设置, 且可设置与依处理顺序位于后面的模块 101 的处理能力对应的值。

[0026] 在本发明中, 所接收数据包的发送源模块与自身模块之间的处理顺序关系可通过发送源 ID 202 来判断。也可以通过检查所接收数据包的停止标志 204, 通过处理顺序来检测哪个模块处于处理停止状态。发送间隔控制器 403 可根据检测结果动态控制从缓冲器 402 的发送间隔, 由此提高数据包传送效率。

[0027] 下文将解释发送间隔控制器 403 进行的发送间隔控制的例子。首先, 将发送间隔设置为预定值作为初始状态。如果自身模块检测到依处理顺序位于自身模块之后的下一模块所发送的数据包处于停止状态, 则发送间隔控制器 403 将发送间隔设置为大于绕环形总线 102 一周所需的时间的值。这是因为按顺序位于自身模块之后的下一模块不能接收自身模块所发送的新数据包的可能性非常高。当发送间隔设置值大于数据包绕环形总线 102 一周所需的时间时, 可推测环形总线 102 中不再存在自身模块的停止数据包, 随后发送下一个数据包。请注意, 数据包绕环形总线 102 一周所需的时间是根据连接至环形总线 102 的模块数量而预先确定的。上述时间也可由发送间隔控制器 403 的内部计时器来测量。(例如, 代替绕环形总线 102 一周所需的时间, 还可通过使用数据包经过预定数量的模块的时间、或者预定数量的时钟, 达到某种程度的效果。)

[0028] 另一方面, 如果自身模块检测到依处理顺序位于自身模块的发送目的地 (依处理顺序位于自身模块之后的下一模块) 之后的模块处于停止状态, 则依处理顺序位于自身模

块之后的下一模块可接收数据包的可能性相对较高。因此,数据包以小于绕环形总线 102 一周所需的时间的发送间隔而发送。发送间隔也可设置为等于或大于作为初始状态设置的值。这种设置方式可减少占用环形总线 102 的自身模块停止数据包的数量。另外,只要依处理顺序位于自身模块的下一模块之后的模块能接收数据包,即可提供数据包。如果自身模块检测到依处理顺序位于自身模块之前的模块处于停止状态,则由于依处理顺序位于后面的模块未停止处理,因此无需改变发送间隔。

[0029] 如上文所述,通过根据其他模块的处理状态动态控制从自身模块发送数据包的发送间隔,可提高数据包传送效率。换言之,通过抑制生成作为停止数据包通过环形总线 102 并干扰其他模块发送数据的数据包,来提高整体的数据包传送效率。由于数据包传送量是根据每个模块的数据处理能力和处理优先级来动态控制的,因此即使在模块的数据处理能力不是常数而是动态变化时也能控制数据包的传送。

[0030] 在本发明中,处理顺序关系可以从发送源 ID 202 来判断,因此可添加对应于处理顺序的优先级。因此,如果检测到停止数据包,则可经由简单运算来判断已发送数据包的模块依处理顺序是否位于后面。此外,要发送的新数据包被抑制。结果,可确保高优先级模块的带(band),从而使高优先级模块能发送数据包。这使得可以在预定数据处理完成之前减少周期数,且可以有效提高数据处理装置的整体处理效率。本实施例的特征是仅使用单一 ID 和停止标志就可以根据进行预定数据处理的顺序来传送数据包,且可以考虑数据优先级而确保数据包传送带。

[0031] 由于只需要单一 ID,因而接收到数据包的每个模块都可通过对所接收数据包的 ID 以及自身模块寄存器的设置值进行运算,来判断是否由数据处理器处理数据包并判断数据的优先级。这不仅简化了判断机构,而且除了 ID 之外不需要在数据包中保持数据的优先级。另外,以上方法不需要用于将 ID 和优先级与每个模块相关联所需的存储器。

[0032] 本发明可通过经由简单机构判断数据优先级来提高数据处理装置的数据包传送效率。

[0033] 其他实施例

[0034] 还可以由读出并执行存储器装置所记录的程序以执行上述实施例的功能的系统或者装置中的计算机(例如 CPU 或 MPU 等装置)以及通过下面的方法来实现本发明的各方面,其中,系统或者装置中的计算机通过例如读出并执行存储器装置所记录的程序以执行上述实施例的功能,来执行上述方法的各步骤。为实现以上目的,例如经由网络或从用作存储器装置的各种类型的记录介质(例如计算机可读存储介质)向计算机提供上述程序。

[0035] 尽管已经参考典型实施例说明了本发明,但是应该理解,本发明不限于所公开的典型实施例。所附权利要求书的范围符合最宽的解释,以包含所有这类修改、等同结构和功能。

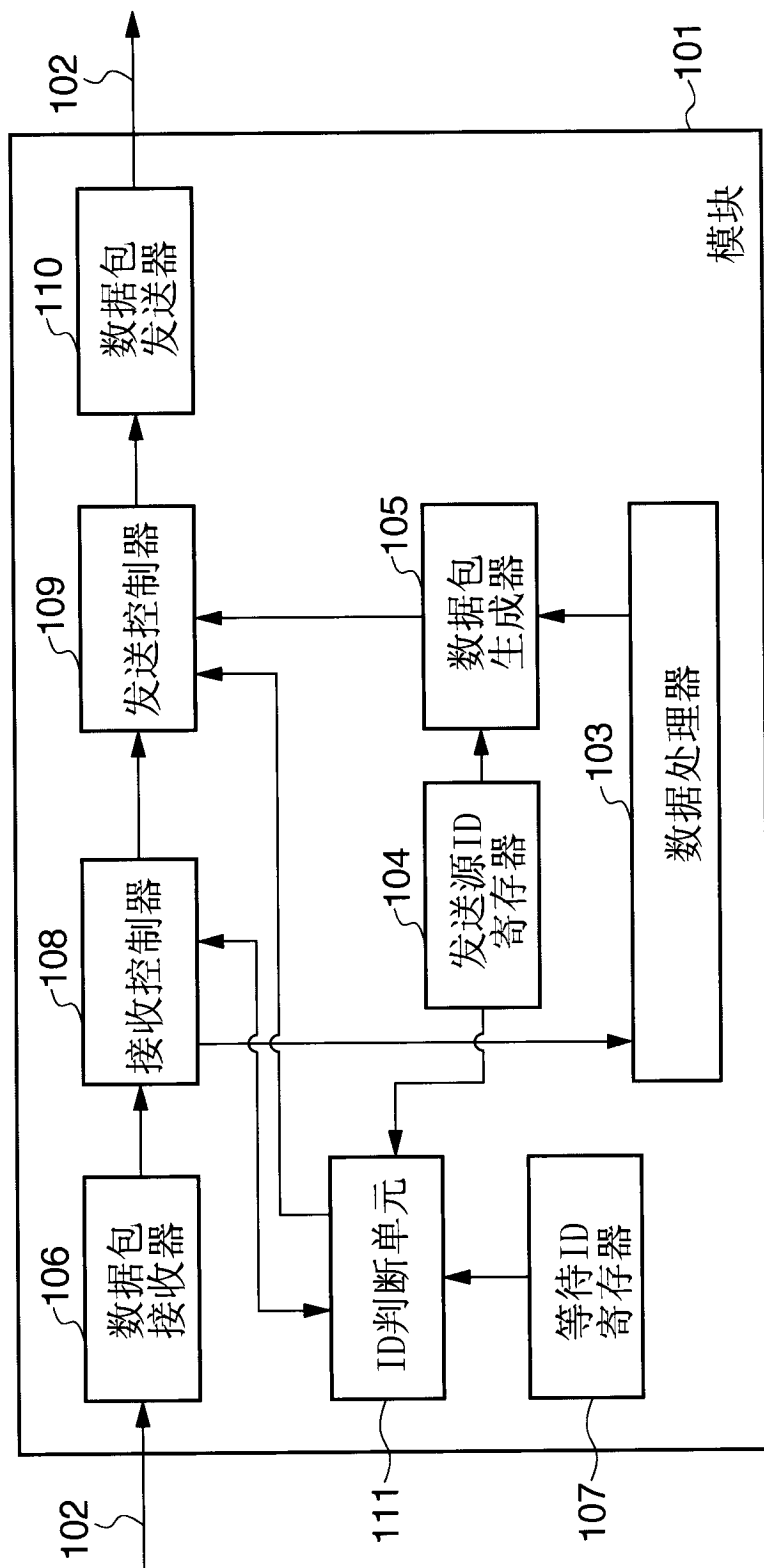


图 1

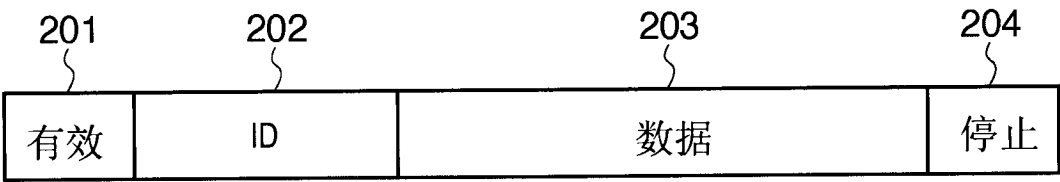


图 2

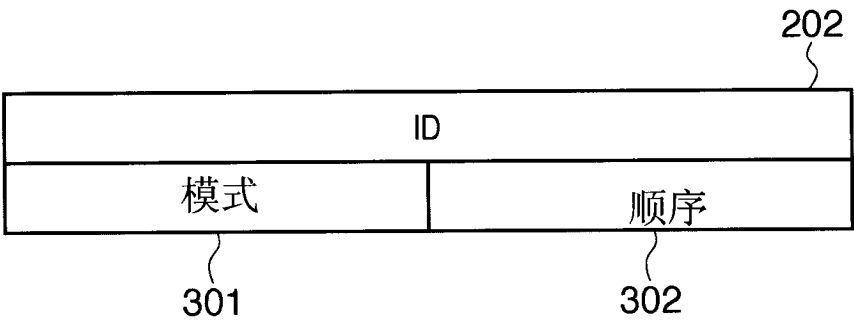


图 3A

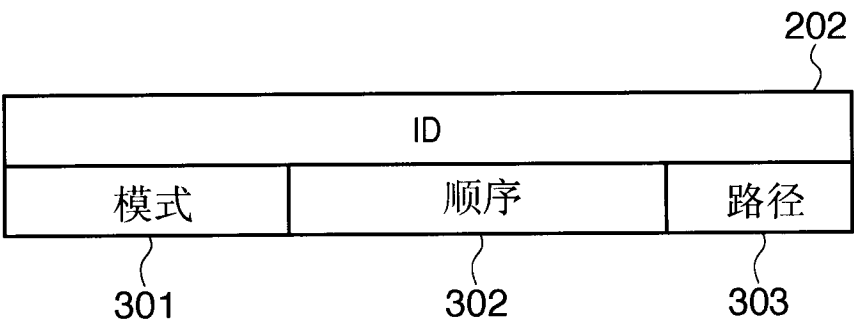


图 3B

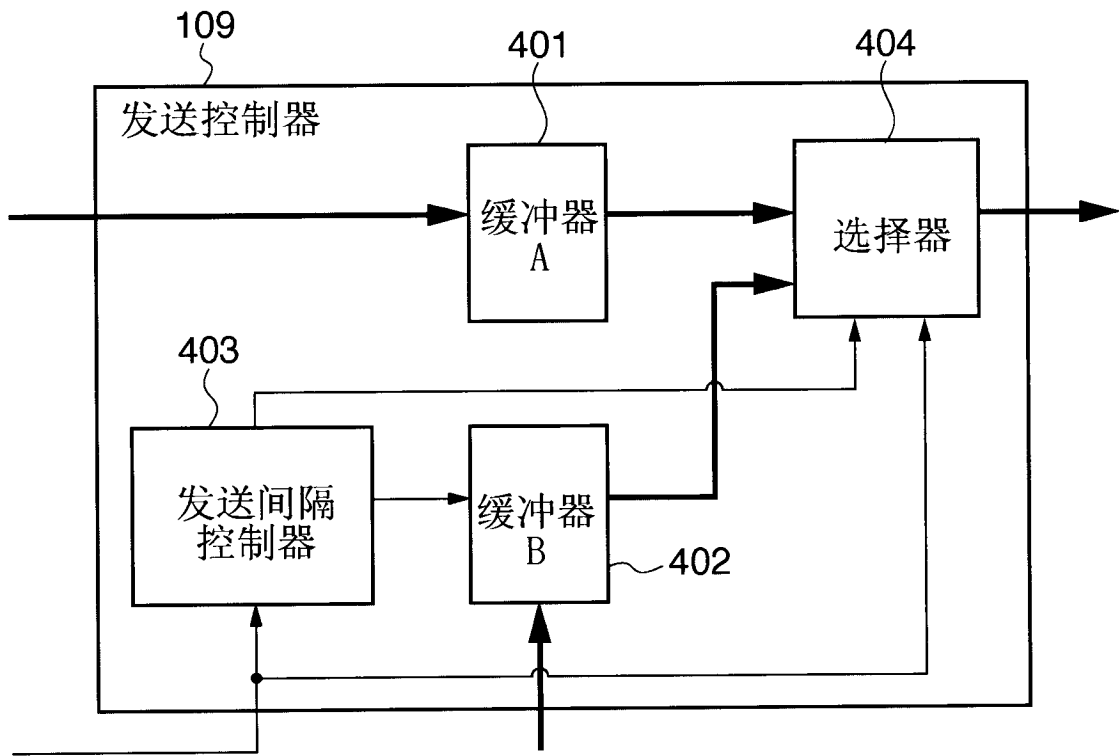


图 4