

【公報種別】特許法第17条の2の規定による補正の掲載

【部門区分】第7部門第2区分

【発行日】平成24年4月26日(2012.4.26)

【公開番号】特開2011-44575(P2011-44575A)

【公開日】平成23年3月3日(2011.3.3)

【年通号数】公開・登録公報2011-009

【出願番号】特願2009-191589(P2009-191589)

【国際特許分類】

H 01 L 21/336 (2006.01)

H 01 L 29/786 (2006.01)

H 01 L 21/28 (2006.01)

G 02 F 1/1368 (2006.01)

【F I】

H 01 L 29/78 6 2 7 C

H 01 L 29/78 6 1 8 B

H 01 L 29/78 6 2 6 C

H 01 L 29/78 6 1 7 T

H 01 L 29/78 6 1 7 M

H 01 L 29/78 6 1 2 C

H 01 L 21/28 3 0 1 R

H 01 L 21/28 3 0 1 B

H 01 L 21/28 D

G 02 F 1/1368

【手続補正書】

【提出日】平成24年3月8日(2012.3.8)

【手続補正1】

【補正対象書類名】特許請求の範囲

【補正対象項目名】全文

【補正方法】変更

【補正の内容】

【特許請求の範囲】

【請求項1】

基板上に金属膜によりソース電極とドレイン電極と酸化物半導体によりチャネル膜を形成し、

前記ソース電極と前記ドレイン電極と前記チャネル膜の上にゲート絶縁膜を形成し、

前記ゲート絶縁膜上に、導電膜を形成し、

前記導電膜上にネガレジストを塗布し、

前記ソース電極と前記ドレイン電極をマスクとして、前記基板の裏面側から前記ネガレジストを露光し、

前記ネガレジストの露光部分を残し前記ネガレジストを除去し、

前記露光部分をエッチングマスクとして前記導電膜をエッチングし、

前記導電膜上にレジストを塗布し、

前記基板の表面側から前記レジストを露光し、

露光後の前記レジストをエッチングマスクとして前記導電膜を再度エッチングすることで、ゲート電極を形成することを特徴とする半導体装置の製造方法。

【請求項2】

請求項1に記載の製造方法において、

前記基板上に前記金属膜により、前記ソース電極と前記ドレイン電極の形成と共に第1

配線を形成し、

前記ソース電極と前記ドレイン電極と共に前記第1配線をマスクとして、前記基板の裏面側から前記ネガレジストを露光し、

前記第1配線の直上の前記ネガレジストの一部を、前記基板の表面側からフォトマスクを介し露光し、

前記ネガレジストの露光部分を残し前記ネガレジストを除去し、

前記露光部分をエッチングマスクとする前記導電膜のエッチングにより、前記ゲート電極と共に第2配線を形成することを特徴とする半導体装置の製造方法。

【請求項3】

請求項1に記載の製造方法において、

前記基板上に前記金属膜によりソース電極とドレイン電極と共に第1配線を形成し、

前記ソース電極と前記ドレイン電極と共に前記第1配線をマスクとして、前記基板の裏面側から前記ネガレジストを露光し、

前記ネガレジストの露光部分を残し前記ネガレジストを除去し、

前記露光部分をエッチングマスクとする前記導電膜のエッチングにより、前記ゲート電極と共に第2配線を形成し、

前記第1配線直上の前記第2配線の分断部分を第3配線を形成し接続することを特徴とする半導体装置の製造方法。

【請求項4】

請求項1記載の製造方法において、

前記裏面露光の光源として、水銀ランプのi線を用いることを特徴とする半導体装置の製造方法。

【請求項5】

請求項1記載の製造方法において、

前記基板は、プラスチックフィルムからなることを特徴とする半導体装置の製造方法。

【請求項6】

請求項1記載の製造方法において、

前記チャネル膜は、Zn-O、In-O、Ga-O、Sn-O、In-Ga-Zn-O、Zn-Sn-O、In-Sn-O、In-Zn-O、Ga-Zn-O、In-Ga-Oの何れか一つから成ることを特徴とする半導体装置の製造方法。

【請求項7】

請求項1記載の製造方法において、

前記ゲート絶縁膜は、Si-O、Al-O、Si-Nの何れか一つから成ることを特徴とする半導体装置の製造方法。

【請求項8】

請求項1記載の製造方法において、

前記導電膜は、In-Sn-O、Al-Zn-O、Sn-Oの何れか一つから成ることを特徴とする半導体装置の製造方法。

【請求項9】

請求項1記載の製造方法において、

前記基板と、チャネル膜と、ゲート絶縁膜と、導電膜は透明であり、

前記金属膜は不透明であることを特徴とする半導体装置の製造方法。

【請求項10】

基板上に金属膜によりゲート電極を形成し、

前記ゲート電極と前記基板の上にゲート絶縁膜を形成し、

前記ゲート絶縁膜上に酸化物半導体によりチャネル膜を形成し、

前記チャネル膜上に導電膜を形成し、

前記導電膜上にネガレジストを塗布し、

前記ゲート電極をマスクとして、前記基板の裏面側から前記ネガレジストを露光し、

前記ネガレジストの露光部分を残し前記ネガレジストを除去し、

前記露光部分をエッティングマスクとして前記導電膜をエッティングし、
前記導電膜上にレジストを塗布し、
前記基板の表面側から前記レジストを露光し、
露光後の前記レジストをエッティングマスクとして前記導電膜を再度エッティングすることで、ソース電極とドレイン電極を形成することを特徴とする半導体装置の製造方法。

【請求項 1 1】

請求項 1 0 に記載の製造方法において、
前記基板上に前記金属膜によりゲート電極の形成と共に第 1 配線を形成し、
前記ゲート電極と共に前記第 1 配線をマスクとして、前記基板の裏面側から前記ネガレジストを露光し、
前記第 1 配線の直上の前記ネガレジストの一部を、前記基板の表面側からフォトマスクを介し露光し、
前記ネガレジストの露光部分を残し前記ネガレジストを除去し、
前記露光部分をエッティングマスクとする前記導電膜のエッティングにより、前記ソース電極、ドレイン電極の形成と共に第 2 配線を形成することを特徴とする半導体装置の製造方法。

【請求項 1 2】

請求項 1 0 に記載の製造方法において、
前記基板上に前記金属膜によりゲート電極と共に第 1 配線を形成し、
前記ゲート電極と共に前記第 1 配線をマスクとして、前記基板の裏面側から前記ネガレジストを露光し、
前記ネガレジストの露光部分を残し前記ネガレジストを除去し、
前記露光部分をエッティングマスクとする前記導電膜のエッティングにより、前記ソース電極、ドレイン電極の形成と共に第 2 配線を形成し、
前記第 1 配線直上の前記第 2 配線の分断部分を第 3 配線を形成し接続することを特徴とする半導体装置の製造方法。

【請求項 1 3】

請求項 1 0 記載の製造方法において、
前記裏面露光の光源として、水銀ランプの i 線を用いることを特徴とする半導体装置の製造方法。

【請求項 1 4】

請求項 1 0 記載の製造方法において、
前記基板は、プラスチックフィルムからなることを特徴とする半導体装置の製造方法。
【請求項 1 5】
請求項 1 0 記載の製造方法において、
前記チャネル膜は、Zn - O、In - O、Ga - O、Sn - O、In - Ga - Zn - O、Zn - Sn - O、In - Sn - O、In - Zn - O、Ga - Zn - O、In - Ga - O の何れか一つから成ることを特徴とする半導体装置の製造方法。

【請求項 1 6】

請求項 1 0 記載の製造方法において、
前記ゲート絶縁膜は、Si - O、Al - O、Si - N の何れか一つから成ることを特徴とする半導体装置の製造方法。

【請求項 1 7】

請求項 1 0 記載の製造方法において、
前記導電膜は、In - Sn - O、Al - Zn - O、Sn - O の何れか一つから成ることを特徴とする半導体装置の製造方法。

【請求項 1 8】

請求項 1 0 記載の製造方法において、
前記基板と、チャネル膜と、ゲート絶縁膜と、導電膜は透明であり、
前記金属膜は不透明であることを特徴とする半導体装置の製造方法。

【請求項 19】

基板上に金属膜によりソース電極とドレイン電極と酸化物半導体によりチャネル膜を形成し、

前記ソース電極と前記ドレイン電極と前記チャネル膜の上にゲート絶縁膜を形成し、

前記ゲート絶縁膜上に、導電膜を形成し、

前記導電膜上にネガレジストを塗布し、

前記ソース電極と前記ドレイン電極をマスクとして、前記基板の裏面側から前記ネガレジストを露光し、

前記ネガレジストの露光部分を残し前記ネガレジストを除去し、

前記露光部分をエッチングマスクとして前記導電膜をエッチングし、

前記導電膜上にレジストを塗布し、

前記基板の表面側から前記レジストを露光し、

露光後の前記レジストをエッチングマスクとする前記導電膜のエッチングにより、ゲート電極を形成することにより製造された半導体装置。

【請求項 20】

基板上に金属膜によりゲート電極を形成し、

前記ゲート電極と前記基板の上にゲート絶縁膜を形成し、

前記ゲート絶縁膜上に酸化物半導体によりチャネル膜を形成し、

前記チャネル膜上に導電膜を形成し、

前記導電膜上にネガレジストを塗布し、

前記ゲート電極をマスクとして、前記基板の裏面側から前記ネガレジストを露光し、

前記ネガレジストの露光部分を残し前記ネガレジストを除去し、

前記露光部分をエッチングマスクとする前記導電膜のエッチングにより、ソース電極とドレイン電極を形成することにより製造された半導体装置。