(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(51) Int. Cl.[6]
H01L 21/316

(11) 공개번호 특1997-0077345
(43) 공개일자 1997년12월12일

(21) 출원번호 특1996-0017475
(22) 출원일자 1996년05월22일

(71) 출원인 삼성전자 주식회사 김광호
경기도 수원시 팔달구 매탄동 416번지
(72) 발명자 후지하라 가즈유키
서울특별시 강남구 일원동 우성7차아파트 111동 906호
이길광
경기도 용인군 수지면 풍덕천리 한성아파트 105동 704호
(74) 대리인 이영필, 권석흠, 노민식

심사청구 : 있음

(54) 반도체장치의 제조방법

요약

폴리사이드 게이트를 갖는 반도체장치의 제조방법이 개시되어 있다. 반도체기판 상에 게이트절연막을 형성한 후, 그 위에 폴리실리콘층, 금속실리사이드층, 및 제1절연막을 순차적으로 형성한다. 제1절연막, 금속실리사이드층, 및 폴리실리콘층을 순차적으로 패터닝하여 게이트전극을 형성한다. 게이트전극에 의해 노출된 게이트절연막 상에만 선택적으로 제2절연막을 형성한 후, 결과물 전면에 제3절연막을 형성한다. 반도체기판이 노출될 때까지 제3절연막 및 제2절연막을 에치백하여 게이트전극의 측벽에 상기 제2절연막 및 제3절연막으로 이루어진 스페이서를 형성한다. 타이타늄 폴리사이드 게이트전극의 전기적저항을 증가시키지 않으면서 트랜지스터의 신뢰성을 향상시킬 수 있다.

대표도

도2d

명세서

[발명의 명칭]

반도체장치의 제조방법

[도면의 간단한 설명]

제2a도 내지 제2d도는 본 발명에 의한 타이타늄 폴리사이드 게이트를 갖는 반도체장치의 제조방법을 설명하기 위한 단면도들.

본 내용은 요부공개 건이므로 전문내용을 수록하지 않았음

(57) 청구의 범위

청구항 1

반도체기판 상에 게이트절연막을 형성하는 단계; 상기 게이트절연막 상에 폴리실리콘층, 금속실리사이드층, 및 제1절연막을 순차적으로 형성하는 단계; 상기 제1절연막, 금속실리사이드층, 및 폴리실리콘층을 순차적으로 패터닝하여 게이트전극을 형성하는 단계; 상기 게이트전극에 의해 노출된 게이트절연막 상에만 선택적으로 제2절연막을 형성하는 단계; 상기 제2절연막이 형성된 결과물 전면에 제3절연막을 형성하는 단계; 및 상기 반도체기판이 노출될 때까지 상기 제3절연막 및 제2절연막을 에치백하여 상기 게이트전극의 측벽에 상기 제2절연막 및 제3절연막으로 이루어진 스페이서를 형성하는 단계를 구비하는 것을 특징으로 하는 반도체장치의 제조방법.

청구항 2

제1항에 있어서, 상기 금속실리사이드층은 타이타늄실리사이드(TiSix) 또는 코발트실리사이드(CoSix) 중의 어느 하나로 이루어진 것을 특징으로 하는 반도체장치의 제조방법.

청구항 3

제1항에 있어서, 상기 제1절연막은 실리콘질화막인 것을 특징으로 하는 반도체장치의 제조방법.

청구항 4

제1항에 있어서, 상기 게이트전극을 형성하는 단계에서, 상기 제1절연막, 금속실리사이드층, 및 폴리실리콘층은 건식식각 방법에 의해 순차적으로 패터닝하는 것을 특징으로 하는 반도체장치의 제조방법.

청구항 5

제1항에 있어서, 상기 제2절연막은 실리콘산화막인 것을 특징으로 하는 반도체장치의 제조방법.

청구항 6

제1항에 있어서, 상기 제2절연막을 선택적으로 형성하는 방법은 액상성장법(LPD)인 것을 특징으로 하는 반도체장치의 제조방법.

청구항 7

제1항에 있어서, 상기 제2절연막은 폴리실리콘층 두께의 1/2 정도의 두께로 형성하는 것을 특징으로 하는 반도체장치의 제조방법.

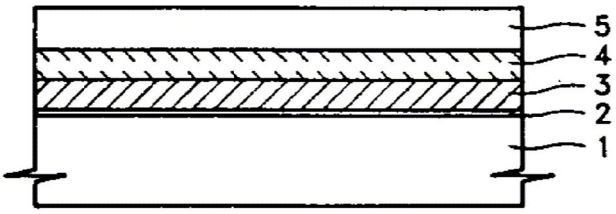
청구항 8

제1항에 있어서, 상기 제3절연막은 실리콘질화막인 것을 특징으로 하는 반도체장치의 제조방법.

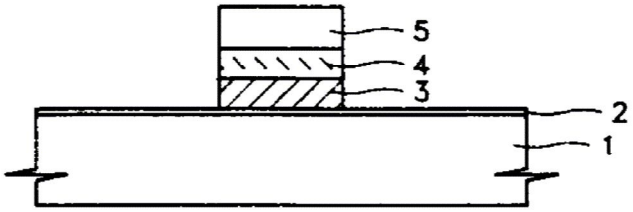
※ 참고사항 : 최초출원 내용에 의하여 공개하는 것임.

도면

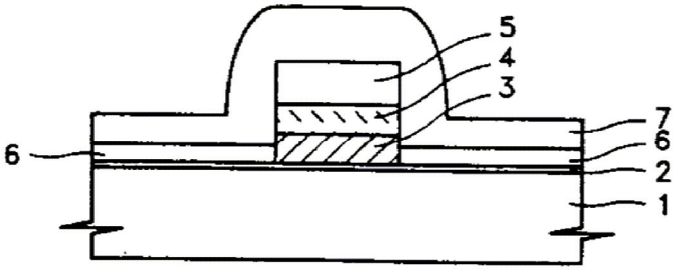
도면2a



도면2b



도면2c



도면2d

