

A1

**DEMANDE
DE BREVET D'INVENTION**

⑪

N° 81 07897

⑤④ Système à sources de données et à récepteurs de données multiples à bus de communication.

⑤① Classification internationale (Int. Cl.³). G 06 F 3/04.

②② Date de dépôt..... 21 avril 1981.

③③ ③② ③① Priorité revendiquée : *Pays-Bas, 23 avril 1980, n° 80 02 346.*

④① Date de la mise à la disposition du
public de la demande..... B.O.P.I. — « Listes » n° 44 du 30-10-1981.

⑦① Déposant : NV PHILIPS' GLOEILAMPENFABRIEKEN, société anonyme de droit néerlandais,
résidant aux Pays-Bas.

⑦② Invention de : Hendrik Vrieling.

⑦③ Titulaire : *Idem* ⑦①

⑦④ Mandataire : Jean de La Source, société civile SPID,
209, rue de l'Université, 75007 Paris.

"Système à sources de données et à récepteurs de données multiples à bus de communication."

La présente invention concerne un système à sources de données et à récepteurs de données multiples dans lequel la ou les sources de données et le ou les récepteurs de données sont connectés à un bus de communication qui est constitué d'au moins un milieu de transfert convenant pour le transport d'au moins un niveau logique (0 ou 1).

De tels systèmes sont connus et notamment des systèmes dans lesquels les sources de données et les récepteurs de données sont formés au moins pour partie d'unités de traitement de signaux, comme des microprocesseurs et des unités analogues. Par le fait que la micro-électronique évolue de plus en plus vers une intégration sans cesse plus poussée de fonctions électroniques sur des supports dits puces, le temps est venu d'y faire appel dans des domaines dans lesquels les frais doivent être réduits au minimum. On peut citer, par exemple, les articles de grande distribution tels que les appareils vidéo, audio et analogues. Lorsqu'une coopération entre divers appareils dans une chaîne (par exemple une chaîne d'appareils vidéo ou audio) est souhaitée ou exigée, une communication doit être établie entre les diverses parties. Dans ce cas, certains appareils ou certaines parties d'appareils déterminés servent de sources de données ou de récepteurs de données ou même rassemblent les deux fonctions. Pour un système comportant un certain nombre de sources de données et de récepteurs de données, il est connu d'utiliser un bus dit de communication pour l'établissement de ladite communication Voir, par exemple l'article de Casaglia dans Euromicro Newsletter, Octobre 1976, volume 2, n° 4, page 5 et suivantes. Jusqu'à présent, ces bus de communication étaient de conception ample, c'est-à-dire qu'ils comportaient un certain nombre de lignes qui assureraient l'établissement efficace de la communication. Des systèmes à bus de 4 et de 8 lignes, etc., sont bien connus. L'approche la plus directe du problème d'une communication

asynchrone entre des sources et des récepteurs exige 4 lignes :
au moins 1 ligne de données et 3 lignes de commande. Dans
ce cas (voir, par exemple, Fall Joint Comp. Conf. 1972, pages
719 à 740) une communication est possible entre les modules
5 sans qu'ils doivent savoir les uns des autres quelle est
leur vitesse de traitement interne. Cependant un tel bus de
communication est trop compliqué et souvent trop onéreux
pour être pris en considération comme bus dans les domaines
où il s'agit de réduire les frais au minimum. On a cherché
10 des solutions selon lesquelles le bus de communication et
la communication qu'il doit permettre d'établir soient aus-
si simples et aussi peu onéreux que possible. Un bus com-
portant le nombre minimum de lignes de transfert pourrait
notamment être envisagé. Le terme "minimum" signifie qu'il
15 y a au moins un milieu de transfert convenant pour le
transport d'au moins un niveau logique (0 ou 1). Dans la
pratique, il peut s'agir d'un câble coaxial, d'une paire
de conducteurs (torsadés) ou aussi d'une liaison non câblée
ou d'une liaison par câble en fibres de verre optiques.
20 Pour ces derniers exemples, on peut imaginer, par exemple,
que la liaison soit établie au moyen d'un faisceau lumi-
neux ou infrarouge d'une onde porteuse modulée par au moins
le niveau logique 0 ou 1. Un exemple connu d'un système à
sources de données et à récepteurs de données multiples
25 mentionné dans le préambule est publié dans les documents
de conférence EUROMICRO 1976 : R. Sommer, "Cobus, a
firmware controlled data transmission system", pages 299 à
303. "Cobus" signifie un bus coaxial et la communication
s'établit alors entre un certain nombre de postes équipés
30 de microprocesseurs. Ce système ne satisfait cependant pas
à l'exigence de frais peu élevés : pour les divers proces-
seurs, on n'admet pas une grande différence dans la "notion
de temps". Pour que la communication se déroule bien, il
faut que les processeurs participants connaissent à priori
35 les périodes binaires des autres processeurs. Cela signifie
que chaque processeur doit être équipé d'un oscillateur à

quartz onéreux ou que le système doit comprendre une horloge centrale ou encore, qu'après assemblage, un réseau de temporisation doit être réglé, ce qui est également onéreux et surtout peu fiable.

5 A propos de la recherche d'une solution peu onéreuse et fiable, il convient de noter que cette solution doit aussi être simple car dès qu'un tel système est en service (par exemple chez un client), on ne peut plus le soumettre à des opérations de réglage et autres adaptations spéciales. Ceci
10 est valable d'autant plus lorsqu'une adjonction ultérieure de nouvelles sources de données et /ou de récepteurs de données doit pouvoir être prévue à titre d'option pour le système. L'invention a pour but de fournir une solution qui satisfasse aux dites exigences de frais peu élevés, de fiabilité,
15 de simplicité et d'une possibilité d'extension ultérieure en option. A cet effet, le système à sources de données et à récepteurs de données multiples mentionné dans le préambule est caractérisé en ce que :

- il comporte plusieurs générateurs de signaux d'horloge
20 présentant des tolérances réciproques, et
- dans la ou les sources et le ou les récepteurs sont présents des moyens à l'aide desquels pour la ou toutes les sources ou le ou tous les récepteurs qui participent activement à une action se rapportant à une communication (participants à l'action), on peut déterminer si ledit bus est "prêt"
25 pour l'exécution de ladite action, les dits moyens :

. comportant des premiers et seconds moyens assurant la détection, au moyen desquels on peut établir que pendant une première ou une deuxième durée (par exemple T_{Ai} ou T_{Bi}) le
30 bus de communication est prêt pour l'action en question, la première durée étant inférieure à la deuxième (par exemple $T_{Ai} < T_{Bi}$) et cette première durée étant déterminée par un facteur de temps (par exemple a_{Ai}) participant à l'action en question et la deuxième durée étant en relation avec le
35 produit le plus grand (R.V) de l'ensemble de produits ($R_i.V_i$) de tous les participants potentiels à l'action, les produits

($R_i.V_i$) étant formés pour chaque participant à l'action par un facteur de tolérance (R_i) du générateur de signaux d'horloge pour le participant à l'action et par un facteur de temps de réaction (V_i) de ce participant,

5 . étant entendu que, dans le cas où un participant à l'action détecte que la deuxième durée (T_{B_i}), pour ce participant et pour tous les autres participants à l'action qui ont détecté dans l'entre-temps, au moins pendant leur première durée en question, que le bus est prêt, le bus est
10 (effectivement) prêt pour l'exécution de l'action en question et peut donc être occupé par cette action.

Suivant l'invention, on admet dans une large mesure que les générateurs de signaux d'horloge présents dans le système ont des tolérances réciproques. On tient compte de ces
15 tolérances : selon que les tolérances sont plus grandes, la dite deuxième durée sera plus longue par la dépendance du facteur de tolérance (R). Cela signifie bien sûr une moindre vitesse de communication, mais ne nuit pas au respect des exigences imposées. Il convient de noter à ce propos que,
20 dans les systèmes en question, par exemple dans un système destiné à la grande distribution, le facteur vitesse ne joue pas un rôle aussi décisif que dans les systèmes à vocation plutôt professionnelle dans lesquels l'utilisation de bus de communication à plusieurs lignes (par exemple 4 ou 8, etc.)
25 n'est à priori pas prohibitive.

Dans un système à sources de données et à récepteurs de données multiples, en principe deux sortes de sources et/ou de récepteurs peuvent être prévus : à savoir des sources et des récepteurs actifs et passifs.

30 - Actifs, qui peuvent participer activement et de manière autonome à une action ayant trait à une communication. Cette catégorie sera aussi parfois désignée par le terme "module". Une telle source ou un tel récepteur peut ainsi devenir maître du système. D'autre part, ces sources et/ou ré-
35 cepteurs actifs peuvent par leur choix propre rester passifs ou, à cause d'une priorité plus élevée d'une autre source

active ou d'un autre récepteur actif, être forcés à rester passifs. Dans ces derniers cas, ces sources et/ou ces récepteurs peuvent parfaitement remplir un rôle d'esclave dans le système.

5 - Passifs, qui ne peuvent pas prendre de manière autonome une initiative permettant d'obtenir une liaison de communication. Une telle source et/ou un tel récepteur ne pourront ainsi remplir qu'un rôle d'esclave du système.

10 Lorsque (comme ci-dessus et ci-après) il est question des "participants à l'action", on entend la ou les sources actives et/ou le ou les récepteurs actifs qui, à un moment déterminé, ont participé effectivement à une action se rapportant à une communication. (Ceci ne doit donc pas correspondre au nombre total de sources de données et de récepteurs de données actifs présents, puisque la situation n'est
15 pas toujours telle que tous désirent participer). Il convient d'insister encore une fois sur le fait qu'il va de soi qu'une source de données peut aussi être un récepteur de données et inversement. L'invention est basée sur le principe
20 que tous les participants à l'action doivent avoir l'occasion de participer effectivement à une action se rapportant à une communication. Les tolérances d'horloge réciproques ne peuvent pas aboutir au fait que des participants à une action dont l'horloge est trop lente ne puissent pas participer (parce qu'ils ne réagissent pas assez rapidement pour intervenir
25 dans une telle action). Pour atteindre ce résultat, l'introduction desdites première et deuxième durées (par exemple T_{Ai} et T_{Bi}) introduit un mécanisme dit "d'induction" qui garantit que tous les participants à une action puissent effectivement y participer. Explication : supposons que plusieurs modules souhaitent utiliser le bus. A cet effet, ils doivent attendre jusqu'à ce que le bus y soit "prêt" pendant un temps suffisamment long. Supposons, en outre, que le générateur de signaux d'horloge local d'un premier module fonctionne
35 plus rapidement que celui d'un deuxième module. Le premier module peut ainsi savoir si le bus est libre, c'est-à-dire s'il est "prêt" à être utilisé, plus rapidement (après T_{Bi}) que le deuxième module. Le premier module commence à utili-

ser le bus ("occupe" le bus). Le mécanisme d'induction assure maintenant que le deuxième module (qui a lui-même entre-temps détecté le moment T_{A2}), après avoir remarqué qu'un autre module (le premier) commence à utiliser le bus, y réagit en commençant lui aussi à utiliser le bus.

Le concept du temps de réaction d'une source de données et d'un récepteur de données se rapporte au temps nécessaire à un tel module pour réagir à un bit d'information. Normalement, le temps de réaction est le produit d'un facteur $V_i > 1$ et de la durée d'une période de signal d'horloge pour un tel module (M_i).

On a utilisé ci-dessus plusieurs fois le concept "action se rapportant à une communication". Une communication est constituée d'un certain nombre d'actions, à réaliser :

- le lancement de requêtes ("start") de plusieurs participants jusqu'à l'établissement d'une liaison de communication ;
- l'exécution, sur la base de données de priorité et/ou d'adresses, d'une procédure de sélection parmi plusieurs participants exigeant une liaison de communication (choix de maître) ;
- le maître établit une liaison avec la source ou le récepteur qui sert d'esclave dans cette communication (phase dite "d'esclave ouvert") ;
- le transfert de données lui-même.

Le mécanisme d'induction proposé conformément à l'invention est important, notamment pour la première des deux actions citées : plusieurs participants à l'action doivent pouvoir participer en dépit de leurs tolérances d'horloge. Pour les deux dernières actions citées, ceci n'est en soi plus critique car il s'agit de la liaison directe entre un maître et un esclave qui est adressée et qui entame un transfert de données avec le maître. Etant donné que le maître sait donc alors qui est l'esclave, on peut imaginer qu'il connaît aussi sa vitesse de réaction et qu'il en tient compte pendant le transfert de données. Il sera alors possible en pratique, d'adapter la vitesse de transfert de données à la situation du maître et de l'esclave l'un par rapport à l'autre :

des vitesses plus élevées peuvent alors être atteintes. Il ne faut pas tenir compte de sources de données et/ou de récepteurs de données réagissant plus lentement.

Pour rendre "l'induction" possible, notamment pour la-
 5 dite première action, le système à sources de données et à récepteurs de données multiples conforme à l'invention est caractérisé en ce que lesdits moyens sont conçus pour établir que le bus de communication est prêt pour le traitement d'une action concernant le lancement d'une requête (start) de plu-
 10 sieurs participants jusqu'à l'établissement d'une liaison de communication. Pour rendre "l'induction" possible, notamment pour ladite deuxième action, le système à sources de données et à récepteurs de données multiples est caractérisé en ce que lesdits moyens sont conçus pour établir que le bus de
 15 communication est "prêt" pour le traitement d'une action concernant l'exécution, sur base de données de priorité et/ou d'identité, d'une procédure de sélection parmi plusieurs sources de données et/ou récepteurs de données demandant une liaison de communication à titre de participant(s) à une
 20 action.

Pour aboutir à des décisions rapides et sans équivoque sur le bus de communication aux cas où plusieurs participants à une action présentant leurs données au bus, une autre
 25 forme de réalisation du système à sources de données et à récepteurs de données multiples est caractérisée en ce que le bus de communication formé d'au moins un milieu de transfert est pourvu, pour chaque endroit de connexion d'un participant à une action, d'une fonction de porte logique câblée ("wired AND" ou "wired OR").

Des solutions particulièrement importantes sont celles
 30 selon lesquelles le bus de communication est formé d'un seul ou de deux milieux de transfert. Dans ce cas, pour l'action concernant le lancement d'une requête (start) de plusieurs participants à une action, le système comportant un seul milieu de transfert a une seconde durée minimale T_{Bi} qui,
 35 pour chaque participant potentiel (M_i), satisfait à l'expression $T_{Bi} = a_B T_{Ci} = (R^6 \cdot V) \cdot T_{Ci}$, dans laquelle T_{Ci} est la

période du générateur de signaux d'horloge pour ce participant (M_i). De plus, dans ce cas, le système comportant deux milieux de transfert a une seconde durée minimale

$$\underline{T}_{Bi} = (R^3 \cdot V) \cdot T_{ci}.$$

5 Pour l'action concernant la procédure de sélection, le système qui comporte un seul milieu de transfert a une seconde durée minimale $\underline{T}_{Fi} = a_F \cdot T_{ci} = (R^4 \cdot V) \cdot T_{ci}$. De plus, dans ce dernier cas, le système comportant deux milieux de transfert a une seconde durée minimale $\underline{T}_{Fi} = (R \cdot V) \cdot T_{ci}$.

10 Une forme d'exécution adéquate d'une source de données et/ou d'un récepteur de données conçus pour participer activement dans le système en question à une action se rapportant à une communication, est caractérisée en ce que la source de données et/ou le récepteur de données ont au moins une

15 entrée de commande et une sortie de commande et, dans la source et/ou le récepteur, les dits moyens :

- par l'intermédiaire de la sortie de commande, après établissement dans les seconds moyens assurant la détection que la dite seconde durée (par exemple T_{Bi}) s'est écoulée, conver-
- 20 tissent un niveau logique "prêt" sur le bus de communication en un niveau logique "occupé",
- produisent, à la sortie de commande, également le niveau logique "occupé" au cas où le niveau logique "occupé" placé sur le bus par un autre participant est reçu par l'inter-
- 25 médiaire de l'entrée de commande et où, de plus, la source et /ou le récepteur ont eux-mêmes établi entre-temps, à l'aide des premiers moyens assurant la détection, qu'au moins la première durée (par exemple T_{Ai}) s'est écoulée,
- de sorte que la source et/ou le récepteur peuvent ainsi être
- 30 commandés en vue de la participation à l'exécution d'une action envisagée.

Dans la pratique, il arrivera que ladite source de données et/ou récepteur de données soient un processeur de signaux numériques qui comporte des moyens de fonction programmés qui comprennent lesdits moyens et dont une entrée

35 fonctionne comme ladite entrée de commande et une sortie comme ladite sortie de commande.

Pour le processeur de signaux numériques utilisé de la manière précitée comme source de données et/ou comme récepteur de données, on peut réaliser une amélioration par le fait que, pour la source et/ou le récepteur, un détecteur de transition de niveau logique "prêt" - "occupé" est prévu, au moyen duquel une transition "prêt" - "occupé" fournit sur le bus de communication un temps de réaction raccourci pour la production par la source de données et/ou par le récepteur lui-même, à sa sortie de commande, du niveau logique "occupé" lorsqu'il a, en outre, établi entre temps qu'au moins la première durée est écoulée. Le temps de réaction de la source et/ou du récepteur est ainsi diminué, ce qui entraîne une amélioration de la vitesse de communication.

Dans les cas où cela se justifie, sur la base du type de source de données et/ou de récepteur de données utilisés et/ou sur une base économique, il est possible d'obtenir une solution favorable notamment quant au temps de réaction. A cet effet, la source de données et/ou le récepteur de données sont caractérisés en ce qu'ils comportent une première et une seconde partie, la première partie contenant essentiellement la fonction de source et/ou de récepteur et étant connectée à la seconde partie par au moins une sortie de requête et une entrée d'accusé de réception, la seconde partie comportant respectivement une entrée de requête et une sortie d'accusé de réception et étant en outre pourvue desdits moyens servant à établir si le bus de communication est prêt pour l'exécution d'une action se rapportant à une communication, la seconde partie, qui comporte ladite entrée de commande et ladite sortie de commande, pouvant être connectée au bus. Il est alors aussi possible que ladite seconde partie comporte également des moyens de comparaison d'identité au moyen desquels l'identité propre de la source de données et/ou du récepteur de données peut être comparée à une identité présentée par l'intermédiaire du bus de communication.

Une forme d'exécution spéciale de la solution précitée est en outre caractérisée en ce que lesdits moyens compor-

tent dans la seconde partie une mémoire morte, un compteur d'adresses et un élément logique à fonction ET, la mémoire morte pouvant être adressée par le compteur d'adresses; le compteur d'adresses compte des signaux d'horloge qui sont
5 présentés par l'intermédiaire d'une entrée du générateur de signaux d'horloge à partir de la première partie après qu'un signal de requête ait été reçu par l'intermédiaire de l'entrée de requête; lorsque l'état du compteur représentant la première durée (T_{A1}) est atteint, la mémoire morte adressée fournit
10 un bit de sortie au moyen duquel l'élément logique à fonction ET est positionné; lorsque l'état du compteur qui représente la seconde durée (T_{B1}) est atteint ou plutôt lorsque, par l'intermédiaire de l'entrée de commande le signal bus "prêt" se transforme en signal bus "occupé" ce qui force le comp-
15 teur, par l'intermédiaire de l'élément à fonction ET dans la position de comptage de la seconde durée (T_{B1} , la mémoire morte fournit, à partir de l'endroit alors adressé, également le niveau logique "occupé" à la sortie de commande.

20 Finalement, il convient de noter qu'il est ici également encore possible que la mémoire morte adressée au moyen du compteur d'adresses convienne, en coopération avec les moyens comparateurs d'identité, pour l'exécution de la comparaison d'identité.

25 Le bus de communication est formé d'au moins un milieu de transfert. Il s'agit là de la solution la plus avantageuse, à condition que la vitesse de communication ne soit pas trop élevée, parce que les tolérances du générateur de signaux d'horloge jouent un grand rôle.

30 Des solutions comportant un plus grand nombre de milieux de transfert sont aussi possibles à l'aide du principe d'induction conforme à l'invention. Plus particulièrement, un système à sources de données et à récepteurs de données multiples est caractérisé à cet effet en ce que le bus de communication est formé de deux milieux de transfert dont le
35 premier sert de milieu de transfert de commande et l'autre de milieu de transfert de données, au moins chaque participant à une action étant pourvu d'une borne d'écriture et d'une borne de lecture sur le milieu de transfert de comman-

de ainsi que d'une borne d'écriture et d'une borne de lecture sur le milieu de transfert de données. Une autre réalisation est caractérisée à cet effet en ce que le bus de communication est formé de trois milieux de transfert dont deux servent de milieux de transfert de commande et le troisième de milieu de transfert de données, au moins chaque participant à une action étant pourvu de bornes d'écriture et de lecture sur les milieux de transfert de commande et d'une borne d'écriture ainsi que d'une borne de lecture sur le milieu de transfert de données. Une autre réalisation spéciale à milieux de transfert multiples est caractérisée en ce que le bus de communication est formé de trois milieux de transfert dont l'un sert de milieu de transfert de commande et les deux autres de milieux de transfert de données, au moins chaque participant à une action étant pourvu d'une borne d'écriture et d'une borne de lecture sur le milieu de transfert de commande et de bornes d'écriture ainsi que de bornes de lecture sur les milieux de transfert de données.

L'invention sera expliquée ci-après plus en détail et à titre d'exemple avec référence aux dessins annexés, dans lesquels :

- la figure 1 illustre schématiquement un certain nombre d'actions constituant la communication passant par un bus de communication ;
- la figure 2 illustre un système à sources de données et à récepteurs de données multiples comportant une seule ligne comme milieu de transfert ;
- la figure 3 illustre le diagramme de temps correspondant au système représenté sur la figure 2 ;
- la figure 4 illustre un système à sources de données et à récepteurs de données multiples comportant deux lignes comme milieux de transfert ;
- la figure 5 illustre le diagramme de temps correspondant au système représenté à la figure 4 ;
- la figure 6 illustre un système comportant trois lignes comme milieu de transfert ;
- la figure 7 illustre une réalisation légèrement modi-

fiée du système comportant trois lignes comme milieu de transfert ;

- les figures 8a et 8b illustrent des exemples de modules qui ont la forme d'un processeur de signaux numériques ;
- 5 - la figure 9 est un organigramme pour le traitement des interruptions ;
- la figure 10 est un organigramme d'un programme principal ;
- 10 - la figure 11 est un organigramme d'une procédure d'interruption ;
- la figure 12 est un organigramme d'une procédure d'interruption détaillée ;
- la figure 13 est un organigramme de l'examen bus "prêt" ;
- 15 - la figure 14 est un schéma synoptique d'une source de données et/ou d'un récepteur de données formés d'une première partie et d'une seconde partie ;
- la figure 15 est un schéma détaillé du schéma synoptique de la figure 14 ;
- 20 - la figure 16 est un diagramme de bits de temps pour le schéma de la figure 15, et
- la figure 17 est le schéma d'un détecteur de "transition prêt - occupé".

La figure 1 illustre schématiquement les actions qui peuvent constituer une communication passant sur un bus.

25 - Attendre jusqu'à ce que le bus soit prêt pour une action se rapportant à une communication (bloc 20). Le bus est considéré comme "prêt" lorsqu'il ne présente aucune action pendant un temps suffisamment long. Dans ce cas, il s'agit de faire connaître cette situation "bus prêt" à tous les participants de telle sorte qu'ils puissent tous participer à l'action suivante.

30 - l'arbitrage (bloc 22) est cette action suivante qui se rapporte à l'exécution d'une procédure de sélection sur la base des données de priorité et/ou d'identité. Ceci permet de déterminer le module qui devient maître dans le système.

- Sélection d'esclave (bloc 24) : le maître donne une

adresse de destination. Tous les modules comparent cette adresse à leur identité propre. La source ou le récepteur qui constate une concordance, se considère comme esclave. Ceci est la phase dite "d'esclave ouvert".

- 5 - Cette source ou ce récepteur fera, dans la plupart des cas, encore connaître sa propre identité au maître de telle sorte que celui-ci puisse vérifier si l'esclave correct a été choisi (bloc 26).
- transfert de données (bloc 28). Les données à transférer
10 sont transportées sur le bus. L'esclave considère que le transfert est terminé lorsqu'il constate que le bus est à nouveau libre (aucune action dans une période déterminée). A cause du fait qu'après l'arbitrage et la sélection d'esclave, une liaison de point à point est normalement présente,
15 d'autres restrictions de durée que les précédentes peuvent être valables. Ces restrictions peuvent être choisies de manière optimale pour la configuration maître-esclave en question, de telle sorte que l'on puisse obtenir une vitesse de transport de données plus élevée. Pendant le transfert de
20 données, une protection contre les erreurs de transfert de bits peut intervenir. Cette protection peut être assurée par une procédure dite d'écho de bits selon laquelle le récepteur réémet chaque bit (sous la forme d'écho). La source compare alors le bit émis au bit reçu.

- 25 Il convient de noter que non seulement le bloc 26, mais aussi le bloc 28 peuvent ne pas toujours être présents. Il arrive qu'un maître termine sa mission de communication par l'ouverture d'un esclave.

- Dans les systèmes conformes à l'invention, le transport
30 de l'information s'effectuera en général par séries de bits par l'intermédiaire du milieu de transfert au moins unique. Comme déjà décrit, ceci suscite des difficultés de synchronisation lorsqu'aucune horloge centrale, aucun oscillateur à quartz et aucun réseau d'ajustement ne doivent ou ne peuvent être utilisés.
35

L'invention admet, à cause du principe dit "d'induction"

que les horloges dans le système qui peuvent être présentes, notamment pour chaque module ou éventuellement pour chaque groupe de modules, présentent des tolérances. On suppose que pour chaque source active et/ou chaque récepteur actif, il existe une tolérance R_i : $R_i = \frac{T_i \text{ max}}{T_i \text{ min}}$. Par exemple : une déviation de -20 % jusqu'à +80 % donne $R_i = 2,25$. On admettra ci-après que toutes les durées de chaque source active et/ou de chaque récepteur actif sont proportionnelles au générateur de signaux d'horloge (T_{ci}) associé à cette source active et/ou à ce récepteur actif.

La figure 2 illustre un système à sources de données-récepteurs de données multiples comportant une seule ligne comme milieu de transfert. Sur la figure 2, C est le bus à ligne unique permettant de transporter un niveau logique 0 ou 1. M_1, M_2, \dots, M_n désignent des sources de données et des récepteurs de données. Il peut s'agir de sources actives et passives et/ou de récepteurs actifs et passifs. Etant donné qu'il est sans importance pour l'explication de l'invention qu'en dehors des sources et/ou de récepteurs actifs il puisse y en avoir aussi des passifs, on supposera ci-après que, dans les exemples, seules des sources de données actives et des récepteurs de données actifs sont présents. Ceux-ci seront désignés ci-après de manière générale par le terme générique "module".

Chaque module peut lire et/ou écrire des données à partir de la ligne ou vers celle-ci; toutefois, pour l'établissement d'une liaison de communication, il faut que tous les modules puissent lire des informations de commande de communication du bus de communication et les écrire vers celui-ci. Chaque module comporte à cet effet une sortie CW (module M_1), CW (module M_2), ... pour l'écriture vers le bus et une entrée CR pour la lecture depuis le bus. L'information sur C est alors égale à l'information présente aux entrées CR (module M_1), CR (module M_2), ... CR (module M_n). Pour l'écriture, on admet que la ligne C du bus a une fonction de porte logique câblée : une porte ET câblée ou une porte OU câblée. En rela-

tion avec les exemples utilisés plus loin dans cette description et la définition des signaux choisis du niveau logique "occupé" = "bas" = 0 et "libre" = "haut" = 1, on utilise la fonction logique ET pour déterminer le niveau logique sur le bus. Le niveau sur la ligne C est donc déterminé par
 5 $C = CW(M1).CW(M2)...$ Comme on le sait, une porte ET câblée peut, par exemple, être réalisée avec les dispositifs d'excitation de bus à collecteur ouvert.

La figure 3 est un diagramme de temps qui correspond à
 10 l'exemple de la figure 2. Dans ce diagramme de temps, C représente les signaux sur le bus, CW(M1) et CW(M2) indiquent les états des signaux aux sorties d'écriture des modules M1 et M2. Dans cet exemple, on suppose que les deux modules lancent une requête de communication. De plus, dans cet exemple,
 15 le générateur de signaux d'horloge du module M1 est plus rapide que celui du module M2. Vues dans le temps, les opérations suivantes se déroulent.

1) Un maître précédent du système (un module M_i) a achevé d'utiliser le bus.

20 2) Lorsque, après une première durée T_{A1} (dans ce cas donc pour M1), la ligne C n'a pas changé de niveau logique, le bus est considéré comme "libre". ($C=1$). Lorsque le bus reçoit le niveau logique "occupé" ($C = 0$) avant que la durée T_{A1} soit écoulée, il est considéré comme en cours d'utilisation. On attend alors à nouveau jusqu'à ce que le bus devienne libre. Voir à gauche de 1.
 25

3) Après T_{A1} , on attend jusqu'à ce que la seconde durée T_{B1} soit écoulée avant que le module M1 ne commence à intervenir pour utiliser le bus. Cette intervention est effectuée par l'envoi d'un bit de démarrage : CW(M1) donne
 30 le niveau logique "occupé", à la suite de quoi C devient égal à 0. Dans l'entre-temps, le module M2 a parcouru sa première durée T_{A2} et constate, sur la ligne C, que C devient égal à 0. Le module M2 réagit alors en produisant aussi le niveau
 35 logique "occupé" sur sa sortie CW(M2). Ceci ne se produit pas directement car le module a besoin d'un temps de réaction

avant que ceci soit effectué. Ce temps de réaction est indiqué par T_{R2} . Il sera encore question ci-après de manière plus détaillée des durées que l'on vient de mentionner, du temps de réaction et des tolérances des générateurs de signaux d'horloge qui sont importantes dans toutes les opérations afin de parvenir à comprendre les diverses interdépendances.

5 La partie entre 1) et 3) est indiquée par WBF sur la figure 3 et se rapporte donc à l'action "attendre jusqu'à ce que le bus soit prêt", c'est-à-dire l'envoi de toutes les requêtes "start" de tous les participants.

10 4) Le bit de démarrage dure pendant un temps (T_{11}) (module M1) ou (T_{12}) (module M2). Sur la ligne C, il s'agit de Tsb en raison de la fonction ET câblée. Un bit de données (niveau haut ou bas) est ensuite placé sur le bus. Ceci est effectué aussi bien par le module participant M1 que par le module M2. Le premier bit de données présenté est le bit d'ordre le plus élevé de l'identité de chacun des modules M1 et M2.

15 5) Au moment $t=T_{21}$, le bit de données est lu sur C par le module M1. Au moment $t=T_{22}$, ce bit de données est lu par le module M2. Dans le module M2, ceci se produit donc plus tard parce que son horloge est lente.

20 Cette partie de la communication se rapporte à l'action servant à effectuer une sélection entre les participants à une action sur base des données d'identité. Ceci permet de déterminer qui devient maître. Cette opération est aussi qualifiée d'arbitrage. Les modules comparent leurs bits par la fonction ET câblée : ils commencent donc dans ce cas par leur bit de l'ordre le plus haut et le résultat est qu'un signal "bas" présenté gagne par rapport à un signal "haut" présenté. Aussitôt qu'un participant à une action voit, par l'intermédiaire de son entrée de lecture, qu'un signal "haut" qu'il présente est rendu manifestement "bas", par un autre, ce participant retire sa participation et admet donc qu'il a perdu l'arbitrage. Dans les phases suivantes, ce module n'est donc plus un participant actif et maintient (de même que tous les autres non-participants) sa sortie à un niveau logique

"haut" : $CW (M_i) = 1$.

6) Après T31 ou T32, un bit d'arrêt est émis (par les participants encore actifs). Ce bit est un signal logique "haut".

5 7) A partir d'une autre première durée T_{E1} ou T_{E2} , les participants (encore) actifs cherchent si une transition apparaît sur la ligne $C = 1 \rightarrow 0$. Ceci désigne un nouveau bit de démarrage. Cette partie de la procédure concerne le traitement du premier bit de données : TFB sur la figure 3.

10 8) Cette attente, voir en 7) dure jusqu'à ce qu'une autre seconde durée (T_{F1}) se soit écoulée. A ce moment, intervient à nouveau le principe dit "d'induction" : après T_{E1} (pour le module M1) et T_{E2} (pour le module M2), qui doivent donc à nouveau être désignés comme première durée, on attend
15 jusqu'à ce qu'un des deux modules franchisse sa propre seconde durée T_{F1} ou T_{F2} . Le module M1 atteint en premier lieu (horloge plus rapide) sa durée T_{F1} et un nouveau bit de démarrage pour les deux modules apparaît alors sur la ligne C. Cependant, comme mentionné en 3), le module M2 vient avec un
20 léger retard : après son temps de réaction T_{R2} .

Après T_{F1} apparaît une transition $C = 1 \rightarrow 0$: un nouveau bit de démarrage. A partir de ce moment, toutes les phases
25 4) - 8) sont à nouveau parcourues : traitement TSB du deuxième bit de données, etc. Ceci est répété au moins jusqu'à ce que tous les bits de données qui sont nécessaires pour établir la liaison de communication aient été traités. On peut se référer dans ce cas aux blocs et à leur description donnée avec référence à la figure 1 dans laquelle il est mentionné
30 que, lorsque la liaison est établie, les restrictions temporelles peuvent varier et un transfert de données de point à point plus rapide est possible entre un maître et un esclave.

Pour la compréhension de l'invention, une explication des relations entre les durées précitées est importante. Pour la forme d'exécution expliquée avec référence aux figures
35 2 et 3, on peut calculer ce qui suit. On suppose que T_{ci} est la période du générateur de signaux d'horloge local d'un mo-

dule M_i . On suppose qu'un module est conçu de manière que toutes les durées intéressantes soient dérivées de la dite période T_{ci} :

$$T_{Ri} = a_{Ri} \cdot T_{ci}; \quad T_{Ai} = a_{Ai} \cdot T_{ci}; \quad T_{Bi} = a_{Bi} \cdot T_{ci}; \quad T_{Li} = a_{Li} \cdot T_{ci};$$

$$5 \quad T_{2i} = a_{2i} \cdot T_{ci}; \quad T_{3i} = a_{3i} \cdot T_{ci}; \quad T_{Ei} = a_{Ei} \cdot T_{ci}; \quad T_{Fi} = a_{Fi} \cdot T_{ci} \dots$$

dans ces relations les symboles a_{ji} sont des constantes (1)

a_{Ai} et a_{Ei} sont des facteurs de temps prêt internes. a_{Ai} concerne le nombre de périodes d'horloge qui est nécessaire dans un module M_i pour une requête d'établissement d'une liaison de communication. A_{Ei} concerne le nombre de périodes d'horloge dont un module M_i a besoin pour présenter après un bit de données un bit d'arrêt (après T_{3i}). Pour atteindre le but fixé, à savoir réaliser quand même une bonne liaison de communication avec une seule ligne; sans que des conditions rigoureuses doivent être imposées aux horloges prévues dans le système, il faut que les symboles a_{Bi} et a_{Fi} soient valables pour l'ensemble du système et pas seulement pour le module M_i . Lesdites secondes durées T_{Bi} et T_{Fi} sont en effet critiques pour un bon traitement des actions. Ci-après sont indiquées les conditions auxquelles a_{Bi} et a_{Fi} doivent satisfaire.

Le diagramme de temps de la figure 3 montre à quelles exigences il faut satisfaire en vue d'un bon traitement des actions :

$$25 \quad \bar{T}_{Ri} < \underline{T}_{Li} \dots \dots \dots (2A)$$

$$\bar{T}_{Li} < \underline{T}_{2i} \dots \dots \dots (2B)$$

$$\bar{T}_{2i} < \underline{T}_{3i} \dots \dots \dots (2C)$$

$$\bar{T}_{3i} < \underline{T}_{Fi} \dots \dots \dots (2D)$$

$$30 \quad \bar{T}_{Ei} < \underline{T}_{Fi} \dots \dots \dots (2E)$$

$$\bar{T}_{Fi} < \underline{T}_{Ai} \dots \dots \dots (2F)$$

$$\bar{T}_{Ai} < \underline{T}_{Bi} \dots \dots \dots (2G)$$

Dans ces relations, \bar{T} signifie une durée maximum et \underline{T} une durée minimum. Par définition : facteur de tolérance $R_i = \bar{T}_{ci}/\underline{T}_{ci}$. Ainsi et compte tenu de 1) et de 2) :

$$a_{li}/a_{Ri} > Ri \dots\dots (3A)$$

$$a_{2i}/a_{li} > Ri \dots\dots (3B)$$

$$a_{3i}/a_{2i} > Ri \dots\dots (3C)$$

$$a_{Fi}/a_{Ei} > Ri \dots\dots (3D)$$

$$5 \quad a_{Ai}/a_{Fi} > Ri \dots\dots (3E)$$

$$a_{bi}/a_{Ai} > Ri \dots\dots (3F)$$

et, en outre $a_{Ei} > a_{31}$ (au moins inégaux) ... (3G).

10 Au départ du fait que l'on recherche normalement une situation offrant la vitesse de communication la plus élevée possible, on peut écrire (3A à 3F) avec (3G) de la manière suivante :

$$a_{li} = Ri \cdot a_{Ri} \dots\dots (4A)$$

$$a_{2i} = Ri \cdot a_{li} \dots\dots (4B)$$

$$a_{3i} = Ri \cdot a_{2i} \dots\dots (4C)$$

$$15 \quad a_{Fi} = Ri \cdot a_{3i} \dots\dots (4D)$$

$$a_{Ai} = Ri \cdot a_{Fi} \dots\dots (4E)$$

$$a_{Bi} = Ri \cdot a_{Ai} \dots\dots (4F)$$

Il en résulte donc que

$$a_{Fi} = Ri \cdot a_{Ri} = Ri \cdot Vi \quad (5A)$$

$$20 \quad (a_{Ai} = Ri \cdot a_{Ri} = Ri \cdot Vi \quad (5B))$$

$$a_{Bi} = Ri \cdot a_{Ri} = Ri \cdot Vi \quad (5C)$$

$$25 \quad \text{et } a_{Ei} > Ri \cdot a_{Ri} \dots\dots (5D)$$

30 Ceci est valable par module. Etant donné que pour ces symboles, il s'agit pour l'ensemble du système de rendre les actions (bus "prêt", "sélection de maître") possibles sans erreur, il faut choisir en tant que constante du système pour $a_{Bi} = a_B$ et $a_{Fi} = a_F$ la valeur la plus élevée dans l'ensemble des produits qui y sont associés. Cela signifie donc que le plus grand produit de facteurs Ri et Vi de l'ensemble de tous les produits de Ri et Vi des modules est dès lors décisif. Des modules présentant une grande tolérance

35 d'horloge et un temps de réaction important fournissent de grands produits de Ri et Vi , mais des modules présentant

une faible tolérance d'horloge et un temps de réaction très grand et vice versa fournissent aussi de grands produits de R_i et V_i . Ce plus grand produit est désigné par $R.V$. Les dépendances des secondes durées sont ainsi fixées :

$$5 \quad a_b = R^6.V \quad \text{et} \quad a_F = R^4.V \quad \dots\dots\dots (6)$$

$$\text{Ainsi, } T_{Bi} = R_6 \cdot T_{ci} \quad \text{et} \quad T_{Fi} = R^4.V.T_{ci} \quad \dots (7)$$

$V = V_p$ est donc ici le facteur de temps de réaction de ce module M_p déterminé pour lequel le plus grand produit $V.R$ est obtenu avec $R_p = R$ de ce module. Le temps de réaction de ce module est $T_{Rp} = V.T_{cp}$. On obtient ainsi les secondes durées les plus petites possibles.

$$10 \quad T_B = R^6 \cdot T_{Rp} \quad \text{et} \quad T_F = R^4 \cdot T_{Rp} \quad (8)$$

T_F est une mesure pour la durée du cycle minimum ("frame") pour la communication d'un bit de données pendant une action se rapportant à une communication.

Dans la pratique, le temps de réaction interne T_{Ri} d'un module M_i ne peut pas être réduit de manière illimitée, ceci dépendant de la mise en oeuvre choisie. Au cas où une communication s'établit avec un microprocesseur programmé, on peut atteindre actuellement une valeur de T_{Ri} de, par exemple, 10 microsecondes. Pour une réalisation entièrement "hardware" desdits moyens, on peut prévoir pour T_{Ri} , par exemple une valeur de 2 à 0,2 microseconde. Pour des horloges pilotées par quartz, R est très proche de 1, mais lorsqu'on utilise des horloges peu onéreuses, par exemple des horloges comportant des oscillateurs RC simples, (ce que l'on suppose ici), R peut atteindre un facteur 4 ou même plus

Exemple numérique d'une situation possible :

30 supposons $R = 4$ et $T_{Rp} = 10$ microsecondes.

Dans ce cas, $T_{Bp} = 4^6 \cdot 10 \approx 40$ millisecondes et

$$T_F = T(\text{frame}) \approx 2,6 \text{ millisecondes et donc}$$

$$T(\text{frame}) = R.T(\text{frame}) = 10,4 \text{ millisecondes}$$

Et en outre $T_{Bp} = 160$ millisecondes.

35 Ceci signifie que dans la pire éventualité ("worst case"), la vitesse de communication lors d'une action est d'environ 99 bauds.

Au cas où $T_{Rp} = 2-0,2$ microsecondes (grâce à du "hardware" présent à cet effet, voir en outre les figures 14 et 15), ladite vitesse la plus basse serait élevée jusqu'à 500 - 5 000 bauds.

5 Il convient de noter qu'il est possible de réduire la valeur de T_{Ri} aussi dans le cas où la procédure est commandée par un processeur de signaux programmé. A cet effet, un détecteur simple de passage du niveau "haut" vers le niveau "bas" peut être prévu entre la ligne de bus C et le module. 10 Le détecteur fonctionne de la manière suivante : dès que le bus passe vers "bas" ($C \rightarrow 0$), par l'intermédiaire d'un circuit, il établit la relation $CW(Mi) = 0$.

15 Il convient de noter qu'il résulte de ce qui précède que, lors de la définition d'un système conforme à la présente demande, on peut donc établir quel pourra être le produit le plus grand (R.V). En d'autres termes, compte tenu d'un module le plus "mauvais" possible qui peut encore être admis dans le système, on obtient la certitude que tout se déroulera de manière correcte en respectant ledit produit (R.V.).

20 La figure 4 illustre un système à sources de données et à récepteurs de données multiples dans lequel le bus monoligne de la figure 2 est muni d'une ligne supplémentaire. Ce bus à deux lignes qui, à cause de la présence des deux lignes convenant chacune pour le transport d'un niveau logique 0 et 1, est plus onéreux que le bus à une seule ligne, a 25 l'avantage qu'une vitesse de communication plus élevée peut être atteinte. M_1, M_2, \dots, M_n sont à nouveau des modules qui peuvent se présenter comme des participants actifs à une action. K est une ligne de commande et D est une ligne de données. Chaque module comporte une sortie d'écriture KW 30 vers la ligne de commande K et une entrée de lecture KR depuis cette ligne de commande. Chaque module comporte, en outre, une sortie d'écriture DW vers la ligne de données D et une entrée de lecture depuis cette ligne. Les deux lignes ont la propriété de fonction câblée ET : $K =$ 35 $KW(M_1) \cdot KW(M_2) \dots$ et $D = DW(M_1) \cdot DW(M_2) \dots$

La figure 5 illustre le diagramme de temps qui correspond au système de la figure 4. En principe, dans ce cas-ci, le déroulement des opérations est à peu près le même que dans le cas de la figure 3, la différence se situant dans la répartition des actions sur les lignes K et D. On admet à nouveau que le module M1 est plus rapide que le module M2. Vu dans le temps, il se produit ce qui suit.

- 1) Un maître précédent a cessé d'utiliser le bus. Tous les participants à une action entament le décompte du temps T_{Ai} , en attendant que le bus soit "prêt" ($C = 1$).
- 2) Lorsque, après la première durée T_{Ai} (dans ce cas-ci pour le module M1 de T_{A1}), la ligne K ne change pas de niveau logique, le bus est considéré comme "libre". Lorsque le bus reçoit le niveau logique "occupé" ($K = 0$) avant que la durée T_{Ai} se soit écoulée, le bus est considéré comme étant en cours d'utilisation. Dans ce cas, on attend à nouveau jusqu'à ce que le bus devienne libre. Sur la figure 5, l'état d'utilisation du bus est indiqué par BTU. Au cas où le bus est "prêt" (après T_{Ai}) un bit de données (DB) du module M_i est placé au point 2 par l'intermédiaire de la sortie DW(M1) sur la ligne D. Il en est de même pour le module M2 au terme de sa première durée T_{A2} . Un bit de données (DB) est placé sur la ligne D par l'intermédiaire de la sortie DW(M2). La fonction ET câblée de la ligne D détermine le résultat des deux bits de données présentés (un "0" efface un "1").
- 3) Le module (ici M1) qui constate en premier lieu que sa deuxième durée T_{Bi} (ici T_{B1}) s'est écoulée, place un niveau logique 0 sur la ligne K : par l'intermédiaire de la sortie d'écriture KW(M1), K devient égal à zéro. D'autres modules qui, entre-temps, ont constaté que leurs premières durées T_{Ai} s'est écoulée, y réagissent : "induction" et écrivent eux aussi (après leur temps de réaction T_{R1}) un 0 sur la ligne K. Sur la figure 5 : en 3) après T_{R2} , un 0 est inscrit sur la ligne K par l'intermédiaire de la sortie d'écriture KW(M2). Cette phase est la phase d'attente jusqu'à ce que le bus soit "prêt" : WBF sur la figure 5.

4) Après l'action $K \Rightarrow 0$ précitée, la ligne de données D est analysée : chaque module qui participe à l'action analyse la ligne D après un temps T_{Si} (les différences sont à nouveau provoquées par les tolérances d'horloge). Le niveau de la ligne D vers les modules est ainsi lu par l'intermédiaire de leurs entrées DR(M1) et DR(M2)...

5) Après l'analyse, un niveau logique 1 est inscrit sur la ligne K par tous les modules intéressés par l'intermédiaire de leur sortie KW(Mi). Le module M1 effectue cette opération après la durée T_{21} . Le module M2 et les autres modules éventuels effectuent cette opération à d'autres moments T_{2i} , étant entendu que :

6) au moment 6), tous les modules ont, par l'intermédiaire de leur sortie KW(Mi), amené la ligne K sur 1. Ainsi, la ligne K est effectivement passée au niveau 1 (fonction ET câblée).

7) Après avoir détecté la transition 6), tous les participants à une action fournissent un nouveau bit de données (DB) à la ligne D. Le module M1 le fait après la durée T_{Ei} , à partir du moment 6). T_{Ei} est une durée qui est nécessaire dans le module Mi pour fournir un nouveau bit de données à la ligne D. D'autres modules font de même et ce en tout cas avant que T_{F1} se soit écoulé. T_{Ei} et T_{Fi} sont à nouveau lesdites premières et deuxièmes durées. "L'induction" apparaît ici à nouveau.

8) Après la deuxième durée T_{F1} , la ligne K passe à nouveau au niveau 0. A ce moment, il est certain que tous les participants à l'action ont présenté leur nouveau bit de données à la ligne D (le module M2 l'a fait en 7), voir la ligne DW(M2) sur la figure 5. La fonction ET câblée de la ligne de données D détermine à nouveau le résultat des bits de données présentés. La phase de 3) à 8) est l'action pour la communication du premier bit désigné par TFB. Les phases 4) à 8) sont parcourues autant de fois qu'il le faut pour établir la liaison de communication, c'est-à-dire au moins jusqu'à ce que la phase d'arbitrage et "d'esclave ouvert" soit achevée : communication du deuxième bit (TSB), etc. Pour cet exemple éga-

lement, un calcul des durées est donné en rapport avec les tolérances du générateur de signaux d'horloge. T_{ci} est à nouveau la période d'horloge locale du Module M_i . Toutes les durées intéressantes sont dérivées de cette période par module.

$$\begin{aligned} T_{Ri} &= a_{Ri} \cdot T_{ci}; & T_{Ai} &= a_{Ai} \cdot T_{ci}; & T_{Bi} &= a_{Bi} \cdot T_{ci}; & T_{Si} &= a_{Si} \cdot T_{ci}; \\ T_{2i} &= a_{2i} \cdot T_{ci}; & T_{Ei} &= a_{Ei} \cdot T_{ci}; & T_{Fi} &= a_{Fi} \cdot T_{ci}. & \dots & (1) \end{aligned}$$

Dans ces équations, les symboles a_{ji} sont des constantes. a_{Ai} et a_{Ei} sont à nouveau des facteurs de temps prêt internes. a_{Ai} concerne le nombre de périodes d'horloges qui est nécessaire dans un module M_i pour une requête d'établissement d'une liaison de communication. a_{Ei} concerne le nombre de périodes d'horloge dont un module M_i a besoin pour présenter au bus un nouveau bit de données (après extraction, par exemple, d'une mémoire). Comme décrit plus haut, a_{Bi} et a_{Fi} doivent aussi être valables pour tout le système et non par module. Ci-après sont indiquées, pour le système à deux lignes, les conditions auxquelles $a_{Bi} = a_B$ et $a_{Fi} = a_F$ doivent satisfaire.

Le diagramme de temps de la figure 5 ne rend possible un bon traitement d'une action que si les exigences suivantes sont satisfaites :

$$\frac{T_{Ri}}{T_{Ei}} < \frac{T_{2i}}{T_{Fi}} \dots \dots \dots (2A)$$

$$\frac{T_{Ei}}{T_{Fi}} < \frac{T_{Ai}}{T_{Bi}} \dots \dots \dots (2B)$$

$$\frac{T_{Fi}}{T_{Ai}} < \frac{T_{Bi}}{T_{Ri}} \dots \dots \dots (2C)$$

$$\frac{T_{Ai}}{T_{Bi}} < \frac{T_{Ri}}{T_{Ei}} \dots \dots \dots (2D)$$

Pour $R_i = T_{ci}/T_{ci}$ tel que défini, on peut déduire de 1) et de 2)

$$a_{2i}/a_{Ri} > R_i \dots \dots \dots (3A)$$

$$a_{Fi}/a_{Ei} > R_i \dots \dots \dots (3B)$$

$$a_{Ai}/a_{Fi} > R_i \dots \dots \dots (3C)$$

$$a_{Bi}/a_{Ai} > R_i \dots \dots \dots (3D)$$

Au départ du fait que l'on tendra normalement vers une situation présentant la vitesse de communication la plus grande possible, on peut écrire (3A - 3D) de la manière suivante :

$$a_{2i} = R_i \cdot a_{Ri} \dots\dots\dots (4A)$$

$$a_{Fi} = R_i \cdot a_{Ei} \dots\dots\dots (4B)$$

$$a_{Ai} = R_i \cdot a_{Fi} \dots\dots\dots (4C)$$

$$a_{Bi} = R_i \cdot a_{Ai} \dots\dots\dots (4D)$$

5

Il en résulte que :

$$a_{Fi} = R_i \cdot a_{Ei} = R_i \cdot V_i \dots\dots\dots (5A)$$

$$a_{Ai} = R_i^2 \cdot a_{Ei} = R_i^2 \cdot V_i \dots\dots (5B)$$

$$a_{Bi} = R_i^3 \cdot a_{Ei} = R_i^3 \cdot V_i \dots\dots (5C)$$

10

Il semble donc que le facteur du temps de réaction $V_i = a_{Ei}$ soit le facteur de temps prêt pour la présentation d'un nouveau bit de données.

D'une manière correspondant à celle décrite plus haut, pour le système monoligne, il faut aussi choisir ici en tant que constantes $a_{Bi} = a_B$ et $a_{Fi} = a_F$ la valeur la plus élevée du produit $(R \cdot V)$ de l'ensemble de produits $(R_i \cdot V_i)$. Les dépendances des deux durées sont ainsi fixées : $a_B = R^3 V$ et $a_F = R \cdot V \dots\dots\dots (6)$.

15

$$\text{Dès lors, } T_{Bi} = R^3 \cdot V \cdot T_{ci} \text{ et } T_{Fi} = R \cdot V \cdot T_{ci} \dots\dots (7)$$

20

Dans cette relation, $V = a_{Ep}$ ($=V_p$) est le facteur de temps prêt du module M_p pour lequel on obtient le produit $(R \cdot V)$ le plus grand. Le temps de réaction de ce module est (temps "prêt") $T_{Ep} = V \cdot T_{cp}$.

25

Les deuxièmes durées les plus courtes possibles sont dès lors :

$$\underline{T_B} = R^3 \cdot \underline{T_{Ep}} \text{ et } \underline{T_F} = R \cdot \underline{T_{Ep}} \dots\dots\dots (8)$$

En ce qui concerne la période de cycle minimum ("frame") pour la communication d'un bit de données pendant une action, il résulte (voir aussi la figure 5) de (8) et de (4A) avec (1) que

30

$$\underline{T(\text{frame})} = \underline{T_F} + \underline{T_{2p}} = R \cdot \underline{T_{Ep}} + R \cdot \underline{T_{Rp}}$$

$$\text{de sorte que } \underline{T(\text{frame})} = R(\underline{T_{Ep}} + \underline{T_{Rp}}) \dots\dots\dots (8A)$$

35

Supposons, comme cela sera choisi le plus souvent en pratique que $\underline{T_{Ep}} = \underline{T_{Rp}}$, de sorte que $\underline{T(\text{frame})} = 2R \cdot \underline{T_{Rp}}$. Ceci est donc plus favorable que dans le cas du système monoligne. Il y a un rapport avec R et non avec R^4 .

Pour un $R = 4$, la différence est déjà d'un facteur 64. Compte tenu des $2R$, il s'agit donc d'un facteur 32.

Exemple numérique : on suppose que $R = 4$, que $T_{Rp} = 10$ microsecondes (et donc aussi que $T_{Ep} = 10$ microsecondes). Dans ce cas $T(\text{frame}) = 2.4.10 = 80$ microsecondes et alors $T_{Bp} = 640$ microsecondes. Dans ce cas, la pire éventualité ("worst case") est donc : $T(\text{frame}) = R.T.(\text{frame}) = 320$ microsecondes, ce qui signifie une vitesse de communication minimum d'environ 3 000 bauds.

Dans ce cas, également, une augmentation de la vitesse peut être réalisée par le placement d'un détecteur de passage simple du niveau "haut" vers le niveau "bas" entre la ligne K et les entrées de module KR(Mi). Dès qu'une transition $1 \rightarrow 0$ apparaît, le circuit détecteur fait passer la ligne K à 0. Le temps de réaction T_{Ri} est ainsi notablement raccourci.

Dans la phase de communication de données (après qu'une liaison de communication ait été établie), un module fonctionne comme un émetteur (source) et un autre module reçoit les données (récepteur). Il peut être nécessaire de protéger le transport des données contre les erreurs de communication. Ceci peut être effectué par le fait que le récepteur renvoie chaque bit reçu ("écho"). L'émetteur compare le bit reçu au bit qu'il vient d'émettre. Par cette émission et cette réception alternantes des bits de données, la vitesse de communication est naturellement abaissée.

Le principe "d'induction" est expliqué avec suffisamment de détails par la description qui précède du système monoligné et du système à deux lignes. Il convient de noter qu'une augmentation du nombre de lignes est également possible : par exemple, un système à trois lignes dans lequel deux lignes de commande et une ligne de données sont présentes. Dans ces cas, le principe d'induction peut aussi être utilisé. Cependant, l'utilité diminue parce que le nombre croissant de lignes a tendance à augmenter le prix, ce qui doit précisément être évité par le système conforme à l'invention.

Le système à trois lignes entraîne bien entendu une nouvelle augmentation de la vitesse de communication, mais nuit davan-

tage à la simplicité. Les erreurs de communication peuvent être détectées dans le système à trois lignes d'une manière analogue à celle décrite plus haut pour le système à deux lignes.

5 La figure 6 illustre un système à trois lignes en tant
que milieu de transfert. Il comporte deux lignes de commande
KA et KB et une ligne de données D. Les modules M1, M2, ...
Mn comportent des bornes au moyen desquelles ils sont connec-
10 tés à ces lignes : une borne de sortie KAW(Mi) au moyen de
laquelle l'information de commande est inscrite à partir du
module Mi sur la ligne KA; une borne d'entrée KAR (Mi) au
moyen de laquelle l'information de commande est lue par le
module Mi de la ligne KA; de même, qu'une borne de sortie
15 KBW(Mi) et une borne d'entrée (KBR(Mi) pour écrire sur la
ligne de commande KB ou lire depuis celle-ci. De plus, chaque
module comporte une borne d'inscription ou d'écriture de
données DW(Mi) et une borne de lecture de données DR(Mi). Le
diagramme de temps correspondant à ce système est évident,
20 compte tenu des diagrammes de temps donnés sur les figures 3
et 5, et ne sera plus décrit ici.

En résumé, eu égard à ce qui a été décrit plus haut, on peut conclure ce qui suit :

- 25 - comme mentionné dans l'introduction, au moins quatre li-
gnes sont nécessaires pour activer une communication asyn-
chrone sur un bus;
- lorsqu'un plus petit nombre de lignes est disponible, des
déterminations dépendant du temps doivent être introduites;
- la présente demande indique comment les conditions dépen-
30 dant du temps se présentent et quelle solution simple est
possible pour la communication par des bus à l'aide d'au
moins un milieu de transfert. Il convient de noter que l'in-
vention n'est pas limitée à un bus à une, deux ou trois li-
gnes, mais dans le cas d'un nombre de lignes supérieur à
trois, c'est la solution à quatre lignes avec colloque qui
35 sera en pratique le plus souvent préférée;
- la vitesse de communication dépend fortement, dans les
systèmes présents, de l'imprécision d'horloge de la pire

éventualité (worst case) des modules. Le système monoligne est très simple et très peu onéreux pour des applications dans lesquelles interviennent des articles de grande distribution et des articles analogues. Il a bien sûr l'inconvénient qu'un récepteur ne peut pas diminuer la vitesse de la source dont il reçoit des données. Le système à deux lignes comporte une ligne supplémentaire qui permet, non seulement d'augmenter la vitesse de communication, mais aussi de supprimer cet inconvénient du système monoligne. En effet (voir fig. 5) tant un module maître qu'un module esclave (avec référence à la figure 5) du système peuvent abaisser la vitesse des données en maintenant la ligne K égale à 0 pendant une période au choix (le moment 6 glisse alors vers la droite sur la figure 5). Le système à trois lignes ne donne en général pas une vitesse de communication double. C'est pourquoi lorsque trois lignes sont disponibles, le système basé sur le principe à deux lignes a la préférence : une ligne est alors une ligne de commande et les deux autres lignes sont deux lignes de données parallèles.

Pour illustrer ce dernier cas, cette forme de bus à trois lignes est représentée sur la figure 7. Elle comporte une ligne de commande K et deux lignes de données DA et DB. Les modules $M_1, M_2 \dots M_n$ ont une borne d'écriture de ligne de commande $KW(M_i)$ et une borne de lecture de ligne de commande $KR(M_i)$. De plus, pour chacune des lignes de données, ils comportent une borne d'écriture de ligne de données $DAW(M_i)$ et $DBW(M_i)$ et une ligne de lecture de données $DAR(M_i)$ et $DBR(M_i)$.

On décrira maintenant en détail des exemples de réalisation d'un système à sources de données et à récepteurs de données multiples dans lequel le bus est constitué d'un seul milieu de transfert. La figure 2 illustre le schéma général d'un tel système. Les modules M_i peuvent être des processeurs de signaux numériques. Ces processeurs sont équipés de mémoires qui leur sont propres et peuvent exécuter des tâches déterminées. Lorsqu'une communication avec d'autres modules est nécessaire, cette communication s'établit par l'intermédiaire

du bus. Les processeurs à mémoire seront de préférence du type dans lequel des microprocesseurs servent de processeurs. Equipés de mémoires placées ou non sur la même puce, ces modules sont aussi appelés micro-ordinateurs. Un exemple d'un tel micro-ordinateur est celui du type 8048. Une borne d'entrée/sortie (E/S) de ce micro-ordinateur, par exemple la borne 34, peut servir aussi bien de sortie d'écriture CW que d'entrée de lecture CR. (Indiqué à cet effet dans le programme). Deux bornes peuvent aussi être utilisées : une borne E/S 34 (P17) en tant que CR et une borne E/S 38 (P27) en tant que CW. De plus, pour un tel processeur, une borne d'entrée séparée (N° 6) est encore nécessaire pour pouvoir recevoir des interruptions (\overline{INT}). Cette borne doit aussi être considérée comme une borne CR, bien que ce soit pour un but déterminé que l'on décrira encore ci-après (figures 11 et 12). La figure 8 est une vue de certains détails: sur les figures 8a et 8b, Ci désigne des générateurs de signaux d'horloge.

La figure 9 montre comment un processeur comportant une entrée d'interruption \overline{INT} , comme par exemple le 8048, peut traiter des interruptions. SRT = démarrage dans le bloc 30 est toujours suivi de la question : y-a-t-il une interruption INT (bloc 32)? Si non (N), une instruction du programme principal est exécutée : MPI dans le bloc 34. Ensuite, on examine à nouveau (retour vers le bloc 30) s'il y a une interruption. Si oui (Y), le programme d'interruption est complètement exécuté : IPIS (bloc 36). On recherche alors à nouveau s'il y a une interruption (bloc 30) etc. Cette manière de traiter les interruptions est une propriété spécifique, par exemple du micro-ordinateur 8048.

Un microprocesseur, comme le 8021, qui ne connaît aucune interruption, possède une borne d'entrée qui peut être définie comme borne d'interruption; le traitement des interruptions doit alors être incorporé au programme total.

La figure 10 illustre un organigramme d'un programme principal de processeur possible. Un tel programme principal peut être de n'importe quel type et est formé dans l'exemple

décrit du bloc 38, début BEG. Ce bloc est suivi d'une initialisation INIT, bloc 40. Dans le bloc 42, des opérations locales LOP du programme principal sont exécutées. On vérifie alors toujours s'il y a des interruptions (voir Fig. 9). Dans le cas où on atteint une position du programme principal où une communication avec un autre module est exigée, le processeur lance dans cette position une requête d'établissement d'une communication REQ. Cela signifie que ce module veut devenir le maître du système. Cette requête doit être traitée. Ce traitement ne peut être effectué que lorsque le bus est "prêt" pour cette action. Ceci est examiné dans le bloc 44 : RDY? Ceci représente dans cet exemple lesdits moyens HS. Si le bus est "prêt", l'accusé de réception (ACK) de l'action est donné (Y du bloc 44). Ce bloc 44 est ici d'une grande importance, car il concerne l'objet même de la présente demande. Le bloc 44 comporte les moyens de fonction programmés, qui sont lesdits moyens à l'aide desquels on peut constater si le bus est "prêt" pour l'exécution d'actions se rapportant à la communication. Si cet accusé de réception n'est pas donné (N du bloc 44), un nouvel essai a lieu, etc. Si l'accusé de réception est donné (Y), les opérations de transfert de système TOP pour le transport des données, par exemple pour l'émission, sont exécutées, bloc 46. Au terme de ces opérations, le bus est à nouveau libéré, signal $\overline{\text{REQ}}$ et retour au bloc 42. La ou les entrées d'interruption est ou sont alors à nouveau libérée(s) pour la réception des interruptions ("validation d'interruption") car, lors de la demande d'accusé de réception (bloc 44), cette ou ces entrées sont bloquées ("interruptions invalidées") pour empêcher que les interruptions intermédiaires perturbent le processus. Voir aussi la description pour la figure 13. Dans le cas (voir partie pointillée de la figure 10) où une source de données et/ou un récepteur de données sont formés d'une première et d'une deuxième partie, la première partie étant un processeur de signaux numériques qui remplit la fonction de source et/ou de récepteur et la seconde partie aussi qualifiée d'arbitre,

comportant lesdits moyens, une requête REQ provenant du bloc 42 est placée dans l'arbitre (bloc 43). On attend alors l'accusé de réception, voir à nouveau le bloc 44, ACK. Au terme du transfert, le bus est à nouveau libéré par l'arbitre :
 5 \overline{REQ} (bloc 48). L'arbitre doit aussi constater cela : bloc 50. Si oui, (Y), $ACK \implies \overline{ACK}$ et le processus revient au bloc 42. Si non (N), 48 est à nouveau répété. Il convient de noter ici que le bloc 44 a une telle importance parce que c'est à ce moment qu'éclate le conflit : qui devient le maître, lorsque
 10 plusieurs modules parviennent dans leurs blocs 44 respectifs. Notamment, il est ici également important qu'un module plus rapide n'évince pas un module plus lent. Ceci exige donc "l'induction" décrite plus haut. La figure 13 et la figure 15 avec la figure 16 montrent comment tout ceci se
 15 passe.

Pour être plus complet, il faut encore mentionner le fait que lorsqu'un module est maître, il désigne un esclave. Il envoie une identité de l'esclave et essaie d'interrompre l'esclave. C'est la raison pour laquelle les entrées INT sont
 20 représentées dans la partie supérieure des figures 8a et 8b. La manière dont les choses se passent est représentée dans l'ensemble sur la figure 11. Dans le bloc 52 parvient l'interruption INT, qui est envoyée du maître par l'intermédiaire du bus à toutes les autres sources et à tous les autres ré-
 25 cepteurs. (Dans la pratique, ce INT est considéré comme signal \overline{INT} à cause des notations : entrées \overline{INT}). Dans le bloc 54, toutes les sources et les récepteurs examinent si l'identité i qui leur est présentée est leur propre identité i .

Si non (N), l'interruption est terminée: END, bloc 58.
 30 Si oui (Y), l'opération de transfert TOP (par exemple réception) est exécutée dans le bloc 56. Au terme de cette opération, suit la fin END, bloc 58.

Le bloc 54 contient la comparaison d'identité pour la sélection d'esclave. Ceci sera décrit en détail ci-après dans:
 35 la figure 12. Le bloc 60 est le début BEG. Dans le bloc 62, un état de compteur de bits bt devient égal à 0 et l'état de compteur de temps Tt devient aussi égal à 0. Dans le bloc 64 on attend jusqu'à ce qu'un temps $Tt = T2i$ se soit écoulé

(à supposer que M_i soit le module que l'on examine) (voir T_{2i} sur la figure 3). A T_{2i} , un bit d'identité présent sur le bus est analysé en tant que bit de données, bloc 66. Il s'agit du bit bt de l'identité j qui est placé à partir de la borne P 17 (voir figure 8) dans un registre du processeur. $bt_j : P17$. Le compteur de bits est augmenté d'une unité : $bt + 1$, bloc 68. Dans le bloc 70, on examine si le nombre de bits d'identité souhaité (ou augmenté d'autant de bits supplémentaires qu'on en souhaite éventuellement à d'autres fins), par exemple $bt = 4$ est atteint. Si non (N), on attend jusqu'à $T_t = T_{Ei}$ (voir figure 3) : bloc 72. Après cela, dès que l'on constate le passage à "0" du bus C : bloc 74 (où P17 doit être égal à 0) (voir figure 3. T_{Fi}), on recommence : compteur $T_t : = 0$ (bloc 76) et on revient au bloc 64. Si le nombre $bt = 4$ est atteint, bloc 70 (Y), le contenu du registre dans lequel l'identité j a été introduite est comparé à l'identité du module en question, bloc 78. Si $i \neq j$, ce module n'est pas destiné à être un esclave et termine le programme d'interruption : END, bloc 82 (= bloc 58 de la figure 11). Si l'égalité $i = j$ est établie, le module est alors choisi comme esclave et l'opération de transfert TOP sera exécutée, bloc 80 (bloc 56, figure 11). Suit alors à nouveau le bloc 82, END.

Il semble donc que pour la sélection d'un esclave, chaque source et récepteur autre que le maître lui-même soient interrompus et forcés à effectuer la comparaison d'identité. Ceci prend beaucoup de temps : les sources et les récepteurs qui remarquent que $i \neq j$, sont interrompus en vain et ont donc une interruption "superflue" de leur programme principal. Cet inconvénient peut être évité par le montage d'un mécanisme d'interruption dit conditionnel. Ce mécanisme permet d'effectuer d'abord la comparaison d'identité sans interruption directe du processeur lui-même. Si i est effectivement égal à j , il en résulte une interruption du processeur lui-même. Ledit mécanisme d'interruption conditionnel est décrit dans la demande de brevet

doit être adapté d'une manière évidente pour le spécialiste en vue de pouvoir être utilisé dans le système de la présente demande pour la

sélection des esclaves.

La figure 13 est un organigramme de l'examen, le bus est-il prêt ? (c'est-à-dire le bloc 44 de la figure 10). Dans cet exemple qui concerne le processeur de signaux numériques, lesdits moyens HS qui sont donc des moyens à fonction programmée sont ainsi indiqués. Le début est indiqué en SRT provenant de REQ (figure 10), bloc 84. Dans le bloc 86, la ou les entrées d'interruption sont mises hors fonction : DABINT. Ceci empêche qu'un module soit interrompu lorsqu'il exécute lui-même une action de lancement d'une requête. Dans le bloc 88, le temps est remis à zéro : $Tt = 0$, ce qui a lieu par la remise à zéro d'un compteur CR ($CR := 0$). Dans le bloc 90 on examine si la ligne C, qui entre par l'intermédiaire de la borne P17, a le niveau "1". Si non (N), le bus est occupé et une nouvelle tentative est faite par retour vers le bloc 88. Si, dans le bloc 90, $P17 = 1$ (Y), le compteur CR est augmenté d'une unité au moyen du générateur de signaux d'horloge pour ce module M_i , $CR := CR + 1$ (bloc 92). On examine alors dans le bloc 94 si l'état du compteur $CR = a_{Ai}$ est atteint. Cet état a_{Ai} est donc ici à nouveau le facteur de temps a_{Ai} déjà mentionné plus haut. Si $CR = a_{Ai}$, cela signifie que $Tt = a_{Ai}$. $Tci = T_{Ai}$, ladite première durée. Le bloc 94 contient donc les premiers moyens assurant la détection : FDETM pour la première durée T_{Ai} . Si cette position $CR = a_{Ai}$ n'est pas encore atteinte (N), il y a retour vers le bloc 90. Si a_{Ai} est atteint, ce module est en lui-même prêt pour l'action. Dans le bloc 96, le compteur de bits bt est mis à 0 : $bt := 0$, et on examine en outre (bloc 98) si la ligne C porte encore toujours un "1" et est donc occupée, c'est-à-dire si elle indique "bus prêt". Lorsqu'ici la ligne C est donc $P17 = 0$ (N du bloc 98), le bus est "prêt" et l'action suivante peut débuter. Aussi longtemps que C reste égal à 1 dans le bloc 98 (Y), le compteur devient $CR \rightarrow CR+1$ (bloc 100). Dans le bloc 102, on examine si la position $CR : a_B$ est atteinte. Dans ce cas, si oui (Y), $Tt = T_{Bi} = a_B Tci$. Le bloc 102 contient donc les seconds moyens assurant la détection SDETM. La position a_B sera donc enregistrée comme une constante du

système dans la mémoire du processeur (de même que la position a_{Ai} précitée, qui est cependant une donnée du module M_i lui-même). Si la position a_B est atteinte (Y), l'action suivante peut être entamée. Aussi longtemps que cette position

5 n'est pas atteinte (N), on revient à 98. On vérifie à nouveau si, dans l'entre-temps, $C = P17$ est déjà passé à "0". Ceci peut s'être produit dans l'intervalle parce que, dans un autre module, la deuxième durée T_{Bj} s'est, dans l'entre-temps, écoulée. Si oui (cela signifie ici N), cette action

10 "bus prêt" est terminée. (Point 103 sur la figure 13). Si non, c'est-à-dire si $P17 = 1$ (Y), CR est alors à nouveau augmenté d'une unité, etc. La ligne "IND" de la figure 13 se rapporte donc à ladite induction. Le compteur CR ne continue pas à fonctionner jusqu'à atteindre a_B , si auparavant

15 un autre module a atteint son temps $T_{Bj} = a_B \cdot T_{cj}$ et l'a fait connaître en établissant $C = 0 = P17$. Si le module M_i a lui-même, dans l'entre-temps, franchi au moins $T_{Ai} = a_{Ai} \cdot T_{ci}$, il voit alors aussi que le bus est "prêt". Tous les modules qui le demandaient (REQ) ont ainsi terminé leur action concernant

20 le lancement de leur requête (start). Il s'agit du point (3) sur la figure 3. Le bus est au niveau $C = 0$. L'action suivante peut débuter après que les processeurs en question, qui voient ce $C = 0$, aient eux-mêmes amenés leurs sorties d'écriture ($P17$ ou, par exemple, $P27$) à 0 (bloc 104). L'action

25 suivante, débutant par un bit de démarrage, concerne l'opération déterminant qui devient le maître du système sur base de données de priorité et/ou d'identité. Dans le bloc 104, non seulement la sortie d'écriture CW ($P17$ dont il sera question ci-après, voir aussi les figures 8a et 8b passe à :

30 $= 0$, mais aussi le temps passe à : $= 0$ par le retour à 0 du compteur CR : $= 0$. Le comptage du temps débute alors à nouveau. On attend jusqu'à ce que $T_t : T_{li} : A_{li}T_{ci}$ soit écoulé (pour le bit de démarrage), bloc 106. La sortie d'écriture CW ($P17$) fournit alors le premier bit de données de l'identité

35 et/ou de la priorité : $P17 := b_{ti}$ (bloc 108). Le A cerclé inférieur est à reporter au A cerclé supérieur, où le pro-

cessus se poursuit. Dans le bloc 110, on attend jusqu'à ce que $Tt : T2i$ soit écoulé. CR est alors égal à $a2i$. Il s'agit du point (5) sur la figure 3 où la ligne C est analysée ("sample"). Dans le bloc 112, on vérifie ce qui se trouve sur la ligne C : la fonction ET câblée des bits bti présentés, etc. Ceci est indiqué par $P17 = WAB$. L'entrée de lecture CR (P17) lit ce résultat. Si tous les bits en question (le premier dans ce cas-ci) sont égaux, le Y du bloc 112 est la sortie pour tous les modules. Cependant, si pour un ou plusieurs modules ce bit vaut 0 et, pour le ou les autres modules, 1, pour ce ou ces derniers modules l'arbitrage est perdu et N de 112 aboutit sur la ou les sorties. Ces modules ne participent plus à la sélection du maître. Ceci est effectué pour chaque bit d'identité et/ou de priorité, de sorte que finalement un module reste comme maître. Après N du bloc 112, la ou les interruptions du ou des modules est ou sont alors débloquée(s) dans le bloc 114 et sont à nouveau activable(s) : EABINT (enabled). Pour ce ou ces modules, les actions visant à établir une liaison de communication (donc en tant que maître) n'ont pas abouti et ils atteignent la situation N du bloc 44 (figure 10), comme indiqué dans le bloc 116 de la figure 13.

Pour les modules qui ne sont pas encore sortis du processus de sélection, ce processus se poursuit par l'intermédiaire de Y de 112 : le compteur de bits est augmenté d'une position $bt \rightarrow bt + 1$ (bloc 118). Dans le bloc 120, on examine si le nombre maximum de bits de priorité et/ou d'identité ($bt \text{ max.} + 1$) est déjà atteint. Si oui (Y), le processus de sélection est à son terme et le module (maintenant unique), qui atteint ce point, est le maître du système : le bloc 122 indique ceci par Y, 44, qui renvoie à la sortie Y du bloc 44 de la figure 10 : ACK. Le transfert de données peut débiter : TOP, etc. de la figure 10. Si le bt_{max} maximum n'est pas encore atteint, (N) bloc 120, on attend jusqu'à ce que $Tt : T3i = a3iTci$ se soit écoulé, compteur CR = $a3i$ (bloc 124). La période de bits de bti est ainsi écoulée et $P17 = 1$ est imposé par le module Mi , bloc 126. Ceci donne $CW(Mi)$

= 1 après le point (6) sur la figure 3. Après un temps de réaction $Tt = T_{Ei} = a_{Ei} \cdot Tci$, on est assuré que ce module Mi ait présenté à la ligne C à nouveau le niveau $C = 1$ par l'intermédiaire de P17 en tant que sortie d'écriture, bloc 128. Ceci concerne donc la première durée pour cette action à facteur de temps prêt a_{Ei} . Le processus l'attend dans le bloc 128 qui comporte donc lesdits premiers moyens assurant la détection FDETM pour cette action. Dans le bloc 130, on examine si la ligne C est elle-même égale à 1 à la suite de la présentation du 1 depuis la sortie d'écriture CW (P17). Ceci se produit par l'intermédiaire de CR (P17) en tant qu'entrée de lecture. Si $C = P17 = 1$ (Y), cela signifie qu'aucun module n'a encore atteint sa deuxième durée T_{Fi} . Le compteur CR est à nouveau augmenté d'une unité : $CR \rightarrow CR + 1$, bloc 132. Dans le bloc 134, on examine si la position de CR atteinte est dans l'entre-temps devenue égale au facteur de temps de réaction a_F . Ceci concerne donc lesdits seconds moyens assurant la détection SDETM pour cette action. Si cette position a_F n'est pas encore atteinte (N), on examine à nouveau si, dans l'entre-temps le $C = P17 = 1$ n'a pas été modifié en $C = 0$ (donc à nouveau bloc 130) par un autre module à la suite de l'arrivée de ce module à la position a_F . Si $C = P17 = 1$ persiste, on revient à 132, etc. Si, dans l'entre-temps, C est rendu égal à 0 par un autre module, le N du bloc 130 est utilisé : l'induction se présente et le processus revient au point 103. Il s'agit du point (8) de la figure 3. Un autre bit de données est présente : le bloc 108 donne le bit bt_i suivant (deuxième, etc) qui est jugé (bloc 112) à nouveau par l'intermédiaire de la fonction ET câblée, etc. Si aucun autre module n'a compté précédemment jusqu'à a_F , à un moment déterminé $CR = a_F$ est atteint dans le bloc 134 dans le module en question. Le Y de 134 signifie que le point 103 du processus est atteint. Le processus se poursuit alors jusqu'à ce que ou bien le module soit éjecté du processus de sélection : N du bloc 112, ou bien le module soit désigné comme maître : Y du bloc 120, qui est atteint après que le dernier bit ait été comparé et qu'il s'avère en 120 qu'il n'est pas nécessaire de poursuivre la sélection $bt = bt_{max} + 1$.

La figure 14 illustre un schéma synoptique d'une source de données et/ou d'un récepteur de données formés d'une première partie DL1 et d'une deuxième partie DL2. DL2 est la partie qui contient la fonction de source et/ou de récepteur. Par l'intermédiaire d'une sortie de requête REQ, DL1 est connecté à une entrée de requête REQ de DL2. Par l'intermédiaire d'une entrée d'accusé de réception ACK, DL1 est connecté à une sortie d'accusé de réception de DL2. DL2 contient lesdits moyens HS. La source de signaux d'horloge pour DL1 est connectée par l'intermédiaire de C1 à DL2. DL2 est connecté par une sortie d'écriture CW précitée et par une entrée de lecture CR à la ligne de bus C. DL1 est lui-même connecté par une entrée d'interruption INT et par une (ou éventuellement deux) lignes formant une connexion d'entrée ou de sortie à partir de la ou des bornes d'entrée/sortie E/S, à la ligne de bus C. L'entrée d'interruption INT a à nouveau la même fonction que celle mentionnée plus haut, voir Figure 8, etc. La liaison E/S entre en jeu lorsque la connexion maître-esclave est établie et que le transfert de données se déroule.

Il convient de noter ici que dans DL2, les moyens HS sont conçus spécialement pour pouvoir établir, en dehors de DL1, si le bus est "prêt" pour le traitement desdites actions. En ce qui concerne la relation avec ce qui se déroule dans le programme principal d'un module Mi, dont DL2 fait partie, on peut se référer à la figure 10 et à la description en particulier des blocs en traits pointillés 43, 48 et 50.

En général, il est avantageux de réaliser aussi dans DL2 l'action concernant la sélection du maître.

La figure 15 illustre un schéma détaillé de la partie DL2 de la figure 14.

La figure 16 est un tableau de bits de temps (adresse et contenu de données) correspondant à la figure 15.

Sur la figure 15, en lieu et place d'un schéma de circuit logique comportant de nombreux composants logiques (comme de nombreuses portes, des éléments à deux positions, etc.) on a choisi une solution selon laquelle lesdits moyens

comprennent une mémoire morte ROM, un compteur d'adresses ADCR et un élément à fonction logique ET, ici l'élément NON-ET 140. De plus, dans cet exemple, il est aussi prévu que la sélection puisse être effectuée par des moyens de comparaison d'identité présents dans la partie DL2. Ces moyens de comparaison IDOCOMP coopèrent avec la mémoire morte ROM adressée par le compteur ADCR et avec une bascule DFF et un circuit-porte OU exclusif 142. De plus, un inverseur à collecteur ouvert 144 et un élément NON-ET à collecteur ouvert 146 sont aussi prévus et forment tous deux la sortie d'écriture CW. Les éléments 148 et 150 sont d'autres inverseurs. L'élément 141 est encore un circuit-porte NON-OU. Le fonctionnement sera expliqué avec référence à la figure 16 : dans cette figure, on trouve à gauche les adresses $A(0, \dots, n, n+1, n+2, n+3)$, les temps Tt et les facteurs de temps a_{A1}, a_B, \dots, a_F qui en dépendent et qui représentent des parties des adresses A de la mémoire ROM. A droite se trouvent les contenus des emplacements de mémoire qui apparaissent aux sorties DO, 1, 2, 3, 4, 5, 6 de la mémoire ROM lors d'un adressage correspondant.

On suppose qu'il n'y a pas de requête : $REQ = 0$. Si la ligne $C = 0$, un 0 est présent à la sortie du circuit-porte 141, de sorte que le $\overline{CLR} = 0$, ce qui provoque un effacement ("clear") d'une position (éventuellement) présente sur le compteur ADCR. Le compteur reçoit la position A ($0 \dots n, \dots$) = 0 et ainsi un 0 à toutes ses sorties. Si A ($\dots n+1$, et/ou $n+2, \dots$) rendait une ou plusieurs sorties égales à 1, il n'en est plus ainsi maintenant.

On suppose qu'il n'y a pas de requête : $REQ = 0$ et que la ligne $C = 1$, de sorte qu'un 0 est également présent à la sortie du circuit-porte 141 et que la même chose se produit : effacement.

On suppose qu'il y a effectivement une requête : $REQ = 1$ et que la ligne $C = 0$ (donc "occupé"), auquel cas les conditions sont à nouveau telles que décrites plus haut.

On suppose qu'il y a une requête $REQ = 1$ et que $C = 1$.

Dans ce cas, toutes les entrées de 141 sont égales à 0 (en effet, parce que $D4 = 0$, $\overline{LD} = 1$ et qu'un 0 est donc aussi présent au circuit-porte 141 après l'inverseur 150), de sorte que $\overline{CLR} = 1$ et que le compteur d'adresses ADCR va effectivement commencer à compter. Les impulsions d'horloge passant par C1 (sortant du générateur de signaux d'horloge de module) sont comptées. Les adresses que ADCR parcourt $A(0)$, $A(1)$, etc. fournissent encore toujours un 0 pour tous les D. Si la ligne $C = 1$ passe à nouveau à $C = 0$, l'opération "régresse" : effacement ("clear") du compteur ADCR. Ceci signifie que le bus n'admet pas la requête car il était encore occupé par une communication précédente. Il convient de noter que lorsque $REQ = 1$ les données d'identité et/ou de priorité ID_i du module i sont stockées dans un registre IDCOMP, commandé par l'entrée L. Ce registre est ensuite apprêté "S" pour décaler son contenu vers la droite sur son entrée d'horloge \triangleright . Si $REQ = 1$, $C = 1$ et ADCR atteint la position a_{A_i} pour laquelle $T_t = T_{A_i}$ (voir la figure 3) (la première durée), sur la sortie D4 de la mémoire ROM apparaît un 1 au moyen duquel le circuit-porte 140 est apprêté. C'est-à-dire qu'à partir de ce moment, "l'induction" peut se présenter. Pendant ce temps, le compteur continue à compter, mais aucune sortie de la mémoire ROM n'est modifiée. Si le compteur ADCR atteint la position a_B , la durée $T_t : T_{B_i}$, c'est-à-dire que la deuxième durée est atteinte. Dans cette position, la sortie D1 de la mémoire ROM devient égale à 1. La ligne C est ainsi rendue égale à 0 (point 3 de la figure 3) par l'intermédiaire de l'inverseur 144 qui a un collecteur ouvert. Ceci se produit également lorsque, avant la position a_B , un 0 est présenté par l'intermédiaire de la ligne C elle-même. Ceci peut se produire parce qu'un autre module a atteint plus tôt son T_{B_j} . Le circuit-porte NON-ET 140 est ainsi ouvert par l'intermédiaire de l'inverseur 148 ($D4$ était en effet déjà à 1) et \overline{LD} devient ainsi égal à 0, de sorte que le compteur ADCR dans la position a_B est chargé de force (a_B est soudé sur le compteur et est chargé dans le compteur à l'intervention de l'ordre "chargement"). L'induction est ainsi apparue et la relation $D1 = 1$ apparaîtra aussi, $C = 0$ étant donc présenté au module par l'intermédiaire de sa

sortie d'écriture CW. Le bit de démarrage (parties (3) - (4) sur la figure 3) est ensuite émis : $C = 0$ jusqu'à ce que $Tt : Tli = aLi.Tci$ soit franchi. Le compteur ADCR poursuit son fonctionnement à partir de a_B (Aucun effacement ne se produit, car $D4$ est à nouveau égal à 0 et \overline{LD} est par conséquent égal à 1 et un 0 est amené par l'intermédiaire de l'inverseur 150 à une entrée du circuit-porte NON-OU 141, c'est-à-dire que $\overline{CLR} = 1$).

Dans la position $a_B + ali$, D2 devient égal à 1. Le circuit-porte 146 s'ouvre à ce moment : c'est-à-dire qu'un bit (de l'ordre le plus élevé) des données d'identité et/ou de priorité IDi, qui se trouve dans le registre IDCOMP, est fourni à la ligne C. Un 1/0 est inscrit ici comme étant un 0/1 sur la ligne C. (Point (4) de la figure 3). La fonction ET câblée apparaît en C avec des bits d'autres modules. Lorsque le comptage se poursuit jusqu'à $a_B + a2i$, la mémoire ROM fournit à sa sortie D2 encore toujours un 1, de sorte que le dit bit continue à être présenté. De plus, DO est aussi égal à 1 et la bascule DFF est ainsi rythmée (celle-ci avait déjà été préparée par $REQ = 1$). (point (5) de la figure 3) ("sample"). Sur l'entrée de DFF se trouve le signal qui est présent à la sortie du circuit-porte OU exclusif 142. Ce signal est le résultat de la fonction OU exclusif sur le bit qui est présenté par le module au départ de IDCOMP et sur le bit qui se trouve sur la ligne C. Ces bits peuvent être les mêmes (tous deux 0 ou tous deux 1) ou peuvent être différents. S'ils sont égaux, un 1 est présent à l'entrée de DFF, de sorte qu'un 1 parvient aussi à sa sortie et est retenu au moins jusqu'à ce qu'une nouvelle relation $DO = 1$ apparaisse en tant qu'impulsion d'horloge. Ledit 1 adresse la mémoire ROM dans la partie d'adresse $A(N+3) = 1$, de sorte que l'adresse totale $A(a2i, 0, 0, 1)$ est présente. Si lesdits bits sont inégaux, un 0 apparaît à la sortie de DFF et devient la partie d'adresse $A(N+3) = 0$. L'adresse totale est alors $A(a2i, 0, 0, 0)$. Ce qui précède signifie : en cas d'égalité, l'arbitrage est "favorable". Le module peut continuer à participer à l'ar-

bitrage portant sur un bit suivant. La mémoire ROM est maintenant adressée par ledit $A(N+3) = 1$ dans une partie déterminée, de sorte que le module garde sa chance de devenir le maître. En cas d'inégalité, l'arbitrage est "défavorable".

5 Le module ne peut maintenant pas devenir maître parce qu'un ou plusieurs modules dont le numéro d'identité et/ou la priorité sont plus élevés, ont également $REQ = 1$.

Exemple d'arbitrage : identités M1 = 01 après inversion,
 10 présentation de 10 à la ligne C :
 identités M2 = 10 après inversion,
 présentation de 01 à la ligne C, :
 identités M3 = 11 après inversion,
 présentation de 00 à la ligne C.

15 Pour le bit de l'ordre le plus élevé, la ligne C donne, par la fonction ET câblée : 0. A l'intervention des moyens IDCOMP, coopérant avec DFF et 142, on obtient dans :

M1, un 0 à la sortie de DFF, dès lors $A(n+3) = 0$ défavorable
 M2, un 1 à la sortie de DFF, dès lors $A(n+3) = 1$ favorable
 M2, un 1 à la sortie de DFF, dès lors $A(n+3) = 1$ favorable.

20 Donc seuls M2 et M3 participent à la suite de l'arbitrage (pour le deuxième bit). Pour le deuxième bit, il faut également que $C = 0$ apparaisse. Ceci a pour effet, dans M2, un 0 à la sortie de DFF et, par conséquent, $A(n+3) = 0$, défavorable. Ce n'est que pour M3 que $A(n+3) = 1$ apparaît, favorable.

25 M3 est sélectionné. Dans la mémoire ROM se passe ce qui suit: en cas de résultat "défavorable", un adressage est effectué par le compteur d'adresses qui continue à fonctionner dans la partie de la mémoire ROM pour laquelle la partie d'adresse $A(n+3) = 0$ est en vigueur. Dans cette partie de la mémoire ROM

30 subsiste en tout cas toujours $D1 = D2 = D3 = 0$. Aucun autre bit n'est dès lors plus présenté à l'arbitrage. CW est ainsi toujours un 1 et n'a plus aucune influence. Etant donné que $D3 = 0$, il n'y a donc pas d'ACK signalant que ce module ne reçoit pas d'accusé de réception en vue d'un transport de données en tant que maître du système. Dans l'entre-temps, le

35 compteur ADCR a continué à compter (tous les modules; cepen-

dant seuls ont encore une influence sur la ligne C le ou les modules qui participent encore à l'arbitrage).

Le compteur ADCR atteint le temps $T_t = T_{Bi} + T_{3i}$ pour lequel la position $a_B + a_{3i}$ est atteinte (point (6) sur la figure 3). Ici, toutes les sorties $D_0, \dots, D_6 = 0$. Sur la ligne C se trouve le niveau 1 (bit d'arrêt après le point (5) de la figure 3). Le compteur continue à compter vers $a_{Bi} + a_{Ei}$ (point (7), figure 3). A ce moment là, la première durée T_{Ei} après T_{Bi} est à nouveau atteinte. L'induction peut apparaître : sortie $D_4 = 1$, de sorte que le circuit-
 10 porte 140 est à nouveau préparé. $D_6 = 1$ également. La mémoire ROM parvient ainsi dans la partie qui est adressée par la partie d'adresse $A(n+2) = 1$. Dans cette partie sont stockés les bits de commande pour le traitement du deuxième bit des données de priorité et/ou d'identité (dans cet exemple, avec D_5 et D_6 , on suppose que $2^2 = 4$ bits). Le compteur ADCR continue à fonctionner jusqu'à atteindre la position $a_B + a_F$, c'est-à-dire la deuxième durée $T_{Fi} = a_F \cdot T_{ci}$ après T_{Bi} . D_1 est ainsi à nouveau égal à 1 (et D_6 reste égal à 1 en relation avec le traitement ultérieur du deuxième bit). Le deuxième bit est glissé hors
 20 du registre IDCOMP et est préparé au circuit-porte 146. Un 0 apparaît aussi sur la ligne C par $D = 1$. Par l'intermédiaire de CR, cette ligne fournit un 1 au circuit-porte 140 qui a déjà été préparé. $\overline{LD} = 0$ apparaît à nouveau et force le compteur ADCR à revenir dans sa position a_B . A partir de ce point (point (8) de la figure 3) le cycle recommence à partir de la position a_B . Le compteur continue à compter vers $T_t = T_{Bi} + T_{1i}$ où le deuxième bit des données de priorité et/ou d'identité passe par le circuit-porte 142 (par $D_2 = 1$) vers la
 30 ligne C, etc.

Si, avant que le compteur atteigne la position $a_B + a_F$, un 0 est lu sur la ligne C par l'intermédiaire de CR, a_B est ainsi déjà (induction) chargé dans ADCR et le processus passe au nouveau cycle (point (8), figure 3). Le nouveau cycle pour l'arbitrage du bit suivant, voir ci-dessus, etc.
 35 part donc de ce point.

Lorsqu'un module reçoit toujours le résultat "favorable" c'est-à-dire lorsque $A(n+3)$ reste toujours à 1, à la fin du cycle pour le dernier bit (ici donc 4) à l'adresse $A(a_B + a_F, 1,1,1)$, on trouvera un 1 donc sur la sortie D3, c'est-à-dire que $ACK = 1$ et que ce module est ainsi sélectionné comme maître.

Il est clair que le temps de réaction T_{Ri} de l'agencement représenté sur la figure 15 sera petit. Pour l'induction (supposons que T_{Bj} est atteint, c'est-à-dire que $C = 0$ par le module Mj), la mémoire ROM sera adressée dans le module Mi directement par l'intermédiaire de l'inverseur 148 du circuit-porte 140 et du compteur ADCR, à un endroit où $D1 = 1$. Ce module Mi fait ainsi également passer la ligne C sur 0. T_{Ri} est entièrement déterminé par circuit. Il diffère en cela du T_{Ri} de l'exemple de la figure 13. Dans ce dernier cas, le processeur de signaux numériques programmés doit parcourir des pas de programme soit après le bloc 98 (N) ou le bloc 102 pour le cas T_{Ai}/T_{Bi} , soit après le bloc 130 (N) ou le bloc 134 pour le cas T_{Ei}/T_{Fi} pour assurer qu'un 0 vienne de se placer à sa borne $CW = P17$ (bloc 104), que $Tt := 0$ et qu'en outre le compteur devienne $CR := 0$. Ceci prend plus de temps, de sorte que T_{Ri} est plus grand que dans le cas où l'opération est assurée par circuit. Pour remédier à ceci, un détecteur de transition de niveaux logiques "prêt - occupé" peut être prévu entre le bus et le processeur de signaux numériques programmés utilisé comme sources de données et/ou comme récepteurs de données.

Ceci est illustré sur la figure 17. Le détecteur est formé d'un inverseur 152 et d'un circuit-porte NON-ET 154. L'inverseur 152 reçoit un signal de la ligne de bus C et le circuit-porte 154 reçoit un signal aussi bien de l'inverseur 152 que du processeur Mi (8048). La sortie du circuit-porte 154 est à nouveau connectée à la ligne de bus C.

La sortie P27 est, dans cet exemple, une borne du processeur Mi (ici le 8048) qui est définie pendant les actions de la présente demande d'une manière telle que pour $CR = a_{Ai}$

(bloc 94, FDETM) et pour $CR = a_{Ei}$ (bloc 128, FDETM de la figure 13) elle ait la valeur 1 $P27 = 1$. Il en résulte ce qui suit : le circuit-porte 154 est apprêté. On suppose qu'un niveau 0 parvient sur l'inverseur 152 par l'intermédiaire de la ligne C; dans ce cas, un 0 provenant de ce module
 5 M_i est fourni également à la ligne C par l'intermédiaire du circuit-porte 154. Par conséquent : aussitôt qu'après T_{Ai} ou T_{Ei} la ligne c d'un module M_i devient égale à 0 (par M_i lui-même pour T_{Bi} ou T_{Fi} ; mais avant tout par un autre
 10 module M_j pour T_{Bj} ou T_{Fj}), M_i assure qu'il rende aussi lui-même C égal à 0. T_{Ri} est ainsi diminué. La borne P27 est en outre définie par le fait qu'elle passe à nouveau à 0 lorsque $P17 := 0$ (bloc 104) sous l'effet du processeur, de sorte que le détecteur n'exerce par la suite plus aucune influence
 15 (le circuit-porte 154 produit toujours un un).

Il convient de noter qu'il est bien entendu aussi possible, au lieu d'utiliser une borne P27 à cet effet, de choisir une solution selon laquelle le circuit-porte 154 est commandé de l'extérieur du processeur. Sur la figure 17, ceci est illustré à titre d'exemple encore pour la durée T_{Ai} : à l'intérieur des traits de chaînette. A cet endroit est prévu un compteur DETCR supplémentaire qui, lorsqu'on atteint la position 0, fournit un report (carry) CY. La ligne sur laquelle
 20 CY apparaît est connectée au circuit-porte 154. Le système fonctionne de la manière suivante : la borne P16 du processeur est définie comme étant l'entrée d'effacement à inversion (\overline{CLE}) du compteur DETCR, au moyen de laquelle, uniquement pendant l'action ($P16 = 1$) dans laquelle T_{Ai} joue un rôle, le compteur n'est pas effacé. De plus, le compteur n'a
 25 toujours aucune importance, en dépit d'une commande par l'intermédiaire de LD et de CK, et porte aussi un signal $CY = 0$. Chaque fois qu'une transition de 0 à 1 se produit sur la ligne C, le compteur DETCR est chargé par $LD = 1$ d'une valeur égale à $-a_{Ai}$, de sorte qu'une position précédemment
 30 atteinte, qui peut avoir été atteinte lors d'un essai précédent pour compter $-a_{Ai}$, est effacée. La borne TO du processeur est définie comme étant une sortie d'horloge par l'inter-

médiaire de laquelle des impulsions de comptage parviennent au compteur DETCR qui décompte.

Si on réussit à atteindre la position de comptage 0, donc si T_{Ai} est atteint, il se produit ce qui suit : CY
5 fournit un signal de report ou de transfert au circuit-porte 154 qui est ainsi apprêté. Si la ligne C est amenée à 0 par M_i lui-même ou en particulier par un autre module M_j , cela signifie que, par l'intermédiaire de l'inverseur 152, le circuit-porte 154 fournit aussi un 0 pour la ligne C. La
10 réaction rapide est ainsi à nouveau atteinte et T_{Ri} est donc diminué. Le compteur lui-même ne va pas plus loin car $CY = 1$ produit un blocage à l'entrée d'activation $\overline{ENA} = 1$, donc activation = 0. CY reste dès lors aussi égal à 1. Ceci persiste jusqu'à ce que cette action soit terminée, c'est-à-
15 dire dans cet exemple que $P17 := 0$ soit réalisé. $P16$ est alors à nouveau 0 et, par conséquent, $\overline{CLE} = 0$, c'est-à-dire que le compteur est effacé, de sorte que CY passe à nouveau à 0 et que le circuit-porte 154 n'est plus apprêté. Le détecteur ne peut dès lors plus exercer d'influence.

REVENDICATIONS

- 1.- Système à sources de données et à récepteurs de données multiples dans lequel la ou les sources de données et le ou les récepteurs de données sont connectés à un bus de communication qui est constitué d'au moins un milieu de transfert convenant pour le transport d'au moins un niveau logique (0 ou 1), caractérisé en ce que :
- il comporte plusieurs générateurs de signaux d'horloge présentant des tolérances réciproques et
 - dans la ou les sources et le ou les récepteurs sont présents des moyens (HS) à l'aide desquels pour la ou toutes les sources et le ou tous les récepteurs (Mi) qui participent activement à une action se rapportant à une communication (participants à l'action), on peut déterminer si ledit bus (C) est "prêt" pour l'exécution de ladite action, lesdits moyens (HS)
 - comportant des premiers et seconds moyens assurant la détection, au moyen desquels on peut établir que, pendant une première ou une deuxième durée (par exemple T_{Ai} ou T_{Bi}) le bus de communication est prêt pour l'action en question, la première durée étant inférieure à la deuxième (par exemple $T_{Ai} < T_{Bi}$) et cette première durée étant déterminée par un facteur de temps prêt (par exemple a_{Ai}) du participant à l'action en question (Mi) et la deuxième durée étant en relation avec le plus grand produit (R.V) de l'ensemble des produits (Ri.Vi) de tous les participants potentiels à l'action, les produits (Ri.Vi) étant formés pour chaque participant (Mi) à l'action par un facteur de tolérance (Ri) du générateur de signaux d'horloge pour le participant (Mi) à l'action et par un facteur de temps de réaction (Vi) de ce participant (Mi),
 - étant entendu que, dans le cas où un participant (Mi) à l'action détecte que la deuxième durée (T_{Bi}), pour ce participant et pour tous les autres participants (Mj, Mk, ...) à l'action qui ont détecté, dans l'entre-temps, au moins pendant leur première durée en question (T_{Aj} , T_{AK} , ...) que le bus (C) est prêt, le bus (C) est (effectivement) prêt pour

l'exécution de l'action en question et peut donc être occupé par cette action.

2.- Système à sources de données et à récepteurs de données multiples suivant la revendication 1, caractérisé en ce que lesdits moyens (HS) sont conçus pour établir que le bus de communication (C) est prêt pour le traitement d'une action concernant le lancement de requêtes (start) de plusieurs participants (Mi) à une action à l'établissement d'une liaison de communication.

3.- Système à sources de données et à récepteurs de données multiples suivant la revendication 1, caractérisé en ce que lesdits moyens (HS) sont conçus pour établir que le bus de communication (C) est prêt pour le traitement d'une action concernant l'exécution, sur base de données de priorité et/ou d'identité, d'une procédure de sélection parmi plusieurs sources de données et/ou récepteurs de données demandant une liaison de communication (participants Mi à une action).

4.- Système à sources de données et à récepteurs de données multiples suivant la revendication 1, caractérisé en ce que le bus de communication formé d'au moins un milieu de transfert est pourvu pour chaque endroit de connexion d'un participant (Mi) à une action, d'une fonction de porte logique câblée ("wired AND" ou "wired OR").

5.- Système à sources de données et à récepteurs de données multiples suivant les revendications 1 et 2, caractérisé en ce que le bus est formé d'un seul milieu de transfert, et la seconde durée minimale (T_{Bi}) satisfait, pour chaque participant potentiel (Mi), à l'expression $T_{Bi} = a_B \cdot T_{ci} = (R^6 \cdot V) \cdot T_{ci}$, dans laquelle T_{ci} est la période du générateur de signaux d'horloge pour ce participant (Mi).

6.- Système à sources de données et à récepteurs de données multiples suivant les revendications 1 et 3, caractérisé en ce que le bus est formé d'un seul milieu de transfert (C) et la seconde durée minimale (T_{Fi}) satisfait, pour chaque participant potentiel (Mi), à l'expression $T_{Fi} = a_F \cdot T_{ci} = (R^4 \cdot V) \cdot T_{ci}$, où T_{ci} est la durée de la période du générateur

de signaux d'horloge pour ce participant (M_i).

7.- Système à sources de données et à récepteurs de données multiples suivant les revendications 1 et 2, caractérisé en ce que le bus est formé de deux milieux de transfert (K, D) et la seconde durée minimale (T_{Bi}) satisfait pour
 5 chaque participant potentiel (M_i), à l'expression
 $T_{Bi} = (R^3 \cdot V) \cdot T_{ci}$, où T_{ci} est la durée de la période du générateur de signaux d'horloge pour ce participant (M_i).

8.- Système à sources de données et à récepteurs de données multiples suivant les revendications 1 et 3, caractérisé en ce que le bus est formé de deux milieux de transfert (K, D) et la seconde durée minimale (T_{Fi}) satisfait, pour
 10 chaque participant potentiel (M_i), à l'expression $T_{Fi} = (R \cdot V) \cdot T_{ci}$, où T_{ci} est la durée de la période du générateur
 15 de signaux d'horloge pour ce participant (M_i).

9.- Source de données et/ou récepteur de données conçu pour participer activement à une action se rapportant à un transfert dans un système suivant la revendication 1, caractérisés en ce que :

- 20 - ils ont au moins une entrée de commande (CR) et une sortie de commande (CW) et, dans la source et/ou le récepteur, lesdits moyens :
- par l'intermédiaire de la sortie de commande (CW), après établissement dans les seconds moyens assurant la détection
 25 que la dite seconde durée (par exemple T_{Bi}) s'est écoulée, convertissent un niveau logique "prêt" sur le bus de communication en un niveau logique "occupé",
 - produisent, à la sortie de commande (CW) également le niveau logique "occupé" au cas où le niveau logique "occupé" placé sur le bus par un autre participant est reçu par l'intermédiaire de l'entrée de commande (CR) et/ou, de plus, la
 30 source et/ou le récepteur ont eux-mêmes établi entre-temps, à l'aide des premiers moyens assurant la détection, qu'au moins la première durée (par exemple T_{Ai}) s'est écoulée,
 35 de sorte que la source et/ou le récepteur peuvent ainsi être commandés en vue de la participation à l'exécution d'une action envisagée.

10.- Source de données et/ou récepteur de données sui-

vant la revendication 9, caractérisés en ce qu'il s'agit d'un processeur de signaux numériques qui comporte des moyens de fonction programmés qui comprennent lesdits moyens dont une entrée fonctionne comme ladite entrée de commande (CR) et une
5 sortie comme ladite sortie de commande (CW).

11.- Source de données et/ou récepteur de données suivant la revendication 10, caractérisés en ce que pour la source et/ou le récepteur, un détecteur de transition de niveau logique "prêt" - "occupé" est prévu, au moyen duquel une transition
10 "prêt" - "occupé" fournit sur le bus de communication un temps de réaction raccourci pour la production par la source de données et/ou par le récepteur lui-même, à sa sortie de commande (CW), du niveau logique "occupé" lorsqu'il a, en outre, établi entre-temps qu'au moins la première durée est écou-
15 lée.

12.- Source de données et/ou récepteur de données suivant la revendication 9, caractérisés en ce que la source et/ou le récepteur comportent une première partie (DL1) et une seconde partie (DL2), la première partie (DL1) contenant es-
20 sentiellement la fonction de source et/ou de récepteur et étant connectée à la seconde partie (DL2) par au moins une sortie de requêtes (REQ) et une entrée d'accusé de réception (ACK), la seconde partie comportant respectivement une en-
25 trée de requêtes (REQ) et une sortie d'accusé de réception (ACK) et étant, en outre, pourvue desdits moyens (HS) servant à établir si le bus de communication est prêt pour l'exécution d'une action se rapportant à une communication, la se-
conde partie, qui comporte ladite entrée de commande (CR) et la dite sortie de commande (CW), pouvant être connectée au
30 bus (par exemple C).

13.- Source de données et/ou récepteur de données suivant la revendication 12, caractérisés en ce que ladite se-
conde partie (DL2) comporte aussi des moyens de comparaison d'identité (IDCOMP) au moyen desquels l'identité propre de
35 la source de données et/ou du récepteur de données peut être comparée à une identité présentée par l'intermédiaire du bus de communication.

14.- Source de données et/ou récepteur de données suivant la revendication 12, caractérisés en ce que lesdits moyens comportent dans la seconde partie une mémoire morte (ROM), un compteur d'adresses (ADCR) et un élément logique à fonction ET (140), la mémoire morte pouvant être adressée par le compteur d'adresses, le compteur d'adresses, à condition que le bus soit "libre", compte des signaux d'horloge qui sont présentés par l'intermédiaire d'une entrée (C1) du générateur de signaux d'horloge à partir de la première partie, après qu'un signal de requête ait été reçu par l'intermédiaire de l'entrée de requêtes (REQ); lorsque l'état du compteur représentant la première durée (par exemple T_{Ai}) est atteint, la mémoire morte adressée fournit un bit de sortie au moyen duquel l'élément logique à fonction ET (140) est positionné; lorsque l'état du compteur qui représente la seconde durée (par exemple T_{Bi}) est atteint ou plus tôt, lorsque, par l'intermédiaire de l'entrée de commande (CR) le signal bus "prêt" se transforme en signal bus "occupé", ce qui force le compteur (ADCR) par l'intermédiaire de l'élément à fonction ET (140) dans la position de comptage de la seconde durée (par exemple T_{Bi}), la mémoire morte fournit, à partir de l'endroit alors adressé, également le niveau logique "occupé" à la sortie de commande.

15.- Source de données et/ou récepteur de données suivant la revendication 14, caractérisés en ce que la mémoire morte (ROM) adressée au moyen du compteur d'adresses (ADCR) convient, en coopération avec les moyens comparateurs d'identité (IDCOMP) pour l'exécution de la comparaison d'identité.

16.- Système à sources de données et à récepteurs de données multiples suivant la revendication 1, caractérisé en ce que le bus de communication est formé de deux milieux de transfert (KD) dont le premier sert de milieu de transfert de commande (K) et l'autre de milieu de transfert de données (D), au moins chaque participant (M_i) à une action étant pourvu d'une borne d'écriture et d'une borne de lecture [$KW(M_i)$ et $KR(M_i)$] sur le milieu de transfert de commande ainsi que d'une borne d'écriture et d'une borne de

lecture ($\overline{DW}(Mi)$ et $\overline{DR}(Mi)$) sur le milieu de transfert de données.

5 17.- Système à sources de données et à récepteurs de données multiples suivant la revendication 1, caractérisé en ce que le bus de communication est formé de trois milieux de transfert dont deux servent de milieux de transfert de commande (KA, KB) et le troisième de milieu de transfert de données (D), au moins chaque participant (Mi) à une action étant pourvu de bornes d'écriture et de bornes de lecture
10 [$\overline{KAW}(Mi)$, $\overline{KBW}(Mi)$ et $\overline{KAR}(Mi)$ et $\overline{KBR}(Mi)$] sur les milieux de transfert de commande et d'une borne d'écriture ainsi que d'une borne de lecture ($\overline{DW}(Mi)$ et $\overline{DR}(Mi)$) sur le milieu de transfert de données.

15 18.- Système à sources de données et à récepteurs de données multiples suivant la revendication 1, caractérisé en ce que le bus de communication est formé de trois milieux de transfert dont l'un sert de milieu de transfert de commande (K) et les deux autres de milieux de transfert de données (DA et DB), au moins chaque participant (Mi) à une action
20 étant pourvu d'une borne d'écriture et d'une borne de lecture [$\overline{KW}(Mi)$ et $\overline{KR}(Mi)$] sur le milieu de transfert de commande et de bornes d'écriture ainsi que de bornes de lecture ($\overline{DAW}(Mi)$, $\overline{DBW}(Mi)$ et $\overline{DAR}(Mi)$, $\overline{DBR}(Mi)$) sur les milieux de transfert de données.

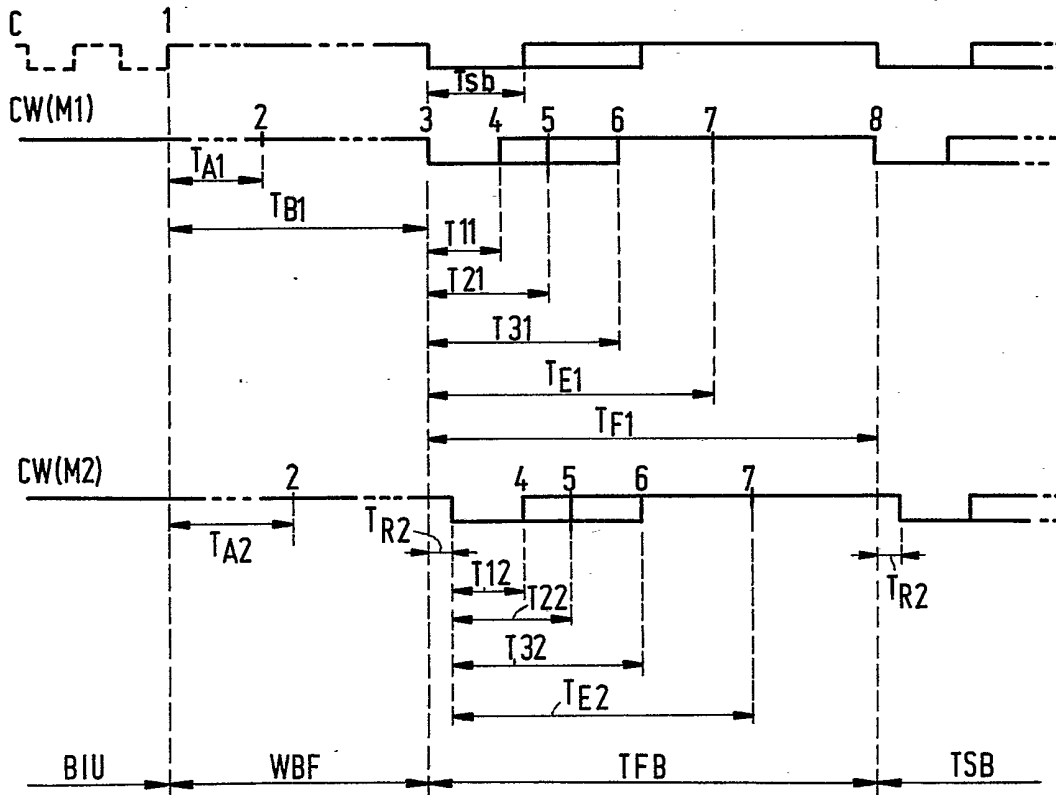
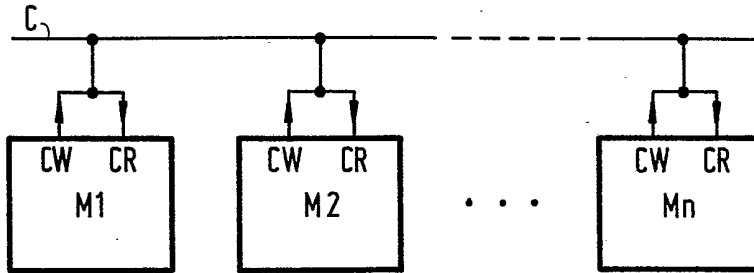
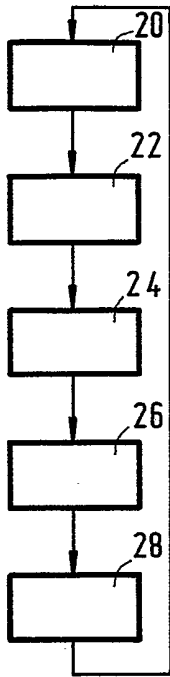


FIG. 3

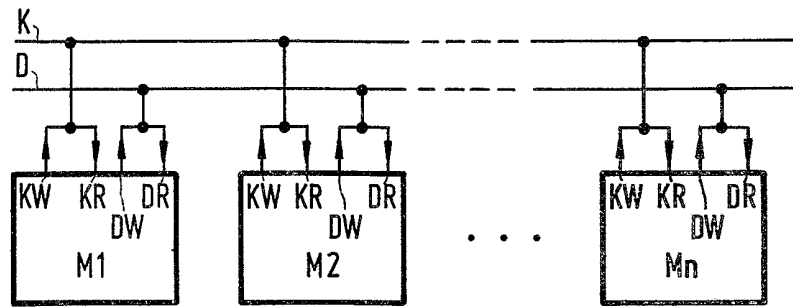


FIG.4

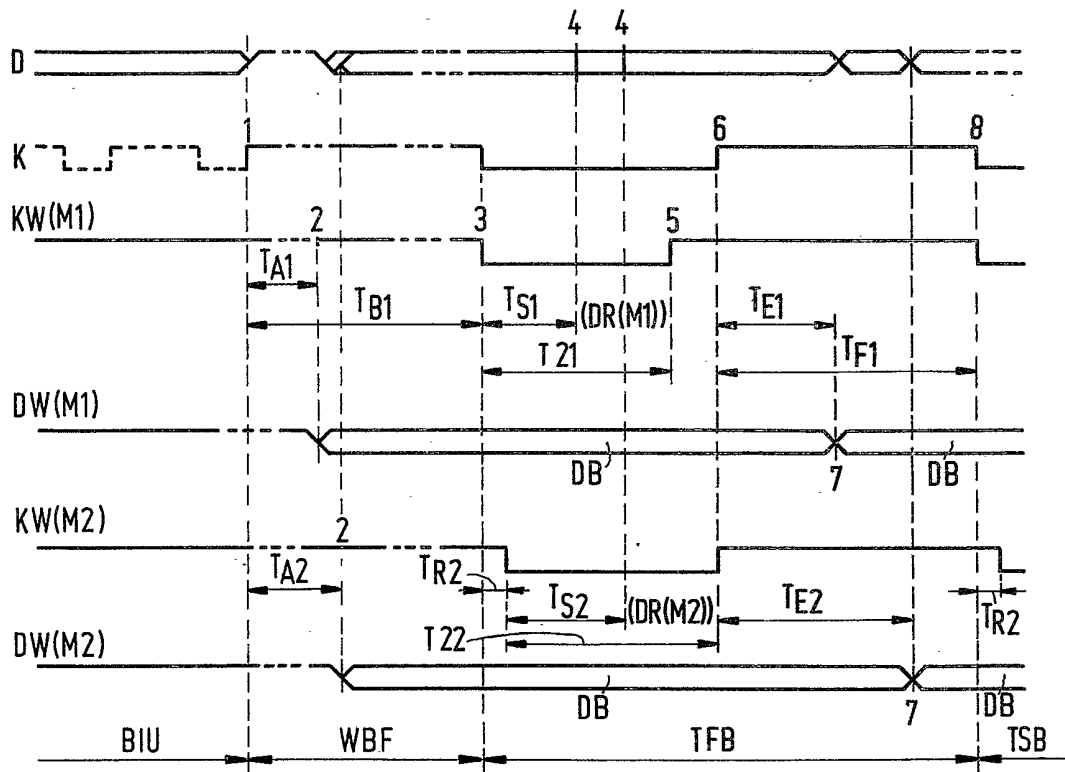


FIG.5

PL 3/8

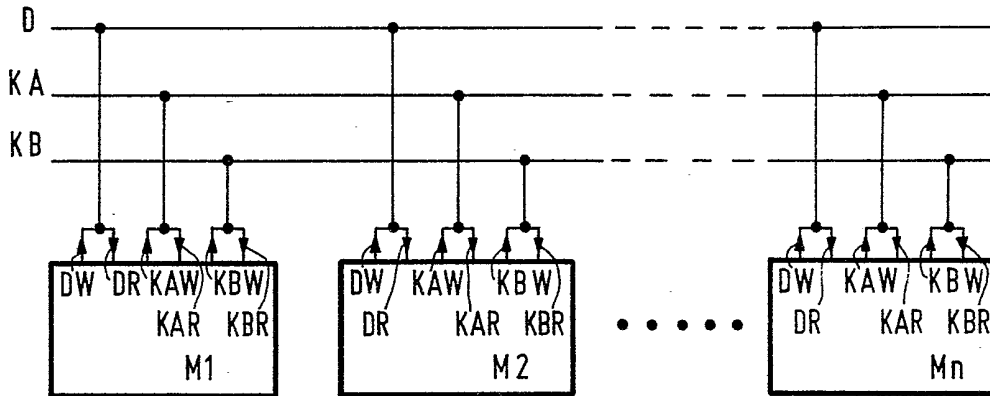


FIG.6

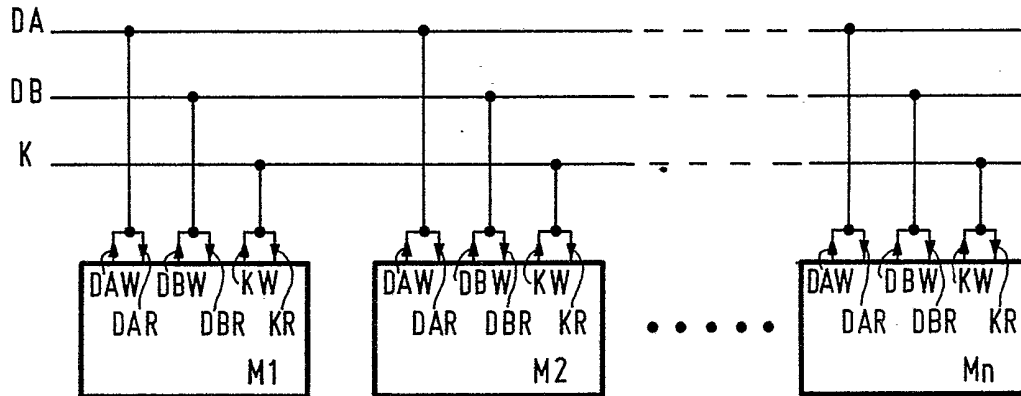
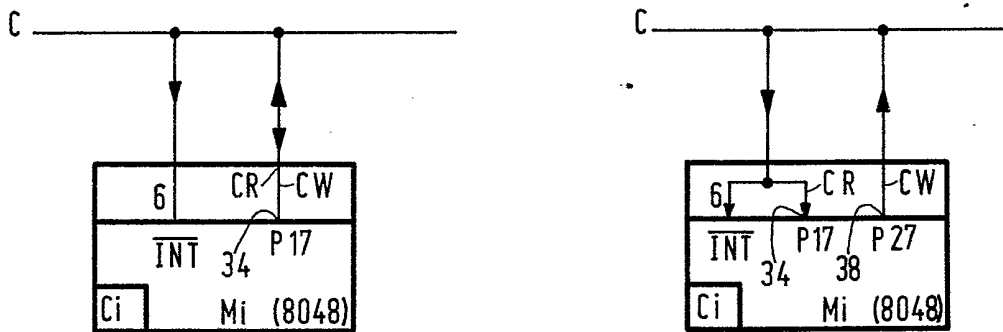


FIG.7



8a

FIG.8

8b

PL 4/8

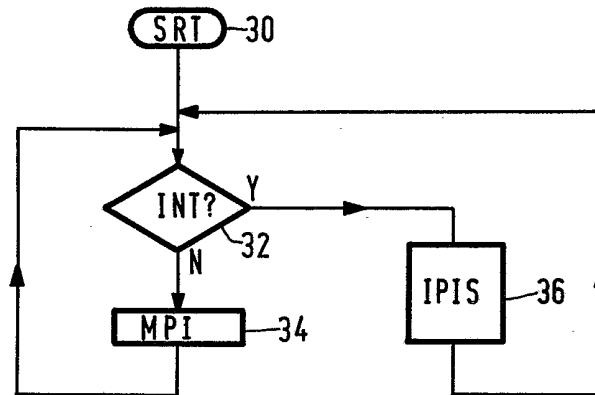


FIG. 9

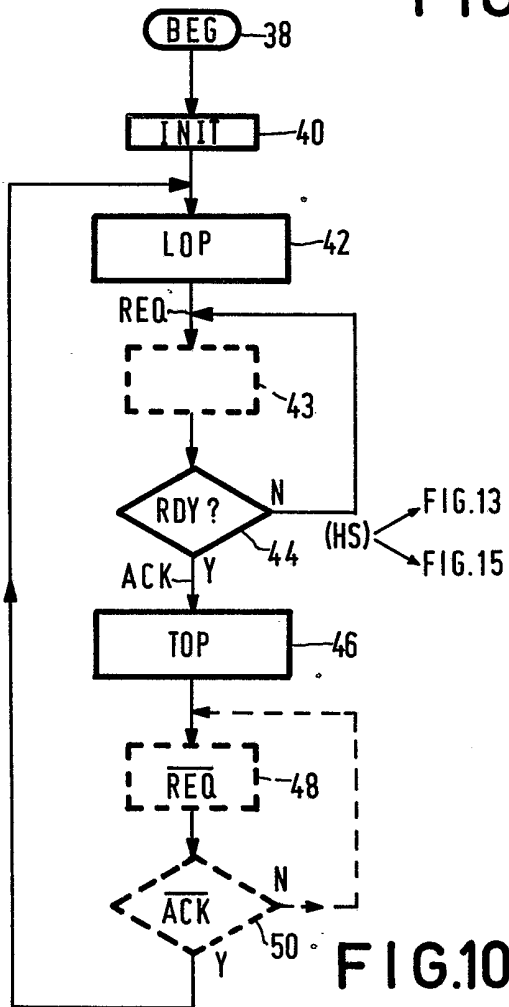


FIG. 10

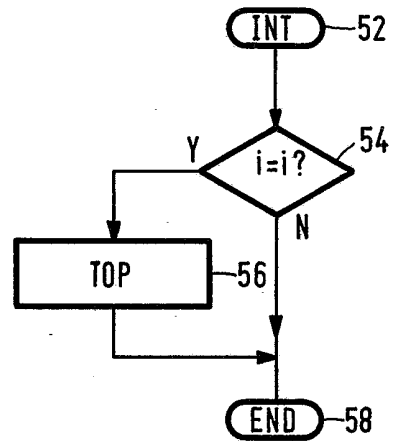


FIG. 11

PL 5/8

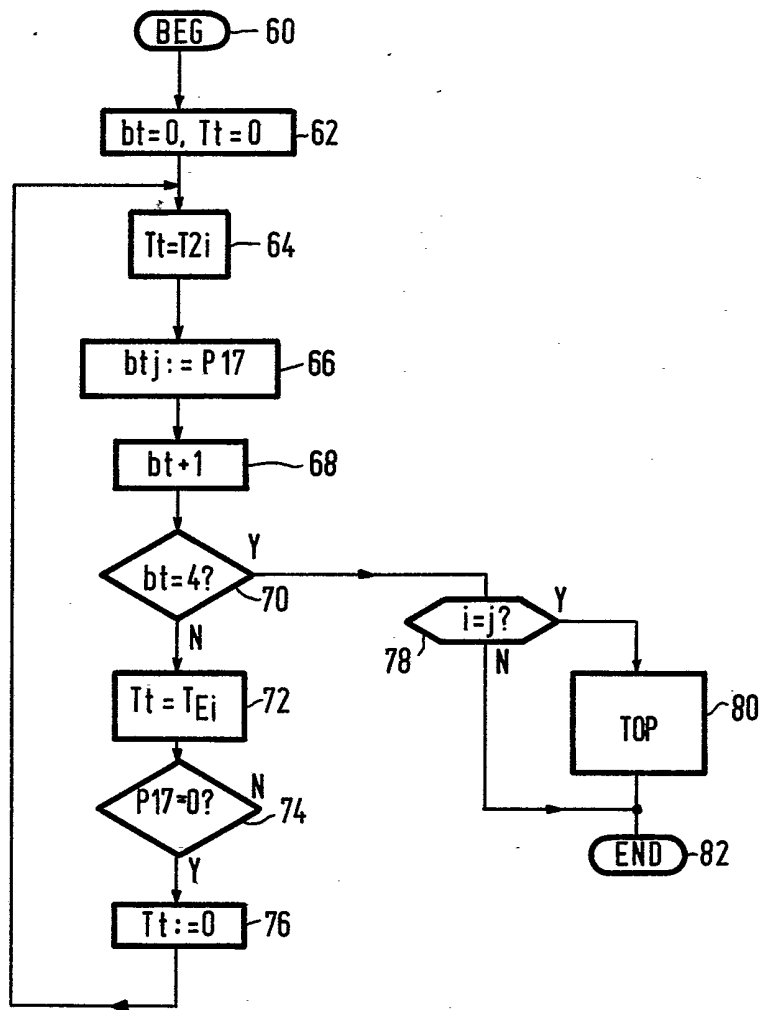


FIG.12

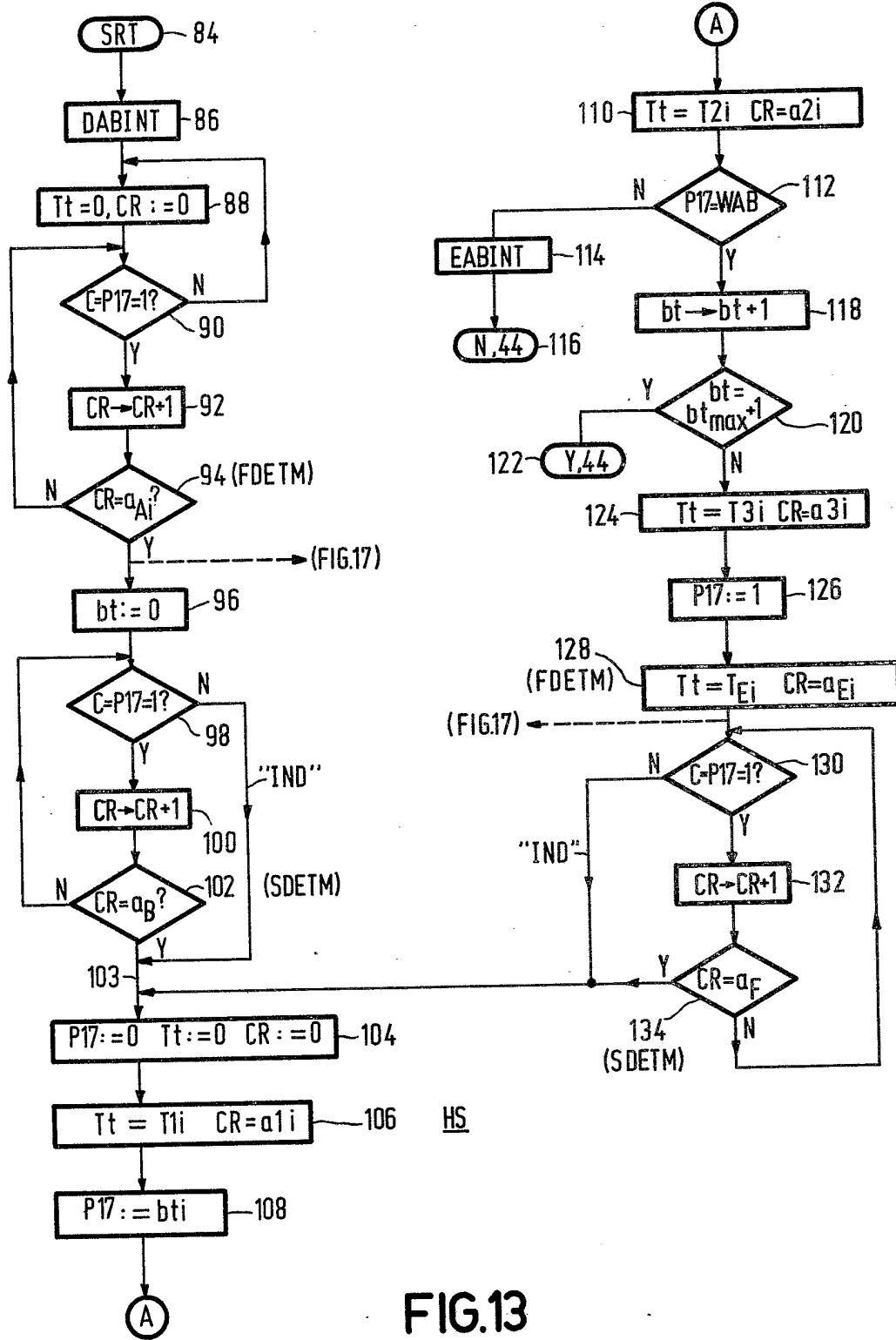


FIG.13

PL 8/8

	A(0---n,	n+1,	n+2,	n+3)	D	0	1	2	3	4	5	6
REQ=0	0	0	0	0	0	0	0	0	0	0	0	0
	⋮	0	1	0	⋮	⋮	⋮	⋮	⋮	⋮	⋮	⋮
REQ=1, CLR	⋮	1	0	⋮	⋮	⋮	⋮	⋮	⋮	⋮	⋮	⋮
Tt=TAi	aAi	0	0	0	0	0	0	0	1	0	0	0
TBi	aB	0	0	0	0	1	0	0	0	0	0	0
TBi+T1i	aB+a1i	0	0	0	0	0	1	0	0	0	0	0
+T2i	+a2i	0	0	0/1	1	0	1	0	0	0	0	0
+T3i	+a3i	0	0	0/1	0	0	0	0	0	0	0	0
+TEi	+aEi	0	0	0/1	0	0	0	0	1	0	1	0
+TFi	+aFi	0	1	0/1	0	1	0	0	0	0	0	1
TBi	aB	0	1									

FIG.16

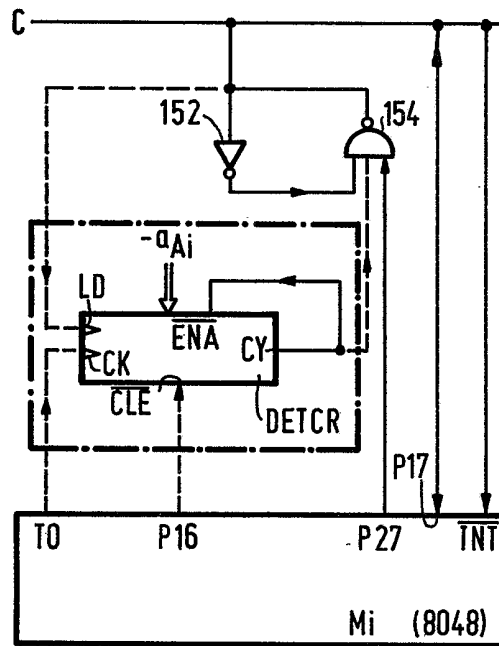


FIG.17