

雙面影印

公告本

申請日期	90.11.20.
案 號	90128713
類 別	G11C16/00

A4
C4

522401

(以上各欄由本局填註)

發明專利說明書		
一、發明名稱	中 文	具交插讀取與規劃能力之改良積體電路記憶體裝置及其操作方法
	英 文	AN IMPROVED INTEGRATED CIRCUIT MEMORY DEVICE HAVING INTERLEAVED READ AND PROGRAM CAPABILITIES AND METHODS OF OPERATING SAME
二、發明人	姓 名	(1)曹正中 (2)林田能
	國 籍	(1)中華民國(2)美國
	住、居所	(1)台灣省新竹市明祥一街22巷1號 (2)美國加州薩拉托加·艾汀堡道20234號
三、申請人	姓 名 (名稱)	美商·積憶科技股份有限公司
	國 籍	美 國
	住、居所 (事務所)	美國加州聖大克萊拉·馬汀街2285號A室
	代 表 人 姓 名	齊 S. 珍格

經濟部智慧財產局員工消費合作社印製

本紙張尺度適用中國國家標準 (CNS) A4規格 (210×297公釐)

(由本局填寫)

承辦人代碼：
大 類：
I P C分類：

A6

B6

本案已向：

美

國(地區) 申請專利，申請日期：

案號：

，☒有 ☐無主張優先權

2000,11,21

09/718,649

有關微生物已寄存於：

，寄存日期：

，寄存號碼：

(請先閱讀背面之注意事項再填寫本頁各欄)

裝

訂

線

經濟部智慧財產局員工消費合作社印製

五、發明說明 (1)

本發明的背景

本發明的領域

本發明涉及一種改進的集成記憶體電路，能夠無任何間隙地連續讀出或規劃資料頁，並涉及運行它的方法。

先有技術的說明

用於存儲資料的半導體集成記憶體電路裝置典型地已經分類為易失性的和非易失性的，前者在斷電後其中的資料將丟失，後者在斷電後其中的資料可以保持。

非易失性記憶體中包含有安排成多行和多列(或位元線)的非易失性記憶單元陣列，參照陣列中諸非易失性記憶單元的安排情況，它們可以分類成與非型或非型。此外，非易失性記憶單元可安排成工作於頁模式狀態，其中，將一個資料頁(通常為512位元組)存儲入與記憶體電路裝置集成在一起的多個鎖存器(或者多個頁緩衝器)中。集成記憶體電路裝置的讀出使一個記憶單元頁來的資料被讀出，並存儲入其多個鎖存器中。然後，典型地，從集成記憶體電路裝置中以串行方式讀出該多個鎖存器的內容。集成記憶體電路裝置的規劃使外部來的資料存儲入其多個鎖存器中。然後，將這多個鎖存器的內容存儲入一個非易失性記憶單元頁中。通常，一個非易失性記憶單元頁處於同一行或同一字線上。

常規的頁模式讀出工作中，每當定址一個字線時，片上的控制電路需要一個等待狀態，以檢測到所選擇字線的記憶單元中存儲的資料。檢測到之後，資料在按時鐘節拍

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明 (2)

輸出至I/O板之前先鎖存入多個頁緩衝器中。這個等待狀態通常約為幾微秒，占去平均頁模式讀出訪問時間的一大部分。尤其在讀出大量資料的應用中，經常要接連地定址若干個相繼的字線。由於每一定址的字線有一個等待狀態，將使得總的讀出性能劣化。所以，非易失性記憶體需要有最小數目的等待狀態，以提供出高性能的頁模式讀出工作。

在US Patent No. 5,768,215中，對上述等待狀態問題提出了一種解決辦法，採用兩組頁緩衝器，每一組頁緩衝器的容量為一頁記憶單元之一半大小。初始時，自第一頁記憶單元來的資料讀出進入兩組頁緩衝器中。然後，讀出第一組頁緩衝器，將內容向外輸出。然而，一旦第二組頁緩衝器的內容開始讀出，便開始第二頁記憶單元的讀出，將第二頁記憶單元之一半中讀出的資料存儲入第一組頁緩衝器中。在第二組頁緩衝器的內容向外輸出之後，該第二頁記憶單元的一半也已經讀出，並存儲入第一組頁緩衝器中。當第一組頁緩衝器開始讀出時，第二頁記憶單元的第二個一半也開始讀出，並存儲入第二組頁緩衝器中。這樣可交替讀出一頁記憶單元的一半，並將資料存儲入兩組頁緩衝器之一，同時地，另一組頁緩衝器的內容被連續地讀出。

通常的頁模式程式工作中，首先將資料順序地裝入多個頁緩衝器。無論被規劃的位元(或是集合成的位元組)數目為多少，裝入多個頁緩衝器的全部資料將同時地規劃入一個所選擇頁的記憶單元中。由於諸如電荷泵(典型地，因

五、發明說明 (3)

為規劃中需要的電壓源高於外部供電電壓而配置它的)之類的片上電路只能傳送一個有限的電流量，所以，當位元數目增加時規劃效率將劣化。由於板上電荷泵所能提供的電流量的限制，一種解決辦法是需要較大的時間來規劃一頁(或多頁)資料。所以，需求一種新技術來給出高效的規劃。

最後，在與非結構中應用的非易失性記憶單元典型地為堆疊門類型，諸如是US Patent 5,768,215中所公開的。此外，在或非結構中應用的非易失性記憶單元可以是堆疊門類型或是分離門類型，諸台US Patent 5,668,757中所公開的那樣，這個公開的專利其整體引入在此作為參考。

發明概述

本發明中，一個積體電路記憶裝置內具有著安排成多個子頁記憶單元的一種頁記憶單元。諸記憶單元與多個字線及多個位元線之間有電連接。多個子頁緩衝器與多個位元線之間也有電連接，以將由多個位元線所連接的記憶單元中讀出的資料進行存儲。該裝置還有一個I/O資料緩衝器。每個子頁中包含有多個非相鄰的位元線，在它們上面連接了記憶單元，而每個子頁的諸位元線與另一子頁的諸位元線是交插的。一個讀出控制器電路連接至該多個子頁緩衝器上，以啟動一個讀出工作，將第一子頁記憶單元來的資料讀出送到一個關聯的第一子頁緩衝器上，同時將第二子頁緩衝器來的資料讀出送到所述I/O資料緩衝器上。

本發明還涉及一種積體電路記憶裝置，其中具有一個

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明 (4)

或非結構來仿真讀出，並對一個與非積體電路記憶裝置中的工作進行規劃。最後，本發明涉及一種讀出-修改-寫入電路。

附圖的簡要說明

第1圖是本發明之積體電路記憶裝置中其平面佈置圖的一個示意安排。

第2A圖是一個示意電路圖，表明位元線連接至頁緩衝器上，以及將頁緩衝器分組成本發明之裝置中的子頁。

第2B圖是一個示意電路圖，表明一個金屬帶同VSS的连接。

第3圖是一個詳細的示意電路圖，表示各個頁緩衝器與各個位元線之間的連接，以及本發明之裝置中從頁緩衝器到輸出緩衝器的連接。

第3A圖是一個詳細的電路圖，表明本發明之裝置中的位元線預充電電路。

第3B圖是一個詳細的電路圖，表明本發明之裝置中的資料線預充電電路。

第3C圖是一個電路圖，表明一個檢測放大器以及與本發明之裝置中每個頁緩衝器相關聯的讀出-修改-寫入電路。

第4圖是一個詳細的電路圖，表明一個頁緩衝器與第一和第二列解碼器電路的連接。

第4A圖是一個定時圖，用於在本發明之裝置中的頁模式讀出工作。

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明 (5)

第4B圖是一個詳細的電路圖，表明位元線與輸出緩衝器之間的連接。

第4C圖是一個定時圖，用於在本發明之裝置中的頁模式規劃工作。

第4D圖是一個電路圖，表明在第4圖所示出之電路中應用的信號BIASR的產生。

第5圖是一個本發明之裝置的示意方框圖。

第6圖是一個定時圖，表明用於本發明之裝置中的頁模式讀出工作。

第7圖是一個流程圖，表明本發明之頁模式讀出方法中的子頁預取數工作。

第8圖是一個流程圖，表明本發明之頁模式規劃方法中的子頁規劃工作。

優選實施例的詳細說明

參考第1圖，示明瞭本發明之積體電路記憶裝置10中應用的一個平面佈置圖的示意安排。衆所周知，裝置10由矽製成，是一個積體電路裝置或晶片10。優選實施例中，該裝置或晶片10是一個8M×8 bit內存快閃記憶體EEPROM，如US Patent 5,668,757(該專利引入在此作為參考)中公開的那樣，它應用了分離門類型的非易失性記憶單元，安排成一個或非陣列12。如US Patent 5,668,757中公開的那樣，記憶單元之規劃的產生依靠熱溝道電子隧道。此外，優選實施例中，儘管裝置10有著安排成或非陣列12的非易失性記憶單元，但裝置10也可以仿真與非類型頁模式裝置的工

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明 (6)

作。然而，應當指出，本發明並不限制於這一具體集成方式或是工作的配置或模式。

記憶單元陣列12處於裝置10的中央。陣列12的左邊有一個控制門解碼器14。陣列12的右邊有一個字線解碼器16。陣列12的上邊有多個頁緩衝器18。優選實施例中，有 512×8 個頁緩衝器，它們對應於一個 1024×8 記憶單元的頁。週邊電路24位於裝置10的上邊。裝置10的左邊有電荷泵22。裝置10的右邊有電流泵20。在裝置10的四角鄰近，放置有墊片(諸如I/O、電源和控制)。

由於記憶單元陣列配置成 $8M \times 8$ bit，所以整個記憶單元陣列12分成8個相同的子陣列(子陣列12-0、子陣列12-1、……、子陣列12-7)。每個子陣列有一個對應的I/O。因此，子陣列12-0對應於I/O-0，……，子陣列12-7對應於I/O-7。雖然，記憶單元12分成8個相同的子陣列12-n，但是，來自字線解碼器16的每個字和來自控制門解碼器14的每個控制門線是沿著所有8個相同的子陣列12-n“水平地”走線的。優選實施例中，一條字線和一條控制線相交 1024×8 單元，而每個單元各有一條關聯的位元線。因此，每個子陣列12-n中有1024個單元。在每個子陣列12-n內，有512個頁緩衝器18。因此，每個頁緩衝器18關聯兩個記憶單元。爲了簡化解說，僅僅說明8個子陣列12-n之一以及其對應的頁緩衝器18-n之一，並示出於下面諸圖中。

參考第2A圖，多條相鄰的信號線PBL0至PBL511連接至各個頁緩衝器18上。每條信號線PBL連接至一個頁緩衝

五、發明說明 (7)

器18上。所以，有512個頁緩衝器18。每條信號線PBL通過位元線開關44(見第3圖)進一步連接至一對緊接相鄰的位元線BL_j和BL(_j+1)上。因此，512條PBL線將512個頁緩衝器連接至1024條位元線上。每條位元線依次連接至一系列非易失性記憶單元上。當一行特定的記憶單元被選擇時，有1024個記憶單元關聯於512條PBL線。連接至諸信號線PBL0-PBL511上的全部512個(從#0至#511)頁緩衝器18進一步分組成16個交插的子頁18-n。因此，每個子頁18-n中包含有32個頁緩衝器18。每個子頁18-n的組群及其成分如下：

子頁n包含PBL[16k+n]，其中

$n=0, 1, \dots, 15$ ； $k=0, 1, \dots, 31$ ；

因此，子頁18-0包含有連接至PBL[0]，[16]，[32]，[48]，……，[496]上的各個頁緩衝器18。

子頁18-1包含有連接至PBL[1]，[17]，[33]，[49]，……，[497]上的各個頁緩衝器18。

子頁18-2包含有連接至PBL[2]，[18]，[34]，[50]，……，[498]上的各個頁緩衝器18。

……

……

最後，子頁18-15包含有連接至PBL[15]，[31]，[47]，[63]，……，[511]上的各個頁緩衝器18。

從上面可見，每個子頁18-n中包含有位置並不互相緊接相鄰的頁緩衝器18。相反地，同一個子頁18-n的各個頁

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明 (8)

緩衝器18連接至這樣的諸信號線PBL上，即它們互相地間隔相等的距離(也就是相隔15個頁緩衝器18的距離)，並一起組群以形成一個子頁。因此，16個子頁18-0至18-15是互相交插的。依靠這種安排，在子頁預取數期間由選擇出的記憶單元抽取的電流可以均勻地擴展在全體的記憶單元子陣列12-n上，而不是集聚在象32條相鄰的PBL信號線那樣窄的一個區域內。基於記憶單元中源極擴散區的片電阻值，仔細地選擇兩條相鄰PBL線之間的距離。

參考第2A圖，每個記憶單元的源極線由一個局部擴散通路連接在一起。一條金屬帶的佈線水平地通過單元陣列。間斷性的VSS抽頭做成使局部擴散通路連接至VSS上。如果子頁距離L對於如第2A圖中示明的每個選擇的位元線來說其長度足以容納1個VSS抽頭，則VSS顫動(或者地電位顫動)將最小化地降到 $I_{cell} \times R_{diff}$ 。這裏， I_{cell} 為單元電流， R_{diff} 為擴散電阻。如果子頁距離減小到L/4，則1個VSS抽頭在4條所選擇的位元線上共享，如第2B圖中所示，對於那4條位元線來說VSS顫動有不同的增加。所以，在VSS諸抽頭佈局區域的代價與VSS顫動之間，可以從折衷兼顧中得出一個最佳的L值。

第3圖是一個示意圖，示明瞭頁緩衝器18、第一列解碼器46、第二列解碼器38/40/42、檢測放大器和輸出緩衝器48。這個示圖中，由資料鎖存器和檢測電路34構成各個頁緩衝器18。各個資料鎖存器和檢測電路34分別地連接至對應的各條PBL線上，並通過第一列解碼器46，PBL線連接

五、發明說明 (9)

至 MBL 線上。每條 MBL 線通過 2 位元線的開關 44 BSW0/BSW1 連接至一對位元線上。每個鎖存器和檢測電路 34x 通過第二列解碼器 38/40/42 又連接至資料線 Dx 上(如圖中所示和後面的討論，資料線 Dx 中包含一對資料線)。資料線 Dx 通過第二列解碼器 38/40/42 連接至檢測放大器和輸出緩衝器 48 上。

第 3A 圖是一個示意電路圖，示明瞭位元線預充電電路 44P 和位元線開關 44。電路 44P 的預充電電晶體用來在開始頁模式讀出工作之前將各個選擇的位元線預充電至預定的電壓電平 BIASP 上。預充電電晶體由信號 YLPBx 激勵，這裏， $x=0, \dots, 15$ 。信號 YLPBx 是一個解碼的信號，它代表了具體的子頁 18-n 之選擇。當具體的 YLPBx 被激勵時，它激勵 32 對位元線 BL，使那些 64 條位元線預充電。例如，如果 YLPB0 被激勵，則位元線 BL0、1，BL16、17，BL32、33，BL48、49， $\dots$ ，BL496、497 均連接至電壓源 BIASP 上。

每個頁緩衝器 18 連接至一條輸出線 Dx 上(如前面的敘述，實際上輸出線 Dx 是一對輸出線)。由於有 512 個頁緩衝器 18，所以有 512 條輸出線 Dx。16 個相鄰的頁緩衝器 18 和它們關聯的輸出線 D(x, x+15) 組群一起，形成一個組群 36。總起來，有 32 組輸出線 D。如第 3B 圖中所示，32 組輸出線 D 都提供給第二列解碼器 38。基於選擇信號 YL0 $\dots$ YL15，由第二列解碼器 38 從每個組群 36 選擇出諸輸出線 D 中的一條。因此，第二列解碼器 38 選擇 32 個輸出，從每個

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明 (10)

組群36內選擇出一個，它們代表了來自同一個選擇的子頁18-n內全部的頁緩衝器18的輸出。

第二列解碼器38的32個輸出提供給預充電電路38P，它在節點DLU0……DLU15、DLU0……DLU15上輸出32個信號。(仍然，每條線代表一對輸出線。)預充電電路38P的預充電電晶體用來在切換第二列解碼器38之前使各個中間節點DLUx預充電。

來自預充電電路38P的輸出即信號DLU0……DLU15，DLU0……DLU15提供給第二列解碼器40。基於選擇信號YU0……YU15，由第二列解碼器40選擇出來自第一組16個DLU信號的諸輸出線之一，以及來自第二組16個DLU信號的諸輸出線之一。因此，第二列解碼器40選擇出兩個輸出，其每一個為一對輸出線。

來自第二列解碼器40的兩個輸出提供給預充電電路40P，它在節點DLL0和DLL1上輸出兩個信號。預充電電路40P的諸預充電電晶體用來在切換第二列解碼器40之前使諸中間節點DLLx充電。

預充電電路40P輸出的信號DLL0和DLL1提供給第二列解碼器42，它基於選擇信號20和21選擇出兩個信號之一作為輸出DL(一對輸出線：DL和DLB)。從第二列解碼器42上來的選擇的信號DL(DL和DLB)提供給輸出緩衝器48。

因此，通過第二列解碼器38/40/42的作用，自選擇的子頁18-n來的、存儲在一個頁緩衝器18中的一種信號(該信號及其補碼兩者)將從裝置10中輸出。預充電電路38P/40P

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明 (11)

只是在第二列解碼器38/40/42被激勵之前對一定的節點起預充電的作用。由於所有這些中間節點DLU_x/DLL_x上都負載有大的寄生電容，所以在第二列解碼器38/40/42上的任何切換都將對第4圖中所示的資料鎖存器34C造成擾動。爲了防止這種擾動，在切換之前所有DLU_x/DLL_x節點都必須預充電到VCC-VTN上。

第3C圖是一個示意電路圖，詳細示明瞭輸出緩衝器48。來自選擇的頁緩衝器18中一個鎖存器之輸出的一對輸出信號DL和DLB(它們代表了資料信號和倒相的資料信號)，提供到差分放大器48SA上。差分放大器48SA的輸出DOUT提供到一串鎖存器上，然後提供給複用器48M。在頁模式工作中，這將是信號的通路。然而，裝置10也可以工作在非頁模式下，這裏，來自非易失性記憶單元的信號直接地讀出，不存儲入頁緩衝器18。在那種場合，來自非易失性記憶單元的信號連同來自一個參考單元的信號都提供到檢測放大器48NA上。檢測放大器48NA的輸出提供給一串鎖存器，再輸入至複用器48M。複用器48M的輸出給出爲裝置10的輸出。

來自檢測放大器48NA的鎖存的信號CSAOUT又在反饋狀態下提供給反饋電路48R，反饋電路48R連接至輸出線DL和DLB上，應用在規劃工作期間的讀出-修改-寫入模式中，後面將對此進行較詳細的討論。

第4圖是一個電路圖，詳細示明瞭頁緩衝器18之一。所示明的第二列解碼器38中包含有用於每個資料鎖存器的三

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明 (12)

個電晶體126/110/19，以及包含檢測電路34；不過，爲了便於解說，對於第3圖中所示的第二列解碼器38只示出了用於每個資料鎖存器的一個電晶體、以及檢測電路34。第一列解碼器46中包含有用於每個資料鎖存器的兩個電晶體124/142、以及檢測電路34，但又爲了便於解說，只示出第3圖中的一個電晶體。在此示意電路圖中，每個資料鎖存器和檢測電路34中包含有一個資料鎖存器34C、一個鎖存器復位電路34D、一個程式/檢測選擇電路34B和一個程式激勵電路34A。下面，將較詳細地說明這個頁緩衝器18的程式/檢測工作。

爲了實現頁模式讀出工作，資料鎖存器34C由鎖存器復位電路34D首先復位，並由第3A圖中的位元線預充電電路44P將所選擇的位元線預充電到電壓電平BIASP上。取決於選擇的記憶單元中存儲的資料，PBL(或者位元線或列線)被激勵至兩個二進制電壓電平之某一個上：位元線預充電後的高電平或低電平。存儲於記憶單元中的資料可以是兩種狀態之一：通或斷。每種狀態代表二進制資料之一：1或0。如果選擇的記憶單元處於通狀態，則該單元將抽取電流，使PBL從預充電電平BIASP上放電到0伏(低電平)上。如果選擇的記憶單元處於斷狀態，則該單元不抽取電流，PBL停留在預充電電平BIASP(高電平)上。在預充電位元線到達電穩定狀態後，選擇的記憶單元被轉換成PBL上對應的電壓電平。

程式/檢測選擇電路34B的信號BIASL和選擇的第一列

五、發明說明 (13)

解碼器46的YLS使得PBL與資料鎖存器34C(在鎖存器34C中標記D的節點上)之間的檢測通路接通。資料鎖存器34C將按照PBL上的電壓電平存儲一個狀態。在這個工作中，信號BIASR保持於大約1.5V上。所以，在此讀出工作之後，選擇的記憶單元的資料被傳輸和鎖存於資料鎖存器34C中。如第3C圖中的符號所示明，鎖存器34C中鎖存的資料可應用任一種現代技術水平的SRAM檢測放大器48SA以時鐘節拍傳送出。第4圖中所示的資料(DLU)和資料反碼(DLUB)提供給第3C圖中所示的輸入端DL和DLB。檢測放大器48SA的輸出進一步由連接成主從配置的兩個鎖存器予以緩存，以對於輸出緩衝器延伸其資料保持時間。

由前面可見，資料鎖存器34C簡單地是個SRAM，但可以在不同的條件下工作。資料鎖存器34C工作上的作用是將資料提供給外部期間，或是存儲由外部提供來的資料期間，資料提供在信號線D和DB上，它們將分別變成DLU和DLUB。在此情況下，節點BIASR與地相連，資料鎖存器34C的作用如同一個通常的、對稱的SRAM鎖存器。然而，在預取數和檢測工作期間，當資料鎖存器34C的作用是檢測和存儲該記憶單元的狀態時，該記憶單元是單端的，連接至單條位元線上。在那種情況下，BIASR連接至1.5V上。通過鎖存器復位電路34D將節點DB拉到地電位上，鎖存器34C便首先在D輸出端上設置為高電平。資料鎖存器34C中P型電晶體134的電導與記憶單元的電導之比，決定了資料鎖存器34C的D輸出。

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明 (14)

除了頁模式讀出工作之外，本發明的頁緩衝器34還能以一個附加的旁通門電晶體38A實現隨機訪問讀出工作。與第二列解碼器38一起，電晶體38A將PBL連接至資料線CDLU上，然後如第4B圖中所示，終於連接至CDLLx上，再連接至CDL上。第4B圖是一個示意電路圖，示明瞭第二列解碼器38/40/42的一個附加部分。在隨機訪問讀出工作期間，存儲於選擇的記憶單元內的資料通過第二列解碼器38/40/42從對應的PBL傳輸至CDL上，並不經歷第一列解碼器46和資料鎖存器34。應用如第3C圖中以符號所示的任一種現代技術水平的非易失性半導體記憶體檢測放大器48NA，能夠讀出CDL信號。檢測放大器48NA的輸出進一步由連接成主從配置的兩個鎖存器予以緩衝，以對於輸出緩衝器延伸其資料保持時間。

第4A圖示明用於讀出工作的一個詳細的定時圖。在示明為“檢測YLS<0>”的期間，選擇出一個特定的頁x組群。當信號YLPB<0>變低時，所選擇的位元線預充電。當YSL<0>第一次變高時，因電路34D的接通(Rstpgb也為高電平)而發生鎖存器34的復位，第一列解碼器46中的諸電晶體導通。然而，由於BIASL為低電平，程式/檢測選擇電路34B中的諸電晶體不導通，阻止了PBL來的信號通過到鎖存器34上。當BIASL初始地變高時，PBL的記憶單元發生放電。當BIASL為高電平和YLS<0>也為高電平時，從PBL到鎖存器34C的通路接通。在此時間期內，Rstpgb為低電平，阻止鎖存器34復位。於是，位元線PBL的值存儲入鎖存器34C

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明 (15)

內。

頁緩衝器34的規劃工作如下面所述。

在頁模式規劃工作開始之前，由鎖存器復位電路34D使資料鎖存器34C首先復位。然後，通過第二列解碼器38/40/42必須將各個I/O板來的輸入資料(DLU和DLUB)裝載入資料鎖存器34C。在規劃電路達到電穩定狀態之後，裝載入資料鎖存器34C的資料如下地規劃入所選擇的記憶單元中。規劃/檢測選擇電路34B的信號pgmd和選擇的第一列解碼器46的YLS使PBL與規劃激勵電路34A之間的規劃通路接通。取決於存儲在資料鎖存器34C中的資料，PBL將被規劃激勵電路34A激勵至兩個二進制電壓電平之某一個：高電平或低電平。如果節點D=VCC(這稱為規劃禁止狀態)，電晶體117將導通。這會使電路34B中旁通電晶體116的諸節點之一連接至VCC上。導通的電晶體116會將PBL連接至VCC-VTN上。使PBL連接至VCC-VTN上的動作其結果是不發生規劃工作。如果節點D為低電平，即D=0V(這稱為規劃狀態)，DB將變為高電平。它使電晶體118導通，PBL連接至處於地電位的PGND上。

參考第4C圖，示出了一個詳細的定時圖，用於前述的規劃工作。

第5圖是一個示意的電路框圖，示明瞭按照本發明用於實現規劃和讀出工作的各個電路。

第6圖是一個定時圖，用於實現頁模式讀出工作。本發明的頁模式讀出工作開始於初始等待狀態[t0-t2]，在此期

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明 (16)

間兩個子頁的資料相繼地被預取數入對應的頁緩衝器中。那兩個子頁中包含有由外部位址輸入選擇出的一個第一子頁以及邏輯上跟隨在第一子頁後面的一個第二子頁。爲了便於說明，子頁[0](S0[0:31])的資料和子頁[1](S1[0:31])的資料在初始等待狀態期間被預取數。在這個初始等待狀態之後，可以使控制信號RE_來回翻轉，以在[t3-t4]期間順序地按時鐘節拍得出存儲在子頁[0]之頁緩衝器中的資料S0[0:31]。當時間跨越t4時，子頁[1]的資料S1[0:31]開始按時鐘節拍輸出，在[t4-t5]期間同時地使子頁[2](S2[0:31])的資料開始被預取數。此後，在任一個時間段t[N]-t[N+1]內(這裏，N>3)，由翻轉的控制信號RE_按時鐘節拍得出子頁[M](S(M)[0:31])的資料，同時，子頁[M+1](S(M+1)[0:31])的資料被預取數，這裏，M=0-15。由於資料的預取數總是領先於資料的按時鐘節拍給出，所以在時間期t3之後不需要有等待狀態。因此，除了初始等待狀態之外，在所有其餘的時間期內消除了等待狀態。

第7圖是一個流程圖，用於實現第6圖中所示的本發明的頁模式無縫讀出工作。此流程圖中包含三個主要部分。在部分1、2中，各個子頁在初始等待期間被接連地預取數。部分2、3是並行地處理的。在部分2中，按時鐘節拍得出頁緩衝器資料。當地址按時鐘節拍跨越子頁邊界時，部分3將與部分2並行地啓動，以對一個新子頁進行預取數。

第8圖是一個流程圖，用以實現上面所述的頁模式規劃工作。此流程圖中包含有四個主要的循環。在開始規劃工

五、發明說明 (17)

作之前，必須使所有的頁緩衝器復位至“規劃禁止”狀態，並必須將一個起始位址輸入給片上的地址計數器。用於規劃的起始地址將由片上地址寄存器的一個第一集合予以鎖存。在循環1中，各個資料位元組順序地裝入各個頁緩衝器。當地址計數器增量時，地址寄存器的一個第二集合存儲下最近的地址作為規劃用的結束地址。在循環2中，實現讀-修改-寫入的例行程式。在該例行程式中，通過第4圖B中所示的PBL-CDL通路對所選擇頁的每個記憶單元進行讀出和檢驗。如果該記憶單元已經處於規劃的狀態，則無論資料鎖存器34C的原來內容怎樣，都使對應的頁緩衝器的該資料鎖存器34C設置到規劃狀態。

在與非技術條件下，用戶能夠在10個規劃命令序列以內對選擇的頁進行規劃，並對於在先前的規劃序列中已經規劃的、所選擇的子頁，正當地裝入“1”。但在以後的校驗階段期間，這種裝載會在記憶體與鎖存器資料之間造成校驗矛盾。(記憶單元為“0”，而鎖存器資料為“1”。)解決這個問題的一種方法是當鎖存器資料為“1”時，旁通掉校驗誤差。然而，當所選擇頁中非選擇的子頁內其記憶單元於規劃期間從“1”改變到“0”時，上面的做法將捕捉不到規劃擾動誤差。本發明中，當諸記憶單元此前已被規劃時，實施了讀出-修改-寫入來避免校驗期間上述的誤差，並在選擇的子頁中進一步規劃諸記憶單元。讀出-修改-寫入中的所有情況說明於下面。

a)如果記憶體處在所選擇頁的所選擇子頁內：

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明 (18)

如果鎖存器資料為“1”或“0”，原來的記憶單元資料為“0”，則讀出-修改-寫入將鎖存器資料改變到“0”，對這個記憶體進行再規劃。校驗期間，使記憶單元資料與鎖存器資料“0”進行比較。

如果新資料為“0”，原來的記憶單元資料為“1”，則對這個記憶體進行規劃。校驗期間，使記憶單元資料與鎖存器資料“0”進行比較。

如果鎖存器資料為“1”，原來的記憶單元資料也為“1”，則不對該記憶體進行規劃。校驗期間，使記憶單元資料與鎖存器資料“1”進行比較。

b)如果記憶體處在所選擇頁的非選擇子頁內：

鎖存器資料為“1”。如果原來的記憶單元資料為“0”，則讀出-修改-寫入將鎖存器資料改變到“0”，不對這個記憶體進行再規劃，校驗期間，使記憶單元資料與鎖存器資料“0”進行比較。

鎖存器資料為“1”。如果原來的記憶單元資料為“1”，則讀出-修改-寫入不改變鎖存器資料，不對這個記憶體進行再規劃。校驗期間，使記憶單元資料與鎖存器資料“1”進行比較。

由於快閃記憶體的性質，只在擦除工作期間記憶單元才能被擦除。在當前的場合下，擦除的單元將保持為二進制資料“1”。規劃工作期間，諸記憶單元只能從1到0進行規劃。如果單元原來被擦除到1，它就可以規劃到0。如果單元已經規劃到0，則用規劃工作不能將它規劃回到1(只有擦

裝

訂

線

五、發明說明 (19)

除工作才能使資料從0反轉到1)。如果控制電路嘗試將任一個單元從0到1規劃，則該單元不會發生變化。該單元會保持其原來的資料，所以，在讀出-修改-寫入過程中，原來的單元資料首先被讀出。如果諸單元已經規劃，則無論鎖存器怎樣指明，鎖存器必須翻轉回到規劃狀態，已確保已規劃的單元依然為已規劃的單元。如果諸單元被擦除了，則鎖存器指示將被存儲入單元中。

第3C圖中，電路48R示明瞭一個優選實施例來實現這種讀出-修改-寫入例行程式。如第3C圖中所示，如果選擇的記憶單元已經處於規劃狀態，則CSAOUT將為0V。當DlatWbk為高電平時，旁通門N0/N1將導通。所以，DL將被下拉到0V。對應的頁緩衝器資料也將設定到0V(規劃狀態)。在循環3中，接連的子頁將被相繼地規劃。有三種寄存器集：

起始地址寄存器集(SAR)

結束地址寄存器集(EAR)

地址計數器(ADC)

在循環1期間，各個資料位元組裝入各個頁緩衝器中，規劃應開始處的地址又裝入至地址計數器(ADC)中。SAR地址寄存器集將這個位址存儲作為起始位址。當資料裝載過程停止時，地址計數器將最後的地址保持於在其上面規劃應停止的地方。EAR地址寄存器將這個地址存儲作為結束位址。在循環3期間，起始地址再裝入地址計數器中。然後，子頁規劃從這個地址上開始。當規劃前進到結束地址

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明 (20)

上時，規劃停止。第5圖中示明瞭SAR、EAR和ADC寄存器。所以，在這個循環中，只有那些在循環1中先前裝載了資料的子頁，才被規劃。在循環4中，通過第4B圖上示出的PBL-CDL通路，所選擇頁中的每個記憶單元將被讀出。通過第3B圖中示出的通路，每個資料鎖存器34C也將被讀出。使每個記憶單元的資料與其對應的資料鎖存器34C的資料進行比較。如果自記憶單元和資料鎖存器34C兩者來的資料互相匹配，則該記憶體成功地規劃了。否則，這個記憶單元規劃失敗。

元件標號對照

10...積體電路記憶體件	34A...程式激勵電路
12...記憶單元陣列	34B...程式/檢測選擇電路
14...控制門解碼器	34C...資料鎖存器
16...字線解碼器	34D...鎖存器復位電路
18...頁緩衝器	38/40/42...第二列解碼器
20...電流泵	38P/40P...預充電電路
22...電荷泵	44...位元線開關
24...週邊電路	46...第一列解碼器
34...檢測電路	48SA...差分放大器

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

四、中文發明摘要(發明之名稱：具交插讀取與規劃能力之改良積體電路記憶體裝置及其操作方法)

一種非易失性半導體記憶體，包括：以列和行安排的多個記憶單元，多條字線，多條位元線，多個輸出緩衝器及由多個子頁組成的多個頁緩衝器。每個頁緩衝器通過第一列解碼器電路連至多條對應的位元線上，並經第二列解碼器電路連至對應的輸出緩衝器上。這種構造容許外圍控制電路按時鐘節拍使存儲在第一子頁的各頁緩衝器中的資料進入各個輸出緩衝器，同時使鎖存的位元線資料進入第二子頁的各頁緩衝器中。此結構能夠同時實現讀出和更新不同子頁中的頁緩衝器資料。以兩個位址寄存器集合來存儲規劃用的起始位址和結束位址。規劃期間，只有位於起始地址與結束地址間的各子頁被接連地規劃。該子頁規劃技術可大為減小擾動和規劃時間。

英文發明摘要(發明之名稱：AN IMPROVED INTEGRATED CIRCUIT MEMORY DEVICE HAVING INTERLEAVED READ AND PROGRAM CAPABILITIES AND METHODS OF OPERATING SAME)

A nonvolatile semiconductor memory includes a plurality of memory cells arranged in columns and rows, a plurality of word lines, a plurality of bit lines, a plurality of output buffers, and a plurality of page buffers grouped in a plurality of sub-pages. Each page buffer is connected to corresponding bit lines through a first column decoder circuit and connected to one corresponding output buffer through a second column decoder circuit. This construction allows the peripheral control circuits to clock out data stored in page buffers of a first sub-page into output buffers while latching bit line data into page buffers of a second sub-page. Therefore, this architecture is able to perform read and update the page buffer data of different sub-pages simultaneously. Two sets of address registers are used to store the starting and the end address for programming. During programming, only sub-pages located between the starting and end address will be programmed successively. This sub-page programming technique greatly reduces the disturbance and programming time.

(請先閱讀背面之注意事項再填寫本頁各欄)

裝

訂

線

六、申請專利範圍

1. 一種積體電路記憶裝置，它包含有：

一頁記憶單元，它安排成與相關的多條字線和多條位元線進行電連接的多個子頁記憶單元；

多個子頁緩衝器，它們與所述多條位元線進行電連接，用於對連接至所述多條位元線的所述諸記憶單元上讀出的資料實施存儲；

一個I/O資料緩衝器；

每個子頁包含有其上面連接著各個記憶單元的多條非相鄰的位元線，每個子頁的所述各條位元線與另一個子頁的各條位元線相互交插；以及

連接至所述多個子頁緩衝器上的讀出控制器電路，用於啟動一個讀出工作，以將一個第一子頁記憶單元上來的資料讀出至一個關聯的第一子頁緩衝器上，同時地，將一個第二子頁緩衝器來的資料讀出至所述I/O資料緩衝器上。

2. 如申請專利範圍第1項的裝置，其中，每個子頁中還包含有多條非相鄰的、均勻地間隔開的位元線，它們上面連接著各個記憶單元。

3. 如申請專利範圍第2項的裝置，其中，每個子頁緩衝器與多條相鄰的位元線相關聯；以及

一個列選擇電路，用於將一個子頁緩衝器選擇給所述多條相鄰的位元線之一。

4. 如申請專利範圍第3項的裝置，其中，每個子頁緩衝器與兩條位元線相關聯。

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

六、申請專利範圍

5. 如申請專利範圍第4項的裝置，其中，每個子頁緩衝器中還包含有：

鎖存器；

連接至所述鎖存器上的復位電路；以及

開關，用於將所述鎖存器連接至所述列選擇電路上。

6. 如申請專利範圍第4項的裝置，其中，所述各個記憶單元是非易失性記憶單元。

7. 如申請專利範圍第6項的裝置，其中，所述非易失性記憶單元頁安排成或非結構。

8. 一種讀出一頁記憶單元的方法，該記憶單元頁安排成與一個積體電路記憶裝置內相關的多條字線和多條位元線進行電連接的多個子頁記憶單元；所述方法包含有：

讀出第一子頁的各個記憶單元，所述第一子頁中包含有連接至一個第一多條非相鄰位元線的各個記憶單元；

將所述第一子頁記憶單元來的資料存儲入一個第一子頁緩衝器中；以及

將第一子頁緩衝器來的資料向外讀出至所述積體電路記憶裝置上，同時地，讀出一個第二子頁記憶單元，所述第二子頁中包含有連接至一個第二多條非相鄰位元線的各個記憶單元，這些位元線與所述第一多條非相鄰位元線相互交插，並存儲下從一個第二子頁緩衝器來的、不同於從所述第一子頁緩衝器來的資料。

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

六、申請專利範圍

9. 如申請專利範圍第8項的方法，其中，所述第一多條非相鄰位元線是相互間均勻地間隔的。
10. 如申請專利範圍第9項的方法，其中，所述第二多條非相鄰位元線是相互間均勻地間隔的。
11. 如申請專利範圍第8項的方法，其中，所述第一子頁緩衝器包含有多個鎖存器，又其中，每個鎖存器與多條位元線相關聯。
12. 如申請專利範圍第11項的方法，其中，每個鎖存器與兩條位元線相關聯。
13. 如申請專利範圍第11項的方法，其中，所述第二子頁緩衝器包含有多個鎖存器，又其中，每個鎖存器與多條位元線相關聯。
14. 一種積體電路記憶裝置，用於仿真與非記憶體件的讀出工作，所述積體電路記憶裝置中包含有：

安排成一種或非配置的、由各個分離門類型的浮動門記憶單元組成的陣列，並與相關的多條字線和多條位元線進行電連接；所述陣列安排成多個子頁記憶單元；

與所述多條位元線進行電連接的多個子頁緩衝器，用於存儲下從連接至所述多條位元線的所述各個記憶單元上讀出的資料；以及

與所述多個子頁緩衝器連接的讀出控制電路，用於啟動讀出工作，將一個第一子頁記憶單元來的資料讀出進入一個第一子頁緩衝器，並用於啟動一個讀出工作，將所述第一子頁緩衝器來的資料向外讀出至所述積體

六、申請專利範圍

電路記憶裝置中；同時地，用於啟動一個讀出工作，將一個第二子頁記憶單元來的資料讀出進入一個第二子頁緩衝器中。

15. 如申請專利範圍第14項的裝置，其中，所述多個子頁記憶單元之每個子頁中包含有多條其上面連接著各個記憶單元並且非相鄰地均勻間隔開的位元線，又所述多個子頁記憶單元相互交插。

16. 如申請專利範圍第15項的裝置，其中，每個子頁緩衝器與多條相鄰位元線相關聯；以及

列選擇電路，用於選擇一個子頁緩衝器給所述多條相鄰位元線之一。

17. 如申請專利範圍第16項的裝置，其中，每個子頁緩衝器與兩條位元線相關聯。

18. 如申請專利範圍第17項的裝置，其中，每個子頁緩衝器中還包含有：

鎖存器；

連接至所述鎖存器上的復位電路；以及

開關，用於將所述鎖存器連接至所述列選擇電路上。

19. 一種積體電路記憶裝置，它包含有：

多個非易失性記憶單元，它們與相關的多條字線和多條位元線進行電連接；

鎖存器，與所述多條位元線進行電連接，用於將被規劃的資料存儲入一個選擇的記憶單元中；

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

六、申請專利範圍

檢測放大器，與所述多條位元線進行電連接，用於檢測存儲在所述選擇的記憶單元中的資料；

修改電路，用於接收由所述檢測放大器檢測到的所述資料，並用於將所述資料存儲入與一條位元線相關聯的所述鎖存器中，該位元線是與所述選擇的記憶單元相連接的，只是這個場合中，檢測的所述資料屬於被規劃狀態中的記憶單元；以及

規劃電路，用於將所述鎖存器來的資料存儲至所述選擇的記憶單元中。

20. 一種對一個非易失性記憶單元之陣列中一個選擇的非易失性記憶單元進行規劃的方法，所述非易失性記憶單元陣列連接至多條字線上和多條位元線上；所述方法包含有：

在與所述選擇的記憶單元連接的一個鎖存器中進行存儲，被規劃的資料存儲入所述選擇的記憶單元中；

從所述選擇的記憶單元中讀出資料；以及

基於讀出的所述資料修改所述鎖存器。

21. 一種積體電路記憶裝置，用於仿真與非記憶裝置的規劃工作，所述積體電路記憶裝置中包含有：

安排成一種或非配置的、由各個分離門類型的浮動門記憶單元組成的陣列，並與相關的多條字線和多條位元線進行電連接；所述陣列安排成多個子頁記憶單元；

與所述多條用於存儲資料的位元線進行電連接的多個子頁緩衝器，對外向所述裝置提供資料，並且資料

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

六、申請專利範圍

被規劃入連接至所述多條位元線上的所述各個記憶單元中；以及

與所述多個子頁緩衝器連接的一個規劃控制電路，用於啟動一個規劃工作，將順序地來自一個子頁緩衝器的資料規劃入一個關聯的子頁記憶單元中，直至來自所述多個子頁緩衝器的資料都規劃入所述多個子頁記憶單元中。

22. 如申請專利範圍第21項的裝置，其中，所述各個記憶單元之每一個的規劃應用熱電子溝道注入法。

23. 一種積體電路非易失性記憶裝置，它包含有：

浮動門記憶單元陣列，它與相關的多條字線和多條位元線進行電連接，所述陣列安排成多個子頁記憶單元；

與所述多條用於存儲資料的位元線進行電連接的多個子頁緩衝器，對外向所述裝置提供資料，並且資料被規劃入連接至所述多條位元線上的所述各個記憶單元中；

起始子頁地址緩衝器，用於存儲被規劃入所述記憶單元之資料的起始地址；

結束子頁地址緩衝器，用於存儲被規劃入所述記憶單元之資料的結束位址；以及

與所述多個子頁緩衝器連接的規劃控制電路，用於啟動規劃工作，從所述起始子頁地址緩衝器上存儲的地址起、到所述結束子頁地址緩衝器上存儲的位址止，順

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

六、申請專利範圍

序地將資料規劃入關聯的各個子頁記憶單元中。

24. 一種積體電路非易失性記憶體件，它包含有：

浮動門記憶單元陣列，它與相關的多條字線和多條位元線進行電連接；

與所述多條用於存儲資料的位元線進行電連接的多個子頁緩衝器，對外向所述裝置提供資料，並且資料被規劃入連接至所述多條位元線上的所述各個記憶單元中；

每個子頁緩衝器包含一個具有第一輸入/輸出節點和第二輸入/輸出節點的鎖存器，其中，所述第二輸入/輸出節點是所述第一輸入/輸出節點的反相，鎖存器還具有一個第一節點和一個第二節點，所述第一節點連接至一個第一電壓上，又其中，所述第一輸入/輸出節點連接至一個關聯的位元線上；以及

控制電路，當資料沿著所述第一和第二輸入/輸出節點向外提供給所述鎖存器或者由外部提供自所述鎖存器時，用於將所述第一電壓提供給所述第二節點，並當資料從所述位元線讀出進入所述鎖存器時，用於將不同於所述第一電壓的一個第二電壓提供給所述第二節點。

25. 如申請專利範圍第24項的裝置，還包含一個連接至所述第二輸入/輸出節點的復位電路，用於使所述鎖存器的狀態復位。

26. 一種積體電路非易失性記憶體件，它包含有：

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

六、申請專利範圍

浮動門記憶單元陣列，它與相關的多條字線和多條位元線進行電連接；

與所述多條用於存儲資料的位元線進行電連接的多個子頁緩衝器，對外向所述裝置提供資料，並且資料被規劃入連接至所述多條位元線上的所述各個記憶單元中；

每個子頁緩衝器內包含一個用於對連接至一個關聯的位元線上的記憶單元之狀態進行存儲的鎖存器，所述鎖存器具有一個第一輸入/輸出節點和一個第二輸入/輸出節點，其中，所述第二輸入/輸出節點是所述第一輸入/輸出節點的反相，又其中，所述第一輸入/輸出節點連接至一條關聯的位元線上；以及

具有第一比較器和第二比較器的檢測放大器，所述第一比較器具有兩個輸入端，用於接收沿著所述第一輸入/輸出節點提供的一個鎖存器來的信號，以及接收沿著所述第二輸入/輸出節點提供的一個信號，並對它們進行比較，用以產生出一個指明所述鎖存器中存儲之狀態的第一輸出信號，又所述第二比較器具有兩個輸入端，用於接收來自一條位元線的信號和一個參考信號，並對它們進行比較，用以產生出指明連接至所述位元線上之一個記憶單元內所存儲之狀態的一個第二輸出信號；該檢測放大器還具有一個複用器，用於輸出所述第一或第二輸出信號。

27. 如申請專利範圍第26項的裝置，其中，所述檢測放大器

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

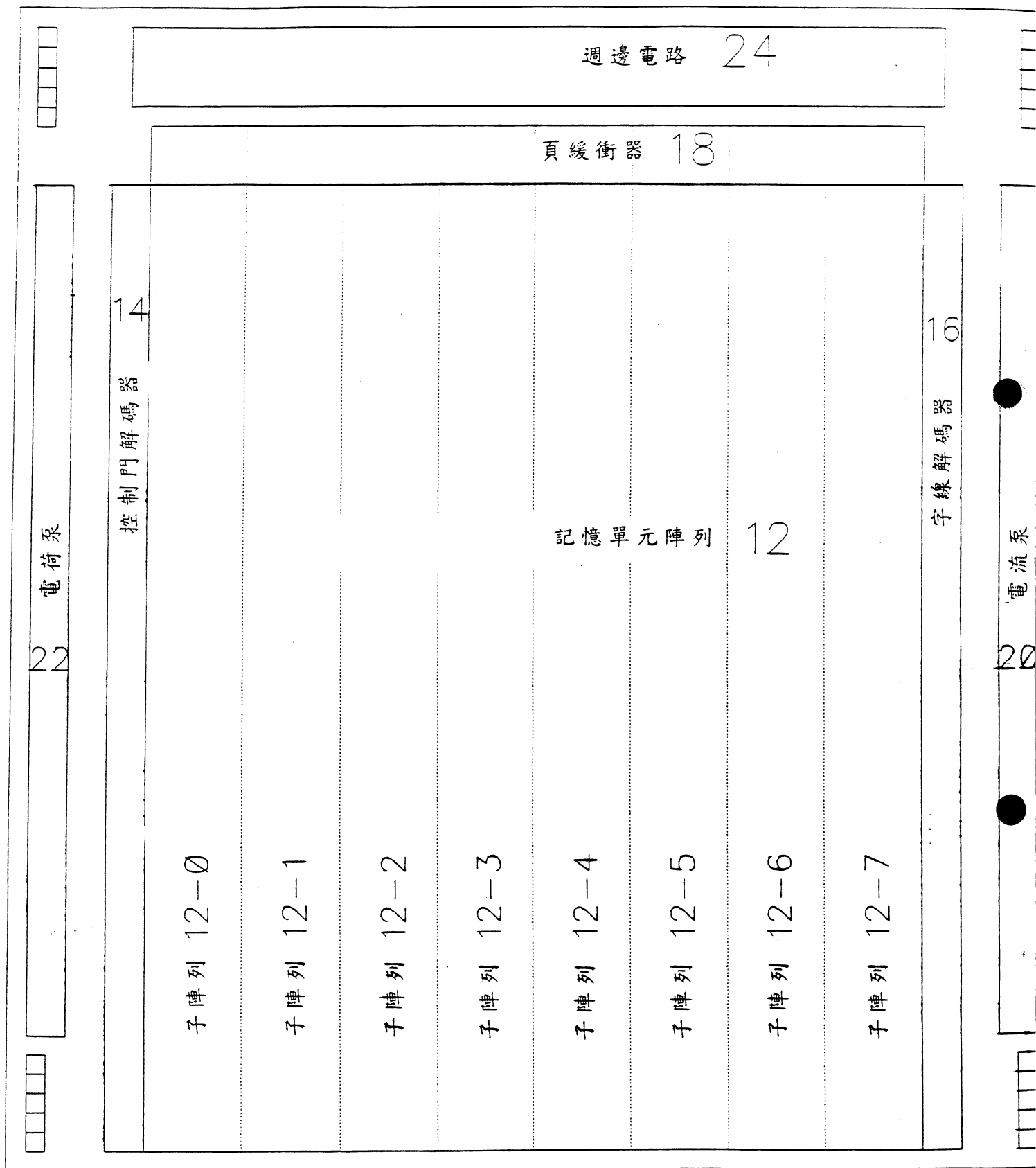
六、申請專利範圍

還包含一個反饋連接，將所述第二比較器的輸出連接至
所述第一比較器的所述兩個輸入端上。

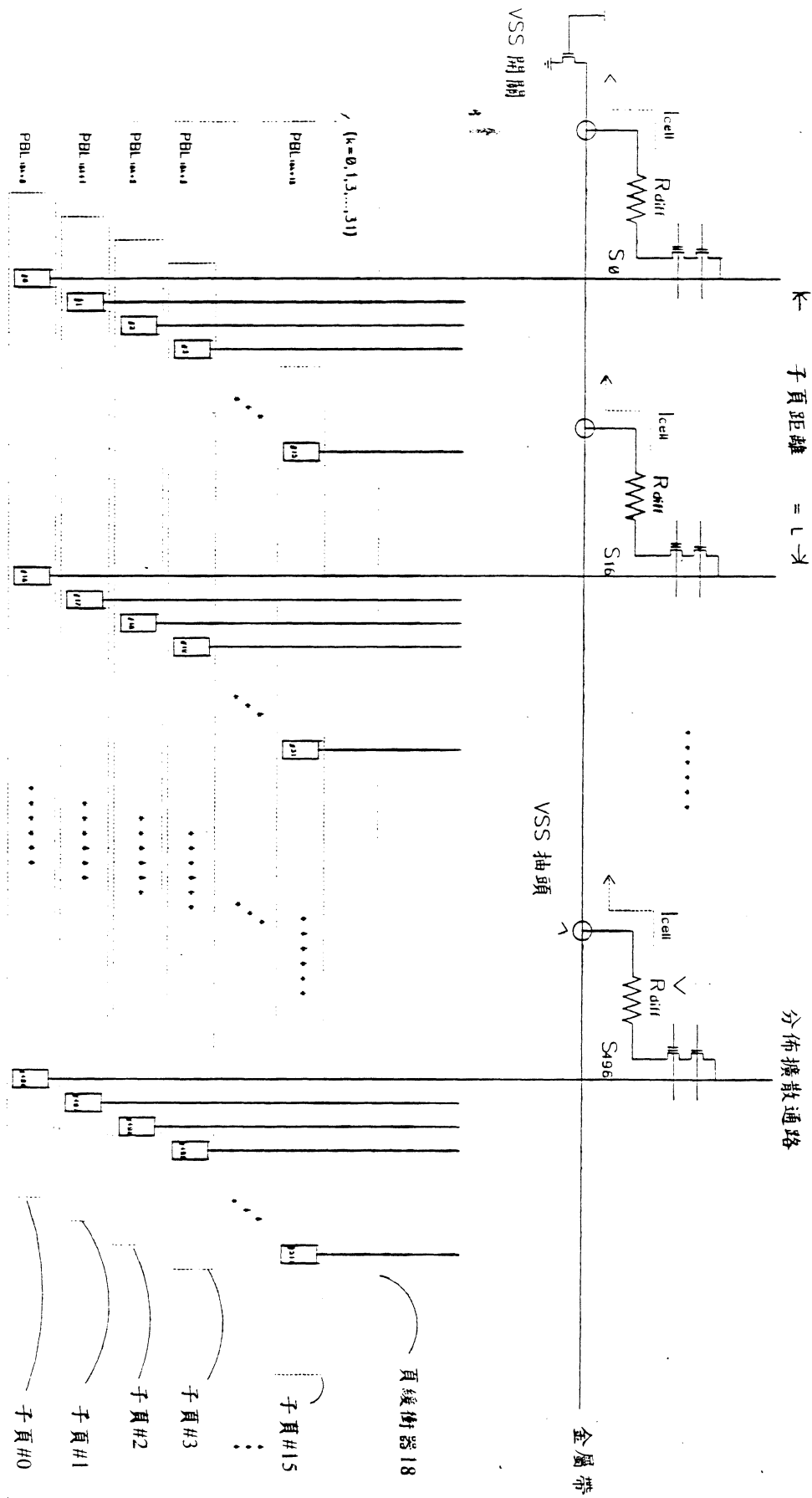
(請先閱讀背面之注意事項再填寫本頁)

訂

錄



第 1 圖



$$R_{diff} = R_{sh} \times L / W$$
$$\Delta V = I_{cell} \times R_{diff}$$

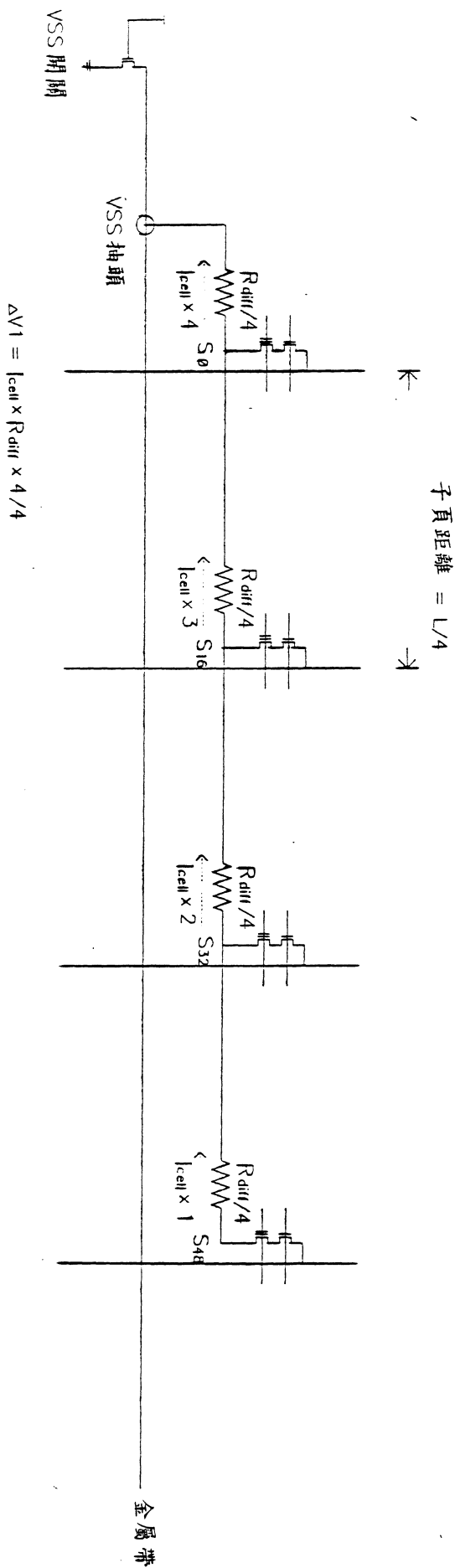
R_{sh} : 擴散區的片電阻

L : 子頁距離

W : 子頁擴散寬度

I_{cell} : 單元電流

ΔV : VSS 顫動



第 2B 圖

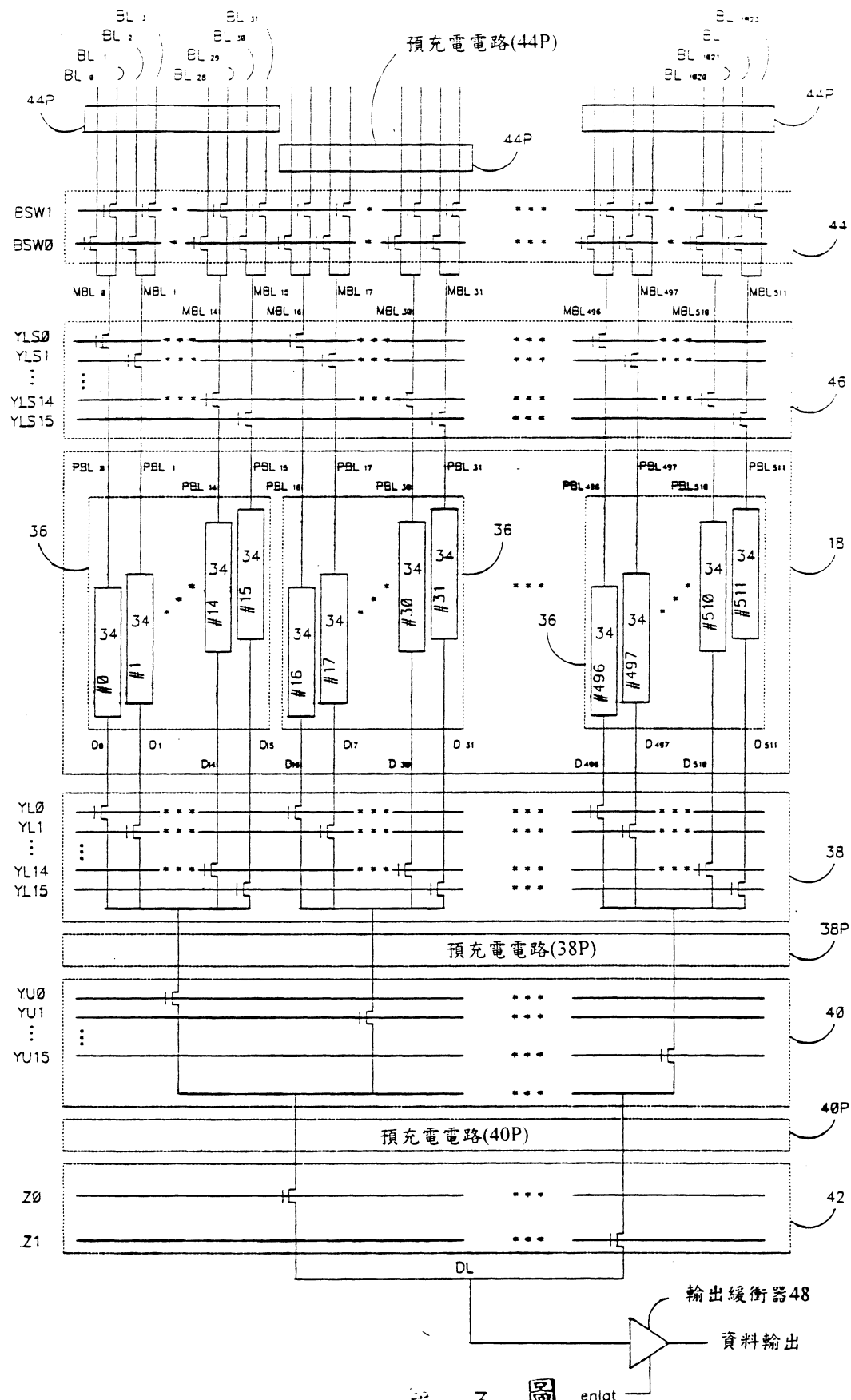
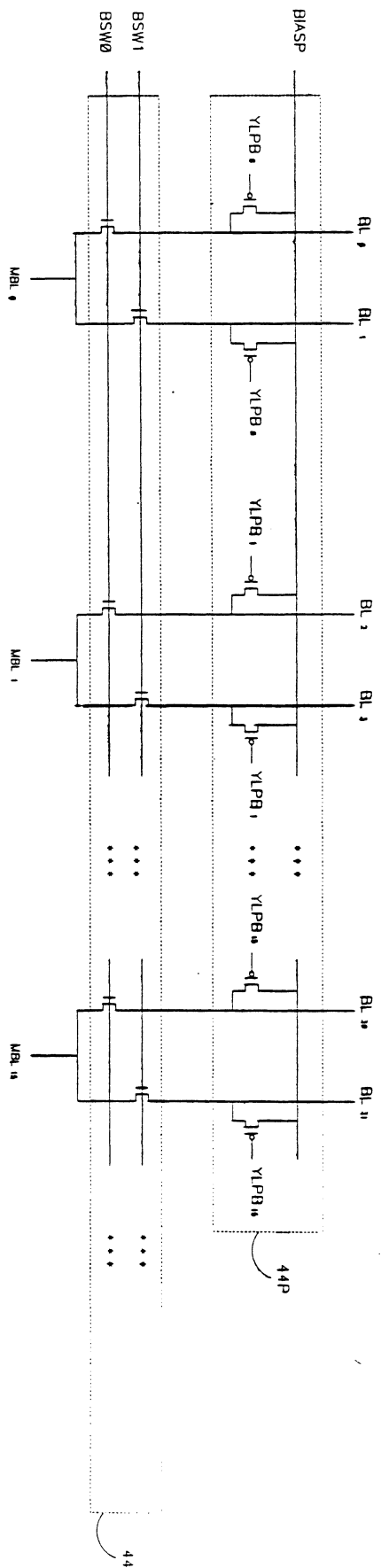
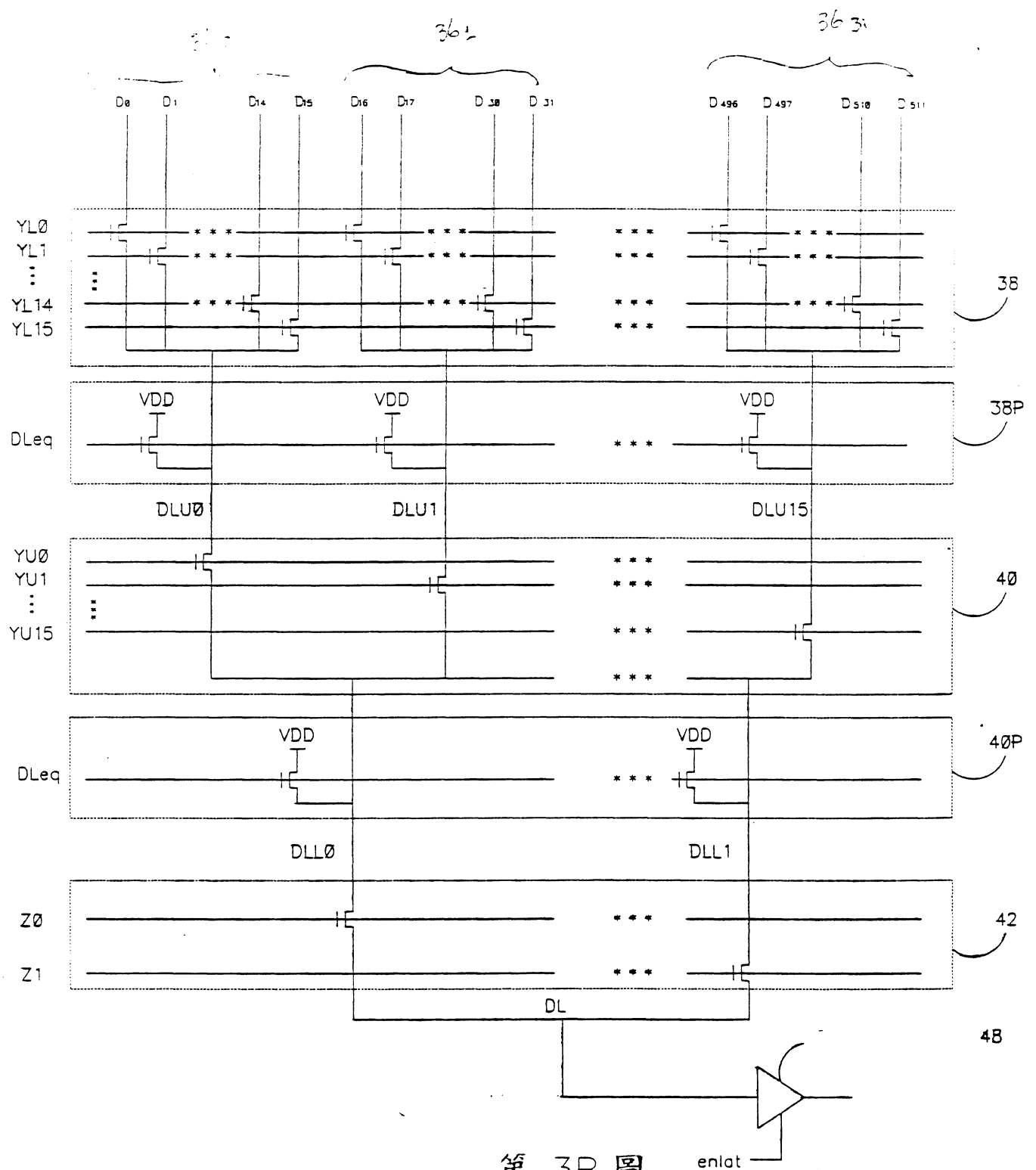


圖 3 第



第 3A 圖



寫入期間：
D1輸出0 (PGM單元)，
內容怎樣，D1將下拉
到輸出0 (PGM狀態)。
D1輸出1 (ERS單元)，
將不改變。

48N

48M

48R

48SA

48S

SRAM 檢測放大器

48N 檢測放大器

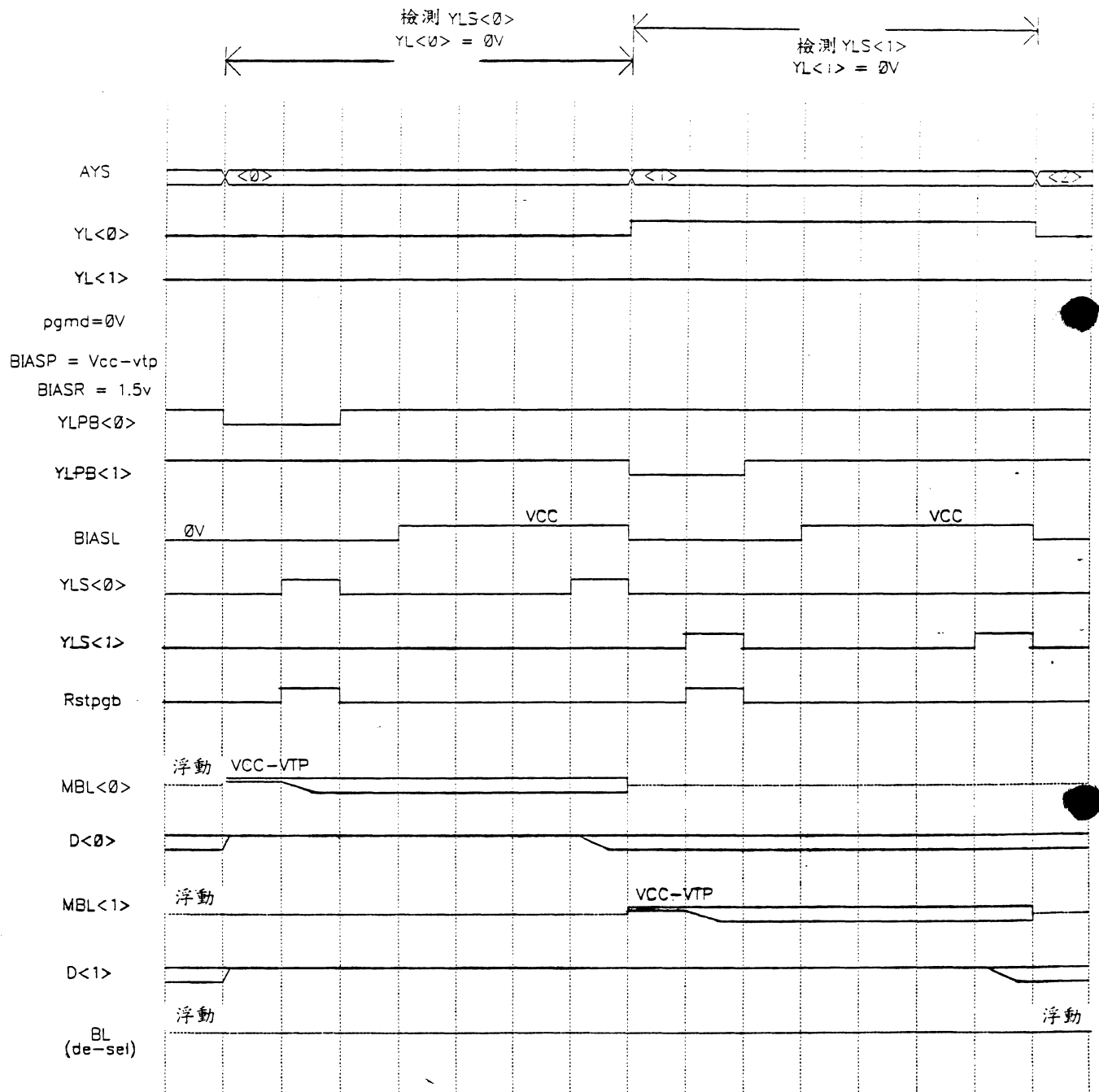
ERS 單元: SAOUT = VCC
PGM 單元: SAOUT = 0

CSAOUT1, CSAOUT4, SAOUT1, SAOUT4, DOUT1, DOUT2, SApn1, SApn2, DApn1, DApn2, REF, CD, D1, D2, D3, D4, D5, D6, D7, D8, D9, D10, D11, D12, D13, D14, D15, D16, D17, D18, D19, D20, D21, D22, D23, D24, D25, D26, D27, D28, D29, D30, D31, D32, D33, D34, D35, D36, D37, D38, D39, D40, D41, D42, D43, D44, D45, D46, D47, D48, D49, D50, D51, D52, D53, D54, D55, D56, D57, D58, D59, D60, D61, D62, D63, D64, D65, D66, D67, D68, D69, D70, D71, D72, D73, D74, D75, D76, D77, D78, D79, D80, D81, D82, D83, D84, D85, D86, D87, D88, D89, D90, D91, D92, D93, D94, D95, D96, D97, D98, D99, D100

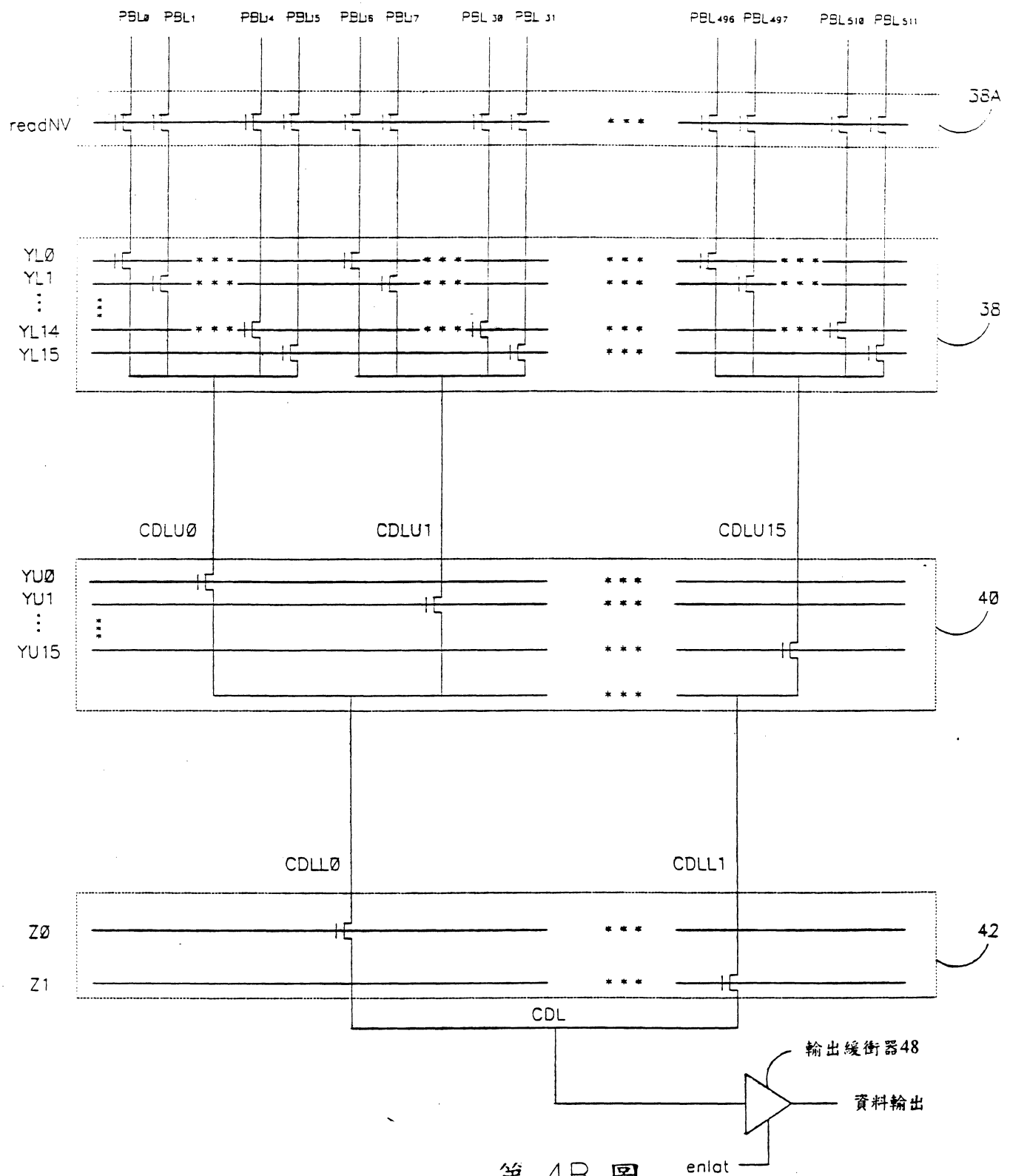
第 30 圖

第 4 圖

檢測用定時圖

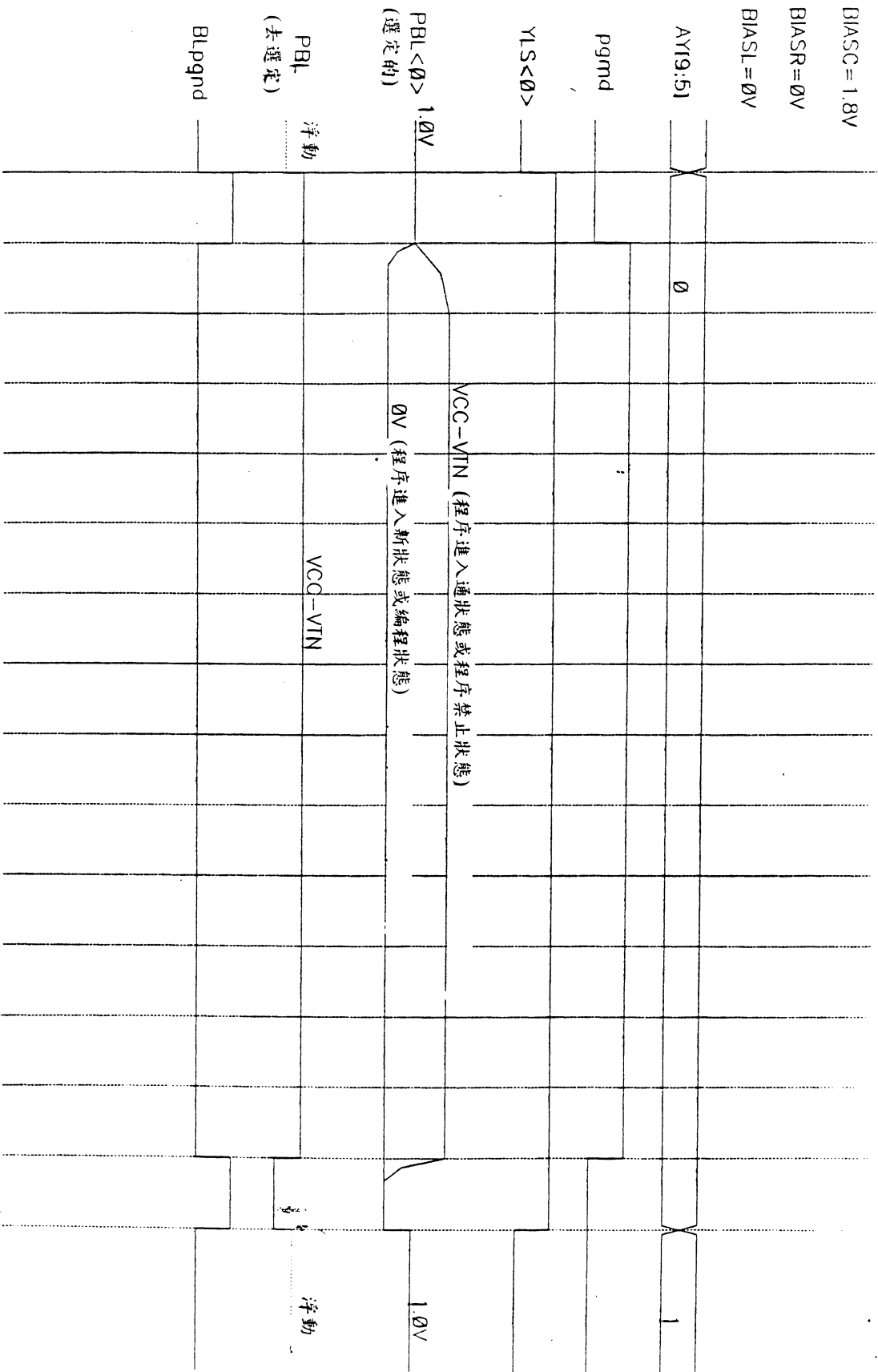


第 4A 圖

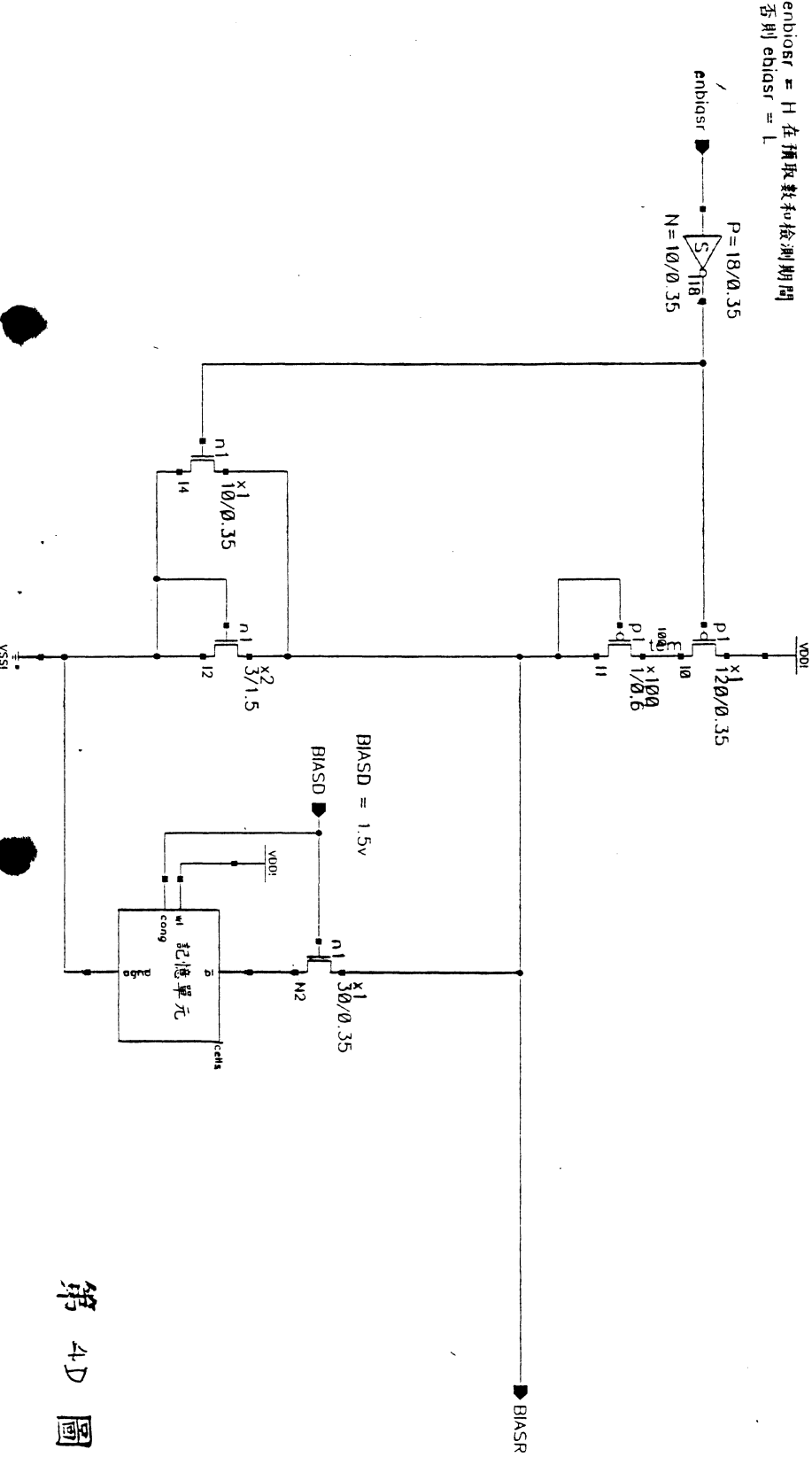


第 4B 圖

PGM用定時圖



第 4C 圖



第 4D 圖

註：等待狀態期間，對2個相繼子頁的資料進行預取，送入頁緩衝器

頁模式讀出用定時圖

