(12)特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2001 年11 月29 日 (29.11.2001)

PCT

(10) 国際公開番号
WO 01/91470 A1

(51) 国際特許分類[7]: H04N 7/30

(21) 国際出願番号: PCT/JP01/04300

(22) 国際出願日: 2001 年5 月23 日 (23.05.2001)

(25) 国際出願の言語: 日本語

(26) 国際公開の言語: 日本語

(30) 優先権データ:
特願2000-151193 2000 年5 月23 日 (23.05.2000) JP

(71) 出願人 (米国を除く全ての指定国について): 松下電器産業株式会社 (MATSUSHITA ELECTRIC INDUSTRIAL CO., LTD.) [JP/JP]; 〒571-8501 大阪府門真市大字門真1006番地 Osaka (JP).

(72) 発明者; および
(75) 発明者/出願人 (米国についてのみ): 大橋政宏 (OHASHI, Masahiro) [JP/JP]; 〒811-2413 福岡県糟屋郡篠栗町尾中1100-1-407 Fukuoka (JP). 中村 剛 (NAKAMURA, Tsuyoshi) [JP/JP]; 〒811-2413 福岡県糟屋郡篠栗町尾中1100-1-405 Fukuoka (JP).

(74) 代理人: 弁理士 早瀬憲一 (HAYASE, Kenichi); 〒564-0053 大阪府吹田市江の木町17番1号 江坂全日空ビル8階 早瀬特許事務所 Osaka (JP).

(81) 指定国 (国内): CN, JP, KR, US.

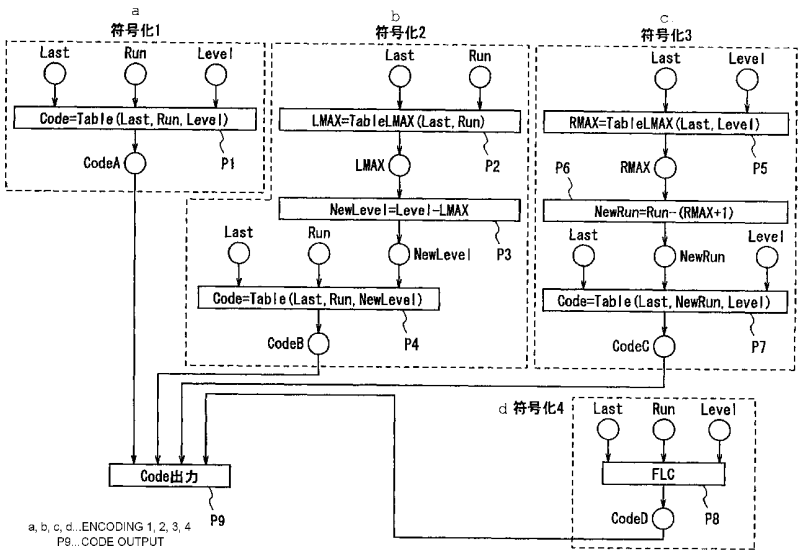
(84) 指定国 (広域): ヨーロッパ特許 (AT, BE, CH, CY, DE, DK, ES, FI, FR, GB, GR, IE, IT, LU, MC, NL, PT, SE, TR).

添付公開書類:
— 国際調査報告書

２文字コード及び他の略語については、定期発行される各PCTガゼットの巻頭に掲載されている「コードと略語のガイダンスノート」を参照。

(54) Title: VARIABLE LENGTH ENCODING METHOD AND VARIABLE LENGTH ENCODER

(54) 発明の名称: 可変長符号化方法および可変長符号化装置



(57) Abstract: A variable length encoding method comprising step (a) of performing VLC and thereby performing code assignment to a set of (Last, Run, Level), step (b) of subtracting LMAX which is the maximum Level corresponding to the (Last, Run) from the Level, calculating a corrected Level, and performing code assignment to a set of (Last, Run, corrected Level), step (c) of subtracting the sum of the RMAX which is the maximum Run corresponding to the (Last, Level) and one from the Run, calculating a corrected Run, and performing code assignment to a set of (Last, corrected Run, Level), step (d) of parallel performing FLC assignment, and step (e) of performing selection according to the preset priority. A variable length encoder is also disclosed. By such a variable length encoding method and by using such a variable length encoder, variable length encoding of short operation cycle can be done.

[続葉有]

WO 01/91470 A1

(57) 要約:

この発明に係る可変長符号化方法および可変長符号化装置は、第１図に示すように、ＶＬＣ化を行い、（Ｌａｓｔ、Ｒｕｎ、Ｌｅｖｅｌ）の組で符号割り当てを行うステップ（ａ）と、Ｌｅｖｅｌから（Ｌａｓｔ、Ｒｕｎ）に対応する最大のＬｅｖｅｌであるＬＭＡＸを減算し、補正Ｌｅｖｅｌを算出した後に（Ｌａｓｔ、Ｒｕｎ、補正Ｌｅｖｅｌ）の組として符号割り当てを行うステップ（ｂ）と、Ｒｕｎから（Ｌａｓｔ、Ｌｅｖｅｌ）に対応する最大のＲｕｎであるＲＭＡＸに１を加算した値を減算し、補正Ｒｕｎを算出した後に（Ｌａｓｔ、補正Ｒｕｎ、Ｌｅｖｅｌ）の組として符号割り当てを行うステップ（ｃ）と、ＦＬＣ割り当てを行うステップ（ｄ）とを並列に処理を行い、予め設定した優先順位に従って選択するステップ（ｅ）とを含むものである。

このような構成の可変長符号化方法および可変長符号化装置では、演算サイクルの少ない可変長符号化を行うことが可能となる。

明　細　書

可変長符号化方法および可変長符号化装置

技術分野

本発明は、可変長符号化方法および可変長符号化装置に関し、特に画像符号化方式の規格であるＭＰＥＧ４およびＨ．２６３における可変長符号化を実現する可変長符号化方法および可変長符号化装置に関するものである。

背景技術

動画像データに対し帯域圧縮技術を用いて符号化および復号化を行う方式として、ＩＳＯで規格化されたＭＰＥＧ（Ｍｏｖｉｎｇ　Ｐｉｃｔｕｒｅ　Ｃｏｄｉｎｇ　Ｅｘｐｅｒｔｓ　Ｇｒｏｕｐ）方式やＩＴＵ－Ｔで勧告されたＨ．２６３方式などがある。これらの方式は、画面内の相関を利用して、画面内を複数画素から構成されるブロックに分割し、このブロック内のデータを直交変換方式の１つであるＤＣＴ（Ｄｉｓｃｒｅｔｅ　Ｃｏｓｉｎｅ　Ｔｒａｎｓｆｏｒｍ、離散コサイン変換）を行い、量子化、ＶＬＣ（Ｖａｒｉａｂｌｅ　Ｌｅｎｇｔｈ　Ｃｏｄｅ、可変長符号）の各処理を施して画像データの圧縮を実現することを基本としている。

このＶＬＣは、ＤＣＴを行った結果得られたＤＣＴ係数に対し、先行するゼロの係数の個数であるＲｕｎと、非ゼロの係数の値であるＬｅｖｅｌとその非ゼロの係数が最後であるかどうかを示すＬａｓｔを、（Ｌａｓｔ、Ｒｕｎ、Ｌｅｖｅｌ）の組として、これに一意的な符号を割り当てて符号化を行うものである。

ＭＰＥＧ４においては、一意的な符号を割り当てるＶＬＣテーブルが定義されているが、このＶＬＣテーブル上にＶＬＣが定義されていない場合に対応させるために、３つのエスケープモードを適用している。第１のエスケープモードは、（Ｌａｓｔ、Ｒｕｎ、Ｌｅｖｅｌ）の組に対し、Ｌｅｖｅｌの絶対値から、ＶＬＣテーブルにおいてＬａｓｔ、Ｒｕｎに対応する最大のＬｅｖｅｌの値であるＬＭＡＸを減算した後に、その結果に対し再度ＶＬＣテーブルによりＶＬＣを行うモ

ードである。第２のエスケープモードは、（Ｌａｓｔ、Ｒｕｎ、Ｌｅｖｅｌ）の組に対し、Ｒｕｎの値から、ＶＬＣテーブルにおいてＬａｓｔ、Ｌｅｖｅｌに対応する最大のＲｕｎの値であるＲＭＡＸに１を加算した値を減算し、その結果に対し再度ＶＬＣテーブルによりＶＬＣを行うモードである。第３のエスケープモードは、上記の組に対し、これをＦＬＣ（Ｆｉｘｅｄ　Ｌｅｎｇｔｈ　Ｃｏｄｅ、固定長符号）に変換するモードである。

また、Ｈ．２６３方式などはＭＰＥＧ４と同様に一意的な符号を割り当てるＶＬＣテーブルが定義されているが、エスケープモードはＦＬＣに変換するモードのみである。

以下、第１２図を用いて従来のＭＰＥＧ４におけるＶＬＣの処理チャートを説明する。

まず、一次元配列に並び替えたＤＣＴ係数から、先行するゼロの係数であるＲｕｎと、非ゼロの係数値であるＬｅｖｅｌと、その非ゼロの係数が最後であるかどうかを示すＬａｓｔを、（Ｌａｓｔ、Ｒｕｎ、Ｌｅｖｅｌ）の組として、これに一意的な符号を割り当てるＶＬＣ化を行い、ＶＬＣの割り当てが出来ない場合には、３つのエスケープモードを適用する可変長符号化方法について説明する。

第１２図は、従来の可変長符号化方法を説明するためのチャート図である。

第１２図において、○（白丸）はデータが確定していることを意味し、Ｏ１からＯ９はそれぞれの係数の処理工程を示す。また、符号化Ｂは第１のエスケープモード、符号化Ｃは第２のエスケープモード、符号化Ｄは第３のエスケープモードに対応している。

以下、各係数の処理工程について説明する。

符号化Ａにおいて、Ｏ１は　Ｌａｓｔ、Ｒｕｎ、Ｌｅｖｅｌによって活性化（すなわち、入出力時点でデータがそろっていること）する処理であり、（Ｌａｓｔ、Ｒｕｎ、Ｌｅｖｅｌ）の組に対応するＶＬＣテーブルが存在する場合には、Ｃｏｄｅ１をＯ９に出力して処理は完了する。一方、（Ｌａｓｔ、Ｒｕｎ、Ｌｅｖｅｌ）の組に対応するＶＬＣテーブルが存在しない場合には、"存在しない"ということを示す符号を符号化Ｂに出力する。

符号化Ｂにおいて、Ｏ２はＯ１の処理で対応するＶＬＣテーブルが存在しない

場合に、ＬａｓｔとＲｕｎによって活性化する処理であり、（Ｌａｓｔ、Ｒｕｎ）の組に対応する最大のＬｅｖｅｌの値であるＬＭＡＸをＯ３に出力する。

Ｏ３は、ＬＭＡＸによって活性化する処理であり、Ｌｅｖｅｌの値からＬＭＡＸを減算する処理を行い、得られたＮｅｗＬｅｖｅｌの値をＯ４に出力する。

Ｏ４は、Ｌａｓｔ、Ｒｕｎ、ＮｅｗＬｅｖｅｌによって活性化する処理であり、（Ｌａｓｔ、Ｒｕｎ、ＮｅｗＬｅｖｅｌ）の組に対応するＶＬＣテーブルが存在する場合には、Ｃｏｄｅ２をＯ９に出力して処理は完了する。一方、（Ｌａｓｔ、Ｒｕｎ、ＮｅｗＬｅｖｅｌ）の組に対応するＶＬＣテーブルが存在しない場合には、"存在しない"ということを示す符号を符号化Ｃに出力する。

符号化Ｃにおいて、Ｏ５はＯ４の処理で対応するＶＬＣテーブルが存在しない場合に、ＬａｓｔとＬｅｖｅｌによって活性化する処理であり、（Ｌａｓｔ、Ｌｅｖｅｌ）の組に対応する最大のＲｕｎの値であるＲＭＡＸをＯ６に出力する。

Ｏ６は、ＲＭＡＸによって活性化する処理であり、Ｒｕｎの値から、ＲＭＡＸと１の合計を減算する処理を行い、得られたＮｅｗＲｕｎの値をＯ７に出力する。

Ｏ７は、Ｌａｓｔ、ＮｅｗＲｕｎ、Ｌｅｖｅｌによって活性化する処理であり、（Ｌａｓｔ、ＮｅｗＲｕｎ、Ｌｅｖｅｌ）の組に対応するＶＬＣテーブルが存在する場合には、Ｃｏｄｅ３をＯ９に出力して処理は完了する。一方、（Ｌａｓｔ、ＮｅｗＲｕｎ、Ｌｅｖｅｌ）の組に対応するＶＬＣテーブルが存在しない場合には、"存在しない"ということを示す符号を符号化Ｄに出力する。

符号化Ｄにおいて、Ｏ８はＯ７の処理で対応するＶＬＣテーブルが存在しない場合に、Ｌａｓｔ、Ｒｕｎ、ＬｅｖｅｌをＦＬＣによって変換する処理であり、ＦＬＣのＣｏｄｅ４をＯ９に出力する。

Ｏ９は、Ｃｏｄｅ１～Ｃｏｄｅ４の符号の中から、有効な符号を活性化し、その符号を出力する。

第１３図は従来の可変長符号化方法のサイクル毎の処理内容をまとめた図である。

以下、各サイクル毎の動作について説明する。なお、カッコ内は図中の処理内容を示す。

まず、１サイクル目（１Ｔ）は、通常のＶＬＣである、Ｌａｓｔ、Ｒｕｎ、Ｌｅｖｅｌによって活性化する処理を行い（ＮＯＲＭＡＬ　ＶＬＣ)、その通常のＶＬＣの結果がテーブルに存在するか否かの判定を行う（ＮＯＲＭＡＬ　ＶＬＣ判定)。

２サイクル目（２Ｔ）は、１Ｔの処理で通常のＶＬＣの結果がテーブルに存在するならば、その結果を出力する（ＶＬＣ結果)。一方、通常のＶＬＣの結果がテーブルに存在しないならば、Ｌｅｖｅｌの値から、Ｌａｓｔ、Ｒｕｎに対応する最大のＬｅｖｅｌの値であるＬＭＡＸを減算してＮｅｗＬｅｖｅｌの値を得る（ＬＭＡＸ)。

３サイクル目（３Ｔ）は、ＬＭＡＸによって活性化する処理であり、Ｌａｓｔ、Ｒｕｎ、ＮｅｗＬｅｖｅｌの組に対応するＶＬＣを行う（ＬＭＡＸ　ＶＬＣ）。そして、Ｌａｓｔ、Ｒｕｎ、ＮｅｗＬｅｖｅｌの組に対応するＶＬＣの結果がテーブルに存在するか否かの判定を行う（ＬＭＡＸ　ＶＬＣ判定)。

４サイクル目（４Ｔ）は、３ＴでＬＭＡＸ　ＶＬＣの結果がテーブルに存在するならば、その結果を出力する（ＶＬＣ結果)。一方、ＬＭＡＸ　ＶＬＣの結果がテーブルに存在しないならば、Ｒｕｎの値から、Ｌａｓｔ、Ｌｅｖｅｌに対応する最大のＲｕｎの値であるＲＭＡＸに１を加算した値を減算してＮｅｗＲｕｎの値を得る（ＲＭＡＸ)。

５サイクル目（５Ｔ）は、ＲＭＡＸによって活性化する処理であり、Ｌａｓｔ、ＮｅｗＲｕｎ、Ｌｅｖｅｌの組に対応するＶＬＣを行う（ＲＭＡＸ　ＶＬＣ）。そして、Ｌａｓｔ、ＮｅｗＲｕｎ、Ｌｅｖｅｌの組に対応するＶＬＣの結果がテーブルに存在するか否かの判定を行う（ＲＭＡＸ　ＶＬＣ判定)。

６サイクル目（６Ｔ）は、５ＴでＲＭＡＸ　ＶＬＣの結果がテーブルに存在するならば、その結果を出力する（ＶＬＣ結果)。一方、ＲＭＡＸ　ＶＬＣの結果がテーブルに存在しないならば、Ｌａｓｔ、Ｒｕｎ、ＬｅｖｅｌをＦＬＣによって処理を行い、その結果を出力する（ＦＬＣ結果)。

しかしながら、上記従来のＭＰＥＧ４におけるＶＬＣの処理チャートでは、それぞれのテーブルを引く処理を１サイクルとすると、ＦＬＣの結果を出力するまでに６サイクル（６Ｔ）の処理が必要である。これは１ブロック中に１つのＦＬ

Ｃが存在した場合に、１マクロブロックではＦＬＣが６つ存在することになり、ＶＬＣの処理はＦＬＣ１つに対し、最大で３６サイクル必要となる。つまり、ブロック数が増加するに伴ってサイクル数が増加し、処理速度が遅くなるという問題があった。

本発明は、かかる問題点を解決するためになされたものであり、演算サイクル数を少なくし、効率よくＶＬＣの処理を行うことのできる可変長符号化方法および可変長符号化装置を提供することを目的とする。

発明の開示

本発明（請求の範囲第１項）に係る可変長符号化方法は、一次元配列に並び替えた離散コサイン変換係数から、先行するゼロの係数であるＲｕｎと、非ゼロの係数値であるＬｅｖｅｌと、該非ゼロの係数が最後であるかどうかを示すＬａｓｔを、（Ｌａｓｔ、Ｒｕｎ、Ｌｅｖｅｌ）の組として、これに一意的な符号を割り当てるＶＬＣ化を行い、ＶＬＣの割り当てが出来ない場合には、３つのエスケープモードを適用し、符号化を行う可変長符号化方法において、（Ｌａｓｔ、Ｒｕｎ、Ｌｅｖｅｌ）の組に対応する符号割り当てを行うステップ（ａ）と、第１のエスケープモードとして、Ｌｅｖｅｌから、（Ｌａｓｔ、Ｒｕｎ）に対応する最大のＬｅｖｅｌであるＬＭＡＸを減算し、該得られた補正Ｌｅｖｅｌを含む、（Ｌａｓｔ、Ｒｕｎ、補正Ｌｅｖｅｌ）の組に対して、符号割り当てを行うステップ（ｂ）と、第２のエスケープモードとして、Ｒｕｎから、（Ｌａｓｔ、Ｌｅｖｅｌ）に対応する最大のＲｕｎであるＲＭＡＸに１を加算した値を減算し、該得られた補正Ｒｕｎを含む、（Ｌａｓｔ、補正Ｒｕｎ、Ｌｅｖｅｌ）の組に対して、符号割り当てを行うステップ（ｃ）と、第３のエスケープモードとして、ＦＬＣの割り当てを行うステップ（ｄ）との処理を並列に行い、上記ステップ（ａ）～（ｄ）で割り当てた符号を、（ａ），（ｂ），（ｃ），（ｄ）の優先順位で選択し、符号として出力するステップ（ｅ）とを含むものである。

このような構成の可変長符号化方法では、少ない演算サイクルでＶＬＣの処理を行うことができる。

この発明（請求の範囲第２項）は、請求の範囲第１項記載の可変長符号化方法

において、上記可変長符号の割り当て方法は、上記ステップ（ｅ）における符号化されたデータを選択する優先順位として、（ａ），（ｂ），（ｃ），（ｄ）、（ａ），（ｃ），（ｂ），（ｄ）、及び（ａ），（ｄ）の３つのパターンのうちのいずれか１つのパターンを選択するものである。

このような構成の可変長符号化方法では、優先順位は任意に設定することが可能であり、また、ステップ（ｄ）はＦＬＣによって常に一意的な符号が割り当てられるため，優先順位をステップ（ａ）、ステップ（ｄ）（ステップ（ｂ）、（ｃ）は順不同）とすることで、ステップ（ｂ）、ステップ（ｃ）を強制的に選択不可とすることができ、ステップ（ａ）とステップ（ｄ）で可変長符号化を行う画像圧縮方式であるＨ．２６３に適応することが可能となる。

この発明（請求の範囲第３項）に係る可変長符号化装置は、Ｌｅｖｅｌ信号の絶対値であるＬｅｖｅｌ絶対値信号およびＬａｓｔ信号を入力するＲＭＡＸテーブルと、Ｒｕｎ信号および上記Ｌａｓｔ信号を入力するＬＭＡＸテーブルと、上記Ｌｅｖｅｌ絶対値信号、上記Ｌｅｖｅｌ信号の正負を示す信号、上記Ｒｕｎ信号、および上記Ｌａｓｔ信号を入力する第１のＶＬＣテーブルと、上記Ｒｕｎ信号から、上記ＲＭＡＸテーブルの出力信号と１の合計を減算する第１の減算回路と、該第１の減算回路の出力信号を保持する第２のレジスタと、該第２のレジスタの出力信号、上記Ｌｅｖｅｌ絶対値信号、上記Ｌｅｖｅｌ信号の正負を示す信号および上記Ｌａｓｔ信号を入力する第２のＶＬＣテーブルと、上記Ｌｅｖｅｌ絶対値信号から上記ＬＭＡＸテーブルの出力信号を減算する第２の減算回路と、該第２の減算回路の出力信号を保持する第３のレジスタと、該第３のレジスタの出力信号、上記Ｌｅｖｅｌ信号の正負を示す信号、上記Ｒｕｎ信号および上記Ｌａｓｔ信号を入力する第３のＶＬＣテーブルと、上記第１のＶＬＣテーブルの出力信号を保持する第１のレジスタと、上記第２のＶＬＣテーブルの出力信号を保持する第４のレジスタと、上記第３のＶＬＣテーブルの出力信号を保持する第５のレジスタと、上記第４のレジスタの出力信号を入力するＲＭＡＸ　ＶＬＣ生成回路と、上記第５のレジスタの出力信号を入力するＬＭＡＸ　ＶＬＣ生成回路と、上記Ｌｅｖｅｌ信号、上記Ｒｕｎ信号、および上記Ｌａｓｔ信号を入力するＦＬＣ生成回路と、上記第１のレジスタの出力信号、上記第４のレジスタの出力信

号、上記第５のレジスタの出力信号を入力する制御回路と、上記第１のレジスタの出力信号、上記ＲＭＡＸ　ＶＬＣ生成回路の出力信号、上記ＬＭＡＸ　ＶＬＣ生成回路の出力信号、および上記ＦＬＣ生成回路の出力信号を入力する選択回路とを備え、上記制御回路は、上記第１のレジスタの出力信号と、上記第４のレジスタの出力信号と、上記第５のレジスタの出力信号とがＶＬＣとして正しいかどうかを判定し、判定した結果を示す選択信号を上記選択回路に出力し、上記選択回路は、上記選択信号により、上記第１のレジスタの出力信号、上記ＲＭＡＸ　ＶＬＣ生成回路の出力信号、上記ＬＭＡＸ　ＶＬＣ生成回路の出力信号、上記ＦＬＣ生成回路の出力信号から、いずれか一つの出力信号を選択し、符号として出力するものである。

このような構成の可変長符号化装置では、すべての処理を２サイクルで実行することが可能であり、処理サイクル数の削減を図ることができる。

この発明（請求の範囲第４項）は、請求の範囲第３項記載の可変長符号化装置において、上記制御回路は、上記第１のレジスタの出力信号と、上記第４のレジスタの出力信号と、上記第５のレジスタの出力信号とがＶＬＣとして正しいかどうかを判定し、判定した結果を予め設定した優先順位に従って、上記選択回路に出力するものである。

このような構成の可変長符号化装置では、優先順位は任意に設定することが可能である。また、この優先順位を第１のレジスタの出力信号、ＦＬＣ生成回路の出力信号（残り２つは順不同）を選択するようにすることで、Ｈ．２６３の画像圧縮方式に適応することが可能となる。

この発明（請求の範囲第５項）に係る可変長符号化装置は、Ｌｅｖｅｌ信号の絶対値であるＬｅｖｅｌ絶対値信号、およびＬａｓｔ信号を入力するＲＭＡＸテーブルと、Ｒｕｎ信号、および上記Ｌａｓｔ信号を入力するＬＭＡＸテーブルと、上記Ｒｕｎ信号から、上記ＲＭＡＸテーブルの出力信号と１の合計を減算する第１の減算回路と、上記Ｌｅｖｅｌ絶対値信号から上記ＬＭＡＸテーブルの出力信号を減算する第２の減算回路と、上記第１の減算回路の出力信号を保持する第２のレジスタと、上記第２の減算回路の出力信号を保持する第３のレジスタと、該第３のレジスタの出力信号、および上記Ｌｅｖｅｌ絶対値信号のいずれかを選

択する第１の選択回路と、上記第２のレジスタの出力信号、および上記Ｒｕｎ信号のいずれかを選択する第２の選択回路と、上記第１の選択回路の出力信号、上記第２の選択回路の出力信号、上記Ｌｅｖｅｌ信号の正負を示す信号、および上記Ｌａｓｔ信号を入力するＶＬＣテーブルと、該ＶＬＣテーブルの出力信号を保持する第１のレジスタと、上記Ｌｅｖｅｌ信号、上記Ｒｕｎ信号、および上記Ｌａｓｔ信号を入力するＦＬＣ生成回路と、上記第１のレジスタの出力信号を入力する制御回路と、上記第１のレジスタの出力信号、および上記制御回路の出力信号を入力するＶＬＣ生成回路と、該ＶＬＣ生成回路の出力信号、および上記ＦＬＣ生成回路の出力信号を入力する第３の選択回路とを備え、第１周期で、上記第１の選択回路は上記制御回路から出力される第１の選択信号を入力し、上記Ｌｅｖｅｌ絶対値信号を選択して上記ＶＬＣテーブルに出力し、上記第２の選択回路は上記制御回路から出力される第２の選択信号を入力し、上記Ｒｕｎ信号を選択して上記ＶＬＣテーブルに出力し、上記ＶＬＣテーブルはＶＬＣを実行し、その出力信号を上記第１のレジスタに出力し、第２周期で、上記制御回路は上記第１のレジスタの出力信号が通常のＶＬＣとして正しいかどうかを判定し、上記第１のレジスタの出力信号が通常のＶＬＣとして正しいと判定したならば、その判定の結果を示す第３の選択信号を上記ＶＬＣ生成回路および上記第３の選択回路に出力し、上記ＶＬＣ生成回路は上記第１のレジスタの出力信号を通常のＶＬＣ符号として出力し、上記第３の選択回路は上記第３の選択信号により、上記ＶＬＣ生成回路の出力信号を選択して出力し、第１周期で、上記ＬＭＡＸテーブルは、上記Ｌａｓｔ信号と上記Ｒｕｎ信号とを入力し、ＬＭＡＸデータ信号を生成して上記第２の減算回路に出力し、該第２の減算回路は上記ＬＭＡＸデータ信号と上記Ｌｅｖｅｌ絶対値信号とを入力し、該Ｌｅｖｅｌ絶対値信号から上記ＬＭＡＸデータ信号を減算し、その結果を第３のレジスタに出力し、第２周期で、上記第１の選択回路は上記制御回路から出力される第１の選択信号を入力し、上記第３のレジスタの出力信号を選択して上記ＶＬＣテーブルに出力し、上記第２の選択回路は上記制御回路から出力される第２の選択信号を入力し、上記Ｒｕｎ信号を選択して上記ＶＬＣテーブルに出力し、上記ＶＬＣテーブルはＶＬＣを実行し、その出力信号を上記第１のレジスタに出力し、第３周期で、上記制御回路は上記

第２周期で行われた通常のＶＬＣの判定が正しくなければ、上記第１のレジスタの出力信号がＬＭＡＸ　ＶＬＣとして正しいかどうかを判定し、上記第１のレジスタの出力信号がＬＭＡＸ　ＶＬＣとして正しいと判定したならば、その判定の結果を示す第３の選択信号を上記ＶＬＣ生成回路および上記第３の選択回路に出力し、上記ＶＬＣ生成回路は上記第１のレジスタの出力信号をＬＭＡＸ　ＶＬＣ符号として出力し、上記第３の選択回路は上記第３の選択信号により、上記ＶＬＣ生成回路の出力信号を選択して出力し、第１周期で、上記ＲＭＡＸテーブルは上記Ｌａｓｔ信号と上記Ｌｅｖｅｌ絶対値信号とを入力し、ＲＭＡＸデータ信号を生成して上記第１の減算回路に出力し、該第１の減算回路は上記ＲＭＡＸデータ信号と上記Ｒｕｎ信号とを入力し、該Ｒｕｎ信号から、上記ＲＭＡＸデータ信号と１を加算した値を減算し、その結果を上記第２のレジスタに出力し、第３周期で、上記第１の選択回路は上記制御回路から出力される第１の選択信号を入力し、上記Ｌｅｖｅｌ絶対値信号を選択して上記ＶＬＣテーブルに出力し、上記第２の選択回路は上記制御回路から出力される第２の選択信号を入力し、上記第２のレジスタの出力信号を選択して上記ＶＬＣテーブルに出力し、上記ＶＬＣテーブルはＶＬＣを実行し、その出力信号を上記第１のレジスタに出力し、第４周期で、上記制御回路は上記第３周期で行われたＬＭＡＸ　ＶＬＣの判定が正しくなければ、上記第１のレジスタの出力信号がＲＭＡＸ　ＶＬＣとして正しいかどうかを判定し、上記第１のレジスタの出力信号がＲＭＡＸ　ＶＬＣとして正しいと判定したならば、第３の選択信号を上記ＶＬＣ生成回路および上記第３の選択回路に出力し、上記ＶＬＣ生成回路は上記第１のレジスタの出力信号をＲＭＡＸＶＬＣ符号として出力し、上記第３の選択回路は上記第３の選択信号により、上記ＶＬＣ生成回路の出力信号を選択して出力し、上記制御回路に入力される上記第１のレジスタの出力信号が、いずれもＶＬＣとして正しくないと判定したならば、第５周期で、上記第３の選択回路は上記ＦＬＣ生成回路の出力信号を選択して出力するものである。

このような構成の可変長符号化装置では、通常のＶＬＣを行うのと同時にＮｅｗＬｅｖｅｌ信号、ＮｅｗＲｕｎ信号を算出することが可能である。また、従来ＶＬＣの処理に６サイクルを要していたが、処理サイクル数を５サイクルに削減

することができる。さらに、従来は３つのＶＬＣテーブルを用いて処理を行っていたが、１つのＶＬＣテーブルでＶＬＣを行うことが可能なため、回路面積の削減を図ることができる。

この発明（請求の範囲第６項）に係る可変長符号化装置は、Ｌｅｖｅｌ信号の絶対値であるＬｅｖｅｌ絶対値信号およびＬａｓｔ信号を入力するＲＭＡＸテーブルと、Ｒｕｎ信号および上記Ｌａｓｔ信号を入力するＬＭＡＸテーブルと、上記Ｒｕｎ信号から、上記ＲＭＡＸテーブルの出力信号と１の合計を減算する第１の減算回路と、上記Ｌｅｖｅｌ絶対値信号から上記ＬＭＡＸテーブルの出力信号を減算する第２の減算回路と、上記第１の減算回路の出力信号を保持する第２のレジスタと、上記第２の減算回路の出力信号を保持する第３のレジスタと、該第３のレジスタの出力信号、および上記Ｌｅｖｅｌ絶対値信号のいずれかを選択する第１の選択回路と、上記第２のレジスタの出力信号、および上記Ｒｕｎ信号のいずれかを選択する第２の選択回路と、上記第１の選択回路の出力信号、上記第２の選択回路の出力信号、上記Ｌｅｖｅｌ信号の正負を示す信号、および上記Ｌａｓｔ信号を入力するＶＬＣテーブルと、該ＶＬＣテーブルの出力信号を保持する第１のレジスタと、上記Ｌｅｖｅｌ信号、上記Ｒｕｎ信号、および上記Ｌａｓｔ信号を入力するＦＬＣ生成回路と、上記第１のレジスタの出力信号を入力する制御回路と、上記第１のレジスタの出力信号、および上記制御回路の出力信号を入力するＶＬＣ生成回路と、該ＶＬＣ生成回路の出力信号、および上記ＦＬＣ生成回路の出力信号を入力する第３の選択回路とを備え、第１周期で、上記第１の選択回路は上記制御回路から出力される第１の選択信号を入力し、上記Ｌｅｖｅｌ絶対値信号を選択して上記ＶＬＣテーブルに出力し、上記第２の選択回路は上記制御回路から出力される第２の選択信号を入力し、上記Ｒｕｎ信号を選択して上記ＶＬＣテーブルに出力し、上記ＶＬＣテーブルはＶＬＣを実行し、その出力信号を上記第１のレジスタに出力し、第２周期で、上記制御回路は上記第１のレジスタの出力信号が通常のＶＬＣとして正しいかどうかを判定し、上記第１のレジスタの出力信号が通常のＶＬＣとして正しいと判定したならば、その判定の結果を示す第３の選択信号を上記ＶＬＣ生成回路および上記第３の選択回路に出力し、上記ＶＬＣ生成回路は上記第１のレジスタの出力信号を通常のＶＬＣ符号と

して出力し、上記第３の選択回路は上記第３の選択信号により、上記ＶＬＣ生成回路の出力信号を選択して出力し、第１周期で、上記ＬＭＡＸテーブルは、上記Ｌａｓｔ信号と上記Ｒｕｎ信号とを入力し、ＬＭＡＸデータ信号を生成して上記第２の減算回路に出力し、該第２の減算回路は上記ＬＭＡＸデータ信号と上記Ｌｅｖｅｌ絶対値信号とを入力し、該Ｌｅｖｅｌ絶対値信号から上記ＬＭＡＸデータ信号を減算し、その結果を第３のレジスタに出力し、第２周期で、上記第１の選択回路は上記制御回路から出力される第１の選択信号を入力し、上記第３のレジスタの出力信号を選択して上記ＶＬＣテーブルに出力し、上記第２の選択回路は上記制御回路から出力される第２の選択信号を入力し、上記Ｒｕｎ信号を選択して上記ＶＬＣテーブルに出力し、上記ＶＬＣテーブルはＶＬＣを実行し、その出力信号を上記第１のレジスタに出力し、第３周期で、上記制御回路は上記第２周期で行われた通常のＶＬＣの判定が正しくなければ、上記第１のレジスタの出力信号がＬＭＡＸ　ＶＬＣとして正しいかどうかを判定し、上記第１のレジスタの出力信号がＬＭＡＸ　ＶＬＣとして正しいと判定したならば、その判定の結果を示す第３の選択信号を上記ＶＬＣ生成回路および上記第３の選択回路に出力し、上記ＶＬＣ生成回路は上記第１のレジスタの出力信号をＬＭＡＸ　ＶＬＣ符号として出力し、上記第３の選択回路は上記第３の選択信号により、上記ＶＬＣ生成回路の出力信号を選択して出力し、第１周期で、上記ＲＭＡＸテーブルは上記Ｌａｓｔ信号と上記Ｌｅｖｅｌ絶対値信号とを入力し、ＲＭＡＸデータ信号を生成して上記第１の減算回路に出力し、該第１の減算回路は上記ＲＭＡＸデータ信号と上記Ｒｕｎ信号とを入力し、該Ｒｕｎ信号から、上記ＲＭＡＸデータ信号と１を加算した値を減算し、その結果を上記第２のレジスタに出力し、第３周期で、上記第１の選択回路は上記制御回路から出力される第１の選択信号を入力し、上記Ｌｅｖｅｌ絶対値信号を選択して上記ＶＬＣテーブルに出力し、上記第２の選択回路は上記制御回路から出力される第２の選択信号を入力し、上記第２のレジスタの出力信号を選択して上記ＶＬＣテーブルに出力し、上記ＶＬＣテーブルはＶＬＣを実行し、その出力信号を上記第１のレジスタに出力し、第４周期で、上記制御回路は上記第３周期で行われたＬＭＡＸ　ＶＬＣの判定が正しくなければ、上記第１のレジスタの出力信号がＲＭＡＸ　ＶＬＣとして正しいかどうかを

判定し、上記第１のレジスタの出力信号がＲＭＡＸ　ＶＬＣとして正しいと判定したならば、第３の選択信号を上記ＶＬＣ生成回路および上記第３の選択回路に出力し、上記ＶＬＣ生成回路は上記第１のレジスタの出力信号をＲＭＡＸ　ＶＬＣ符号として出力し、上記第３の選択回路は上記第３の選択信号により、上記ＶＬＣ生成回路の出力信号を選択して出力し、上記制御回路に入力される上記第１のレジスタの出力信号が、いずれもＶＬＣとして正しくないと判定したならば、第４周期で、上記第３の選択回路は上記ＦＬＣ生成回路の出力信号を選択して出力するものである。

このような構成の可変長符号化装置では、通常のＶＬＣを行うのと同時にＮｅｗＬｅｖｅｌ信号、ＮｅｗＲｕｎ信号を算出することが可能である。また、従来ＶＬＣの処理に６サイクルを要していたが、処理サイクル数を４サイクルに削減することができる。さらに、従来は３つのＶＬＣテーブルを用いて処理を行っていたが、１つのＶＬＣテーブルでＶＬＣを行うことが可能なため、回路面積の削減を図ることができる。

この発明（請求の範囲第７項）は、請求の範囲第５項または請求の範囲第６項記載の可変長符号化装置において、上記制御回路は、上記第１のレジスタの出力信号がＶＬＣとして正しいかどうかを判定し、さらに正しくない場合の周期の回数を判断してＶＬＣの制御を行い、予め設定した優先順位に従って、ＶＬＣの出力順位を変更するものである。

このような構成の可変長符号化装置では、優先順位は任意に設定することが可能であり、また、ＦＬＣ生成回路は常に一意的な符号が割り当てられるため、優先順位として、通常のＶＬＣを判定した後に、判定の結果が正しくなければＦＬＣ生成回路の出力信号を選択するようにすることで、Ｈ．２６３の画像圧縮方式に適応することが可能となる。

この発明（請求の範囲第８項）に係る可変長符号化装置は、Ｌｅｖｅｌ信号の絶対値であるＬｅｖｅｌ絶対値信号、Ｌａｓｔ信号、および固定値を入力し、上記Ｌｅｖｅｌ絶対値信号もしくは上記固定値のいずれかを選択して出力する第１の出力信号、および上記Ｌａｓｔ信号もしくは上記固定値のいずれかを選択して出力する第２の出力信号を出力する第１の選択回路と、上記第１の出力信号およ

び上記第２の出力信号を入力するＲＭＡＸテーブルと、Ｒｕｎ信号、上記Ｌａｓｔ信号、および固定値を入力し、上記Ｒｕｎ信号もしくは上記固定値のいずれかを選択して出力する第３の出力信号、および上記Ｌａｓｔ信号もしくは上記固定値のいずれかを選択して出力する第４の出力信号を出力する第２の選択回路と、上記第３の出力信号および上記第４の出力信号を入力するＬＭＡＸテーブルと、上記Ｒｕｎ信号から、上記ＲＭＡＸテーブルの出力信号と１の合計を減算する第１の減算回路と、上記Ｌｅｖｅｌ絶対値信号から上記ＬＭＡＸテーブルの出力信号を減算する第２の減算回路と、上記第１の減算回路の出力信号を保持する第２のレジスタと、上記第２の減算回路の出力信号を保持する第３のレジスタと、該第３のレジスタの出力信号および上記Ｌｅｖｅｌ絶対値信号のいずれかを選択する第３の選択回路と、上記第２のレジスタの出力信号および上記Ｒｕｎ信号のいずれかを選択する第４の選択回路と、上記第３の選択回路の出力信号、上記第４の選択回路の出力信号、上記Ｌｅｖｅｌ信号の正負を示す信号、および上記Ｌａｓｔ信号を入力するＶＬＣテーブルと、該ＶＬＣテーブルの出力信号を保持する第１のレジスタと、上記Ｌｅｖｅｌ信号、上記Ｒｕｎ信号、および上記Ｌａｓｔ信号を入力するＦＬＣ生成回路と、上記第１のレジスタの出力信号を入力する制御回路と、上記第１のレジスタの出力信号、および上記制御回路の出力信号を入力するＶＬＣ生成回路と、該ＶＬＣ生成回路の出力信号、および上記ＦＬＣ生成回路の出力信号を入力する第５の選択回路とを備え、第１周期で、上記第１の選択回路は上記制御回路から出力される第１の選択信号を入力して固定値を選択し、上記第２の選択回路は上記制御回路から出力される第２の選択信号を入力して、上記Ｒｕｎ信号および上記Ｌａｓｔ信号を選択し、上記第３の選択回路は上記制御回路から出力される第３の選択信号を入力し、上記Ｌｅｖｅｌ絶対値信号を選択して上記ＶＬＣテーブルに出力し、上記第４の選択回路は上記制御回路から出力される第４の選択信号を入力し、上記Ｒｕｎ信号を選択して上記ＶＬＣテーブルに出力し、上記ＶＬＣテーブルはＶＬＣを実行し、その出力信号を上記第１のレジスタに出力し、第２周期で、上記制御回路は上記第１のレジスタの出力信号が通常のＶＬＣとして正しいかどうかを判定し、上記第１のレジスタの出力信号が通常のＶＬＣとして正しいと判定したならば、その判定の結果を示す第５の

選択信号を上記ＶＬＣ生成回路、および上記第５の選択回路に出力し、上記ＶＬＣ生成回路は、上記第１のレジスタの出力信号を通常のＶＬＣ符号として出力し、上記第５の選択回路は上記第５の選択信号により、上記ＶＬＣ生成回路の出力信号を選択して出力し、第１周期で、上記ＬＭＡＸテーブルは、上記Ｌａｓｔ信号と上記Ｒｕｎ信号とを入力し、ＬＭＡＸデータ信号を生成して上記第２の減算回路に出力し、該第２の減算回路は上記ＬＭＡＸデータ信号と上記Ｌｅｖｅｌ絶対値信号とを入力し、該Ｌｅｖｅｌ絶対値信号から上記ＬＭＡＸデータ信号を減算し、その結果を第３のレジスタに出力し、第２周期で、上記第３の選択回路は上記制御回路から出力される第３の選択信号を入力し、上記第３のレジスタの出力信号を選択して上記ＶＬＣテーブルに出力し、上記第４の選択回路は上記制御回路から出力される第４の選択信号を入力し、上記Ｒｕｎ信号を選択して上記ＶＬＣテーブルに出力し、上記ＶＬＣテーブルはＶＬＣを実行し、その出力信号を上記第１のレジスタに出力し、第３周期で、上記制御回路は上記第２周期で行われた通常のＶＬＣの判定が正しくなければ、上記第１のレジスタの出力信号がＬＭＡＸ　ＶＬＣとして正しいかどうかを判定し、上記第１のレジスタの出力信号がＬＭＡＸ　ＶＬＣとして正しいと判定したならば、その判定の結果を示す第５の選択信号を上記ＶＬＣ生成回路および上記第５の選択回路に出力し、上記ＶＬＣ生成回路は上記第１のレジスタの出力信号をＬＭＡＸ　ＶＬＣ符号として出力し、上記第５の選択回路は上記第５の選択信号により、上記ＶＬＣ生成回路の出力信号を選択して出力し、第２周期で、上記ＲＭＡＸテーブルは上記Ｌａｓｔ信号と上記Ｌｅｖｅｌ絶対値信号とを入力し、ＲＭＡＸデータ信号を生成して上記第１の減算回路に出力し、該第１の減算回路は上記ＲＭＡＸデータ信号と上記Ｒｕｎ信号とを入力し、該Ｒｕｎ信号から、上記ＲＭＡＸデータ信号と１を加算した値を減算し、その結果を上記第２のレジスタに出力し、第３周期で、上記第３の選択回路は上記制御回路から出力される第３の選択信号を入力し、上記Ｌｅｖｅｌ絶対値信号を選択して上記ＶＬＣテーブルに出力し、上記第４の選択回路は上記制御回路から出力される第４の選択信号を入力し、上記第２のレジスタの出力信号を選択して上記ＶＬＣテーブルに出力し、上記ＶＬＣテーブルはＶＬＣを実行し、その出力信号を上記第１のレジスタに出力し、第４周期で、上記制御回

路は上記第３周期で行われたＬＭＡＸ　ＶＬＣの判定が正しくなければ、上記第１のレジスタの出力信号がＲＭＡＸ　ＶＬＣとして正しいかどうかを判定し、上記第１のレジスタの出力信号がＲＭＡＸ　ＶＬＣとして正しいと判定したならば、その判定の結果を示す第５の選択信号を上記ＶＬＣ生成回路および上記第３の選択回路に出力し、上記ＶＬＣ生成回路は上記第１のレジスタの出力信号をＲＭＡＸ　ＶＬＣ符号として出力し、上記第５の選択回路は上記第５の選択信号により、上記ＶＬＣ生成回路の出力信号を選択して出力し、上記制御回路に入力される上記第１のレジスタの出力信号が、いずれもＶＬＣとして正しくないと判定したならば、第４周期で、上記第５の選択回路は上記ＦＬＣ生成回路の出力信号を選択して出力するものである。

このような構成の可変長符号化装置では、常に１サイクル目でＲＭＡＸテーブルにアクセスすることがなく、消費電力を削減することができる。また、従来ＶＬＣの処理に６サイクルを要していたが、処理サイクル数を４サイクルに削減することができる。さらに、従来は３つのＶＬＣテーブルを用いて処理を行っていたが、１つのＶＬＣテーブルでＶＬＣを行うことが可能となるため、回路面積の削減を図ることができる。

この発明（請求の範囲第９項）は、請求の範囲第８項記載の可変長符号化装置において、上記制御回路は、上記第１のレジスタの出力信号がＶＬＣとして正しいかどうかを判定し、さらに正しくない場合の周期の回数を判断してＶＬＣの制御を行い、予め設定した優先順位に従って、ＶＬＣの出力順位を変更するものである。

このような構成の可変長符号化装置では、優先順位は任意に設定することが可能であり、また、ＦＬＣ生成回路は常に一意的な符号が割り当てられるため、優先順位を通常のＶＬＣを判定した後に、判定の結果が正しくなければＦＬＣ生成回路の出力信号を選択するようにすることで、Ｈ．２６３の画像圧縮方式に適応することが可能となる。

図面の簡単な説明

第１図は、本発明の実施の形態１による可変長符号化方法を説明するためのチ

ャート図である。

第２図は、本発明の実施の形態１による符号を出力する優先順位の組み合わせを説明するための図である。

第３図は、本発明の実施の形態２による可変長符号化装置の構成を説明するためのブロック図である。

第４図は、本発明の実施の形態２による制御回路の動作を説明するためのタイミングチャートである。

第５図は、本発明の実施の形態２によるサイクル毎の処理内容をまとめた図である。

第６図は、本発明の実施の形態３による可変長符号化装置の構成を説明するためのブロック図である。

第７図は、本発明の実施の形態３による制御回路の動作を説明するためのタイミングチャートである。

第８図は、本発明の実施の形態３による５Ｔで処理が行われるときのサイクル毎の処理内容をまとめた図である。

第９図は、本発明の実施の形態３による４Ｔで処理が行われるときのサイクル毎の処理内容をまとめた図である。

第１０図は、本発明の実施の形態４による可変長符号化装置の構成を説明するためのブロック図である。

第１１図は、本発明の実施の形態４によるサイクル毎の処理内容をまとめた図である。

第１２図は、従来の可変長符号化方法を説明するためのチャート図である。

第１３図は、従来の可変長符号化方法のサイクル毎の処理内容をまとめた図である。

発明を実施するための最良の形態

以下、本発明の実施の形態について説明する。

（実施の形態１）

本実施の形態１の可変長符号化方法は、一次元配列に並び替えたＤＣＴ係数か

ら、先行するゼロの係数の個数であるＲｕｎと、非ゼロの係数の値であるＬｅｖｅｌと、その非ゼロの係数が最後であるかどうかを示すＬａｓｔを、（Ｌａｓｔ、Ｒｕｎ、Ｌｅｖｅｌ）の組として、これに一意的な符号を割り当てる可変長符号（Ｖａｒｉａｂｌｅ　Ｌｅｎｇｔｈ　Ｃｏｄｅ，以下ＶＬＣと省略する）化を行い、ＶＬＣの割り当てが出来ない場合には、後述する３つのエスケープモードを適用するものである。

第１図は本発明の実施の形態１による可変長符号化方法を説明するためのチャート図である。

第１図において、○（白丸）はデータが確定していることを意味し、Ｐ１～Ｐ９はそれぞれの係数の処理工程を示す。また、符号化２は第１のエスケープモード、符号化３は第２のエスケープモード、符号化４は第３のエスケープモードにそれぞれ対応している。

以下、各係数の処理工程について説明する。

符号化１において、Ｐ１はＬａｓｔ、Ｒｕｎ、Ｌｅｖｅｌによって活性化（すなわち、入出力時点でデータがそろっていること）する処理であり、（Ｌａｓｔ、Ｒｕｎ、Ｌｅｖｅｌ）の組に対応するＶＬＣテーブルが存在するならば通常のＶＬＣのＣｏｄｅＡをＰ９に出力する。一方、（Ｌａｓｔ、Ｒｕｎ、Ｌｅｖｅｌ）の組に対応するＶＬＣが存在しない場合は、"存在しない"ということを示す符号をＰ９に出力する。

符号化２において、Ｐ２はＬａｓｔ、Ｒｕｎによって活性化する処理であり、（Ｌａｓｔ、Ｒｕｎ）の組に対応する最大のＬｅｖｅｌの値であるＬＭＡＸをＰ３に出力する。Ｐ３はＬＭＡＸによって活性化する処理であり、Ｌｅｖｅｌの値からＬＭＡＸを減算する処理を行い、得られたＮｅｗＬｅｖｅｌの値をＰ４に出力する。Ｐ４はＬａｓｔ、Ｒｕｎ、ＮｅｗＬｅｖｅｌによって活性化する処理であり、（Ｌａｓｔ、Ｒｕｎ、ＮｅｗＬｅｖｅｌ）の組に対応するＶＬＣテーブルが存在するならば、ＣｏｄｅＢをＰ９に出力する。具体的にＣｏｄｅＢは、“０００００１１”（ＥＳＣ(エスケープ)コードの符号）と、“０”（ＬＭＡＸでのＶＬＣを示す）と、ＶＬＣの結果とを、ＬＭＡＸ符号化データとしてＰ９に出力する。一方、（Ｌａｓｔ、Ｒｕｎ、ＮｅｗＬｅｖｅｌ）の組に対応するＶＬＣが存在しない場

合は、"存在しない"ということを示す符号をＰ９に出力する。

符号化３において、Ｐ５は、Ｌａｓｔ、Ｌｅｖｅｌによって活性化する処理であり、（Ｌａｓｔ、Ｌｅｖｅｌ）の組に対応する最大のＲｕｎであるRMAXの値をＰ６に出力する。Ｐ６はRMAXによって活性化する処理であり、Ｒｕｎの値から、RMAXと１の合計を減算する処理を行い、得られたＮｅｗＲｕｎの値をＰ７に出力する。Ｐ７はＬａｓｔ、ＮｅｗＲｕｎ、Ｌｅｖｅｌによって活性化する処理であり、（Ｌａｓｔ、ＮｅｗＲｕｎ、Ｌｅｖｅｌ）の組に対応するＶＬＣテーブルが存在するならば、ＣｏｄｅＣをＰ９に返す。具体的にＣｏｄｅＣは、“０００００１１”（ＥＳＣコード）と、“１０”（RMAXでのＶＬＣを示す）と、ＶＬＣの結果とを、RMAX符号化データとしてＰ９に出力する。一方、（Ｌａｓｔ、ＮｅｗＲｕｎ、Ｌｅｖｅｌ）の組に対応するＶＬＣが存在しない場合は、"存在しない"ということを示す符号をＰ９に出力する。

符号化４において、Ｐ８はＦＬＣ（Ｆｉｘｅｄ　Ｌｅｎｇｔｈ　Ｃｏｄｅ，固定長符号）に変換する処理であり、Ｈ．２６３の場合は、“０００００１１”（ＥＳＣコード）と、ＦＬＣの結果（Ｌａｓｔ－１ビット、Ｒｕｎ－６ビット、Ｌｅｖｅｌ－８ビット）とを、ＦＬＣ符号化データとしてＰ９に出力する。またMPＥＧ４の場合は、“０００００１１”（ＥＳＣコード）と、“１１”（MPＥＧ４でのＦＬＣを示す）と、ＦＬＣの結果（Ｌａｓｔ－１ビット、Ｒｕｎ－６ビット、１、Ｌｅｖｅｌ－１２ビット、１）とを、ＦＬＣ符号化データとしてＰ９に出力する。

Ｐ９は、予め与えられた優先順位に従って、ＣｏｄｅＡ～ＣｏｄｅＤのデータを選択し、選択されたデータを出力する。第２図に優先順位の組み合わせを示す。

第２図より、Ａ～Ｄは、それぞれＣｏｄｅＡ～ＣｏｄｅＤを示す。例えば、Ｐ９の優先順位の組み合わせとして優先順位１が設定されているとする。つまり、Ｐ９にＣｏｄｅＡのデータが存在するならば、ＣｏｄｅＢ、ＣｏｄｅＣ、およびＣｏｄｅＤのいずれのデータが存在していても、Ｐ９はＣｏｄｅＡのデータを出力する。一方、Ｐ９にＣｏｄｅＡのデータは存在せず、ＣｏｄｅＢのデータが存在するならば、ＣｏｄｅＣおよびＣｏｄｅＤのいずれのデータが存在していても

、Ｐ９はＣｏｄｅＢのデータを出力する。また、Ｐ９にＣｏｄｅ ＡおよびＣｏｄｅＢのデータは存在せず、ＣｏｄｅＣのデータが存在するならば、ＣｏｄｅＤのデータが存在していても、Ｐ９はＣｏｄｅＣのデータを出力する。また、Ｐ９にＣｏｄｅＡ、ＣｏｄｅＢ、ＣｏｄｅＣのいずれのデータも存在しないならば、Ｐ９はＣｏｄｅＤのデータを出力する。

このように、本実施の形態１による可変長符号化方法によれば、符号化１（Ｐ１）、符号化２（Ｐ２、Ｐ３、Ｐ４）、符号化３（Ｐ５、Ｐ６、Ｐ７）、符号化４（Ｐ８）の各処理を同時に行い、予め設定された優先順位に従ってデータを出力するようにしたので、すべての処理を２ステップ（各符号化の処理と判定）で行うことが可能であり、処理ステップ数を削減することができる。また、Ｐ２、Ｐ３、Ｐ４の処理ステップ数を２ステップとし、Ｐ５、Ｐ６、Ｐ７の処理ステップ数を２ステップとした場合には、全ての処理を３ステップで行うことができる。

なお、本実施の形態１による可変長符号化方法において、Ｐ９における優先順位の組み合わせは、ＣｏｄｅＡ＞ＣｏｄｅＢ＞ＣｏｄｅＣ＞ＣｏｄｅＤとしたが、優先順位はこれに限られるものではなく、優先順位をＣｏｄｅＡ＞ＣｏｄｅＣ＞ＣｏｄｅＢ＞ＣｏｄｅＤとしても同様の効果を得ることができる。また、ＣｏｄｅＤはＦＬＣによって常に一意的な符号が割り当てられるため、優先順位を、ＣｏｄｅＡ＞ＣｏｄｅＤ（残り２つは順不同）とすることで、ＣｏｄｅＢ、ＣｏｄｅＣを強制的に選択不可とすることができ、符号化１と符号化４で可変長符号化を行う画像圧縮方式であるＨ．２６３に適応することが可能となる。

（実施の形態２）

本実施の形態２の可変長符号化装置は、上述した実施の形態１による可変長符号化方法を実現するためのものである。

第３図は、本発明の実施の形態２による可変長符号化装置の構成を説明するためのブロック図である。

第３図において、１００はＬｅｖｅｌ信号、１０１はＬａｓｔ信号、１０２はＲｕｎ信号、１０３はＬｅｖｅｌ信号１００の正負を示すＳｉｇｎ信号、１０４はＬｅｖｅｌ信号１００の絶対値であるＬｅｖｅｌ絶対値信号、１０５はＦＬＣ生成回路、１０６はＦＬＣ生成回路１０５の出力信号であるＦＬＣデータ信号、

１０７はRMAXテーブル、１０８はRMAXテーブル１０７の出力信号であるRMAXデータ信号、１０９は第１の減算回路、１１０は第１の減算回路１０９の出力信号、１１５は第１の減算回路１０９の出力信号１１０を保持する第２のレジスタ、１８２は第２のレジスタ１１５より出力されるＮｅｗＲｕｎ信号、１１１は第２のＶＬＣテーブル、１１４は第２のＶＬＣテーブル１１１の出力信号である第２のＶＬＣデータ信号、１８０は第２のＶＬＣデータ信号１１４を保持する第４のレジスタ、１１６はＮｅｗＲｕｎ信号１８２を用いて生成したＶＬＣデータ信号、１１７はＬＭＡＸテーブル、１１８はＬＭＡＸテーブル１１７の出力信号であるＬＭＡＸデータ信号、１１９は第２の減算回路、１２０は第２の減算回路１１９の出力信号、１２２は第２の減算回路１１９の出力信号１２０を保持する第３のレジスタ、１８３は第３のレジスタ１２２より出力されるＮｅｗＬｅｖｅｌ信号、１１２は第３のＶＬＣテーブル、１２１は第３のＶＬＣテーブル１１２の出力信号である第３のＶＬＣデータ信号、１８１は第３のＶＬＣデータ信号１２１を保持する第５のレジスタ、１２３はＮｅｗＬｅｖｅｌ信号１８３を用いて生成したＶＬＣデータ信号、１１３は第１のＶＬＣテーブル、１２４は第１のＶＬＣテーブル１１３の出力信号である第１のＶＬＣデータ信号、１２５は第１のＶＬＣデータ信号１２４を保持する第１のレジスタ、１２６は通常のＶＬＣデータ信号、１７０はＮｅｗＲｕｎ信号を用いて生成したＶＬＣデータ信号１１６を入力し、RMAXの符号化データを生成するRMAX　ＶＬＣ生成回路、１７５はRMAX　ＶＬＣ生成回路１７０の出力信号であるRMAXデータ信号、１７１はＮｅｗＬｅｖｅｌ信号を用いて生成したＶＬＣデータ信号１２３を入力し、ＬＭＡＸの符号化データを生成するＬＭＡＸ　ＶＬＣ生成回路、１７６はＬＭＡＸ　ＶＬＣ生成回路１７１の出力信号であるＬＭＡＸデータ信号、１２７は通常のＶＬＣデータ信号１２６と、ＮｅｗＲｕｎ信号を用いて生成したＶＬＣデータ信号１１６と、ＮｅｗＬｅｖｅｌ信号を用いて生成したＶＬＣデータ信号１２３とを入力し、予め設定された優先順位に基づいてＶＬＣデータ信号を選択する制御回路、１２８は制御回路１２７で選択されたデータ信号を出力する選択信号、１２９はRMAXデータ信号１７５と、ＬＭＡＸデータ信号１７６と、ＦＬＣデータ信号１０６と、通常のＶＬＣデータ信号１２６とを入力し、選択信号

１２８により出力するデータ信号を選択する選択回路、１３０は選択回路１２９で選択されたデータ信号である。

次に本発明の実施の形態２による可変長符号化装置の動作について、上述した第３図のブロック図を第１図のチャート図と対応させて説明する。

まず、符号化１の処理において、第１のＶＬＣテーブル１１３は、Ｌａｓｔ信号１０１と、Ｒｕｎ信号１０２と、Ｌｅｖｅｌ絶対値信号１０４と、Ｓｉｇｎ信号１０３とを入力して、第１のＶＬＣデータ信号１２４を生成し（Ｐ１）、第１のレジスタ１２５に保持する。そして、第１のレジスタ１２５は、通常のＶＬＣデータ信号１２６を制御回路１２７と選択回路１２９に出力する（Ｐ９）。

符号化３の処理において、ＲＭＡＸテーブル１０７は、Ｌａｓｔ信号１０１と、Ｌｅｖｅｌ絶対値信号１０４とを入力し、ＲＭＡＸデータ信号１０８を生成して（Ｐ５）、第１の減算回路１０９に出力する。第１の減算回路１０９は、ＲＭＡＸデータ信号１０８と、Ｒｕｎ信号１０２とを入力し、Ｒｕｎ信号１０２の値から、ＲＭＡＸデータ信号１０８と１を加算した値を減算し（Ｐ６）、その結果を第１の減算回路の出力信号１１０として第２のレジスタ１１５に出力する。第２のレジスタ１１５は、入力された第１の減算回路の出力信号１１０を保持する。続いて、第２のＶＬＣテーブル１１１は、第２のレジスタ１１５から出力されるＮｅｗＲｕｎ信号１８２と、Ｌａｓｔ信号１０１と、Ｌｅｖｅｌ絶対値信号１０４と、Ｓｉｇｎ信号１０３とを入力し、第２のＶＬＣデータ信号１１４を生成し（Ｐ７）、第４のレジスタ１８０に出力する。第４のレジスタ１８０は、入力された第２のＶＬＣデータ信号１１４を保持する。そして、第４のレジスタ１８０は、ＮｅｗＲｕｎ信号を用いて生成したＶＬＣデータ信号１１６を制御回路１２７に出力する。

また、符号化２の処理において、ＬＭＡＸテーブル１１７は、Ｌａｓｔ信号１０１と、Ｒｕｎ信号１０２とを入力し、ＬＭＡＸデータ信号１１８を生成して（Ｐ２）、第２の減算回路１１９に出力する。第２の減算回路１１９は、ＬＭＡＸデータ信号１１８と、Ｌｅｖｅｌ絶対値信号１０４とを入力し、Ｌｅｖｅｌ絶対値信号１０４からＬＭＡＸデータ信号１１８を減算し（Ｐ３）、その結果を第２の減算回路の出力信号１２０として第３のレジスタ１２２に出力する。第３のレジス

タ１２２は、入力された第２の減算回路の出力信号１２０を保持する。続いて、第３のＶＬＣテーブル１１２は第３のレジスタ１２２から出力されるＮｅｗＬｅｖｅｌ信号１８３と、Ｌａｓｔ信号１０１と、Ｒｕｎ信号１０２と、Ｓｉｇｎ信号１０３とを入力し、第３のＶＬＣデータ信号１２１を生成し（Ｐ４）、第５のレジスタ１８１に出力する。第５のレジスタ１８１は、入力された第３のＶＬＣデータ信号１２１を保持する。そして、第５のレジスタ１８１はＮｅｗＬｅｖｅｌ信号を用いて生成したＶＬＣデータ信号１２３を制御回路１２７に出力する。

ＲＭＡＸ　ＶＬＣ生成回路１７０は、第４のレジスタ１８０から出力されるＮｅｗＲｕｎ信号を用いて生成したＶＬＣデータ信号１１６のＶＬＣ化を行い、（ＥＳＣコード＋“０”＋ＶＬＣ結果）をＲＭＡＸ符号化データであるＲＭＡＸデータ信号１７５とし、選択回路１２９に出力する（Ｐ９）。また、ＬＭＡＸ　ＶＬＣ生成回路１７１は、第５のレジスタ１８１から出力されるＮｅｗＬｅｖｅｌ信号を用いて生成したＶＬＣデータ信号１２３のＶＬＣ化を行い、（ＥＳＣコード＋“１０”＋ＶＬＣ結果）をＬＭＡＸ符号化データであるＬＭＡＸデータ信号１７６とし、選択回路１２９に出力する（Ｐ９）。続いて、制御回路１２７は、第１のレジスタ１２５から出力される通常のＶＬＣデータ信号１２６と、第４のレジスタ１８０から出力されるＮｅｗＲｕｎ信号を用いて生成したＶＬＣデータ信号１１６と、第５のレジスタ１８１から出力されるＮｅｗＬｅｖｅｌ信号を用いて生成したＶＬＣデータ信号１２３とを入力し、それぞれのＶＬＣデータ信号がＶＬＣとして正しいかどうか判定を行う。そして、制御回路１２７は、予め設定された優先順位に従って、ＶＬＣデータ信号を選択するための選択信号１２８を出力する。

例えば優先順位を、通常のＶＬＣデータ、ＮｅｗＬｅｖｅｌ信号を用いて生成したＶＬＣデータ、ＮｅｗＲｕｎ信号を用いて生成したＶＬＣデータ、ＦＬＣデータの順番で設定したとする（第２図における、優先順位１）。つまり、制御回路１２７に通常のＶＬＣデータ信号１２６が存在するならば、ＮｅｗＬｅｖｅｌ信号を用いて生成したＶＬＣデータ信号１２３、あるいはＮｅｗＲｕｎ信号を用いて生成したＶＬＣデータ信号１１６の存在にかかわらず、制御回路１２７は通常のＶＬＣデータ信号１２４を選択する選択信号１２８を、選択回路１２９に出力

する。一方、制御回路１２７に通常のＶＬＣデータ信号１２６が存在せず、ＮｅｗＬｅｖｅｌ信号を用いて生成したＶＬＣデータ信号１２３が存在するならば、ＮｅｗＲｕｎ信号を用いて生成したＶＬＣデータ信号１１６の存在にかかわらず、制御回路１２７はＮｅｗＬｅｖｅｌ信号を用いて生成したＶＬＣデータ信号１２３を選択する選択信号１２８を、選択回路１２９に出力する。また、制御回路１２７に通常のＶＬＣデータ信号１２９、およびＮｅｗＬｅｖｅｌ信号を用いて生成したＶＬＣデータ信号１２３が存在せず、ＮｅｗＲｕｎ信号を用いて生成したＶＬＣデータ信号１１６が存在するならば、制御回路１２７はＮｅｗＲｕｎ信号を用いて生成したＶＬＣデータ信号１１６を選択する選択信号１２８を、選択回路１２９に出力する。そして、選択回路１２９は、制御回路１２７より入力される選択信号１２８に制御されて、いずれかのＶＬＣデータ信号を選択し、データ信号１３０として出力する。一方、選択回路１２９は制御回路１２７よりＶＬＣデータ信号を選択する選択信号１２８が入力されないならば、ＦＬＣデータ信号１０６を選択し、データ信号１３０として出力する。

第４図は本発明の実施の形態２による制御回路の動作を説明するためのタイミングチャートである。

第４図において、ｃｌｏｃｋ(クロック)は一定周期の信号、ｔｃｏｅｆ＿ｅはＶＬＣを行うための開始可能なデータがそろっていることを示す開始信号、ＭＰＥＧ４／Ｈ．２６３はいずれかの規格を示す信号であり、信号がＨ（Ｈｉｇｈ）のときはＭＰＥＧ４を示し、信号がＬ（Ｌｏｗ）のときはＨ．２６３を示す。Ｃｏｕｎｔｅｒ（カウンタ）は判定の開始、および判定の回数を示す。ｄｅｃ＿ｎｏｍａｌは通常のＶＬＣデータ信号１２６であり、第１のＶＬＣテーブル１１３の結果を示す。ｄｅｃ＿ｌｍａｘはＮｅｗＬｅｖｅｌ信号を用いて生成したＶＬＣデータ信号１２３であり、第３のＶＬＣテーブル１１２の結果を示す。ｄｅｃ＿ｒｍａｘはＮｅｗＲｕｎ信号を用いて生成したＶＬＣデータ信号１１６であり、第２のＶＬＣテーブル１１１の結果を示す。ｓｅｌ＿ｎｏｍａｌは通常のＶＬＣデータ信号１２６（ｄｅｃ＿ｎｏｍａｌ）の結果がＶＬＣテーブルに存在するならば、信号をＨにする。ｓｅｌ＿ｌｍａｘはＮｅｗＬｅｖｅｌ信号を用いて生成したＶＬＣデータ信号１２３（ｄｅｃ＿ｌｍａｘ）の結果がＶＬＣテーブルに

存在するならば、信号をHにする。ｓｅｌ＿ｒｍａｘはＮｅｗＲｕｎ信号を用いて生成したＶＬＣデータ信号１１６（ｄｅｃ＿ｒｍａｘ）の結果がＶＬＣテーブルに存在するならば、信号をHにする。ｓｅｌ＿ｆｌｃは、通常のＶＬＣデータ信号１２６、ＮｅｗＬｅｖｅｌ信号を用いて生成したＶＬＣデータ信号１２３、ＮｅｗＲｕｎ信号を用いて生成したＶＬＣデータ信号１１６のいずれの結果もＶＬＣテーブルに存在しないならば、信号をHにする。また、図中斜線部分は判定が行われるサイクル数を示す。

次に、各ＶＬＣデータ信号について説明する。

第４（ａ）図は、ＭＰＥＧ４における通常のＶＬＣデータ信号を選択する場合のタイミングチャートである。

第４（ａ）図において、カウンタの値が０を示し、ＶＬＣテーブルの判定が開始可能なデータがそろったならば、ｔｃｏｅｆ＿ｅの開始信号の立ち上がり判定が行われる。判定の結果、カウンタの値が１のときｄｅｃ＿ｎｏｍａｌの信号がＨ（つまりデータが存在することを示す）ならば、ｄｅｃ＿ｌｍａｘおよびｄｅｃ＿ｒｍａｘの信号の結果にかかわらず、ｓｅｌ＿ｎｏｍａｌの信号をHにする。このとき、制御回路１２７は通常のＶＬＣデータ信号１２６を選択する選択信号１２８を出力し、選択回路１２９は選択信号１２８に制御されて、通常のＶＬＣデータ信号１２６を選択する。

第４（ｂ）図は、ＭＰＥＧ４におけるＮｅｗＬｅｖｅｌ信号を用いて生成したＶＬＣデータ信号を選択する場合のタイミングチャートである。

第４（ｂ）図において、カウンタの値が０を示し、ＶＬＣテーブルの判定が開始可能なデータがそろったならば、ｔｃｏｅｆ＿ｅの開始信号の立ち上がり判定が行われる。判定の結果、カウンタの値が１のとき全ての信号がＬで、カウンタの値が２のときｄｅｃ＿ｎｏｍａｌの信号がＬ，ｄｅｃ＿ｌｍａｘの信号がＨならば、ｄｅｃ＿ｒｍａｘの信号の結果にかかわらず、ｓｅｌ＿ｌｍａｘの信号をHにする。このとき、制御回路１２７はＮｅｗＬｅｖｅｌ信号を用いて生成したＶＬＣデータ信号１２３により選択信号１２８を出力し、選択回路１２９は選択信号１２８に制御されて、ＬＭＡＸデータ信号１７６を選択する。

第４（ｃ）図は、ＭＰＥＧ４におけるＮｅｗＲｕｎ信号を用いて生成したＶＬ

Cデータ信号を選択する場合のタイミングチャートである。

第４（ｃ）図において、カウンタの値が０を示し、ＶＬＣテーブルの判定が開始可能なデータがそろったならば、ｔｃｏｅｆ＿ｅの開始信号の立ち上がり判定が行われる。判定の結果、カウンタの値が１のとき全ての信号がＬで、カウンタの値が２のときｄｅｃ＿ｎｏｍａｌの信号がＬ，ｄｅｃ＿ｌｍａｘの信号がＬ，ｄｅｃ＿ｒｍａｘの信号がＨならば、ｓｅｌ＿ｒｍａｘの信号をＨにする。このとき、制御回路１２７はＮｅｗＲｕｎ信号を用いて生成したＶＬＣデータ信号１１６により選択信号１２８を出力し、選択回路１２９は選択信号１２８に制御されて、ＲＭＡＸデータ信号１７５を選択する。

第４（ｄ）図は、ＭＰＥＧ４におけるＦＬＣデータ信号を選択する場合のタイミングチャートである。

第４（ｄ）図において、カウンタの値が０を示し、ＶＬＣテーブルの判定が開始可能なデータがそろったならば、ｔｃｏｅｆ＿ｅの開始信号の立ち上がり判定が行われる。判定の結果、カウンタの値が１および２のときｄｅｃ＿ｎｏｍａｌ，ｄｅｃ＿ｌｍａｘ，ｄｅｃ＿ｒｍａｘのいずれの信号もＬならば、ｓｅｌ＿ｆｌｃの信号をＨにする。そして、選択回路１２９でＦＬＣデータ信号１０６を選択する。

第４（ｅ）図は、Ｈ．２６３における通常のＶＬＣデータ信号を選択する場合のタイミングチャートである。

第４（ｅ）図において、カウンタの値が０を示し、ＶＬＣテーブルの判定が開始可能なデータがそろったならば、ｔｃｏｅｆ＿ｅの開始信号の立ち上がり判定が行われる。判定の結果、カウンタの値が１のときｄｅｃ＿ｎｏｍａｌの信号がＨならば、ｄｅｃ＿ｌｍａｘおよびｄｅｃ＿ｒｍａｘの信号の結果にかかわらず、ｓｅｌ＿ｎｏｍａｌの信号をＨにする。このとき、制御回路１２７は通常のＶＬＣデータ信号１２６を選択する選択信号１２８を出力し、選択回路１２９は選択信号１２８に制御されて、通常のＶＬＣデータ信号１２６を選択する。

第４（ｆ）図は、Ｈ．２６３におけるＦＬＣデータ信号を選択する場合のタイミングチャートである。

第４（ｆ）図において、カウンタの値が０を示し、ＶＬＣテーブルの判定が開

始可能なデータがそろったならば、ｔｃｏｅｆ＿ｅの開始信号の立ち上がり判定が行われる。判定の結果、カウンタの値が１および２のときｄｅｃ＿ｎｏｍａｌ，ｄｅｃ＿ｌｍａｘ，ｄｅｃ＿ｒｍａｘのいずれの信号もＬならば、ｓｅｌ＿ｆｌｃの信号をＨにする。そして、選択回路１２９でＦＬＣデータ信号１０６を選択する。

次に、上述したタイミングチャートの処理内容をまとめた図を第５図に示し説明する。

第５図は本発明の実施の形態２によるサイクル毎の処理内容をまとめた図である。

以下、各サイクル毎の動作について説明する。なお、カッコ内は図中の処理内容を示す。

第５図より、１サイクル目（１Ｔ）は、通常のＶＬＣであるＬａｓｔ、Ｒｕｎ、Ｌｅｖｅｌによってテーブルを引く処理を行う（ＮＯＲＭＡＬ　ＶＬＣ)。また、同時サイクルで、Ｌｅｖｅｌの値から、Ｌａｓｔ、Ｒｕｎに対応する最大のＬｅｖｅｌの値であるＬＭＡＸを減算してＮｅｗＬｅｖｅｌを得（ＬＭＡＸ)、Ｒｕｎの値から、Ｌａｓｔ、Ｌｅｖｅｌに対応する最大のＲｕｎの値であるＲＭＡＸに１を加算した値を減算してＮｅｗＲｕｎを得る（ＲＭＡＸ)。

続いて、２サイクル目（２Ｔ）は、通常のＶＬＣの結果が制御回路１２７に存在するか否かの判定を行い（ＮＯＲＭＡＬ　ＶＬＣ判定)、通常のＶＬＣの結果が存在するならば、その結果を出力する（ＶＬＣ結果)。また、同時サイクルでＬａｓｔ、Ｒｕｎ、ＮｅｗＬｅｖｅｌの組に対応するＶＬＣを行い（ＬＭＡＸ　ＶＬＣ)、Ｌａｓｔ、ＮｅｗＲｕｎ、Ｌｅｖｅｌの組に対応するＶＬＣを行う（ＲＭＡＸ　ＶＬＣ)。

続いて、３サイクル目（３Ｔ）は、Ｌａｓｔ、Ｒｕｎ、ＮｅｗＬｅｖｅｌの組に対応するＶＬＣの結果が制御回路１２７に存在するか否かの判定を行い（ＬＭＡＸ　ＶＬＣ判定)、ＬＭＡＸ　ＶＬＣの結果が存在するならば、その結果を出力し（ＶＬＣ結果)、また、Ｌａｓｔ、ＮｅｗＲｕｎ、Ｌｅｖｅｌの組に対応するＶＬＣの結果が制御回路１２７に存在するか否かの判定を行い（ＲＭＡＸ　ＶＬＣ判定)、ＲＭＡＸ　ＶＬＣの結果が存在するならば、その結果を出力する（ＶＬＣ

結果)。一方、いずれの結果も制御回路１２７に存在していないと判定したならば、同時サイクルでＬａｓｔ、Ｒｕｎ、ＬｅｖｅｌをＦＬＣによって処理を行い、その結果を出力する（ＦＬＣ結果)。

このように、本実施の形態２による可変長符号化装置によれば、通常のＶＬＣデータとＮｅｗＬｅｖｅｌ信号を用いて生成したＶＬＣデータとＮｅｗＲｕｎ信号を用いて生成したＶＬＣデータと、の処理を同時に行い、予め設定した優先順位に従って結果を出力するものとしたので、すべての処理を３サイクルで実行することが可能となり、処理サイクル数を大幅に削減することが可能である。

なお、本実施の形態２による可変長符号化装置において、予め設定した優先順位は、通常のＶＬＣデータ、ＮｅｗＬｅｖｅｌ信号を用いて生成したＶＬＣデータ、ＮｅｗＲｕｎ信号を用いて生成したＶＬＣデータ、ＦＬＣデータの順番で信号を選択するものとしたが、この順番に限るものではなく、優先順位を通常のＶＬＣデータ、ＮｅｗＲｕｎ信号を用いて生成したＶＬＣデータ、ＮｅｗＬｅｖｅｌ信号を用いて生成したＶＬＣデータ、ＦＬＣデータとしてもよい。また、さらに優先順位を通常のＶＬＣデータ、ＦＬＣデータとすることで、ＮｅｗＬｅｖｅｌ信号を用いて生成したＶＬＣデータ、ＮｅｗＲｕｎ信号を用いて生成したＶＬＣデータを選択することなくＶＬＣ化を行うことも可能である。つまり、そのような優先順位はＨ．２６３のＶＬＣの処理にも対応することができ、また、画像データによって任意にＮｅｗＬｅｖｅｌ信号を用いて生成したＶＬＣデータ、ＮｅｗＲｕｎ信号を用いて生成したＶＬＣデータの優先順位を変えることが可能となる。これによりエスケープモードにおけるサイクル数を削減した可変長符号化装置を得ることができる。

（実施の形態３）

本実施の形態３の可変長符号化装置は、１つのＶＬＣテーブルを用いてＶＬＣを行うものである。

第６図は、本発明の実施の形態３による可変長符号化装置の構成を説明するためのブロック図である。

第６図において、第３図と同一符号は同一または相当する部分を示している。１３５は第１の減算回路１０９の出力信号、１３６は第１の減算回路の出力信号

１３５を保持する第２のレジスタ、１３７は第２のレジスタ１３６より出力されるＮｅｗＲｕｎ信号、１３８は第２の減算回路１１９の出力信号、１３９は第２の減算回路１１９の出力信号１３８を保持する第３のレジスタ、１４０は第３のレジスタ１３９より出力されるＮｅｗＬｅｖｅｌ信号、１４１はＬｅｖｅｌ絶対値信号１０４とＮｅｗＬｅｖｅｌ信号１４０のうち、いずれか一方の信号を選択する第１の選択回路、１４２は第１の選択回路１４１の出力信号、１４３はＲｕｎ信号１０２とＮｅｗＲｕｎ信号１３７のうち、いずれか一方の信号を選択する第２の選択回路、１４４は第２の選択回路１４３の出力信号、１３１はＬａｓｔ信号１０１とＳｉｇｎ信号１０３と、第１の選択回路の出力信号１４２と、第２の選択回路の出力信号１４４とを入力するＶＬＣテーブル、１３２はＶＬＣテーブル１３１から出力されるＶＬＣテーブル出力信号、１３３はＶＬＣテーブル出力信号１３２を保持する第１のレジスタ、１３４は第１のレジスタ１３３の出力信号であるＶＬＣデータ信号、１４５はＶＬＣデータ信号１３４を入力する制御回路、１４６は第１の選択回路１４１を制御し、Ｌｅｖｅｌ絶対値信号１０４とＮｅｗＬｅｖｅｌ信号１４０のうち、いずれか一方の信号を選択する第１の選択信号、１４７は第２の選択回路１４３を制御し、Ｒｕｎ信号１０２とＮｅｗＲｕｎ信号１３７のうち、いずれか一方の信号を選択する第２の選択信号、１４８は制御回路１４５で選択されたＶＬＣデータ信号１３４をＶＬＣ生成回路１７２と第３の選択回路１４９に出力する第３の選択信号、１７２は第３の選択信号１４８とＶＬＣデータ信号１３４とを入力し、符号化データを生成するＶＬＣ生成回路、１７７はＶＬＣ生成回路１７２の出力信号であるＶＬＣ生成信号、１４９はＶＬＣ生成信号１７７とＦＬＣデータ信号１０６のうち、いずれか一方の信号を選択する第３の選択回路である。

次に本発明の実施の形態３による可変長符号化装置の動作について、第６図を用いて説明する。

制御回路１４５は第１の選択信号１４６により第１の選択回路１４１を制御し、第２の選択信号１４７により第２の選択回路１４３を制御する。そして、第１の選択回路１４１は第１の選択信号１４６により制御されて、Ｌｅｖｅｌ絶対値信号１０４を選択し、第１の選択回路１４１の出力信号１４２としてＶＬＣテー

ブル１３１に出力する。また、第２の選択回路１４３は第２の選択信号１４７により制御されて、Ｒｕｎ信号１０２を選択し、第２の選択回路１４３の出力信号１４４としてＶＬＣテーブル１３１に出力する。ＶＬＣテーブル１３１は、Ｌａｓｔ信号１０１と、Ｓｉｇｎ信号１０３と、Ｌｅｖｅｌ絶対値信号１０４としての第１の選択回路の出力信号１４２と、Ｒｕｎ信号１０２としての第２の選択回路の出力信号１４４とを入力し、通常のＶＬＣを行ってＶＬＣテーブル出力信号１３２を生成し、第１のレジスタ１３３に出力する。第１のレジスタ１３３はＶＬＣテーブル出力信号１３２を保持し、通常のＶＬＣであるＶＬＣデータ信号１３４を制御回路１４５とＶＬＣ生成回路１７２に出力する。

制御回路１４５は通常のＶＬＣデータであるＶＬＣデータ信号１３４を入力し、ＶＬＣテーブルとして正しいか否かの判定を行う。判定の結果、ＶＬＣデータ信号１３４がＶＬＣとして正しいならば、制御回路１４５はＶＬＣデータ信号１３４を選択する第３の選択信号１４８をＶＬＣ生成回路１７２と第３の選択回路１４９とに出力する。ＶＬＣ生成回路１７２は、選択されたＶＬＣデータ信号１３４を通常のＶＬＣデータとし、ＶＬＣ生成信号１７７として第３の選択回路１４９に出力する。第３の選択回路１４９は第３の選択信号１４８に制御されてＶＬＣ生成信号１７７を選択し、データ信号１３０として出力する。

次に、ＬＭＡＸテーブル１１７は、Ｌａｓｔ信号１０１とＲｕｎ信号１０２とを入力し、ＬＭＡＸデータ信号１１８を生成して第２の減算回路１１９に出力する。第２の減算回路１１９は、ＬＭＡＸデータ信号１１８とＬｅｖｅｌ絶対値信号１０４とを入力し、Ｌｅｖｅｌ絶対値信号１０４からＬＭＡＸデータ信号１１８を減算し、その結果を第２の減算回路の出力信号１３８として第３のレジスタ１３９に出力する。第３のレジスタ１３９は第２の減算回路の出力信号１３８を保持し、ＮｅｗＬｅｖｅｌ信号１４０として第１の選択回路１４１に出力する。

制御回路１４５は、第１の選択信号１４６により、第１の選択回路１４１を制御し、第１の選択回路１４１はＮｅｗＬｅｖｅｌ信号１４０を選択し、第１の選択回路の出力信号１４２としてＶＬＣテーブル１３１に出力する。また、制御回路１４５は第２の選択信号１４７により、第２の選択回路１４３を制御し、第２の選択回路１４３はＲｕｎ信号１０２を選択し、第２の選択回路の出力信号１４

４としてＶＬＣテーブル１３１に出力する。ＶＬＣテーブル１３１はＬａｓｔ信号１０１と、Ｓｉｇｎ信号１０３と、ＮｅｗＬｅｖｅｌ信号１４０としての第１の選択回路の出力信号１４２と、Ｒｕｎ信号１０２としての第２の選択回路の出力信号１４４とを入力し、ＬＭＡＸ　ＶＬＣを行ってＶＬＣテーブル出力信号１３２を生成し、第１のレジスタ１３３に出力する。第１のレジスタ１３３はＬＭＡＸ　ＶＬＣであるＶＬＣテーブル出力信号１３２を保持する。

制御回路１４５は、ＬＭＡＸ　ＶＬＣであるＶＬＣデータ信号１３４を入力し、ＶＬＣとして正しいか否かの判定を行う。判定の結果、ＶＬＣデータ信号１３４がＶＬＣとして正しいならば、制御回路１４５はＶＬＣデータ信号１３４を選択する第３の選択信号１４８をＶＬＣ生成回路１７２と第３の選択回路１４９とに出力する。ＶＬＣ生成回路１７２は、ＥＳＣコードと、ＬＭＡＸでのＶＬＣを示す符号を付加して符号化を行いＶＬＣ生成信号１７７として第３の選択回路１４９に出力する。第３の選択回路１４９は第３の選択信号１４８に制御されてＶＬＣ生成信号１７７を選択し、データ信号１３０として出力する。

また、ＲＭＡＸテーブル１０７は、Ｌａｓｔ信号１０１とＬｅｖｅｌ絶対値信号１０４とを入力し、ＲＭＡＸデータ信号１０８を生成して第１の減算回路１０９に出力する。第１の減算回路１０９は、ＲＭＡＸデータ信号１０８とＲｕｎ信号１０２とを入力し、Ｒｕｎ信号１０２から、ＲＭＡＸデータ信号１０８と１を加算した値を減算し、その結果を第１の減算回路１０９の出力信号１３５として第２のレジスタ１３６に出力する。第２のレジスタ１３６は第１の減算回路の出力信号１３５を保持し、ＮｅｗＲｕｎ信号１３７として第２の選択回路１４３に出力する。

制御回路１４５は、第１の選択信号１４６により、第１の選択回路１４１を制御し、第１の選択回路１４１はＬｅｖｅｌ絶対値信号１０４を選択し、第１の選択回路１４１の出力信号１４２としてＶＬＣテーブル１３１に出力する。また、制御回路１４５は、第２の選択信号１４７により、第２の選択回路１４３を制御し、第２の選択回路１４３はＮｅｗＲｕｎ信号１３７を選択し、第２の選択回路の出力信号１４４としてＶＬＣテーブル１３１に出力する。ＶＬＣテーブル１３１はＬａｓｔ信号１０１と、Ｓｉｇｎ信号１０３と、Ｌｅｖｅｌ絶対値信号１０

４としての第１の選択回路の出力信号１４２と、ＮｅｗＲｕｎ信号１３７としての第２の選択回路の出力信号１４４とを入力し、ＲＭＡＸ　ＶＬＣを行ってＶＬＣテーブル出力信号１３２を生成し、第１のレジスタ１３３に出力する。第１のレジスタ１３３はＲＭＡＸ　ＶＬＣであるＶＬＣテーブル出力信号１３２を保持する。

制御回路１４５は、ＲＭＡＸ　ＶＬＣであるＶＬＣデータ信号１３４を入力し、ＶＬＣとして正しいか否かの判定を行う。判定の結果、ＶＬＣデータ信号１３４がＶＬＣとして正しいならば、制御回路１４５はＶＬＣデータ信号１３４を選択する第３の選択信号１４８をＶＬＣ生成回路１７２と第３の選択回路１４９とに出力する。ＶＬＣ生成回路１７２は、ＥＳＣコードと、ＲＭＡＸでのＶＬＣを示す符号を付加して符号化を行いＶＬＣ生成信号１７７として第３の選択回路１４９に出力する。第３の選択回路１４９は第３の選択信号１４８に制御されてＶＬＣ生成信号１７７を選択し、データ信号１３０として出力する。

一方、制御回路１４５において、いずれのＶＬＣデータ信号１３４もＶＬＣとして正しくないと判定したならば、第３の選択回路１４９は、ＦＬＣデータ信号１０６を選択し、データ信号１３０として出力する。

次に、第７図は本発明の実施の形態３による制御回路の動作を説明するためのタイミングチャートである。

第７図において、各信号の名称は第４図と同一であるので、説明を省略する。

次に、各タイミングチャートについて説明する。

第７（ａ）図は、ＭＰＥＧ４における通常のＶＬＣデータ信号を選択する場合のタイミングチャートである。

第７（ａ）図において、カウンタの値が０を示し、ＶＬＣテーブルの判定が開始可能なデータがそろったならば、ｔｃｏｅｆ＿ｅの開始信号の立ち上がり判定が行われる。判定の結果、カウンタの値が１のときｄｅｃ＿ｎｏｍａｌの信号がＨならば、ｄｅｃ＿ｌｍａｘおよびｄｅｃ＿ｒｍａｘの信号の結果にかかわらず、ｓｅｌ＿ｎｏｍａｌの信号をＨにする。このとき、制御回路１４５は通常のＶＬＣであるＶＬＣデータ信号１３４を選択する第３の選択信号１４８を出力し、第３の選択回路１４９は第３の選択信号１４８に制御されて、通常のＶＬＣデー

タ信号であるＶＬＣ生成信号１７７を選択する。

第７（ｂ）図は、ＭＰＥＧ４におけるＮｅｗＬｅｖｅｌ信号を用いて生成したＶＬＣデータ信号を選択する場合のタイミングチャートである。

第７（ｂ）図において、カウンタの値が０を示し、ＶＬＣテーブルの判定が開始可能なデータがそろったならば、ｔｃｏｅｆ＿ｅの開始信号の立ち上がり判定が行われる。判定の結果、カウンタの値が１のとき全ての信号がＬで、カウンタの値が２のとき、ｄｅｃ＿ｎｏｍａｌの信号がＬ，ｄｅｃ＿ｌｍａｘの信号がＨならば、ｄｅｃ＿ｒｍａｘの信号の結果にかかわらず、ｓｅｌ＿ｌｍａｘの信号をＨにする。このとき、制御回路１４５はＮｅｗＬｅｖｅｌ信号を用いて生成したＶＬＣデータ信号１３４を選択する第３の選択信号１４８を出力し、第３の選択回路１４９は第３の選択信号１４８に制御されて、ＮｅｗＬｅｖｅｌ信号を用いて生成したＶＬＣデータ信号であるＶＬＣ生成信号１７７を選択する。

第７（ｃ）図は、ＭＰＥＧ４におけるＮｅｗＲｕｎ信号を用いて生成したＶＬＣデータ信号を選択する場合のタイミングチャートである。

第７（ｃ）図において、カウンタの値が０を示し、ＶＬＣテーブルの判定が開始可能なデータがそろったならば、ｔｃｏｅｆ＿ｅの開始信号の立ち上がり判定が行われる。判定の結果、カウンタの値が１、および２のとき全ての信号がＬで、カウンタの値が３のとき、ｄｅｃ＿ｎｏｍａｌの信号がＬ，ｄｅｃ＿ｌｍａｘの信号がＬ，ｄｅｃ＿ｒｍａｘの信号がＨならば、ｓｅｌ＿ｒｍａｘの信号をＨにする。このとき、制御回路１４５はＮｅｗＲｕｎ信号を用いて生成したＶＬＣデータ信号を選択する第３の選択信号１４８を出力し、第３の選択回路１４９は第３の選択信号１４８に制御されて、ＮｅｗＲｕｎ信号を用いて生成したＶＬＣデータ信号であるＶＬＣ生成信号１７７を選択する。

第７（ｄ）図は、ＭＰＥＧ４におけるＦＬＣデータ信号を選択する場合のタイミングチャートである。

第７（ｄ）図において、カウンタの値が０を示し、ＶＬＣテーブルの判定が開始可能なデータがそろったならば、ｔｃｏｅｆ＿ｅの開始信号の立ち上がり判定が行われる。判定の結果、カウンタの値が１～４のとき全ての信号がＬならば、ｓｅｌ＿ｆｌｃの信号をＨにする。そして、第３の選択回路１４９でＦＬＣデー

タ信号１０６を選択する。

第７（ｅ）図は、Ｈ．２６３における通常のＶＬＣデータ信号を選択する場合のタイミングチャートである。

第７（ｅ）図において、カウンタの値が０を示し、ＶＬＣテーブルの判定が開始可能なデータがそろったならば、ｔｃｏｅｆ＿ｅの開始信号の立ち上がり判定が行われる。判定の結果、カウンタの値が１のときｄｅｃ＿ｎｏｍａｌの信号がＨならば、ｄｅｃ＿ｌｍａｘおよびｄｅｃ＿ｒｍａｘの信号の結果にかかわらず、ｓｅｌ＿ｎｏｍａｌの信号をＨにする。このとき、制御回路１４５は通常のＶＬＣであるＶＬＣデータ信号１３４を選択する第３の選択信号１４８を出力し、第３の選択回路１４９は第３の選択信号１４８に制御されて、通常のＶＬＣデータ信号であるＶＬＣ生成信号１７７を選択する。

第７（ｆ）図は、Ｈ．２６３におけるＦＬＣデータ信号を選択する場合のタイミングチャートである。

第７（ｆ）図において、カウンタの値が０を示し、ＶＬＣテーブルの判定が開始可能なデータがそろったならば、ｔｃｏｅｆ＿ｅの開始信号の立ち上がり判定が行われる。判定の結果、カウンタの値が１および２のとき全ての信号がＬならば、ｓｅｌ＿ｆｌｃの信号をＨにする。そして、第３の選択回路１４９でＦＬＣデータ信号１０６を選択する。

次に、上述したタイミングチャートの処理内容をまとめた図を第８図に示す。

第８図は本発明の実施の形態３によるサイクル毎の処理内容をまとめた図である。

以下、各サイクル毎の動作について説明する。なお、カッコ内は図中の処理内容を示す。

第８図より、１サイクル目（１Ｔ）は、通常のＶＬＣであるＬａｓｔ、Ｒｕｎ、Ｌｅｖｅｌによってテーブルを引く処理を行う（ＮＯＲＭＡＬ　ＶＬＣ）。また、同時サイクルで、Ｌｅｖｅｌの値から、Ｌａｓｔ、Ｒｕｎに対応する最大のＬｅｖｅｌの値であるＬＭＡＸを減算してＮｅｗＬｅｖｅｌを得（ＬＭＡＸ）、Ｒｕｎの値から、Ｌａｓｔ、Ｌｅｖｅｌに対応する最大のＲｕｎの値であるＲＭＡＸに１を加算した値を減算してＮｅｗＲｕｎを得る（ＲＭＡＸ）。

２サイクル目（２Ｔ）は、通常のＶＬＣの結果が制御回路１４５に存在するか否かの判定を行い（ＮＯＲＭＡＬ　ＶＬＣ判定)、通常のＶＬＣの結果が存在するならば、その結果を出力する（ＶＬＣ結果)。また、同時サイクルでＬａｓｔ、Ｒｕｎ、ＮｅｗＬｅｖｅｌの組に対応するＶＬＣを行う（ＬＭＡＸ　ＶＬＣ)。

３サイクル目（３Ｔ）は、Ｌａｓｔ、Ｒｕｎ、ＮｅｗＬｅｖｅｌの組に対応するＶＬＣの結果が制御回路１４５に存在するか否かの判定を行い（ＬＭＡＸ　ＶＬＣ判定)、ＬＭＡＸ　ＶＬＣの結果が存在するならば、その結果を出力する（ＶＬＣ結果)、また、同時サイクルでＬａｓｔ、ＮｅｗＲｕｎ、Ｌｅｖｅｌの組に対応するＶＬＣを行う（ＲＭＡＸ　ＶＬＣ)。

４サイクル目（４Ｔ）は、Ｌａｓｔ、ＮｅｗＲｕｎ、Ｌｅｖｅｌの組に対応するＶＬＣの結果が制御回路１４５に存在するか否かの判定を行い（ＲＭＡＸ　ＶＬＣ判定)、ＲＭＡＸ　ＶＬＣの結果が存在するならば、その結果を出力する（ＶＬＣ結果)。

５サイクル目（５Ｔ）は、上述したいずれのＶＬＣ結果も制御回路１４５に存在していないと判定したなら、Ｌａｓｔ、Ｒｕｎ、ＬｅｖｅｌをＦＬＣによって処理を行い、その結果を出力する（ＦＬＣ結果)。

また、上述した第８図の構成によれば、ＲＭＡＸ　ＶＬＣの判定を４サイクル目で行い、ＲＭＡＸ　ＶＬＣの結果が制御回路１４５に存在していなければＦＬＣデータの出力を５サイクル目で行うこととしているが、４サイクル目でＲＭＡＸ　ＶＬＣの判定を行うのと同時にＦＬＣデータの出力を行うことも可能である。第９図に第８図の作業を４サイクルで行うときのサイクル毎の処理内容をまとめた図を示す。

第９図より第８図との違いは、４サイクル目（４Ｔ）の処理が開始すると、ＲＭＡＸ　ＶＬＣの判定を行い、ＲＭＡＸ　ＶＬＣの結果が制御回路１４５に存在しているならば、その結果を出力し、ＲＭＡＸ　ＶＬＣの結果が制御回路１４５に存在していなければ、同時サイクルでＦＬＣデータを出力し処理が終了することである。

このように、本実施の形態３による可変長符号化装置によれば、通常のＶＬＣを行うと同時にＬＭＡＸ　ＶＬＣとＲＭＡＸ　ＶＬＣの生成を同時に行い、通常

のＶＬＣデータ信号が正しいものと判断されたならば、ＬＭＡＸ　ＶＬＣおよびＲＭＡＸ　ＶＬＣの判定を行わないものとしたので、通常のＶＬＣを行うのと同時にＮｅｗＬｅｖｅｌ信号、ＮｅｗＲｕｎ信号を算出することが可能である。また、従来ＶＬＣの処理に６サイクルを要していたが、本実施の形態３によれば処理サイクル数を４サイクルまたは５サイクルに削減することができる。さらに、従来は３つのＶＬＣテーブルを用いて処理を行っていたが、１つのＶＬＣテーブルでＶＬＣを行うことが可能なため、回路面積の削減を図ることができる。

なお、本実施の形態３による可変長符号化装置において、予め設定した優先順位は、通常のＶＬＣデータ、ＮｅｗＬｅｖｅｌ信号を用いて生成したＶＬＣデータ、ＮｅｗＲｕｎ信号を用いて生成したＶＬＣデータ、ＦＬＣデータの順番で信号を選択するものとしたが、この順番に限るものではなく、優先順位を通常のＶＬＣデータ、ＮｅｗＲｕｎ信号を用いて生成したＶＬＣデータ、ＮｅｗＬｅｖｅｌ信号を用いて生成したＶＬＣデータ、ＦＬＣデータとしてもよい。また、さらに優先順位を通常のＶＬＣデータ、ＦＬＣデータとすることで、ＮｅｗＬｅｖｅｌ信号を用いて生成したＶＬＣデータ、ＮｅｗＲｕｎ信号を用いて生成したＶＬＣデータを選択することなくＶＬＣ化を行うことも可能である。つまり、そのような優先順位はＨ．２６３のＶＬＣの処理にも対応することができ、また、画像データによって任意にＮｅｗＬｅｖｅｌ信号を用いて生成したＶＬＣデータ、ＮｅｗＲｕｎ信号を用いて生成したＶＬＣデータの優先順位を変えることが可能となる。これによりエスケープモードにおけるサイクル数を削減した可変長符号化装置を得ることができる。

また、本実施の形態３による可変長符号化装置において、カウンタを制御し、ＶＬＣコードを正しくない回数にカウントさせることで、優先順位を任意に設定することが可能である。つまり、第７図でカウンタは通常のＶＬＣデータ、ＮｅｗＬｅｖｅｌ信号を用いて生成したＶＬＣデータ、ＮｅｗＲｕｎ信号を用いて生成したＶＬＣデータ、ＦＬＣデータの順番でＶＬＣデータを出力するものとしているが、カウンタを制御して、通常のＶＬＣデータ、ＮｅｗＲｕｎ信号を用いて生成したＶＬＣデータ、ＮｅｗＬｅｖｅｌ信号を用いて生成したＶＬＣデータ、ＦＬＣデータの順番に設定してもよい。このような順番に設定を変えた場合でも

、同様の効果を得ることができる。また、優先順位を通常のＶＬＣデータ、ＦＬＣデータの順番に設定することで、Ｈ．２６３に対応した処理を行うことも可能である。

（実施の形態４）

本実施の形態４の可変長符号化装置は、１つのＶＬＣテーブルを用いてＶＬＣを行い、しかも余分な処理にアクセスしないようにするものである。

第１０図は、本発明の実施の形態４による可変長符号化装置の構成を説明するためのブロック図である。

第１０図において、第６図と同一符号は同一または相当する部分を示している。１５０はＬｅｖｅｌ絶対値信号１０４とＮｅｗＬｅｖｅｌ信号１４０のうち、いずれか一方の信号を選択する第３の選択回路、１５１は第３の選択回路１５０の出力信号、１５２はＲｕｎ信号１０２とＮｅｗＲｕｎ信号１３７のうち、いずれか一方の信号を選択する第４の選択回路、１５３は第４の選択回路１５２の出力信号、１５４はＶＬＣデータ信号１３４を入力する制御回路、１５７は第３の選択回路１５０を制御し、Ｌｅｖｅｌ絶対値信号１０４とＮｅｗＬｅｖｅｌ信号１４０のうち、いずれか一方の信号を選択する第３の選択信号、１５８は第４の選択回路１５２を制御し、Ｒｕｎ信号１０２とＮｅｗＲｕｎ信号１３７のうち、いずれか一方の信号を選択する第４の選択信号、１５９はＬｅｖｅｌ絶対値信号１０４と、Ｌａｓｔ信号１０１と、固定値とを入力する第１の選択回路、１６０は第１の選択回路１５９によりＬｅｖｅｌ絶対値信号１０４または固定値を出力する第１の出力信号、１６１は第１の選択回路１５９によりＬａｓｔ信号１０１または固定値を出力する第２の出力信号、１６２はＲｕｎ信号１０２と、Ｌａｓｔ信号１０１と、固定値とを入力する第２の選択回路、１６３は第２の選択回路１６２によりＲｕｎ信号１０２または固定値を出力する第３の出力信号、１６４は第２の選択回路１６２によりＬａｓｔ信号１０１または固定値を出力する第４の出力信号、１５５は第１の選択回路１５９を制御し、Ｌｅｖｅｌ絶対値信号１０４と、Ｌａｓｔ信号１０１と、固定値の中から、出力する信号を選択する第１の選択信号、１５６は第２の選択回路１６２を制御し、Ｒｕｎ信号１０２と、Ｌａｓｔ信号１０１と、固定値の中から、出力する信号を選択する第２の選択信号

、１６５は制御回路１５４で選択されたＶＬＣデータ信号１３４をＶＬＣ生成回路１７２と第５の選択回路１６６に出力する第５の選択信号、１６６はＶＬＣ生成信号１７７とＦＬＣデータ信号１０６とのうち、いずれか一方の信号を選択する第５の選択回路である。

次に本発明の実施の形態４による可変長符号化装置の動作について、第１０図を用いて説明する。

制御回路１５４は第３の選択信号１５７により第３の選択回路１５０を制御し、第４の選択信号１５８により第４の選択回路１５２を制御する。そして、第３の選択回路１５０は第３の選択信号１５７により制御されて、Ｌｅｖｅｌ絶対値信号１０４を選択し、第３の選択回路の出力信号１５１としてＶＬＣテーブル１３１に出力する。また、第４の選択回路１５２は第４の選択信号１５８により制御されて、Ｒｕｎ信号１０２を選択し、第４の選択回路の出力信号１５３としてＶＬＣテーブル１３１に出力する。ＶＬＣテーブル１３１は、Ｌａｓｔ信号１０１と、Ｓｉｇｎ信号１０３と、Ｌｅｖｅｌ絶対値信号１０４としての第３の選択回路の出力信号１５１と、Ｒｕｎ信号１０２としての第４の選択回路の出力信号１５３とを入力し、通常のＶＬＣを行ってＶＬＣテーブル出力信号１３２を生成し、第１のレジスタ１３３に出力する。第１のレジスタ１３３はＶＬＣテーブル出力信号１３２を保持し、通常のＶＬＣであるＶＬＣデータ信号１３４を制御回路１５４とＶＬＣ生成回路１７２に出力する。

制御回路１５４は通常のＶＬＣデータであるＶＬＣデータ信号１３４を入力し、ＶＬＣテーブルとして正しいか否かの判定を行う。判定の結果、ＶＬＣデータ信号１３４がＶＬＣとして正しいならば、制御回路１５４はＶＬＣデータ信号１３４を選択する第５の選択信号１６５をＶＬＣ生成回路１７２と第５の選択回路１６６とに出力する。ＶＬＣ生成回路１７２は、選択されたＶＬＣデータ信号１３４を通常のＶＬＣデータとし、ＶＬＣ生成信号１７７として第５の選択回路１６６に出力する。第５の選択回路１６６は第５の選択信号１６５に制御されてＶＬＣ生成信号１７７を選択し、データ信号１３０として出力する。

次に、制御回路１５４は第２の選択信号１５６により第２の選択回路１６２を制御する。第２の選択回路１６２は第２の選択信号１５６により制御されて、Ｒ

ｕｎ信号１０２とＬａｓｔ信号１０１とを選択して入力し、それぞれ第３の出力信号１６３および第４の出力信号１６４としてＬＭＡＸテーブル１１７に出力する。ＬＭＡＸテーブル１１７は、第３の出力信号１６３および第４の出力信号１６４を入力し、ＬＭＡＸデータ信号１１８を生成して第２の減算回路１１９に出力する。第２の減算回路１１９はＬＭＡＸデータ信号１１８とＬｅｖｅｌ絶対値信号１０４とを入力し、Ｌｅｖｅｌ絶対値信号１０４からＬＭＡＸデータ信号１１８を減算し、その結果を第２の減算回路の出力信号１３８として第３のレジスタ１３９に出力する。第３のレジスタ１３９は第２の減算回路の出力信号１３８を保持し、ＮｅｗＬｅｖｅｌ信号１４０として第３の選択回路１５０に出力する。

制御回路１５４は、第３の選択信号１５７により第３の選択回路１５０を制御し、第４の選択信号１５８により第４の選択回路１５２を制御する。第３の選択回路１５０は第３の選択信号１５７に制御されてＮｅｗＬｅｖｅｌ信号１４０を選択し、第３の選択回路の出力信号１５１としてＶＬＣテーブル１３１に出力する。また、第４の選択回路１５２は第４の選択信号１５８に制御されてＲｕｎ信号１０２を選択し、第４の選択回路の出力信号１５３としてＶＬＣテーブル１３１に出力する。ＶＬＣテーブル１３１は、Ｌａｓｔ信号１０１と、Ｓｉｇｎ信号１０３と、ＮｅｗＬｅｖｅｌ信号１４０としての第３の選択回路の出力信号１５１と、Ｒｕｎ信号１０２としての第４の選択回路の出力信号１５３とを入力し、ＬＭＡＸ　ＶＬＣを行ってＶＬＣテーブル出力信号１３２を生成し、第１のレジスタ１３３に出力する。第１のレジスタ１３３は、ＬＭＡＸ　ＶＬＣであるＶＬＣテーブル出力信号１３２を保持する。

制御回路１５４は、ＬＭＡＸデータであるＶＬＣデータ信号１３４を入力し、ＶＬＣとして正しいか否かの判定を行う。判定の結果、ＶＬＣデータ信号１３４がＶＬＣとして正しいならば、制御回路１５４はＶＬＣデータ信号１３４を選択する第５の選択信号１６５をＶＬＣ生成回路１７２と第５の選択回路１６６とに出力する。ＶＬＣ生成回路１７２は、ＥＳＣコードと、ＬＭＡＸでのＶＬＣを示す符号を付加して符号化を行いＶＬＣ生成信号１７７として第５の選択回路１６６に出力する。第５の選択回路１６６は第５の選択信号１６５に制御されてＶＬ

C生成信号１７７を選択し、データ信号１３０として出力する。

また、制御回路１５４は、第１の選択信号１５５により第１の選択回路１５９を制御する。第１の選択回路１５９は第１の選択信号１５５により制御されて、Ｌｅｖｅｌ絶対値信号１０４とＬａｓｔ信号１０１とを選択して入力し、それぞれ第１の出力信号１６０および第２の出力信号１６１としてＲＭＡＸテーブル１０７に出力する。ＲＭＡＸテーブル１０７は、第１の出力信号１６０および第２の出力信号１６１を入力し、ＲＭＡＸデータ信号１０８を生成して第１の減算回路１０９に出力する。第１の減算回路１０９は、ＲＭＡＸデータ信号１０８とＲｕｎ信号１０２とを入力し、Ｒｕｎ信号１０２の値から、ＲＭＡＸデータ信号１０８と１を加算した値を減算し、その結果を第１の減算回路の出力信号１３５として第２のレジスタ１３６に出力する。第２のレジスタ１３６は第１の減算回路の出力信号１３５を保持し、ＮｅｗＲｕｎ信号１３７として第４の選択回路１５２に出力する。

制御回路１５４は、第３の選択信号１５７により、第３の選択回路１５０を制御し、第４の選択信号１５８により第４の選択回路１５２を制御する。第３の選択回路１５０は第３の選択信号１５７に制御されてＬｅｖｅｌ絶対値信号１０４を選択し、第３の選択回路の出力信号１５１としてＶＬＣテーブル１３１に出力する。また、第４の選択回路１５２は第４の選択信号１５８に制御されてＮｅｗＲｕｎ信号１３７を選択し、第４の選択回路の出力信号１５３としてＶＬＣテーブル１３１に出力する。ＶＬＣテーブル１３１はＬａｓｔ信号１０２と、Ｓｉｇｎ信号１０３と、Ｌｅｖｅｌ絶対値信号１０４としての第３の選択回路の出力信号１５１と、ＮｅｗＲｕｎ信号１３７としての第４の選択回路の出力信号１５３とを入力し、ＲＭＡＸ　ＶＬＣを行ってＶＬＣテーブル出力信号１３２を生成し、第１のレジスタ１３３に出力する。第１のレジスタ１３３はＲＭＡＸ　ＶＬＣであるＶＬＣテーブル出力信号１３２を保持する。

制御回路１５４は、ＲＭＡＸ　ＶＬＣであるＶＬＣデータ信号１３４を入力し、ＶＬＣとして正しいか否かの判定を行う。判定の結果、ＶＬＣデータ信号１３４はＶＬＣとして正しいならば、制御回路１５４はＶＬＣデータ信号１３４を選択する第５の選択信号１６５をＶＬＣ生成回路１７２と第５の選択回路１６６と

に出力する。ＶＬＣ生成回路１７２は、ＥＳＣコードと、ＲＭＡＸでのＶＬＣを示す符号を付加して符号化を行いＶＬＣ生成信号１７７として第５の選択回路１６６に出力する。第５の選択回路１６６は第５の選択信号１６５に制御されてＶＬＣ生成信号１７７を選択し、データ信号１３０として出力する。

一方、制御回路１５４において、いずれのＶＬＣデータ信号１３４もＶＬＣとして正しくないならば、第５の選択回路１６６は、ＦＬＣデータ信号１０６を選択し、データ信号１３０として出力する。

次に、本発明の実施の形態４によるサイクル毎の処理内容をまとめた図を第１１図に示し説明する。

以下、各サイクル毎の動作について説明する。なお、カッコ内は図中の処理内容を示す。

第１１図より、１サイクル目（１Ｔ）は、通常のＶＬＣであるＬａｓｔ、Ｒｕｎ、Ｌｅｖｅｌによってテーブルを引く処理を行う（ＮＯＲＭＡＬ　ＶＬＣ)。また、同時サイクルで、Ｌｅｖｅｌの値から、Ｌａｓｔ、Ｒｕｎに対応する最大のＬｅｖｅｌの値であるＬＭＡＸを減算してＮｅｗＬｅｖｅｌを得る（ＬＭＡＸ）。

２サイクル目（２Ｔ）は、通常のＶＬＣの結果が制御回路１５４に存在するか否かの判定を行い（ＮＯＲＭＡＬ　ＶＬＣ判定)、通常のＶＬＣの結果が存在するならば、その結果を出力する（ＶＬＣ結果)。また、同時サイクルでＲｕｎの値から、Ｌａｓｔ、Ｌｅｖｅｌに対応する最大のＲｕｎの値であるＲＭＡＸに１を加算した値を減算してＮｅｗＲｕｎを得る（ＲＭＡＸ)。また、Ｌａｓｔ、Ｒｕｎ、ＮｅｗＬｅｖｅｌの組に対応するＶＬＣを行う（ＬＭＡＸ　ＶＬＣ)。

３サイクル目（３Ｔ）は、Ｌａｓｔ、Ｒｕｎ、ＮｅｗＬｅｖｅｌの組に対応するＶＬＣの結果が制御回路１５４に存在するか否かの判定を行い（ＬＭＡＸ　ＶＬＣ判定)、ＬＭＡＸ　ＶＬＣの結果が存在するならば、その結果を出力する（ＶＬＣ結果)、また、同時サイクルでＬａｓｔ、ＮｅｗＲｕｎ、Ｌｅｖｅｌの組に対応するＶＬＣを行う（ＲＭＡＸ　ＶＬＣ）

４サイクル目（４Ｔ）は、Ｌａｓｔ、ＮｅｗＲｕｎ、Ｌｅｖｅｌの組に対応するＶＬＣの結果が制御回路１５４に存在するか否かの判定を行い（ＲＭＡＸ　Ｖ

ＬＣ判定)、ＲＭＡＸ　ＶＬＣの結果が存在するならば、その結果を出力する（ＶＬＣ結果)。一方、上述したいずれのＶＬＣ結果も制御回路１５４に存在していないと判定したならば、Ｌａｓｔ、Ｒｕｎ、ＬｅｖｅｌをＦＬＣによって処理を行い、その結果を出力する（ＦＬＣ結果)。

このように、本実施の形態４による可変長符号化装置によれば、通常のＶＬＣを行うのと同時にＮｅｗＬｅｖｅｌ信号を算出し、第１のエスケープモードを実行する２サイクル目でＮｅｗＲｕｎ信号を算出するものとしたので、常に１サイクル目でＲＭＡＸテーブルにアクセスすることがなく、消費電力を削減することができる。また、従来ＶＬＣの処理に６サイクルを要していたが、本実施の形態４によれば処理サイクル数を４サイクルに削減することができる。さらに、従来は３つのＶＬＣテーブルを用いて処理を行っていたが、１つのＶＬＣテーブルでＶＬＣを行うことが可能となるため、回路面積の削減を図ることができる。

なお、本実施の形態４による可変長符号化装置において、予め設定した優先順位は、通常のＶＬＣデータ、ＮｅｗＬｅｖｅｌ信号を用いて生成したＶＬＣデータ、ＮｅｗＲｕｎ信号を用いて生成したＶＬＣデータ、ＦＬＣデータの順番で信号を選択するものとしたが、この順番に限るものではなく、優先順位を通常のＶＬＣデータ、ＮｅｗＲｕｎ信号を用いて生成したＶＬＣデータ、ＮｅｗＬｅｖｅｌ信号を用いて生成したＶＬＣデータ、ＦＬＣデータとしてもよい。また、さらに優先順位を通常のＶＬＣデータ、ＦＬＣデータとすることで、ＮｅｗＬｅｖｅｌ信号を用いて生成したＶＬＣデータ、ＮｅｗＲｕｎ信号を用いて生成したＶＬＣデータを選択することなくＶＬＣ化を行うことも可能である。つまり、そのような優先順位はＨ．２６３のＶＬＣの処理にも対応することができ、また、画像データによって任意にＮｅｗＬｅｖｅｌ信号を用いて生成したＶＬＣデータ、ＮｅｗＲｕｎ信号を用いて生成したＶＬＣデータの優先順位を変えることが可能となる。これによりエスケープモードにおけるサイクル数を削減した可変長符号化装置を得ることができる。

産業上の利用可能性

以上のように本発明に係る可変長符号化方法および可変長符号化装置は、演算

サイクル数を少なくし、効率よく可変長符号化の処理を行うことができるので、特に、ＭＰＥＧ４やＨ．２６３等の規格に準拠した動画像の圧縮処理に適している。

請求の範囲

1． 一次元配列に並び替えた離散コサイン変換係数から、先行するゼロの係数であるＲｕｎと、非ゼロの係数値であるＬｅｖｅｌと、該非ゼロの係数が最後であるかどうかを示すＬａｓｔを、（Ｌａｓｔ、Ｒｕｎ、Ｌｅｖｅｌ）の組として、これに一意的な符号を割り当てるＶＬＣ化を行い、ＶＬＣの割り当てが出来ない場合には、３つのエスケープモードを適用し、符号化を行う可変長符号化方法において、

（Ｌａｓｔ、Ｒｕｎ、Ｌｅｖｅｌ）の組で符号割り当てを行うステップ（ａ）と、

第１のエスケープモードとして、Ｌｅｖｅｌから、（Ｌａｓｔ、Ｒｕｎ）に対応する最大のＬｅｖｅｌであるＬＭＡＸを減算し、該得られた補正Ｌｅｖｅｌを含む、（Ｌａｓｔ、Ｒｕｎ、補正Ｌｅｖｅｌ）の組に対して、符号割り当てを行うステップ（ｂ）と、

第２のエスケープモードとして、Ｒｕｎから、（Ｌａｓｔ、Ｌｅｖｅｌ）に対応する最大のＲｕｎであるＲＭＡＸに１を加算した値を減算し、該得られた補正Ｒｕｎを含む、（Ｌａｓｔ、補正Ｒｕｎ、Ｌｅｖｅｌ）の組に対して、符号割り当てを行うステップ（ｃ）と、

第３のエスケープモードとして、ＦＬＣの割り当てを行うステップ（ｄ）との処理を並列に行い、

上記ステップ（ａ）～（ｄ）で割り当てた符号を、(a)，(b)，(c)，(d)の優先順位で選択し、符号として出力するステップ（ｅ）とを含む、

ことを特徴とする可変長符号化方法。

2． 請求の範囲第１項記載の可変長符号化方法において、

上記可変長符号の割り当て方法は、上記ステップ（ｅ）における符号化されたデータを選択する優先順位を、(a)，(b)，(c)，(d)、又は(a)，(c)，(b)，(d)、又は(a)，(d)の３つのパターンのうちいずれか１つのパターンを選択する、

ことを特徴とする可変長符号化方法。

３．　Ｌｅｖｅｌ信号の絶対値であるＬｅｖｅｌ絶対値信号およびＬａｓｔ信号を入力するＲＭＡＸテーブルと、Ｒｕｎ信号および上記Ｌａｓｔ信号を入力するＬＭＡＸテーブルと、上記Ｌｅｖｅｌ絶対値信号、上記Ｌｅｖｅｌ信号の正負を示す信号、上記Ｒｕｎ信号、および上記Ｌａｓｔ信号を入力する第１のＶＬＣテーブルと、上記Ｒｕｎ信号から、上記ＲＭＡＸテーブルの出力信号と１の合計を減算する第１の減算回路と、該第１の減算回路の出力信号を保持する第２のレジスタと、該第２のレジスタの出力信号、上記Ｌｅｖｅｌ絶対値信号、上記Ｌｅｖｅｌ信号の正負を示す信号および上記Ｌａｓｔ信号を入力する第２のＶＬＣテーブルと、上記Ｌｅｖｅｌ絶対値信号から上記ＬＭＡＸテーブルの出力信号を減算する第２の減算回路と、該第２の減算回路の出力信号を保持する第３のレジスタと、該第３のレジスタの出力信号、上記Ｌｅｖｅｌ信号の正負を示す信号、上記Ｒｕｎ信号および上記Ｌａｓｔ信号を入力する第３のＶＬＣテーブルと、上記第１のＶＬＣテーブルの出力信号を保持する第１のレジスタと、上記第２のＶＬＣテーブルの出力信号を保持する第４のレジスタと、上記第３のＶＬＣテーブルの出力信号を保持する第５のレジスタと、上記第４のレジスタの出力信号を入力するＲＭＡＸ　ＶＬＣ生成回路と、上記第５のレジスタの出力信号を入力するＬＭＡＸ　ＶＬＣ生成回路と、上記Ｌｅｖｅｌ信号、上記Ｒｕｎ信号、および上記Ｌａｓｔ信号を入力するＦＬＣ生成回路と、上記第１のレジスタの出力信号、上記第４のレジスタの出力信号、上記第５のレジスタの出力信号を入力する制御回路と、上記第１のレジスタの出力信号、上記ＲＭＡＸ　ＶＬＣ生成回路の出力信号、上記ＬＭＡＸ　ＶＬＣ生成回路の出力信号、および上記ＦＬＣ生成回路の出力信号を入力する選択回路とを備え、

上記制御回路は、上記第１のレジスタの出力信号と、上記第４のレジスタの出力信号と、上記第５のレジスタの出力信号とがＶＬＣとして正しいかどうかを判定し、判定した結果を示す選択信号を上記選択回路に出力し、

上記選択回路は、上記選択信号により、上記第１のレジスタの出力信号、上記ＲＭＡＸ　ＶＬＣ生成回路の出力信号、上記ＬＭＡＸ　ＶＬＣ生成回路の出力信号、上記ＦＬＣ生成回路の出力信号から、いずれか一つの出力信号を選択し、符号として出力する、

ことを特徴とする可変長符号化装置。

４．　請求の範囲第３項記載の可変長符号化装置において、

上記制御回路は、上記第１のレジスタの出力信号と、上記第４のレジスタの出力信号と、上記第５のレジスタの出力信号とがＶＬＣとして正しいかどうかを判定し、判定した結果を予め設定した優先順位に従って、上記選択回路に出力する、

ことを特徴とする可変長符号化装置。

５．　Ｌｅｖｅｌ信号の絶対値であるＬｅｖｅｌ絶対値信号、およびＬａｓｔ信号を入力するＲＭＡＸテーブルと、Ｒｕｎ信号、および上記Ｌａｓｔ信号を入力するＬＭＡＸテーブルと、上記Ｒｕｎ信号から、上記ＲＭＡＸテーブルの出力信号と１の合計を減算する第１の減算回路と、上記Ｌｅｖｅｌ絶対値信号から上記ＬＭＡＸテーブルの出力信号を減算する第２の減算回路と、上記第１の減算回路の出力信号を保持する第２のレジスタと、上記第２の減算回路の出力信号を保持する第３のレジスタと、該第３のレジスタの出力信号、および上記Ｌｅｖｅｌ絶対値信号のいずれかを選択する第１の選択回路と、上記第２のレジスタの出力信号、および上記Ｒｕｎ信号のいずれかを選択する第２の選択回路と、上記第１の選択回路の出力信号、上記第２の選択回路の出力信号、上記Ｌｅｖｅｌ信号の正負を示す信号、および上記Ｌａｓｔ信号を入力するＶＬＣテーブルと、該ＶＬＣテーブルの出力信号を保持する第１のレジスタと、上記Ｌｅｖｅｌ信号、上記Ｒｕｎ信号、および上記Ｌａｓｔ信号を入力するＦＬＣ生成回路と、上記第１のレジスタの出力信号を入力する制御回路と、上記第１のレジスタの出力信号、および上記制御回路の出力信号を入力するＶＬＣ生成回路と、該ＶＬＣ生成回路の出力信号、および上記ＦＬＣ生成回路の出力信号を入力する第３の選択回路とを備え、

第１周期で、上記第１の選択回路は上記制御回路から出力される第１の選択信号を入力し、上記Ｌｅｖｅｌ絶対値信号を選択して上記ＶＬＣテーブルに出力し、上記第２の選択回路は上記制御回路から出力される第２の選択信号を入力し、上記Ｒｕｎ信号を選択して上記ＶＬＣテーブルに出力し、上記ＶＬＣテーブルはＶＬＣを実行し、その出力信号を上記第１のレジスタに出力し、第２周期で、上

記制御回路は上記第１のレジスタの出力信号が通常のＶＬＣとして正しいかどうかを判定し、上記第１のレジスタの出力信号が通常のＶＬＣとして正しいと判定したならば、その判定の結果を示す第３の選択信号を上記ＶＬＣ生成回路および上記第３の選択回路に出力し、上記ＶＬＣ生成回路は上記第１のレジスタの出力信号を通常のＶＬＣ符号として出力し、上記第３の選択回路は上記第３の選択信号により、上記ＶＬＣ生成回路の出力信号を選択して出力し、

第１周期で、上記ＬＭＡＸテーブルは、上記Ｌａｓｔ信号と上記Ｒｕｎ信号とを入力し、ＬＭＡＸデータ信号を生成して上記第２の減算回路に出力し、該第２の減算回路は上記ＬＭＡＸデータ信号と上記Ｌｅｖｅｌ絶対値信号とを入力し、該Ｌｅｖｅｌ絶対値信号から上記ＬＭＡＸデータ信号を減算し、その結果を第３のレジスタに出力し、第２周期で、上記第１の選択回路は上記制御回路から出力される第１の選択信号を入力し、上記第３のレジスタの出力信号を選択して上記ＶＬＣテーブルに出力し、上記第２の選択回路は上記制御回路から出力される第２の選択信号を入力し、上記Ｒｕｎ信号を選択して上記ＶＬＣテーブルに出力し、上記ＶＬＣテーブルはＶＬＣを実行し、その出力信号を上記第１のレジスタに出力し、第３周期で、上記制御回路は上記第２周期で行われた通常のＶＬＣの判定が正しくなければ、上記第１のレジスタの出力信号がＬＭＡＸ　ＶＬＣとして正しいかどうかを判定し、上記第１のレジスタの出力信号がＬＭＡＸ　ＶＬＣとして正しいと判定したならば、その判定の結果を示す第３の選択信号を上記ＶＬＣ生成回路および上記第３の選択回路に出力し、上記ＶＬＣ生成回路は上記第１のレジスタの出力信号をＬＭＡＸ　ＶＬＣ符号として出力し、上記第３の選択回路は上記第３の選択信号により、上記ＶＬＣ生成回路の出力信号を選択して出力し、

第１周期で、上記ＲＭＡＸテーブルは上記Ｌａｓｔ信号と上記Ｌｅｖｅｌ絶対値信号とを入力し、ＲＭＡＸデータ信号を生成して上記第１の減算回路に出力し、該第１の減算回路は上記ＲＭＡＸデータ信号と上記Ｒｕｎ信号とを入力し、該Ｒｕｎ信号から、上記ＲＭＡＸデータ信号と１を加算した値を減算し、その結果を上記第２のレジスタに出力し、第３周期で、上記第１の選択回路は上記制御回路から出力される第１の選択信号を入力し、上記Ｌｅｖｅｌ絶対値信号を選択し

て上記ＶＬＣテーブルに出力し、上記第２の選択回路は上記制御回路から出力される第２の選択信号を入力し、上記第２のレジスタの出力信号を選択して上記ＶＬＣテーブルに出力し、上記ＶＬＣテーブルはＶＬＣを実行し、その出力信号を上記第１のレジスタに出力し、第４周期で、上記制御回路は上記第３周期で行われたＬＭＡＸ　ＶＬＣの判定が正しくなければ、上記第１のレジスタの出力信号がＲＭＡＸ　ＶＬＣとして正しいかどうかを判定し、上記第１のレジスタの出力信号がＲＭＡＸ　ＶＬＣとして正しいと判定したならば、第３の選択信号を上記ＶＬＣ生成回路および上記第３の選択回路に出力し、上記ＶＬＣ生成回路は上記第１のレジスタの出力信号をＲＭＡＸ　ＶＬＣ符号として出力し、上記第３の選択回路は上記第３の選択信号により、上記ＶＬＣ生成回路の出力信号を選択して出力し、

上記制御回路に入力される上記第１のレジスタの出力信号が、いずれもＶＬＣとして正しくないと判定したならば、第５周期で、上記第３の選択回路は上記ＦＬＣ生成回路の出力信号を選択して出力する、

ことを特徴とする可変長符号化装置。

６．　Ｌｅｖｅｌ信号の絶対値であるＬｅｖｅｌ絶対値信号およびＬａｓｔ信号を入力するＲＭＡＸテーブルと、Ｒｕｎ信号および上記Ｌａｓｔ信号を入力するＬＭＡＸテーブルと、上記Ｒｕｎ信号から、上記ＲＭＡＸテーブルの出力信号と１の合計を減算する第１の減算回路と、上記Ｌｅｖｅｌ絶対値信号から上記ＬＭＡＸテーブルの出力信号を減算する第２の減算回路と、上記第１の減算回路の出力信号を保持する第２のレジスタと、上記第２の減算回路の出力信号を保持する第３のレジスタと、該第３のレジスタの出力信号、および上記Ｌｅｖｅｌ絶対値信号のいずれかを選択する第１の選択回路と、上記第２のレジスタの出力信号、および上記Ｒｕｎ信号のいずれかを選択する第２の選択回路と、上記第１の選択回路の出力信号、上記第２の選択回路の出力信号、上記Ｌｅｖｅｌ信号の正負を示す信号、および上記Ｌａｓｔ信号を入力するＶＬＣテーブルと、該ＶＬＣテーブルの出力信号を保持する第１のレジスタと、上記Ｌｅｖｅｌ信号、上記Ｒｕｎ信号、および上記Ｌａｓｔ信号を入力するＦＬＣ生成回路と、上記第１のレジスタの出力信号を入力する制御回路と、上記第１のレジスタの出力信号、および上

記制御回路の出力信号を入力するＶＬＣ生成回路と、該ＶＬＣ生成回路の出力信号、および上記ＦＬＣ生成回路の出力信号を入力する第３の選択回路とを備え、

第１周期で、上記第１の選択回路は上記制御回路から出力される第１の選択信号を入力し、上記Ｌｅｖｅｌ絶対値信号を選択して上記ＶＬＣテーブルに出力し、上記第２の選択回路は上記制御回路から出力される第２の選択信号を入力し、上記Ｒｕｎ信号を選択して上記ＶＬＣテーブルに出力し、上記ＶＬＣテーブルはＶＬＣを実行し、その出力信号を上記第１のレジスタに出力し、第２周期で、上記制御回路は上記第１のレジスタの出力信号が通常のＶＬＣとして正しいかどうかを判定し、上記第１のレジスタの出力信号が通常のＶＬＣとして正しいと判定したならば、その判定の結果を示す第３の選択信号を上記ＶＬＣ生成回路および上記第３の選択回路に出力し、上記ＶＬＣ生成回路は上記第１のレジスタの出力信号を通常のＶＬＣ符号として出力し、上記第３の選択回路は上記第３の選択信号により、上記ＶＬＣ生成回路の出力信号を選択して出力し、

第１周期で、上記ＬＭＡＸテーブルは、上記Ｌａｓｔ信号と上記Ｒｕｎ信号とを入力し、ＬＭＡＸデータ信号を生成して上記第２の減算回路に出力し、該第２の減算回路は上記ＬＭＡＸデータ信号と上記Ｌｅｖｅｌ絶対値信号とを入力し、該Ｌｅｖｅｌ絶対値信号から上記ＬＭＡＸデータ信号を減算し、その結果を第３のレジスタに出力し、第２周期で、上記第１の選択回路は上記制御回路から出力される第１の選択信号を入力し、上記第３のレジスタの出力信号を選択して上記ＶＬＣテーブルに出力し、上記第２の選択回路は上記制御回路から出力される第２の選択信号を入力し、上記Ｒｕｎ信号を選択して上記ＶＬＣテーブルに出力し、上記ＶＬＣテーブルはＶＬＣを実行し、その出力信号を上記第１のレジスタに出力し、第３周期で、上記制御回路は上記第２周期で行われた通常のＶＬＣの判定が正しくなければ、上記第１のレジスタの出力信号がＬＭＡＸ　ＶＬＣとして正しいかどうかを判定し、上記第１のレジスタの出力信号がＬＭＡＸ　ＶＬＣとして正しいと判定したならば、その判定の結果を示す第３の選択信号を上記ＶＬＣ生成回路および上記第３の選択回路に出力し、上記ＶＬＣ生成回路は上記第１のレジスタの出力信号をＬＭＡＸ　ＶＬＣ符号として出力し、上記第３の選択回路は上記第３の選択信号により、上記ＶＬＣ生成回路の出力信号を選択して出力

し、

第１周期で、上記ＲＭＡＸテーブルは上記Ｌａｓｔ信号と上記Ｌｅｖｅｌ絶対値信号とを入力し、ＲＭＡＸデータ信号を生成して上記第１の減算回路に出力し、該第１の減算回路は上記ＲＭＡＸデータ信号と上記Ｒｕｎ信号とを入力し、該Ｒｕｎ信号から、上記ＲＭＡＸデータ信号と１を加算した値を減算し、その結果を上記第２のレジスタに出力し、第３周期で、上記第１の選択回路は上記制御回路から出力される第１の選択信号を入力し、上記Ｌｅｖｅｌ絶対値信号を選択して上記ＶＬＣテーブルに出力し、上記第２の選択回路は上記制御回路から出力される第２の選択信号を入力し、上記第２のレジスタの出力信号を選択して上記ＶＬＣテーブルに出力し、上記ＶＬＣテーブルはＶＬＣを実行し、その出力信号を上記第１のレジスタに出力し、第４周期で、上記制御回路は上記第３周期で行われたＬＭＡＸ　ＶＬＣの判定が正しくなければ、上記第１のレジスタの出力信号がＲＭＡＸ　ＶＬＣとして正しいかどうかを判定し、上記第１のレジスタの出力信号がＲＭＡＸ　ＶＬＣとして正しいと判定したならば、第３の選択信号を上記ＶＬＣ生成回路および上記第３の選択回路に出力し、上記ＶＬＣ生成回路は上記第１のレジスタの出力信号をＲＭＡＸ　ＶＬＣ符号として出力し、上記第３の選択回路は上記第３の選択信号により、上記ＶＬＣ生成回路の出力信号を選択して出力し、

上記制御回路に入力される上記第１のレジスタの出力信号が、いずれもＶＬＣとして正しくないと判定したならば、第４周期で、上記第３の選択回路は上記ＦＬＣ生成回路の出力信号を選択して出力する、

ことを特徴とする可変長符号化装置。

７．　請求の範囲第５項または請求の範囲第６項記載の可変長符号化装置において、

上記制御回路は、上記第１のレジスタの出力信号がＶＬＣとして正しいかどうかを判定し、さらに正しくない場合の周期の回数を判断してＶＬＣの制御を行い、予め設定した優先順位に従って、ＶＬＣの出力順位を変更する、

ことを特徴とする可変長符号化装置。

８．　Ｌｅｖｅｌ信号の絶対値であるＬｅｖｅｌ絶対値信号、Ｌａｓｔ信号、お

よび固定値を入力し、上記Ｌｅｖｅｌ絶対値信号もしくは上記固定値のいずれかを選択して出力する第１の出力信号、および上記Ｌａｓｔ信号もしくは上記固定値のいずれかを選択して出力する第２の出力信号を出力する第１の選択回路と、上記第１の出力信号および上記第２の出力信号を入力するＲＭＡＸテーブルと、Ｒｕｎ信号、上記Ｌａｓｔ信号、および固定値を入力し、上記Ｒｕｎ信号もしくは上記固定値のいずれかを選択して出力する第３の出力信号、および上記Ｌａｓｔ信号もしくは上記固定値のいずれかを選択して出力する第４の出力信号を出力する第２の選択回路と、上記第３の出力信号および上記第４の出力信号を入力するＬＭＡＸテーブルと、上記Ｒｕｎ信号から、上記ＲＭＡＸテーブルの出力信号と１の合計を減算する第１の減算回路と、上記Ｌｅｖｅｌ絶対値信号から上記ＬＭＡＸテーブルの出力信号を減算する第２の減算回路と、上記第１の減算回路の出力信号を保持する第２のレジスタと、上記第２の減算回路の出力信号を保持する第３のレジスタと、該第３のレジスタの出力信号および上記Ｌｅｖｅｌ絶対値信号のいずれかを選択する第３の選択回路と、上記第２のレジスタの出力信号および上記Ｒｕｎ信号のいずれかを選択する第４の選択回路と、上記第３の選択回路の出力信号、上記第４の選択回路の出力信号、上記Ｌｅｖｅｌ信号の正負を示す信号、および上記Ｌａｓｔ信号を入力するＶＬＣテーブルと、該ＶＬＣテーブルの出力信号を保持する第１のレジスタと、上記Ｌｅｖｅｌ信号、上記Ｒｕｎ信号、および上記Ｌａｓｔ信号を入力するＦＬＣ生成回路と、上記第１のレジスタの出力信号を入力する制御回路と、上記第１のレジスタの出力信号、および上記制御回路の出力信号を入力するＶＬＣ生成回路と、該ＶＬＣ生成回路の出力信号、および上記ＦＬＣ生成回路の出力信号を入力する第５の選択回路とを備え、

第１周期で、上記第１の選択回路は上記制御回路から出力される第１の選択信号を入力して固定値を選択し、上記第２の選択回路は上記制御回路から出力される第２の選択信号を入力して、上記Ｒｕｎ信号および上記Ｌａｓｔ信号を選択し、上記第３の選択回路は上記制御回路から出力される第３の選択信号を入力し、上記Ｌｅｖｅｌ絶対値信号を選択して上記ＶＬＣテーブルに出力し、上記第４の選択回路は上記制御回路から出力される第４の選択信号を入力し、上記Ｒｕｎ信号を選択して上記ＶＬＣテーブルに出力し、上記ＶＬＣテーブルはＶＬＣを実行

し、その出力信号を上記第１のレジスタに出力し、第２周期で、上記制御回路は上記第１のレジスタの出力信号が通常のＶＬＣとして正しいかどうかを判定し、上記第１のレジスタの出力信号が通常のＶＬＣとして正しいと判定したならば、その判定の結果を示す第５の選択信号を上記ＶＬＣ生成回路、および上記第５の選択回路に出力し、上記ＶＬＣ生成回路は、上記第１のレジスタの出力信号を通常のＶＬＣ符号として出力し、上記第５の選択回路は上記第５の選択信号により、上記ＶＬＣ生成回路の出力信号を選択して出力し、

第１周期で、上記ＬＭＡＸテーブルは、上記Ｌａｓｔ信号と上記Ｒｕｎ信号とを入力し、ＬＭＡＸデータ信号を生成して上記第２の減算回路に出力し、該第２の減算回路は上記ＬＭＡＸデータ信号と上記Ｌｅｖｅｌ絶対値信号とを入力し、該Ｌｅｖｅｌ絶対値信号から上記ＬＭＡＸデータ信号を減算し、その結果を第３のレジスタに出力し、第２周期で、上記第３の選択回路は上記制御回路から出力される第３の選択信号を入力し、上記第３のレジスタの出力信号を選択して上記ＶＬＣテーブルに出力し、上記第４の選択回路は上記制御回路から出力される第４の選択信号を入力し、上記Ｒｕｎ信号を選択して上記ＶＬＣテーブルに出力し、上記ＶＬＣテーブルはＶＬＣを実行し、その出力信号を上記第１のレジスタに出力し、第３周期で、上記制御回路は上記第２周期で行われた通常のＶＬＣの判定が正しくなければ、上記第１のレジスタの出力信号がＬＭＡＸ　ＶＬＣとして正しいかどうかを判定し、上記第１のレジスタの出力信号がＬＭＡＸ　ＶＬＣとして正しいと判定したならば、その判定の結果を示す第５の選択信号を上記ＶＬＣ生成回路および上記第５の選択回路に出力し、上記ＶＬＣ生成回路は上記第１のレジスタの出力信号をＬＭＡＸ　ＶＬＣ符号として出力し、上記第５の選択回路は上記第５の選択信号により、上記ＶＬＣ生成回路の出力信号を選択して出力し、

第２周期で、上記ＲＭＡＸテーブルは上記Ｌａｓｔ信号と上記Ｌｅｖｅｌ絶対値信号とを入力し、ＲＭＡＸデータ信号を生成して上記第１の減算回路に出力し、該第１の減算回路は上記ＲＭＡＸデータ信号と上記Ｒｕｎ信号とを入力し、該Ｒｕｎ信号から、上記ＲＭＡＸデータ信号と１を加算した値を減算し、その結果を上記第２のレジスタに出力し、第３周期で、上記第３の選択回路は上記制御回

路から出力される第３の選択信号を入力し、上記Ｌｅｖｅｌ絶対値信号を選択して上記ＶＬＣテーブルに出力し、上記第４の選択回路は上記制御回路から出力される第４の選択信号を入力し、上記第２のレジスタの出力信号を選択して上記ＶＬＣテーブルに出力し、上記ＶＬＣテーブルはＶＬＣを実行し、その出力信号を上記第１のレジスタに出力し、第４周期で、上記制御回路は上記第３周期で行われたＬＭＡＸ　ＶＬＣの判定が正しくなければ、上記第１のレジスタの出力信号がＲＭＡＸ　ＶＬＣとして正しいかどうかを判定し、上記第１のレジスタの出力信号がＲＭＡＸ　ＶＬＣとして正しいと判定したならば、その判定の結果を示す第５の選択信号を上記ＶＬＣ生成回路および上記第３の選択回路に出力し、上記ＶＬＣ生成回路は上記第１のレジスタの出力信号をＲＭＡＸ　ＶＬＣ符号として出力し、上記第５の選択回路は上記第５の選択信号により、上記ＶＬＣ生成回路の出力信号を選択して出力し、

上記制御回路に入力される上記第１のレジスタの出力信号が、いずれもＶＬＣとして正しくないと判定したならば、第４周期で、上記第５の選択回路は上記ＦＬＣ生成回路の出力信号を選択して出力する、

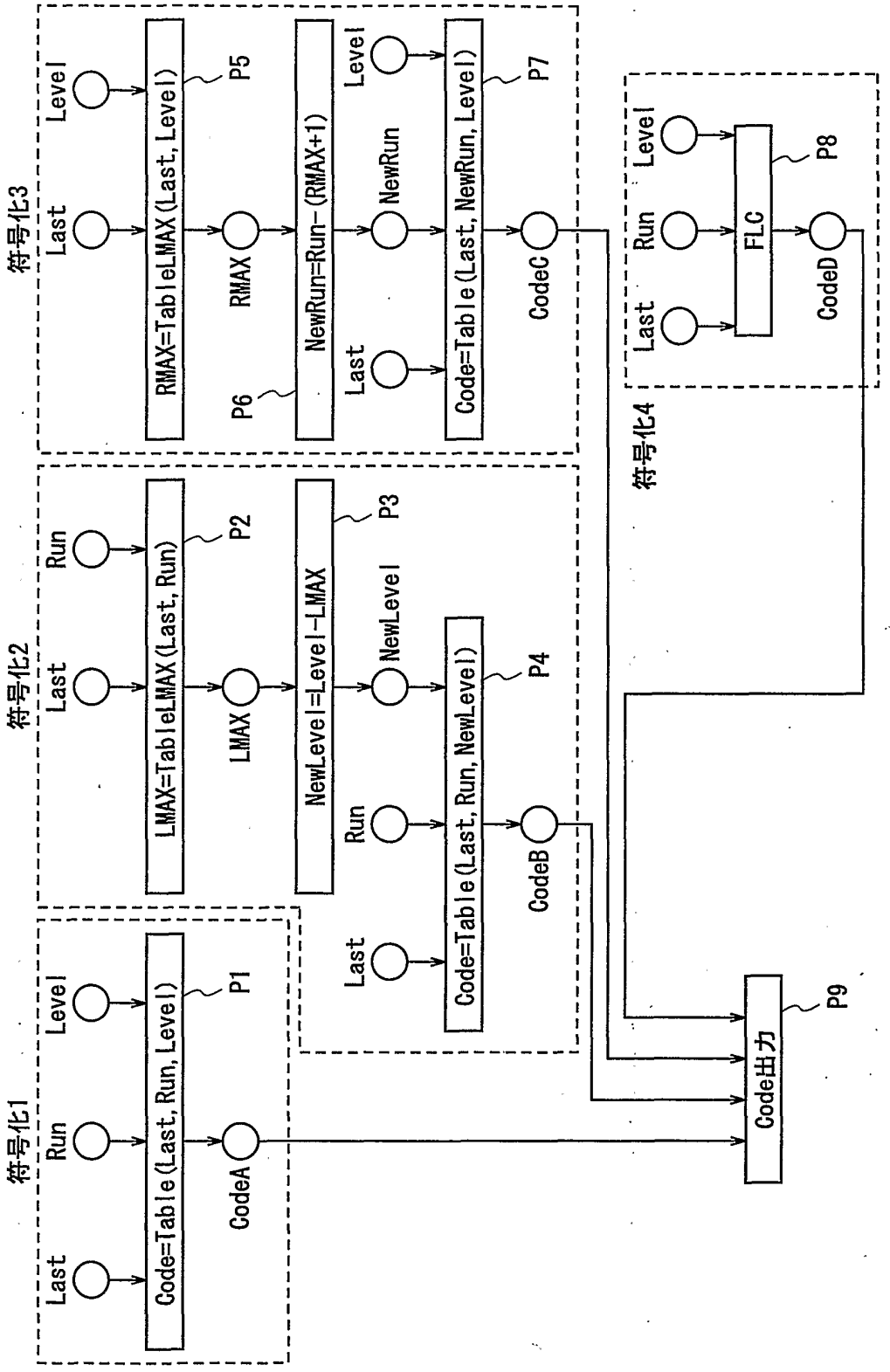
ことを特徴とする可変長符号化装置。

９．　請求の範囲第８項記載の可変長符号化装置において、

上記制御回路は、上記第１のレジスタの出力信号がＶＬＣとして正しいかどうかを判定し、さらに正しくない場合の周期の回数を判断してＶＬＣの制御を行い、予め設定した優先順位に従って、ＶＬＣの出力順位を変更する、

ことを特徴とする可変長符号化装置。

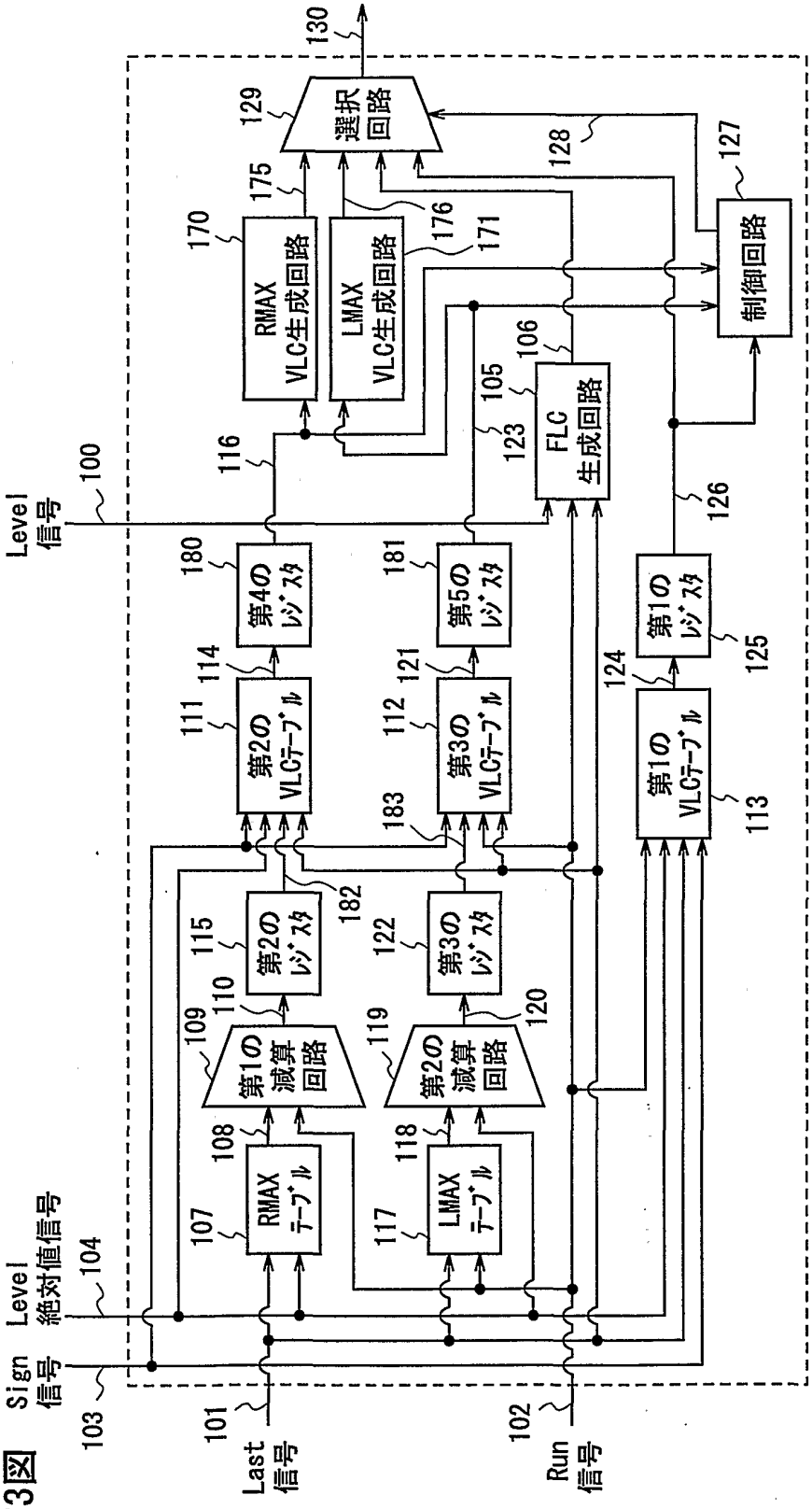
第1図


符号化1
Last
Run
Level
Code=Table(Last, Run, Level)
P1
CodeA
符号化2
Last
Run
Level
LMAX=TableLMAX(Last, Run)
P2
LMAX
NewLevel=Level-LMAX
P3
NewLevel
Run
Last
Code=Table(Last, Run, NewLevel)
P4
CodeB
符号化3
Last
Level
RMAX=TableLMAX(Last, Level)
P5
RMAX
P6
NewRun=Run-(RMAX+1)
NewRun
Level
Last
Code=Table(Last, NewRun, Level)
P7
CodeC
符号化4
Last
Run
Level
FLC
P8
CodeD
Code出力
P9

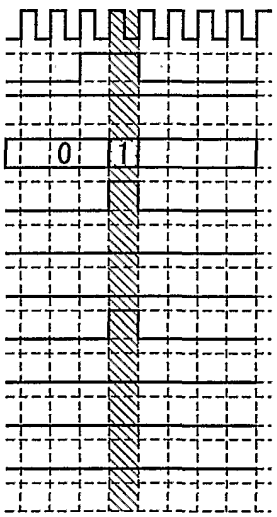
第2図

優先順位 1　A > B > C > D
優先順位 2　A > C > B > D
優先順位 3　A > D

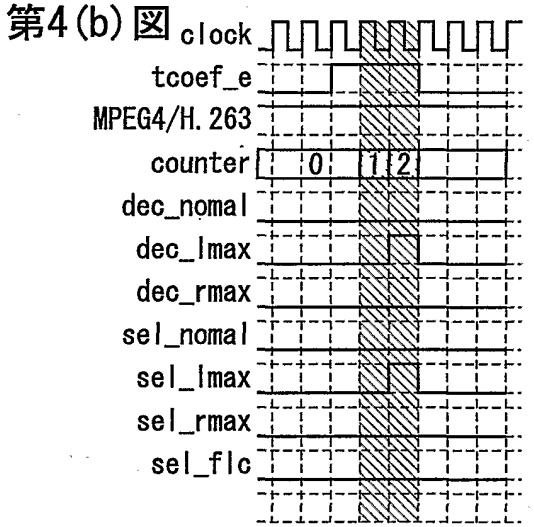
第3図


Level 信号
100
Level 絶対値信号
104
Sign 信号
103
Last 信号
101
Run 信号
102
RMAX テーブル
107
LMAX テーブル
117
第1の減算回路
109
第2の減算回路
119
第2のレジスタ
115
第3のレジスタ
122
第2のVLCテーブル
111
第3のVLCテーブル
112
第4のレジスタ
180
第5のレジスタ
181
RMAX VLC生成回路
170
LMAX VLC生成回路
171
FLC 生成回路
106
選択回路
129
制御回路
127
第1のレジスタ
125
第1のVLCテーブル
113
130
108
118
110
120
114
121
116
105
123
175
176
128
126
124
183
182

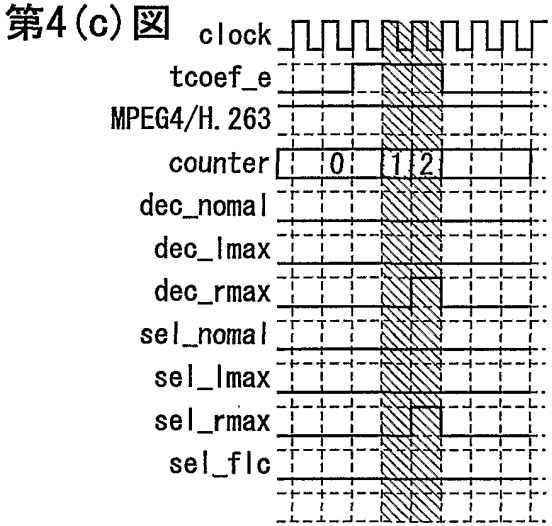
第4(a)図



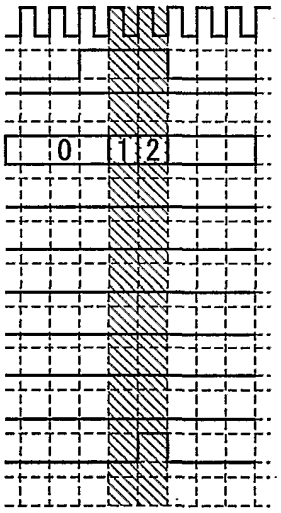
第4(b)図



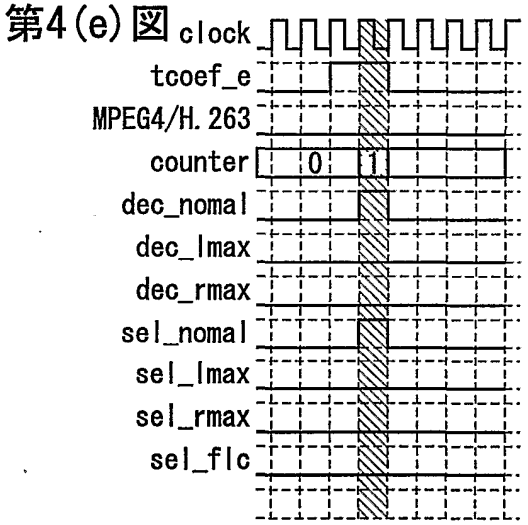
第4(c)図



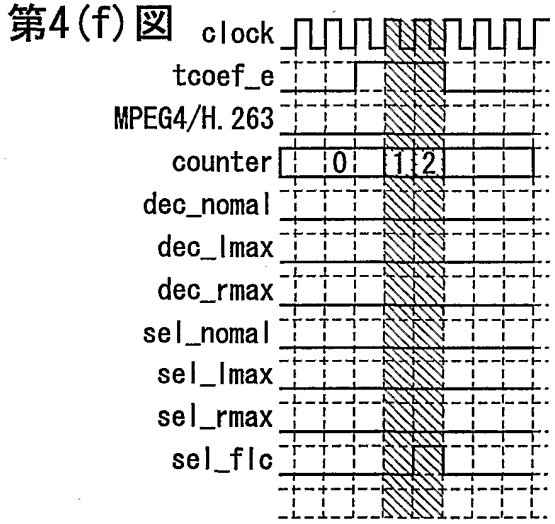
第4(d)図



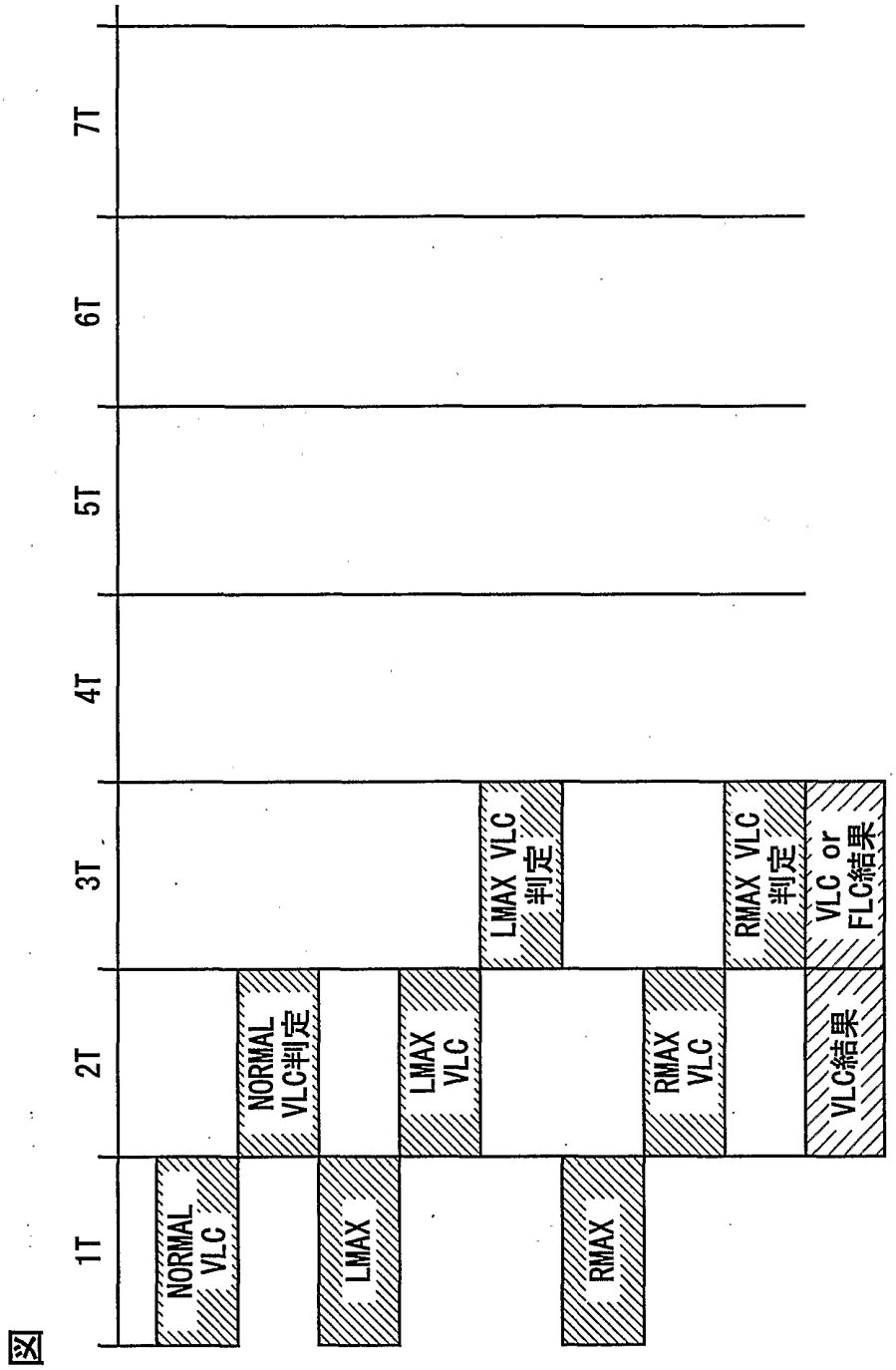
第4(e)図



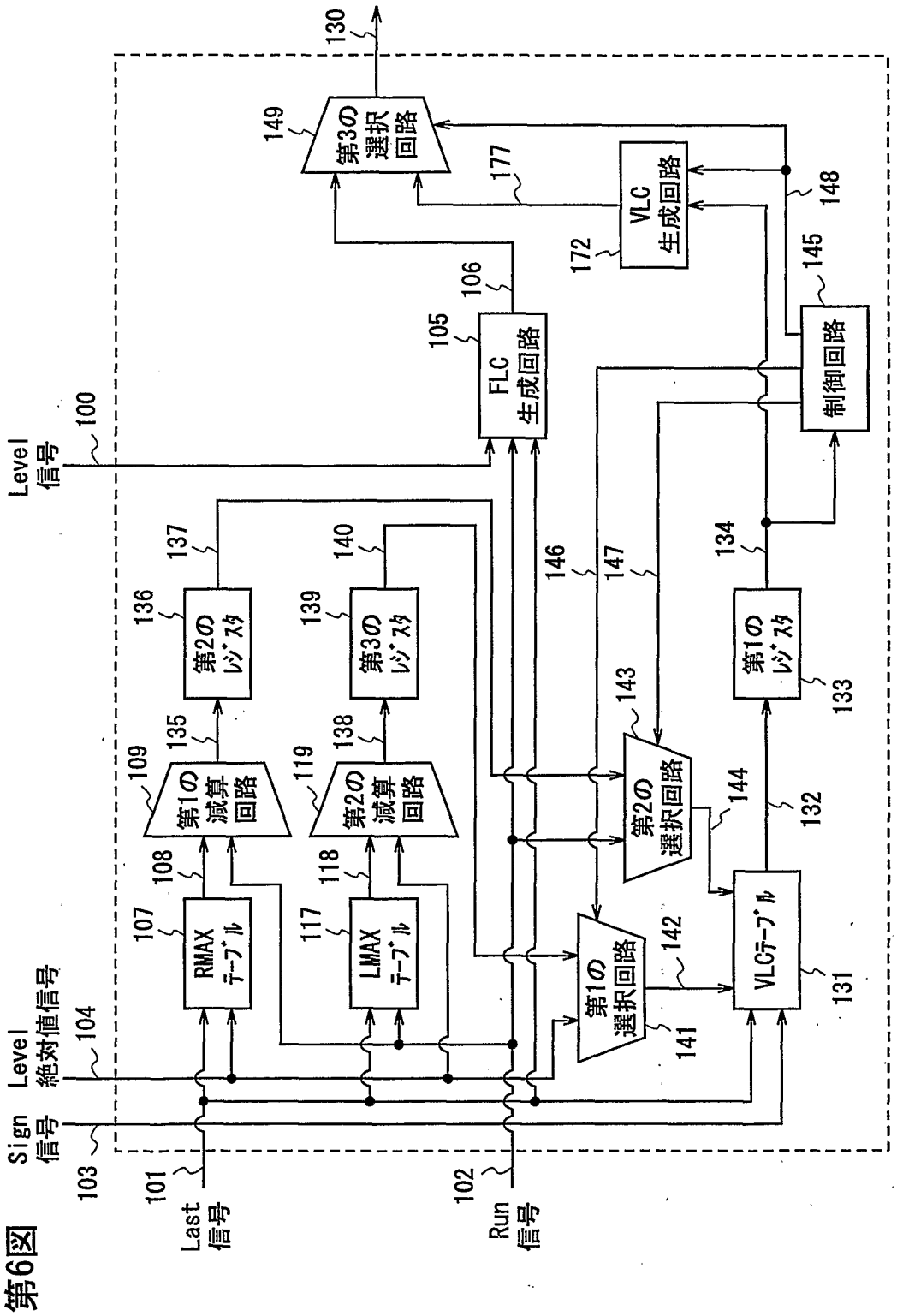
第4(f)図



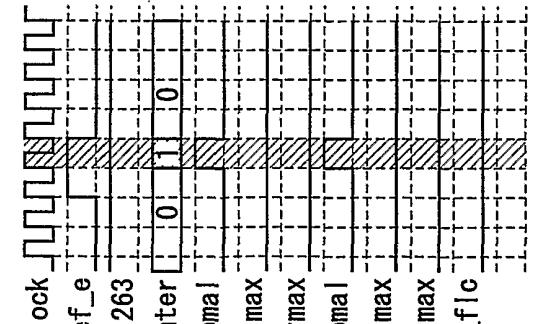
第5図


1T
2T
3T
4T
5T
6T
7T
NORMAL VLC
NORMAL VLC判定
LMAX
LMAX VLC
LMAX VLC 判定
RMAX
RMAX VLC
RMAX VLC 判定
VLC結果
VLC or FLC結果

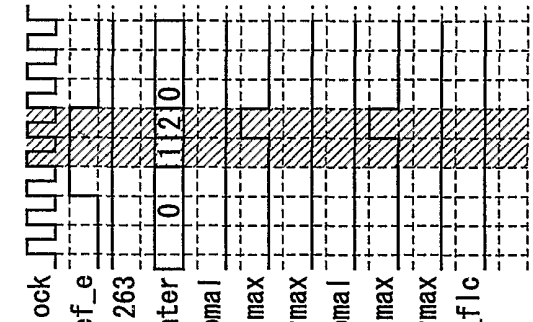
第6図


Level 信号
100
Level 絶対値信号
104
Sign 信号
103
Last 信号
101
Run 信号
102
RMAX テーブル
107
LMAX テーブル
117
第1の 減算 回路
109
第2の 減算 回路
119
108
118
135
138
第2の レジスタ
136
第3の レジスタ
139
137
140
FLC 生成回路
105
106
第3の 選択 回路
149
130
VLC 生成回路
172
177
148
145
制御回路
146
147
134
第1の レジスタ
133
第2の 選択回路
143
144
132
第1の 選択回路
141
142
VLCテーブル
131

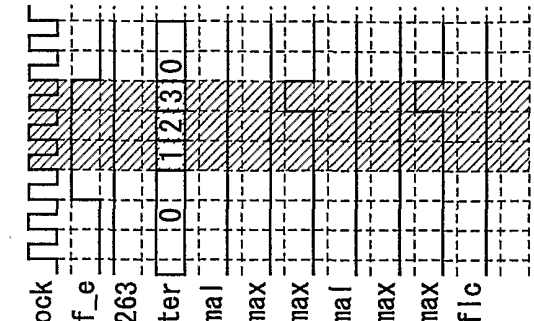
第7(a)図



第7(b)図



第7(c)図

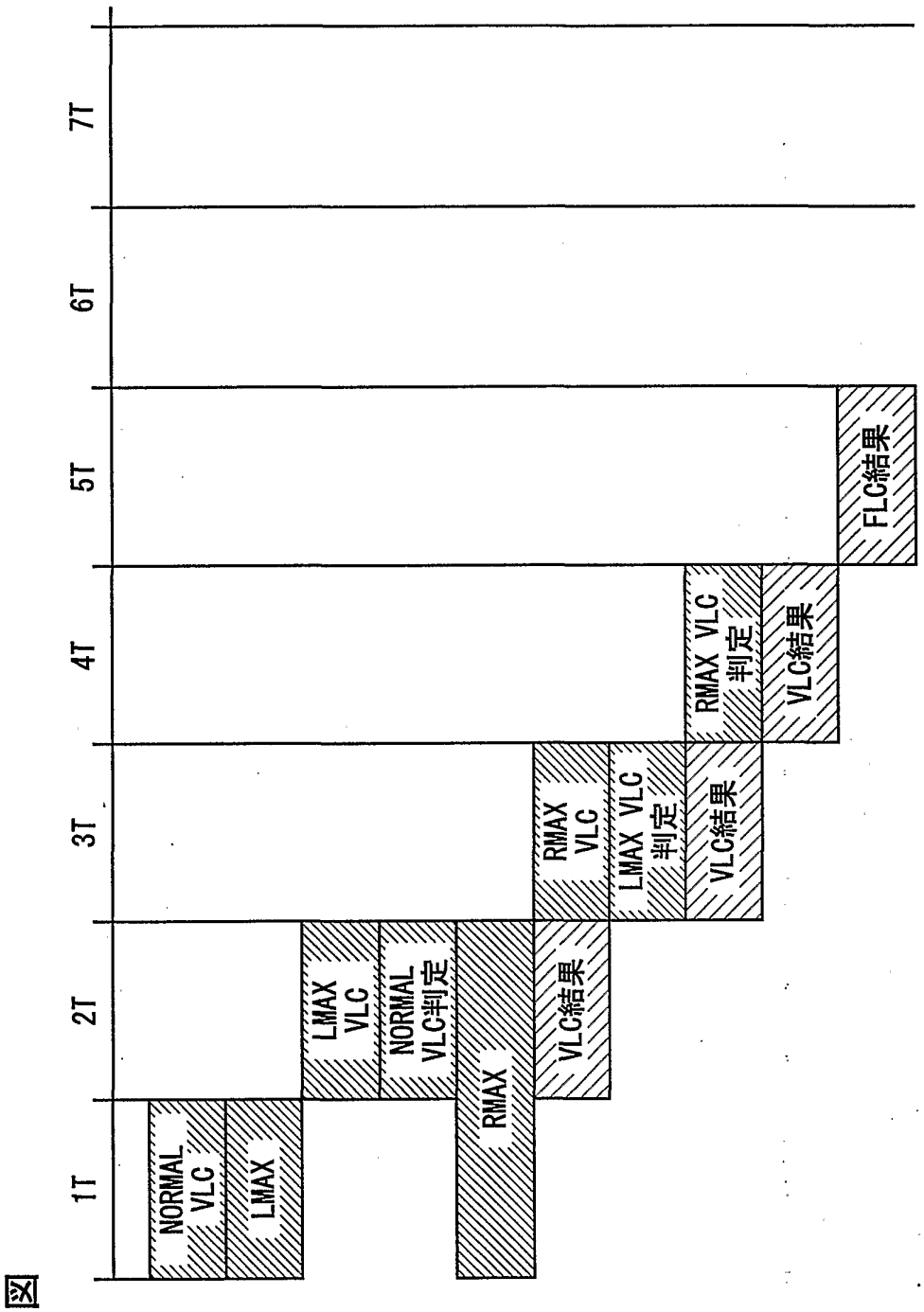


第7(d)図

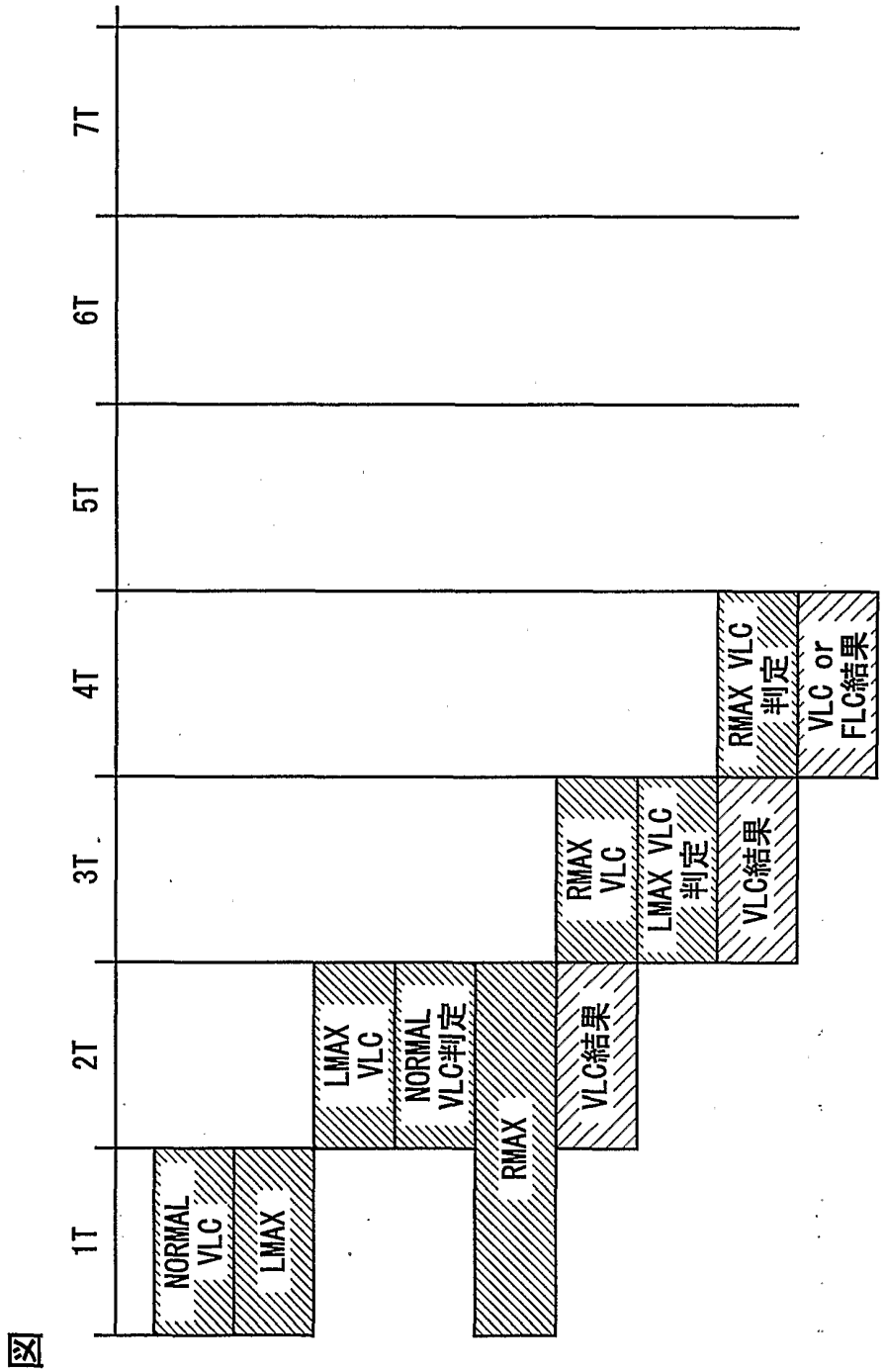
第7(e)図

第7(f)図

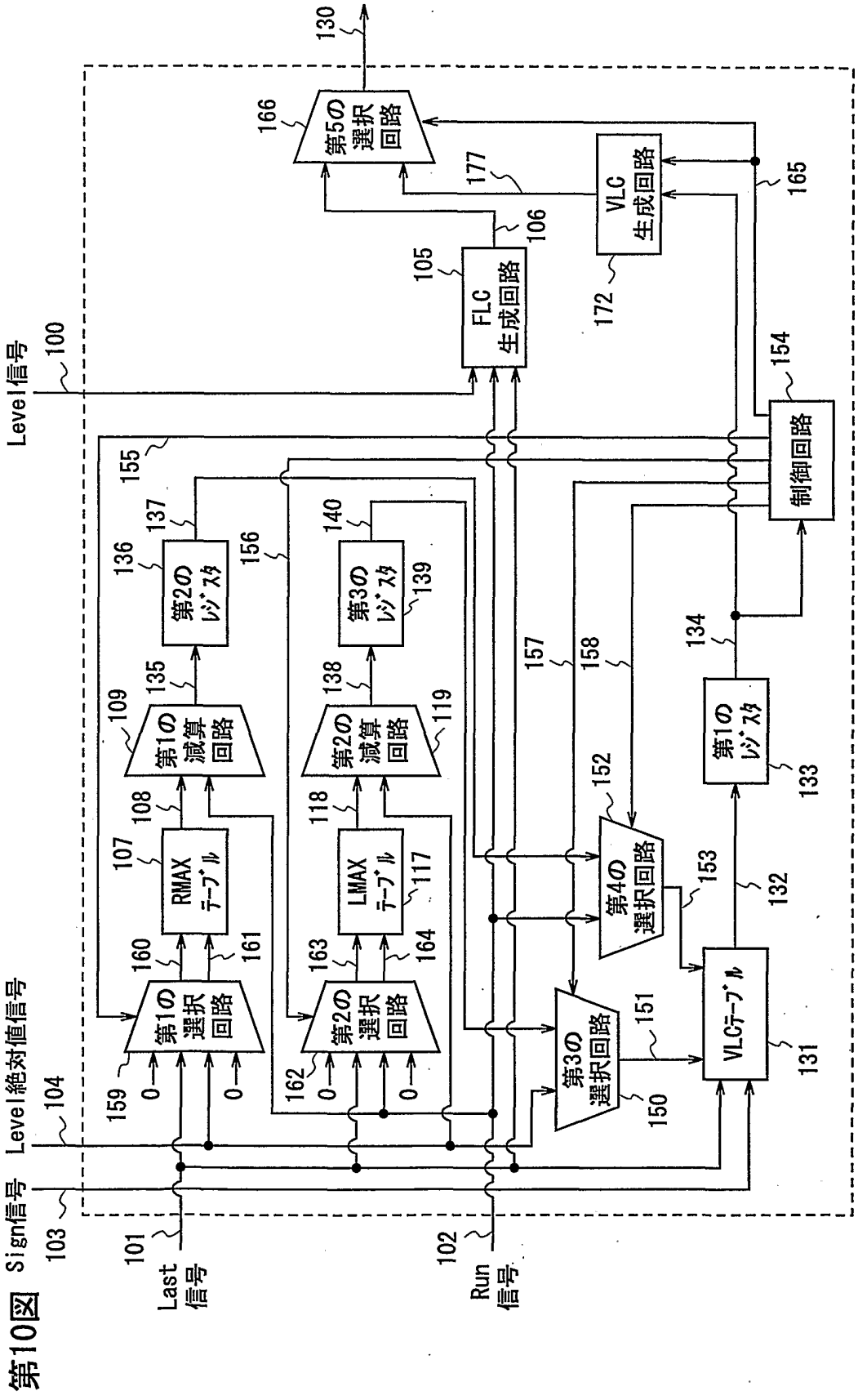
第8図


1T
2T
3T
4T
5T
6T
7T
NORMAL VLC
LMAX
LMAX VLC
NORMAL VLC判定
RMAX
RMAX VLC
VLC結果
LMAX VLC 判定
VLC結果
RMAX VLC 判定
VLC結果
FLC結果

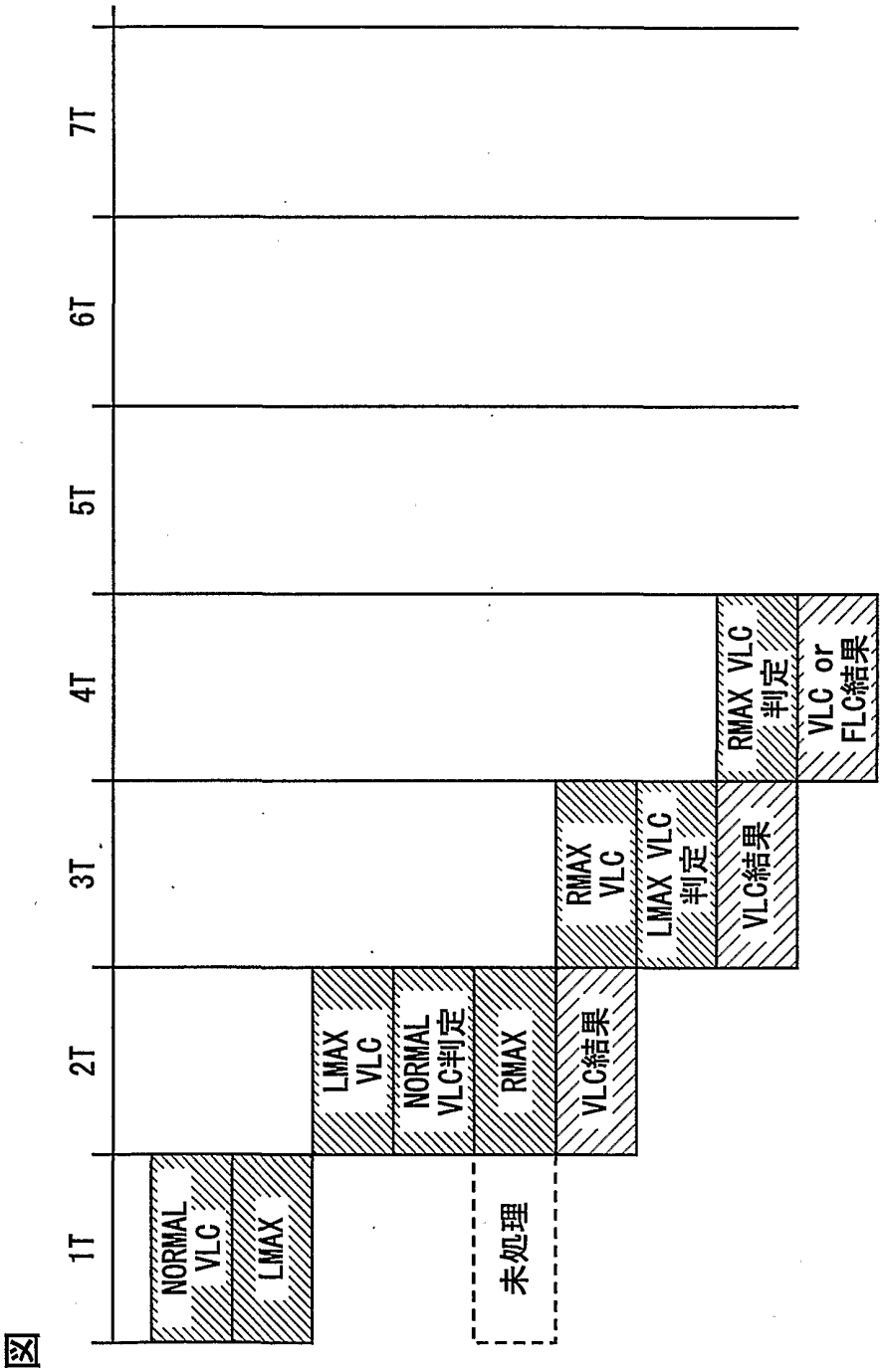
第9図


1T
2T
3T
4T
5T
6T
7T
NORMAL VLC
LMAX
LMAX VLC
NORMAL VLC判定
RMAX
RMAX VLC
VLC結果
LMAX VLC 判定
VLC結果
RMAX VLC 判定
VLC or FLC結果

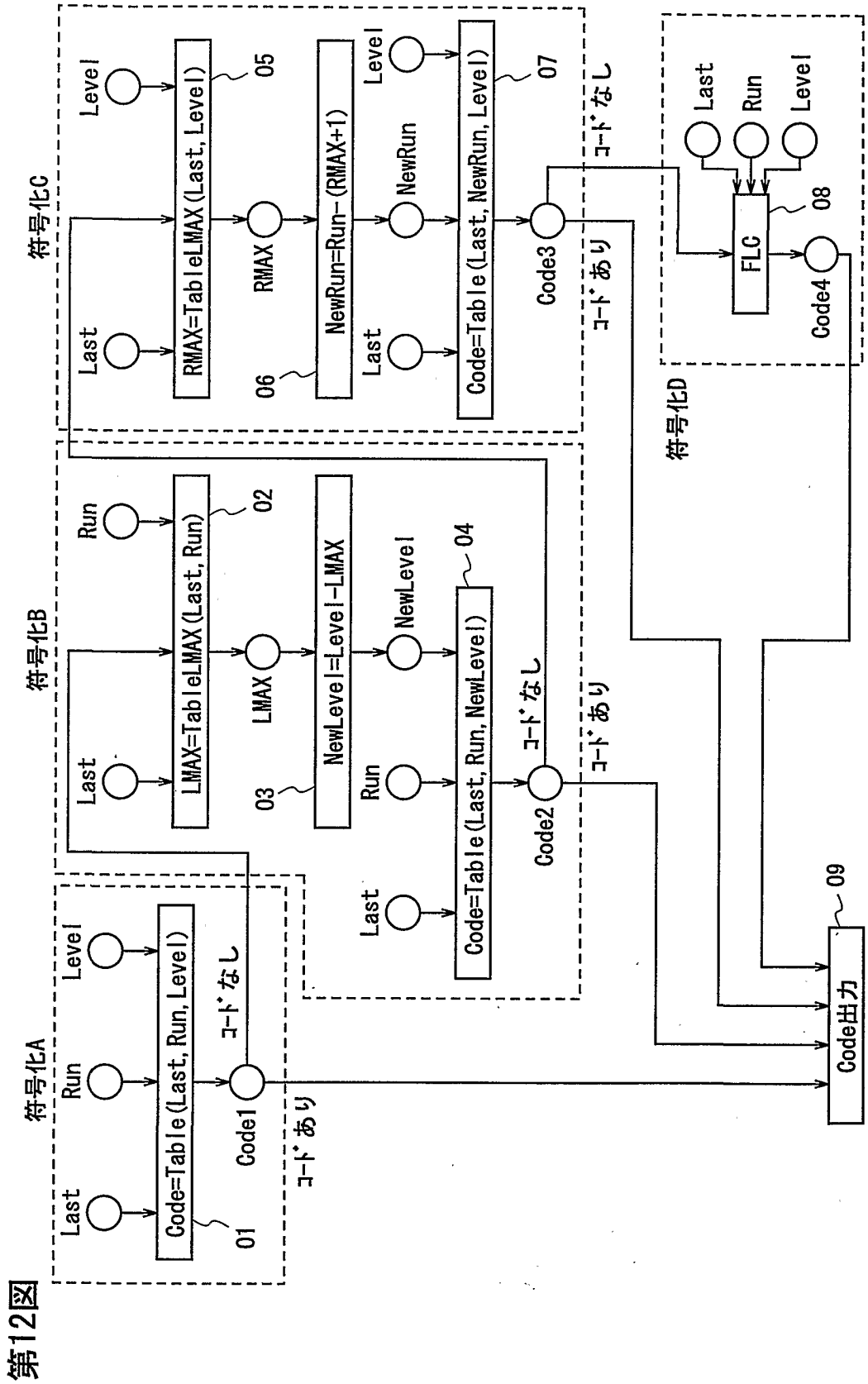
第10図


Level信号
100
Level絶対値信号
104
Sign信号
103
101
Last
信号
102
Run
信号
130
166
第5の
選択
回路
177
VLC
生成回路
165
105
FLC
生成回路
106
172
154
制御回路
155
137
136
第2の
レジスタ
156
140
第3の
レジスタ
139
135
109
第1の
減算
回路
138
第2の
減算
回路
119
157
158
134
108
107
RMAX
テーブル
118
LMAX
テーブル
117
152
第4の
選択回路
153
第1の
レジスタ
133
160
161
163
164
159
0
162
第1の
選択
回路
第2の
選択
回路
151
第3の
選択回路
150
132
VLCテーブル
131

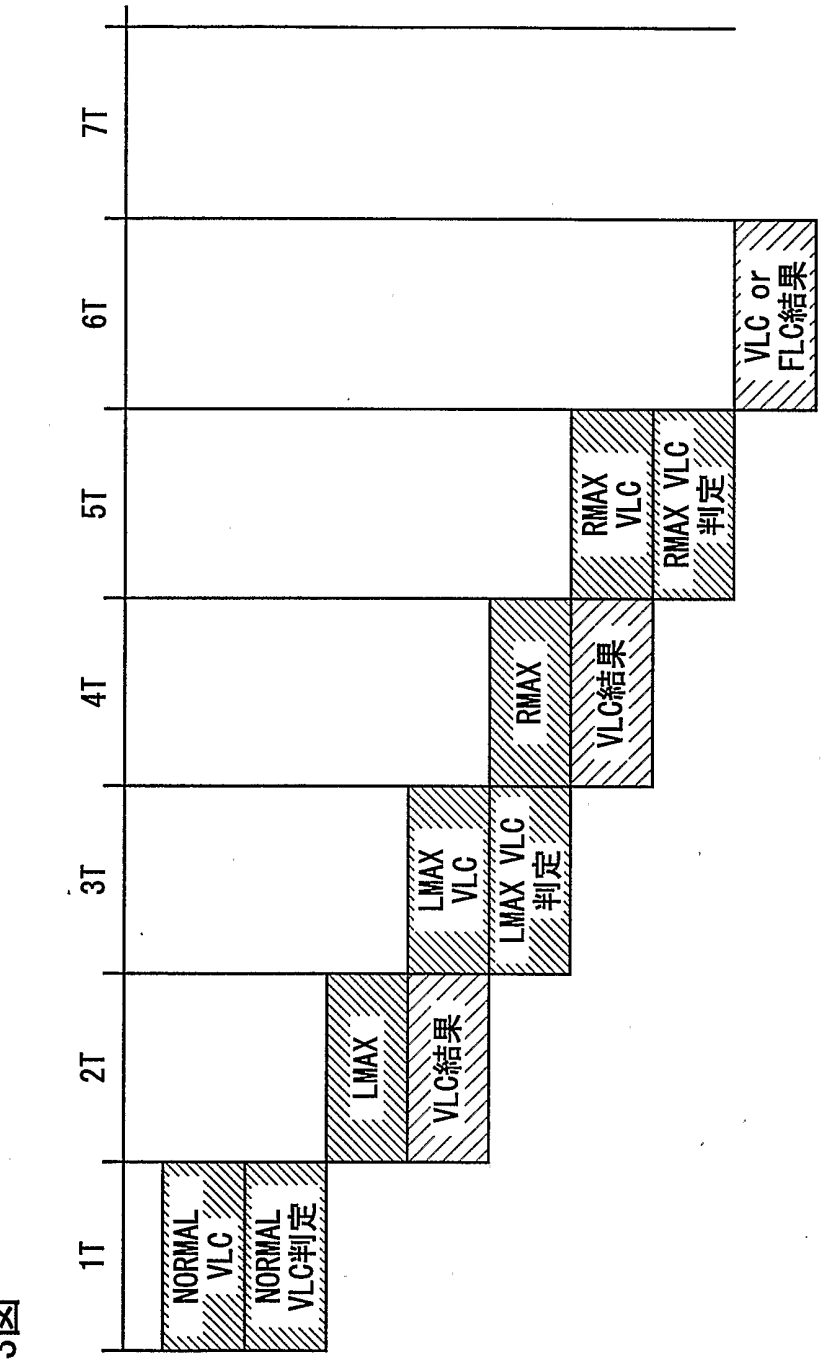
第11図


1T
2T
3T
4T
5T
6T
7T
NORMAL VLC
LMAX
LMAX VLC
NORMAL VLC判定
RMAX
未処理
RMAX VLC
VLC結果
LMAX VLC 判定
VLC結果
RMAX VLC 判定
VLC or FLC結果

第12図


符号化A
Last
Run
Level
Code=Table(Last, Run, Level)
01
Code1
ｺｰﾄﾞなし
ｺｰﾄﾞあり
符号化B
Last
Run
LMAX=TableLMAX(Last, Run)
02
LMAX
NewLevel=Level-LMAX
03
NewLevel
Code=Table(Last, Run, NewLevel)
04
Code2
ｺｰﾄﾞなし
ｺｰﾄﾞあり
符号化C
Last
Level
RMAX=TableLMAX(Last, Level)
05
RMAX
NewRun=Run-(RMAX+1)
06
NewRun
Code=Table(Last, NewRun, Level)
07
Code3
ｺｰﾄﾞなし
ｺｰﾄﾞあり
符号化D
Last
Run
Level
FLC
08
Code4
09
Code出力

第13図


1T
2T
3T
4T
5T
6T
7T
NORMAL VLC
NORMAL VLC判定
LMAX
VLC結果
LMAX VLC
判定
RMAX
VLC結果
RMAX VLC
判定
VLC or FLC結果

INTERNATIONAL SEARCH REPORT

International application No.
PCT/JP01/04300

A. CLASSIFICATION OF SUBJECT MATTER
Int.Cl[7] H04N7/30

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)
Int.Cl[7] H04N7/24-7/68, H04N1/41-1/419, H03M7/30-7/50

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched
Jitsuyo Shinan Koho 1957-1996 Toroku Jitsuyo Shinan Koho 1994-2001
Kokai Jitsuyo Shinan Koho 1975-2001 Jitsuyo Shinan Toroku Koho 1996-2001

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	WO 98/20681 A1 (MATSUSITA ELECTRIC INDUSTRIAL CO., LTD.), 14 May, 1998 (14.05.98), Full text; Figs. 1 to 23 & US 1001017 A & US 1001018 A & EP 873018 A1 & CN 1210651 A	1-9

☐ Further documents are listed in the continuation of Box C. ☐ See patent family annex.

* Special categories of cited documents:
"A" document defining the general state of the art which is not considered to be of particular relevance
"E" earlier document but published on or after the international filing date
"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)
"O" document referring to an oral disclosure, use, exhibition or other means
"P" document published prior to the international filing date but later than the priority date claimed
"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
"&" document member of the same patent family

Date of the actual completion of the international search	Date of mailing of the international search report
20 August, 2001 (20.08.01)	04 September, 2001 (04.09.01)
Name and mailing address of the ISA/ Japanese Patent Office	Authorized officer
Facsimile No.	Telephone No.

Form PCT/ISA/210 (second sheet) (July 1992)

国際調査報告

国際出願番号　ＰＣＴ／ＪＰ０１／０４３００

Ａ．　発明の属する分野の分類（国際特許分類（ＩＰＣ））

Ｉｎｔ．Ｃｌ⁷　Ｈ０４Ｎ７／３０

Ｂ．　調査を行った分野

調査を行った最小限資料（国際特許分類（ＩＰＣ））

Ｉｎｔ．Ｃｌ⁷ Ｈ０４Ｎ７／２４－７／６８，Ｈ０４Ｎ１／４１－１／４１９，Ｈ０３Ｍ７／３０－７／５０

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報　　１９５７－１９９６年
日本国公開実用新案公報　１９７５－２００１年
日本国登録実用新案公報　１９９４－２００１年
日本国実用新案登録公報　１９９６－２００１年

国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）

Ｃ．　関連すると認められる文献

引用文献のカテゴリー＊	引用文献名　及び一部の箇所が関連するときは、その関連する箇所の表示	関連する請求の範囲の番号
Ａ	ＷＯ　９８／２０６８１　Ａ１（ＭＡＴＳＵＳＩＴＡ　ＥＬＥＣＴＲＩＣ　ＩＮＤＵＳＴＲＩＡＬ　ＣＯ．，ＬＴＤ．） １４．５月．１９９８（１４．０５．９８） 全文，第１－２３図 ＆　ＵＳ　１００１０１７　Ａ　＆　ＵＳ　１００１０１８　Ａ ＆　ＥＰ　８７３０１８　Ａ１　＆　ＣＮ　１２１０６５１　Ａ	１－９

☐ Ｃ欄の続きにも文献が列挙されている。　　☐ パテントファミリーに関する別紙を参照。

＊　引用文献のカテゴリー
「Ａ」特に関連のある文献ではなく、一般的技術水準を示すもの
「Ｅ」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの
「Ｌ」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）
「Ｏ」口頭による開示、使用、展示等に言及する文献
「Ｐ」国際出願日前で、かつ優先権の主張の基礎となる出願の日の後に公表された文献
「Ｔ」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの
「Ｘ」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの
「Ｙ」特に関連のある文献であって、当該文献と他の１以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
「＆」同一パテントファミリー文献

国際調査を完了した日	国際調査報告の発送日
２０．０８．０１	０４．０９．０１

国際調査機関の名称及びあて先	特許庁審査官（権限のある職員）	５Ｐ	９０７０
日本国特許庁（ＩＳＡ／ＪＰ） 郵便番号１００－８９１５ 東京都千代田区霞が関三丁目４番３号	國分　直樹		
	電話番号　０３－３５８１－１１０１　内線　３５８１		

様式ＰＣＴ／ＩＳＡ／２１０（第２ページ）（１９９８年７月）