

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2021年9月16日(16.09.2021)



(10) 国際公開番号

WO 2021/181586 A1

(51) 国際特許分類:
G06F 11/34 (2006.01)

Masayuki); 〒1008310 東京都千代田区丸の内二丁目7番3号 三菱電機株式会社内 Tokyo (JP).

(21) 国際出願番号: PCT/JP2020/010670

(22) 国際出願日: 2020年3月11日(11.03.2020)

(25) 国際出願の言語: 日本語

(26) 国際公開の言語: 日本語

(71) 出願人:三菱電機株式会社(**MITSUBISHI ELECTRIC CORPORATION**) [JP/JP]; 〒1008310 東京都千代田区丸の内二丁目7番3号 Tokyo (JP).

(74) 代理人: 溝井 国際特許業務法人(**MIZOI INTERNATIONAL PATENT FIRM**); 〒2470056 神奈川県鎌倉市大船二丁目17番10号3階 Kanagawa (JP).

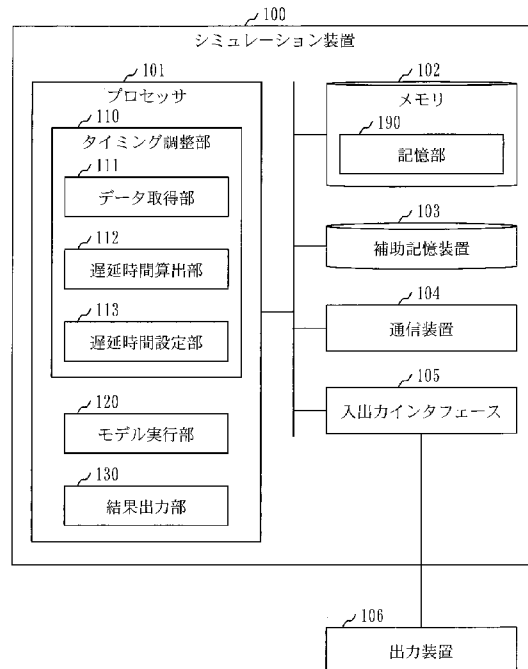
(72) 発明者:井邊 研吾(**IBE, Kengo**); 〒1008310 東京都千代田区丸の内二丁目7番3号 三菱電機株式会社内 Tokyo (JP). 桐村 昌行(**KIRIMURA,**

(81) 指定国(表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DJ, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, JO, JP, KE, KG, KH, KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ,

(54) **Title:** SIMULATION DEVICE AND SIMULATION PROGRAM

(54) 発明の名称: シミュレーション装置およびシミュレーションプログラム

[図1]



100 Simulation device
101 Processor
102 Memory
103 Auxiliary storage device
104 Communication device
105 I/O interface
106 Output device
110 Timing adjustment unit
111 Data acquisition unit
112 Delay time calculation unit
113 Delay time setting unit
120 Model execution unit
130 Result output unit
190 Storage unit

(57) **Abstract:** A model execution unit (120) executes a simulation model for simulating execution of a subject process with a simulation target. A timing adjustment unit (110) adjusts the timing at which the output of an output device (106) reflects simulation results so as to match planned performance of various types of hardware, said adjustment being carried out on the basis of planned performance data, etc., indicating information for specifying the planned performance, which is performance of various types of hardware planned to be used in actual equipment of the simulation target. A results

NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT,
QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL,
ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG,
US, UZ, VC, VN, WS, ZA, ZM, ZW.

- (84) 指定国(表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).

添付公開書類：

- 一 国際調査報告 (条約第21条(3))

output unit (13) causes the output by the output device to reflect the simulation results at the adjusted timing.

(57) 要約：モデル実行部（120）は、シミュレーション対象による対象処理の実行をシミュレーションするためのシミュレーションモデルを実行する。タイミング調整部（110）は、前記シミュレーション対象の実機に用いられる予定の各種ハードウェアの性能である予定性能を特定するための情報を示す予定性能データなどに基づいて、シミュレーション結果を出力装置（106）の出力に反映させるタイミングを各種ハードウェアの予定性能に合わせて調整する。結果出力部（130）は、調整されたタイミングに前記シミュレーション結果を前記出力装置の出力に反映させる。

明 細 書

発明の名称：

シミュレーション装置およびシミュレーションプログラム

技術分野

[0001] 本開示は、モデルベース開発においてハードウェア性能を考慮したシミュレーション環境の実現に関するものである。

背景技術

[0002] 各種システムの開発において、各種システムの動作をシミュレーションするためのモデルが用いられる。モデルを用いる開発はモデルベース開発と呼ばれる。

[0003] 特許文献1は、モデルベース開発のためのシステムを開示している。

このシステムは、GUI操作に対してシミュレーション実行と表示更新タイミングを調整する。これにより、操作結果の確認が可能となる。

先行技術文献

特許文献

[0004] 特許文献1：特開2010-97406号公報

発明の概要

発明が解決しようとする課題

[0005] 従来のモデルベース開発は、シミュレーション対象の実機に用いられるハードウェアが変更されないことを前提に行われる。つまり、従来のモデルベース開発では、ハードウェアの影響を考慮したシミュレーションが行われない。そのため、ハードウェアが変更される場合には、変更後のハードウェアの性能に応じたタイミングでシミュレーション結果を確認することができない。

[0006] 本開示は、シミュレーション対象の実機に用いられる予定のハードウェアの性能に応じたタイミングでシミュレーション結果を確認できるようにすることを目的とする。

課題を解決するための手段

[0007] 本開示のシミュレーション装置は、

シミュレーション対象による対象処理の実行をシミュレーションするためのシミュレーションモデルを実行するモデル実行部と、

前記シミュレーション対象の実機に用いられる予定の各種ハードウェアの性能である予定性能を特定するための情報を示す予定性能データと、各種ハードウェアの基準性能を特定するための情報を示す基準性能データと、基準性能を有する各種ハードウェアを用いた装置に前記対象処理を実行させたときに前記対象処理の実行に要した時間である前記対象処理の基準時間を特定するための情報を示す基準時間データと、前記対象処理の実行に対する各種ハードウェアの影響割合を特定するための情報を示すモデル設定データと、に基づいて、前記シミュレーションモデルの実行によって得られるシミュレーション結果を出力装置の出力に反映させるタイミングを各種ハードウェアの予定性能に合わせて調整するタイミング調整部と、

調整されたタイミングに前記シミュレーション結果を前記出力装置の出力に反映させる結果出力部と、を備える。

発明の効果

[0008] 本開示によれば、シミュレーション対象の実機に用いられる予定のハードウェアの性能に応じたタイミングでシミュレーション結果を確認することが可能となる。

図面の簡単な説明

[0009] [図1]実施の形態1におけるシミュレーション装置100の構成図。

[図2]実施の形態1における記憶部190の構成図。

[図3]実施の形態1におけるシミュレーション方法のフローチャート。

[図4]実施の形態1におけるタイミング調整処理(S110)のフローチャート。

[図5]実施の形態1における遅延時間の算出例を示す図。

[図6]実施の形態1における性能差の算出例を示す図。

[図7]実施の形態1における基準時間の算出例を示す図。

[図8]実施の形態1におけるモデル設定データ195の構成例を示す図。

[図9]実施の形態1におけるシミュレーション装置100のハードウェア構成図。

発明を実施するための形態

[0010] 実施の形態および図面において、同じ要素または対応する要素には同じ符号を付している。説明した要素と同じ符号が付された要素の説明は適宜に省略または簡略化する。図中の矢印はデータの流れ又は処理の流れを主に示している。

[0011] 実施の形態1.

シミュレーション装置100について、図1から図9に基づいて説明する。

[0012] ***構成の説明***

図1に基づいて、シミュレーション装置100の構成を説明する。

シミュレーション装置100は、プロセッサ101とメモリ102と補助記憶装置103と通信装置104と入出力インタフェース105といったハードウェアを備えるコンピュータである。これらのハードウェアは、信号線を介して互いに接続されている。

[0013] プロセッサ101は、演算処理を行うICであり、他のハードウェアを制御する。例えば、プロセッサ101は、CPU、DSPまたはGPUである。

ICは、Integrated Circuitの略称である。

CPUは、Central Processing Unitの略称である。

DSPは、Digital Signal Processorの略称である。

GPUは、Graphics Processing Unitの略称である。

[0014] メモリ 102 は揮発性または不揮発性の記憶装置である。メモリ 102 は、主記憶装置またはメインメモリとも呼ばれる。例えば、メモリ 102 は RAM である。メモリ 102 に記憶されたデータは必要に応じて補助記憶装置 103 に保存される。

RAM は、Random Access Memory の略称である。

[0015] 補助記憶装置 103 は不揮発性の記憶装置である。例えば、補助記憶装置 103 は、ROM、HDD またはフラッシュメモリである。補助記憶装置 103 に記憶されたデータは必要に応じてメモリ 102 にロードされる。

ROM は、Read Only Memory の略称である。

HDD は、Hard Disk Drive の略称である。

[0016] 通信装置 104 はレシーバ及びトランスミッタである。例えば、通信装置 104 は通信チップまたは NIC である。

NIC は、Network Interface Card の略称である。

[0017] 入出力インタフェース 105 は、入力装置および出力装置 106 が接続されるポートである。例えば、入出力インタフェース 105 は USB 端子であり、入力装置はキーボードおよびマウスであり、出力装置 106 はディスプレイ、ライトまたはスピーカなどである。出力装置 106 はアクチュエータともいう。ディスプレイの具体例は液晶パネルである。ライトの具体例は LED ライトである。LED は発光ダイオードの略称である。

USB は、Universal Serial Bus の略称である。

[0018] シミュレーション装置 100 は、タイミング調整部 110 とモデル実行部 120 と結果出力部 130 といった要素を備える。タイミング調整部 110 は、データ取得部 111 と遅延時間算出部 112 と遅延時間設定部 113 といった要素を備える。これらの要素はソフトウェアで実現される。

[0019] 補助記憶装置 103 には、シミュレーション装置 100 としてコンピュータを機能させるためのシミュレーションプログラムが記憶されている。シミュレーションプログラムは、メモリ 102 にロードされて、プロセッサ 10

1 によって実行される。

補助記憶装置 103 には、さらに、OS が記憶されている。OS の少なくとも一部は、メモリ 102 にロードされて、プロセッサ 101 によって実行される。

プロセッサ 101 は、OS を実行しながら、シミュレーションプログラムを実行する。

OS は、Operating System の略称である。

[0020] シミュレーションプログラムの入出力データは記憶部 190 に記憶される。

メモリ 102 は記憶部 190 として機能する。但し、補助記憶装置 103、プロセッサ 101 内のレジスタおよびプロセッサ 101 内のキャッシュメモリなどの記憶装置が、メモリ 102 の代わりに、又は、メモリ 102 と共に、記憶部 190 として機能してもよい。

[0021] シミュレーション装置 100 は、プロセッサ 101 を代替する複数のプロセッサを備えてもよい。複数のプロセッサは、プロセッサ 101 の機能を分担する。

[0022] シミュレーションプログラムは、光ディスクまたはフラッシュメモリ等の不揮発性の記録媒体にコンピュータ読み取り可能に記録（格納）することができる。

[0023] 図 2 に基づいて、記憶部 190 の構成を説明する。

記憶部 190 には、シミュレーションモデル 191、基準性能データ 192、基準時間データ 193、予定性能データ 194 およびモデル設定データ 195 などが記憶される。

[0024] シミュレーションモデル 191 は、シミュレーション対象による対象処理の実行をシミュレーションするためのモデルである。シミュレーションモデル 191 は、ソフトウェア、ハードウェアまたはこれらの組み合わせで実現される。

対象処理は、シミュレーション対象を機能させるための処理である。

例えば、シミュレーション対象は、ヒューマンマシンインタフェースとなる機器またはプログラムである。ヒューマンマシンインタフェースの具体例は、自動車のコックピットに設けられる各種ディスプレイである。例えば、対象処理は、各種ディスプレイに表示させる画像を生成する。

[0025] 基準性能データ 192 は、基準性能情報を示す。

基準性能情報は、基準性能を特定するための情報である。

基準性能は、基準性能装置に備わる各種ハードウェアの性能である。例えば、プロセッサの性能はコア数で特定され、メモリの性能は記憶容量で特定される。

基準性能装置は、基準性能を有する各種ハードウェアを用いた装置である。基準性能装置は、機器またはプログラムを実行するコンピュータなどによって実現される。例えば、リファレンスボード、試作品または従来機器などが基準性能装置に使用される。

[0026] 基準時間データ 193 は、基準時間情報を示す。

基準時間情報は、対象処理の基準時間を特定するための情報である。

対象処理の基準時間は、基準性能装置に対象処理を実行させたときに対象処理の実行に要した時間である。実行に要した時間を「実行時間」と称する。

[0027] 予定性能データ 194 は、予定性能情報を示す。

予定性能情報は、予定性能を特定するための情報である。

予定性能は、シミュレーション対象の実機に用いられる予定の各種ハードウェアの性能である。

[0028] モデル設定データ 195 は、シミュレーションモデル 191 に対する設定情報を示す。

シミュレーションモデル 191 に対する設定情報は、対象処理の実行に対する各種ハードウェアの影響割合を特定するために用いられる。

影響割合は、種類が異なる複数のハードウェアにおいて各種ハードウェアが対象処理の実行に影響を与える割合である。各種ハードウェアの影響割合

の合計は１００パーセント（％）である。

[0029] ***動作の説明***

シミュレーション装置１００の動作の手順はシミュレーション方法に相当する。また、シミュレーション装置１００の動作の手順はシミュレーションプログラムによる処理の手順に相当する。

[0030] 図３に基づいて、シミュレーション方法を説明する。

ステップＳ１１０において、タイミング調整部１１０は、タイミング調整用の各種データに基づいてタイミング調整を行う。

タイミング調整用の各種データは、基準性能データ１９２と基準時間データ１９３と予定性能データ１９４とモデル設定データ１９５である。

タイミング調整は、シミュレーション結果を出力装置１０６の出力に反映させるタイミングを各種ハードウェアの予定性能に合わせて調整する処理である。

シミュレーション結果は、シミュレーションモデル１９１の実行によって得られる結果である。例えば、シミュレーション結果は対象処理によって生成される画像である。

[0031] 図４に基づいて、タイミング調整処理（Ｓ１１０）の手順を説明する。

ステップＳ１１１において、データ取得部１１１は、タイミング調整用の各種データを取得する。

例えば、タイミング調整用の各種データがシミュレーション装置１００に入力される。データ取得部１１１は、タイミング調整用の各種データを受け付けて記憶部１９０に記憶する。

[0032] ステップＳ１１２において、遅延時間算出部１１２は、タイミング調整用の各種データに基づいて遅延時間を算出する。

遅延時間は、予定性能を有する各種ハードウェアによる対象処理の実行時間に相当する。

[0033] 遅延時間算出部１１２は、遅延時間を以下のように算出する。

遅延時間算出部１１２は、基準時間データ１９３に基づいて、対象処理の

基準時間を特定する。

遅延時間算出部 112 は、予定性能データ 194 と基準性能データ 192 とに基づいて、ハードウェアの種類毎に基準性能に対する予定性能の性能差を算出する。

遅延時間算出部 112 は、モデル設定データ 195 に基づいて、対象処理に対する対象ハードウェアの影響割合を特定する。対象ハードウェアは、性能差があるハードウェアである。

そして、遅延時間算出部 112 は、対象処理の基準時間と、対象ハードウェアの性能差と、対象処理に対する対象ハードウェアの影響割合と、を用いて遅延時間を算出する。

ステップ S 112 の詳細について後述する。

[0034] ステップ S 113 において、遅延時間設定部 113 は、遅延時間を結果出力部 130 に設定する。

シミュレーションモデル 191 の実行の開始時刻から遅延時間が経過したときが、シミュレーション結果を出力装置 106 の出力に反映させるタイミングである。

[0035] 図 3 に戻り、ステップ S 120 から説明を続ける。

ステップ S 120 において、モデル実行部 120 は、シミュレーションモデル 191 を実行する。

[0036] シミュレーションモデル 191 は、以下のように実行される。

まず、モデル実行部 120 は、対象処理によって処理されるデータ（処理データ）を取得する。例えば、処理データがシミュレーション装置 100 に入力される。モデル実行部 120 は、入力された処理データを受け付けて記憶部 190 に記憶する。

次に、モデル実行部 120 は、処理データを入力にしてシミュレーションモデル 191 を実行する。シミュレーションモデル 191 の実行によって得られるデータを「結果データ」と称する。結果データはシミュレーション結果を示す。

そして、モデル実行部 120 は、結果データを記憶部 190 に記憶する。

[0037] シミュレーション対象が自動車のコックピットに設けられる各種ディスプレイである場合、指示器に対する操作コマンド、自動車の速度または車載カメラによって得られる映像などが処理データとなる。例えば、シミュレーション結果は、運転席前のディスプレイと中央のディスプレイと電子ミラーとのそれぞれに表示させる画像である。

[0038] ステップ S130 において、結果出力部 130 は、調整タイミングにシミュレーション結果を出力装置 106 の出力に反映させる。

調整タイミングは、ステップ S110 におけるタイミング調整によって調整されたタイミングである。つまり、調整タイミングは、シミュレーションモデル 191 の実行の開始時刻から遅延時間が経過したときである。

[0039] 具体的には、結果出力部 130 は、調整タイミングに出力装置 106 に結果データを入力する。そして、出力装置 106 は、結果データに示されるシミュレーション結果を出力に反映させる。

例えば、出力装置 106 であるディスプレイは、シミュレーション結果データに含まれる画像を表示する。

[0040] シミュレーションモデル 191 の実行によって複数の画像が得られる場合、複数の出力装置 106 がシミュレーション装置 100 に接続され、複数の画像が互いに異なる出力装置 106 に表示されてもよい。また、複数の画像が 1 つの出力装置 106 に表示されてもよい。

[0041] 図 5 から図 8 に基づいて、遅延時間算出処理 (S112) について説明する。

アプリケーション A~C は、互いに異なる対象処理を実行するためのソフトウェアである。つまり、1 つのアプリケーションの実行は 1 つの対象処理の実行を意味する。「アプリケーション」は「対象処理」と読み替えることができる。

[0042] 図 5 に基づいて、遅延時間の算出例を説明する。

基準性能データ 192 は、各種ハードウェアの基準性能値を示す。基準性

能値は、各種ハードウェアの性能を表す値である。

予定性能データ 194 は、各種ハードウェアの予定性能値を示す。予定性能値は、各種ハードウェアの性能を表す値である。

[0043] 遅延時間算出部 112 は、予定性能データ 194 に示される各種ハードウェアの予定性能値を基準性能データ 192 に示される各種ハードウェアの基準性能値と比較する。そして、遅延時間算出部 112 は、ハードウェアの種類毎に比較結果に基づいて性能差を算出する。性能差は、基準性能に対する予定性能の差である。

図 5 において、CPU の予定性能値が CPU の基準性能値から 50 パーセントダウンしている。つまり、CPU の性能差は「50%」である。メモリと GPU とアクセラレータについては性能差がない。

[0044] モデル設定データ 195 は、各アプリケーションに対する各種ハードウェアの影響割合を示す。

[0045] 遅延時間算出部 112 は、モデル設定データ 195 を参照することによって、性能差があるハードウェア（対象ハードウェア）の影響割合を特定する。

[0046] 基準時間データ 193 は、各アプリケーションの基準時間を示す。

[0047] 遅延時間算出部 112 は、基準時間データ 193 を参照することによって各アプリケーションの基準時間を特定する。

[0048] そして、遅延時間算出部 112 は、各アプリケーションの基準時間と、対象ハードウェアの性能差と、各アプリケーションに対する対象ハードウェアの影響割合と、を用いて遅延時間を算出する。

図 5 において、アプリケーション A の基準時間は「100ms」であり、CPU の性能差は「50%」であり、アプリケーション A に対する CPU の影響割合は「30%」である。「50%」は「0.5」を意味し、「30%」は「0.3」を意味し、「100%」は「1」を意味する。「ms」はミリ秒を意味する。

遅延時間算出部 112 は、「100ms」と「50%」と「30%」とを

用いて、アプリケーションAに対する遅延時間を算出する。アプリケーションAに対する遅延時間は「130ms」である。

遅延時間算出部112は、さらに、アプリケーションB、Cのそれぞれに対する遅延時間を算出する。

[0049] 遅延時間は以下の式で表すことができる。

$$\text{遅延時間} = \text{基準時間} * (\text{非影響割合} + \text{影響度})$$
$$\text{非影響割合} = 1 - \text{影響割合}$$
$$\text{影響度} = \text{影響割合} / \text{性能差}$$

[0050] 図6に基づいて、性能差の算出例を説明する。

基準性能情報および予定性能情報がCPUのコア数のような数値である場合、数値同士を比較することによって性能差を算出することができる。

しかし、基準性能情報および予定性能情報がGPUの型番のような型式識別子である場合、型式識別子同士を比較することによって性能差を算出することは難しい。型式識別子は型式を識別する。異なる型式は、同じ種類のハードウェアを分類する。型式の違いは性能の違いを意味する。

そこで、ベンチマークデータ181が使用される。例えば、ベンチマークデータ181は記憶部190に予め記憶される。

ベンチマークデータ181は、各種ハードウェアの型式ごとにベンチマークスコアを示す。

[0051] 基準性能データ192は、各種ハードウェアの基準性能値または基準性能を有する各種ハードウェアの型式識別子を示す。

予定性能データ194は、各種ハードウェアの予定性能値または予定性能を有する各種ハードウェアの型式識別子を示す。

[0052] まず、遅延時間算出部112は、基準性能データ192と予定性能データ194のそれぞれから型式識別子を取得する。

図6において、基準性能データ192に示されるGPUの型番は「XXXXX」であり、予定性能データ194に示されるGPUの型番は「TTTTT」である。

[0053] 次に、遅延時間算出部 112 は、基準性能データ 192 から取得した各型式識別子に対するベンチマークスコアをベンチマークデータ 181 から取得する。取得されるベンチマークスコアが基準性能値となる。

また、遅延時間算出部 112 は、予定性能データ 194 から取得した各型式識別子に対するベンチマークスコアをベンチマークデータ 181 から取得する。取得されるベンチマークスコアが予定性能値となる。

図 6 において、型番が「XXXX」である GPU のベンチマークスコアすなわち GPU の基準性能値は「8000」である。また、型番が「TTTT」である GPU のベンチマークスコアすなわち GPU の予定性能値は「4000」である。

[0054] そして、遅延時間算出部 112 は、各種ハードウェアの予定性能値を各種ハードウェアの基準性能値と比較し、ハードウェア毎に比較結果に基づいて性能差を算出する。

図 6 において、GPU の予定性能値であるベンチマークスコア「4000」は GPU の基準性能値であるベンチマークスコア「8000」から 50% ダウンしている。つまり、GPU の性能差は「50%」である。

[0055] 図 7 に基づいて、各アプリケーションが複数の機能ブロックで実現される場合における各アプリケーションの基準時間の算出例を説明する。

基準時間データ 193 は、各アプリケーションを実行するために使用される複数の機能ブロックのそれぞれの基準時間を示している。

モデル設定データ 195 は、各アプリケーションを実行するために使用される複数の機能ブロックを示している。

アプリケーション A において、機能ブロック (A) と機能ブロック (B) が実行され、機能ブロック (A) の出力と機能ブロック (B) の出力とを入力として機能ブロック (D) が実行される。つまり、アプリケーション A を実行するために、機能ブロック (A)、(B) および (D) が使用される。

遅延時間算出部 112 は、機能ブロック (A)、(B) および (D) のそれぞれの基準時間を基準時間データ 193 から取得し、取得した基準時間を

合計してアプリケーションAの基準時間を算出する。

機能ブロック（A）、（B）および（D）の基準時間はそれぞれ「50ms」である。したがって、アプリケーションAの基準時間は「150ms」である。

遅延時間算出部112は、さらに、アプリケーションB、Cのそれぞれの基準時間を算出する。

[0056] 図8に基づいて、各アプリケーションが複数の機能ブロックで実現される場合における各アプリケーションに対する各ハードウェアの影響割合の算出について説明する。

モデル設定データ195は、各アプリケーションを実行するために使用される複数の機能ブロックを示している。さらに、モデル設定データ195は、各機能ブロックに対する各種ハードウェアの影響割合を示している。

遅延時間算出部112は、各アプリケーションの機能ブロックごとに各種ハードウェアの影響割合をモデル設定データ195から取得する。そして、遅延時間算出部112は、アプリケーションごとに、取得した影響割合を用いてアプリケーションに対する各種ハードウェアの影響割合を算出する。例えば、遅延時間算出部112は、取得した影響割合を合計してアプリケーションに対する各種ハードウェアの影響割合を算出する。

[0057] ***実施の形態1の効果***

シミュレーション装置100は、モデルベース開発で用いるシミュレータであり、実際に用いられる予定のハードウェアの性能に応じて、シミュレーション結果の表示タイミングを調整する。これにより、シミュレーションモデル191の中の処理フローの変更に伴う検証だけでなく、ハードウェアの変更に伴う検証を行うことができる。

[0058] ***実施の形態1の補足***

図9に基づいて、シミュレーション装置100のハードウェア構成を説明する。

シミュレーション装置100は処理回路109を備える。

処理回路１０９は、タイミング調整部１１０とモデル実行部１２０と結果出力部１３０とを実現するハードウェアである。

処理回路１０９は、専用のハードウェアであってもよいし、メモリ１０２に格納されるプログラムを実行するプロセッサ１０１であってもよい。

[0059] 処理回路１０９が専用のハードウェアである場合、処理回路１０９は、例えば、単回路、複回路、プログラム化したプロセッサ、並列プログラム化したプロセッサ、ASIC、FPGAまたはこれらの組み合わせである。

ASICは、Application Specific Integrated Circuitの略称である。

FPGAは、Field Programmable Gate Arrayの略称である。

[0060] シミュレーション装置１００は、処理回路１０９を代替する複数の処理回路を備えてもよい。複数の処理回路は、処理回路１０９の機能を分担する。

[0061] 処理回路１０９において、一部の機能が専用のハードウェアで実現されて、残りの機能がソフトウェアまたはファームウェアで実現されてもよい。

[0062] このように、シミュレーション装置１００の機能はハードウェア、ソフトウェア、ファームウェアまたはこれらの組み合わせで実現することができる。

[0063] 実施の形態１は、好ましい形態の例示であり、本開示の技術的範囲を制限することを意図するものではない。各実施の形態は、部分的に実施してもよいし、他の形態と組み合わせて実施してもよい。フローチャート等を用いて説明した手順は、適宜に変更してもよい。

シミュレーション装置１００の要素である「部」は、「処理」または「工程」と読み替えてもよい。

符号の説明

[0064] １００ シミュレーション装置、１０１ プロセッサ、１０２ メモリ、１０３ 補助記憶装置、１０４ 通信装置、１０５ 入出力インタフェース、１０６ 出力装置、１０９ 処理回路、１１０ タイミング調整部、１１

1 データ取得部、112 遅延時間算出部、113 遅延時間設定部、120 モデル実行部、130 結果出力部、181 ベンチマークデータ、190 記憶部、191 シミュレーションモデル、192 基準性能データ、193 基準時間データ、194 予定性能データ、195 モデル設定データ。

請求の範囲

- [請求項1] シミュレーション対象による対象処理の実行をシミュレーションするためのシミュレーションモデルを実行するモデル実行部と、
- 前記シミュレーション対象の実機に用いられる予定の各種ハードウェアの性能である予定性能を特定するための情報を示す予定性能データと、各種ハードウェアの基準性能を特定するための情報を示す基準性能データと、基準性能を有する各種ハードウェアを用いた装置に前記対象処理を実行させたときに前記対象処理の実行に要した時間である前記対象処理の基準時間を特定するための情報を示す基準時間データと、前記対象処理の実行に対する各種ハードウェアの影響割合を特定するための情報を示すモデル設定データと、に基づいて、前記シミュレーションモデルの実行によって得られるシミュレーション結果を出力装置の出力に反映させるタイミングを各種ハードウェアの予定性能に合わせて調整するタイミング調整部と、
- 調整されたタイミングに前記シミュレーション結果を前記出力装置の出力に反映させる結果出力部と、
- を備えるシミュレーション装置。
- [請求項2] 前記タイミング調整部は、
- 前記基準時間データに基づいて、前記対象処理の前記基準時間を特定し、
- 前記予定性能データと前記基準性能データとに基づいて、ハードウェアの種類毎に基準性能に対する予定性能の性能差を算出し、
- 前記モデル設定データに基づいて、性能差があるハードウェアである対象ハードウェアの前記対象処理に対する影響割合を特定し、
- 前記対象処理の前記基準時間と、前記対象ハードウェアの性能差と、前記対象処理に対する前記対象ハードウェアの影響割合と、を用いて、予定性能を有する各種ハードウェアによる前記対象処理の実行時間を遅延時間として算出し、

前記調整されたタイミングが、前記シミュレーションモデルの実行の開始時刻から前記遅延時間が経過したときである

請求項 1 に記載のシミュレーション装置。

[請求項3] 前記基準時間データは、前記対象処理の前記基準時間を示し、
前記タイミング調整部は、前記基準時間データを参照することによって前記対象処理の前記基準時間を特定する
請求項 2 に記載のシミュレーション装置。

[請求項4] 前記基準時間データは、前記対象処理を実行するために使用される複数の機能ブロックのそれぞれの基準時間を示し、
前記タイミング調整部は、前記基準時間データから前記複数の機能ブロックのそれぞれの基準時間を取得し、取得した基準時間を合計して前記対象処理の前記基準時間を算出する
請求項 2 に記載のシミュレーション装置。

[請求項5] 前記基準性能データは、各種ハードウェアの基準性能を表す基準性能値を示し、
前記予定性能データは、各種ハードウェアの予定性能を表す予定性能値を示し、
前記タイミング調整部は、
前記予定性能データに示される各種ハードウェアの予定性能値を前記基準性能データに示される各種ハードウェアの基準性能値と比較し、ハードウェアの種類毎に基準性能に対する予定性能の性能差を比較結果に基づいて算出する
請求項 2 から請求項 4 のいずれか 1 項に記載のシミュレーション装置。

[請求項6] 前記基準性能データは、各種ハードウェアの基準性能を表す基準性能値または基準性能を有する各種ハードウェアの型式識別子を示し、
前記予定性能データは、各種ハードウェアの予定性能を表す予定性能値または予定性能を有する各種ハードウェアの型式識別子を示し、

前記タイミング調整部は、各種ハードウェアの型式識別子ごとにベンチマークスコアを示すベンチマークデータから前記基準性能データに示される各型式識別子に対応するベンチマークスコアを基準性能値として取得し、前記ベンチマークデータから前記予定性能データに示される各型式識別子に対応するベンチマークスコアを予定性能値として取得し、各種ハードウェアの予定性能値を各種ハードウェアの基準性能値と比較し、ハードウェアの種類毎に基準性能に対する予定性能の性能差を比較結果に基づいて算出する

請求項2から請求項4のいずれか1項に記載のシミュレーション装置。

[請求項7] 前記モデル設定データは、前記対象処理に対する各種ハードウェアの影響割合を示し、

前記タイミング調整部は、

前記モデル設定データを参照することによって前記対象処理に対する前記対象ハードウェアの前記影響割合を特定する

請求項2から請求項6のいずれか1項に記載のシミュレーション装置。

[請求項8] モデル設定データは、前記対象処理を実行するために使用される複数の機能ブロックのそれぞれに対する各種ハードウェアの影響割合を示し、

タイミング調整部は、

前記対象ハードウェアの影響割合を前記モデル設定データから機能ブロックごとに取得し、取得した影響割合を用いて前記対象処理に対する前記対象ハードウェアの前記影響割合を算出する

請求項2から請求項6のいずれか1項に記載のシミュレーション装置。

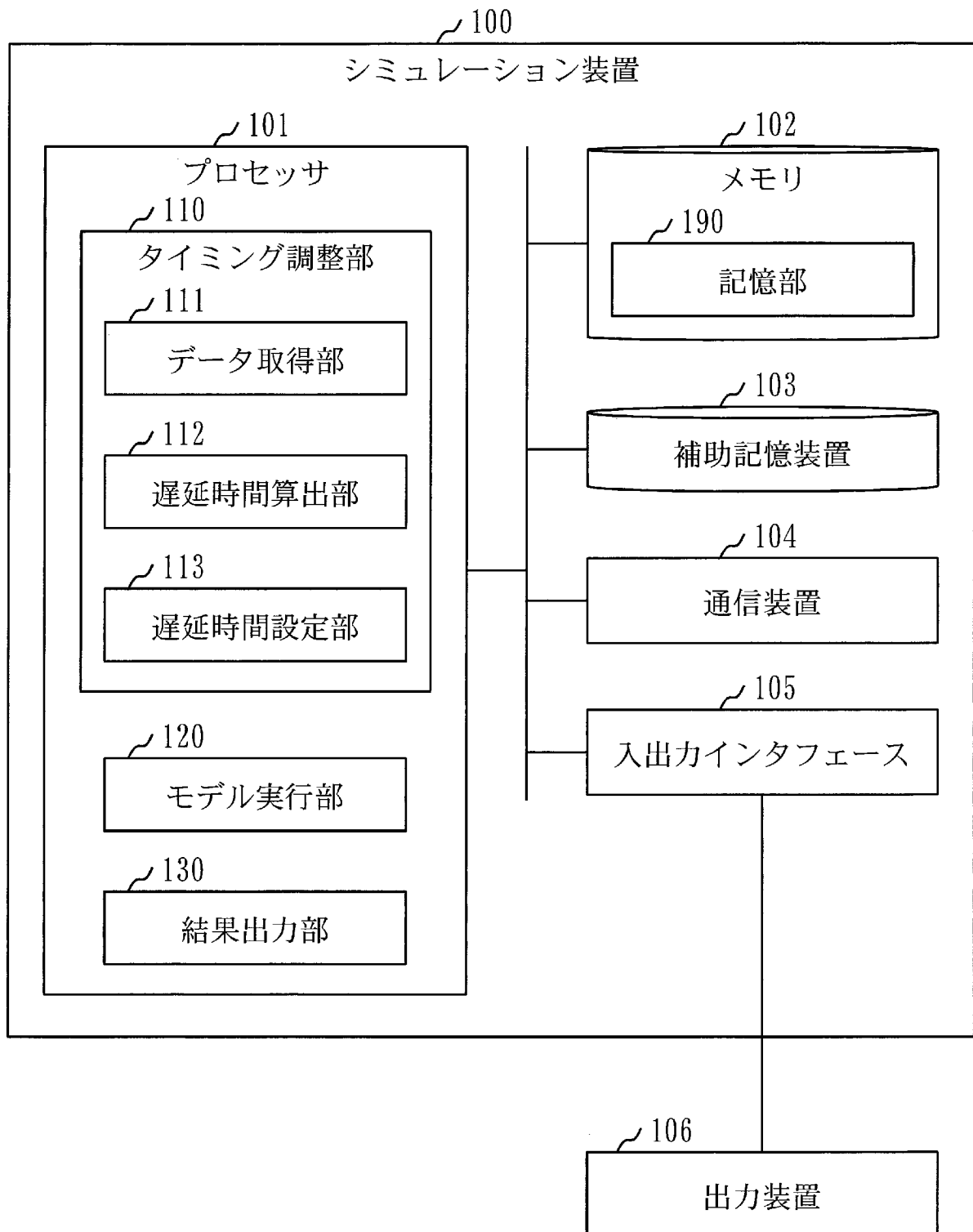
[請求項9] シミュレーション対象による対象処理の実行をシミュレーションするためのシミュレーションモデルを実行するモデル実行処理と、

前記シミュレーション対象の実機に用いられる予定の各種ハードウェアの性能である予定性能を特定するための情報を示す予定性能データと、各種ハードウェアの基準性能を特定するための情報を示す基準性能データと、基準性能を有する各種ハードウェアを用いた装置に前記対象処理を実行させたときに前記対象処理の実行に要した時間である前記対象処理の基準時間を特定するための情報を示す基準時間データと、前記対象処理の実行に対する各種ハードウェアの影響割合を特定するための情報を示すモデル設定データと、に基づいて、前記シミュレーションモデルの実行によって得られるシミュレーション結果を出力装置の出力に反映させるタイミングを各種ハードウェアの予定性能に合わせて調整するタイミング調整処理と、

調整されたタイミングに前記シミュレーション結果を前記出力装置の出力に反映させる結果出力処理と、
をコンピュータに実行させるためのシミュレーションプログラム。

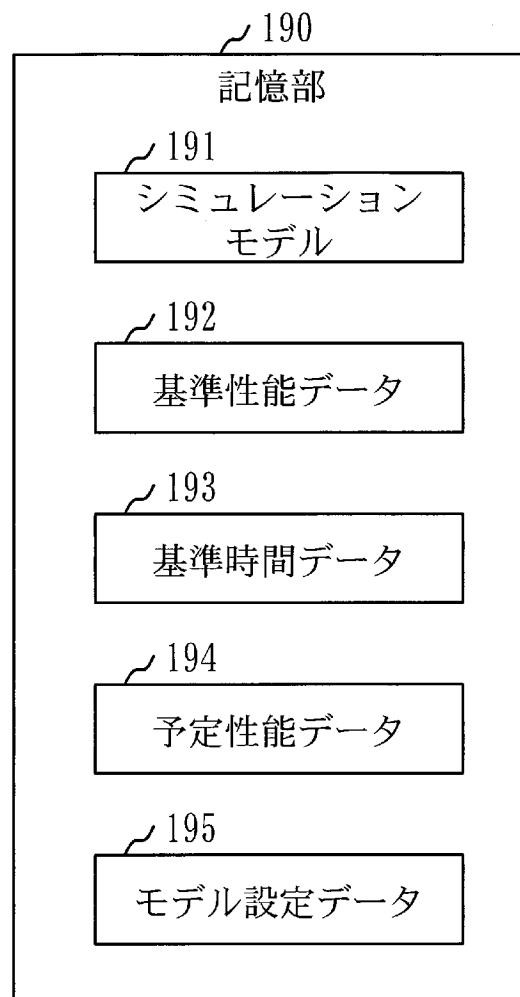
[図1]

図1



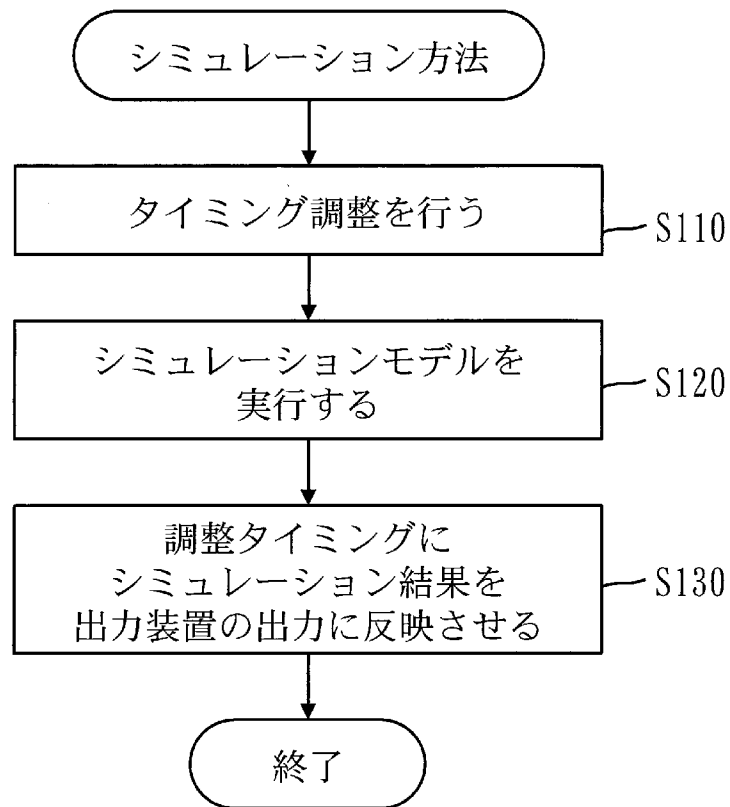
[図2]

図2



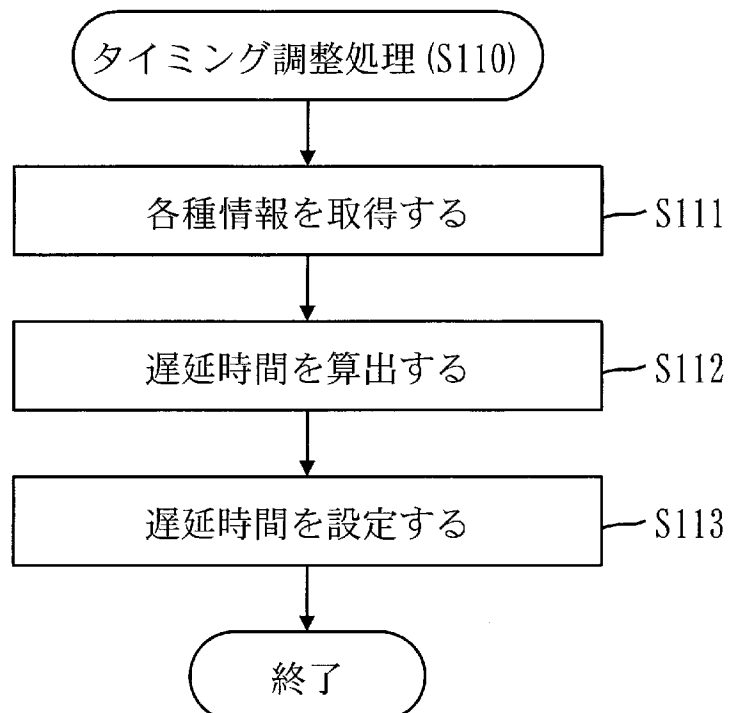
[図3]

図3



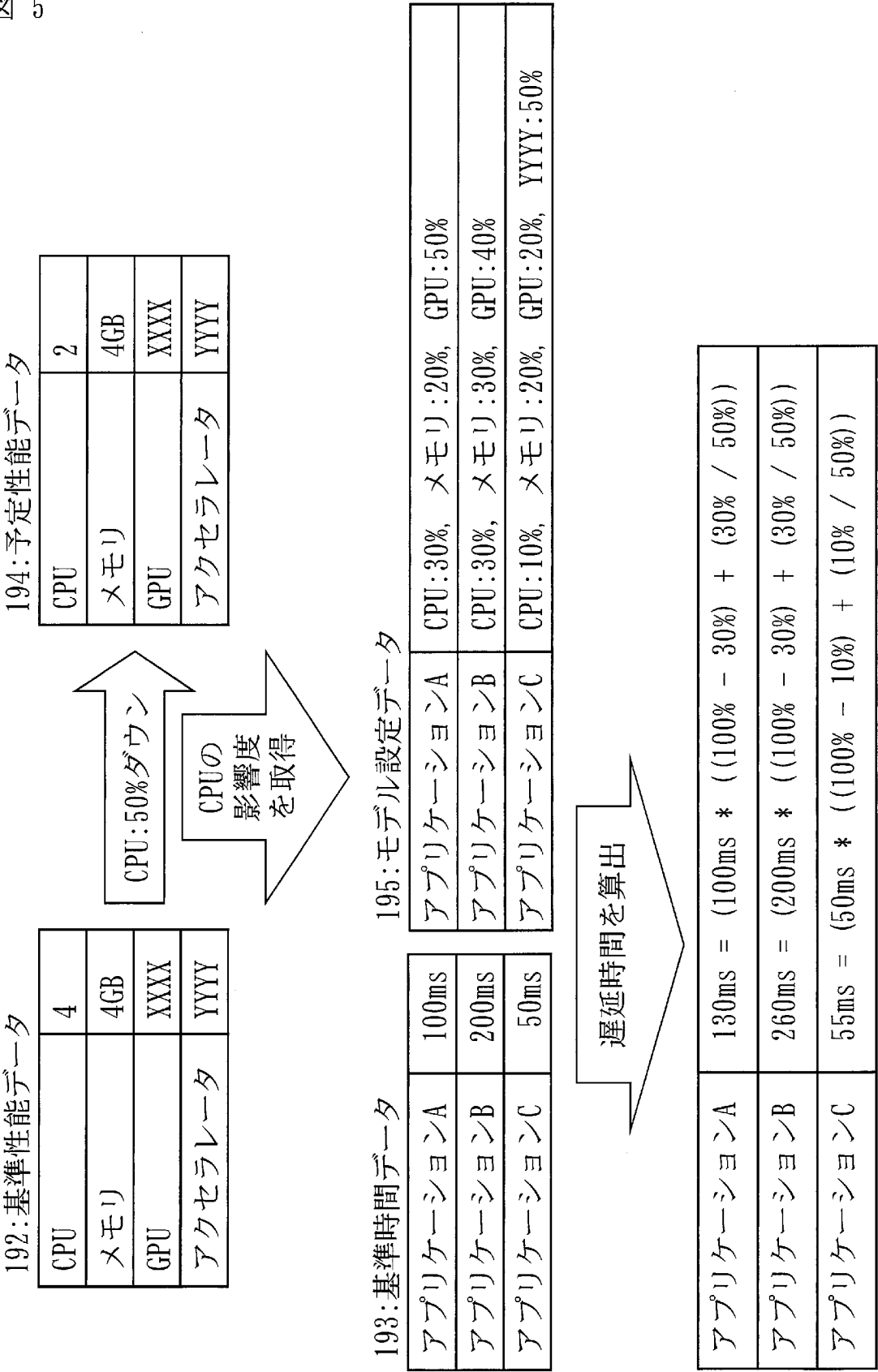
[図4]

図4



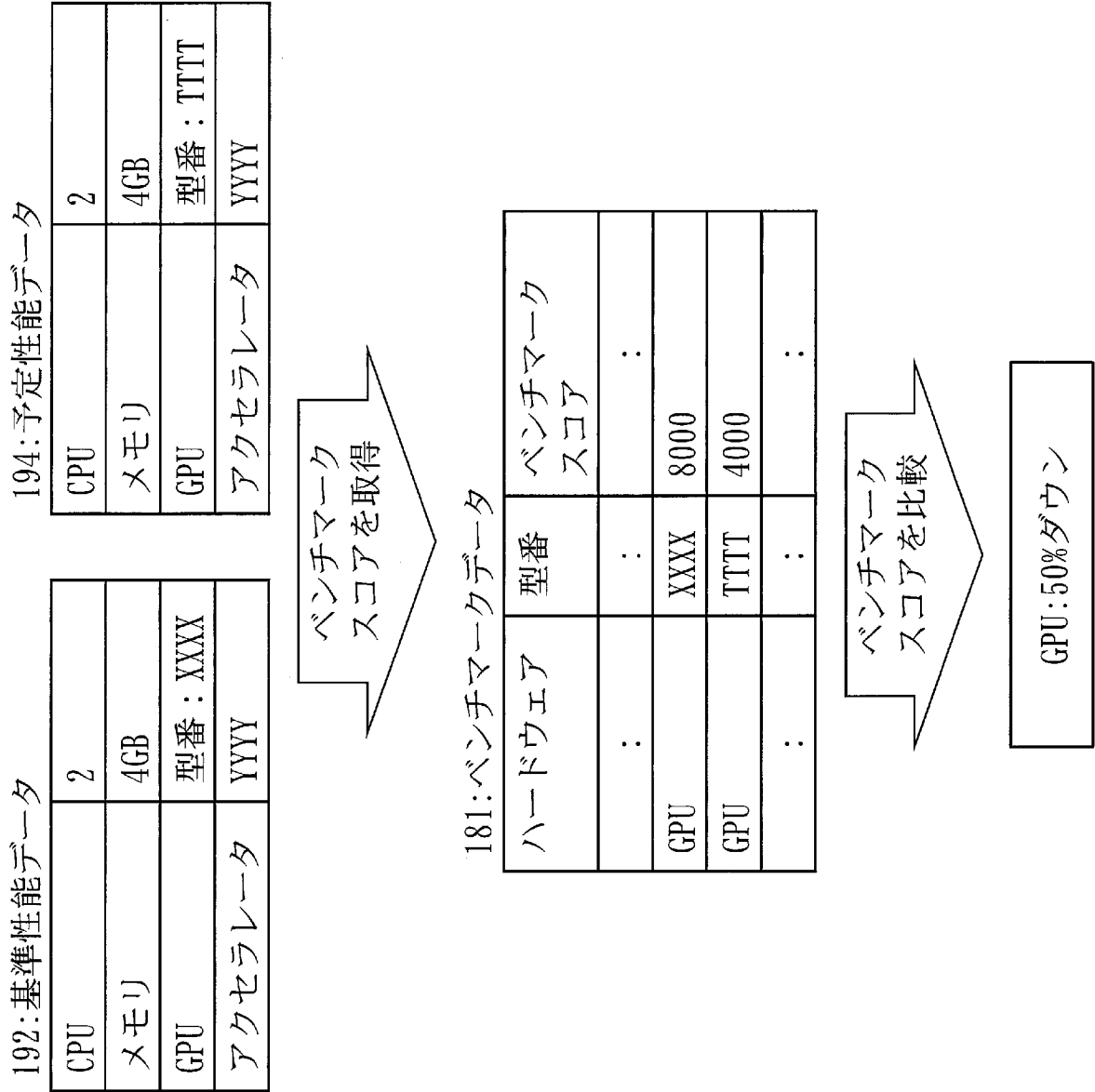
[図5]

図 5



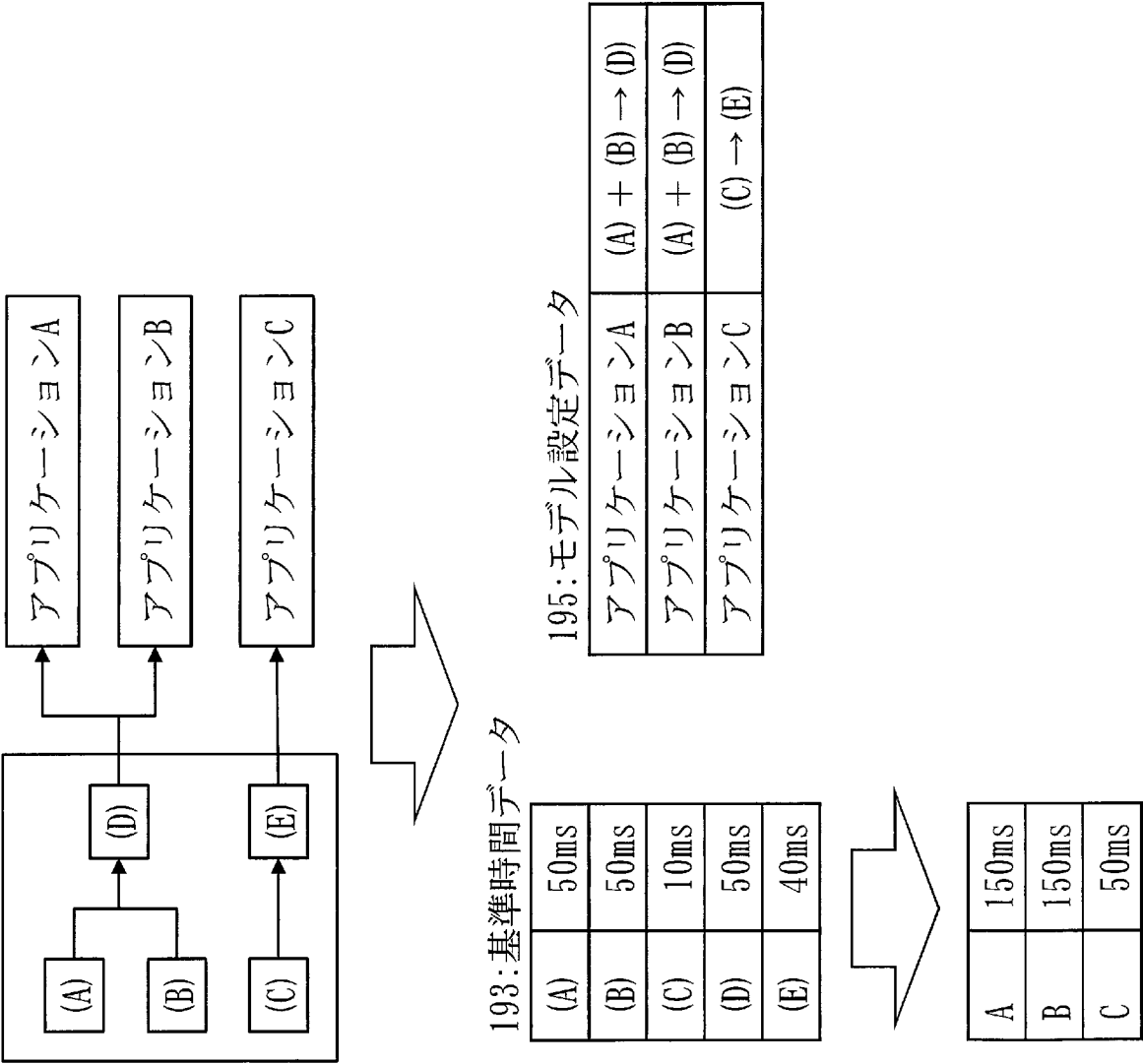
[図6]

図 6



[図7]

図 7



[図8]

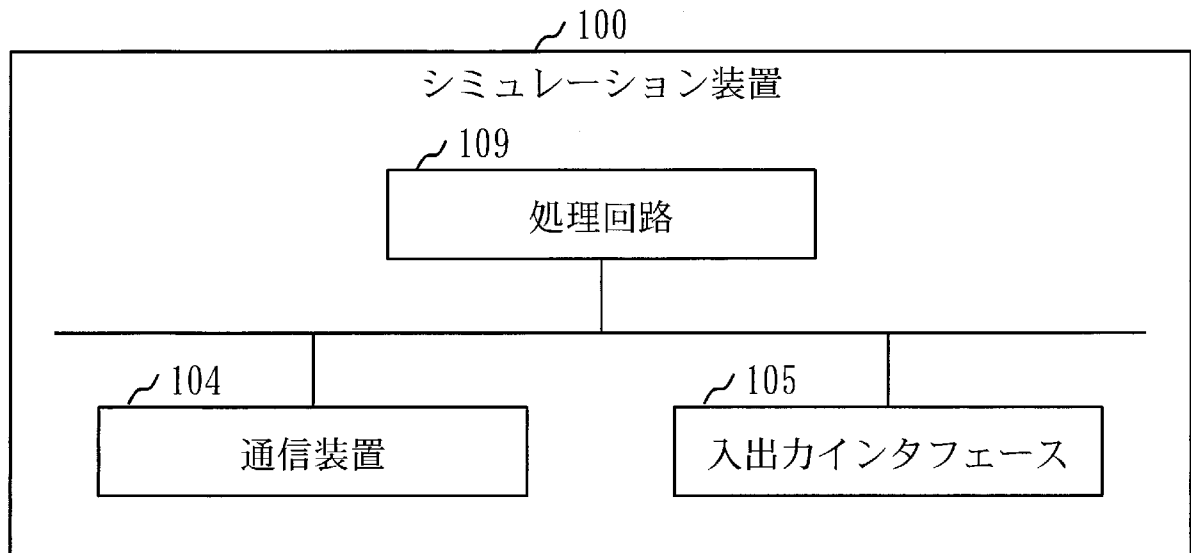
図 8

195:モデル設定データ

アプリケーションA	(A) + (B) → (D)	(A)	CPU:60%, メモリ:40%
アプリケーションB	(A) + (B) → (D)	(B)	CPU:60%, メモリ:40%
アプリケーションC	(C) → (E)	(C)	CPU:30%, メモリ:20%, YYY:50%
		(D)	CPU:10%, メモリ:10%, GPU:80%
		(E)	CPU:10%, メモリ:10%, GPU:80%

[図9]

図9



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2020/010670

A. CLASSIFICATION OF SUBJECT MATTER

Int. Cl. G06F11/34 (2006.01) i
FI: G06F11/34 147

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

Int. Cl. G06F8/00-8/77, G06F11/28-11/36

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Published examined utility model applications of Japan 1922-1996

Published unexamined utility model applications of Japan 1971-2020

Registered utility model specifications of Japan 1996-2020

Published registered utility model applications of Japan 1994-2020

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y A	JP 2007-334812 A (NEC ELECTRONICS CORP.) 27 December 2007, paragraphs [0019]-[0052], fig. 1-10	1, 9 2-8
Y	JP 2004-258705 A (HITACHI, LTD.) 16 September 2004, paragraphs [0015], [0017], [0037]-[0044], fig. 13, 14	1, 9
Y	JP 2018-22424 A (HITACHI, LTD.) 08 February 2018, paragraph [0034], fig. 12	1, 9

☐ Further documents are listed in the continuation of Box C.

☒ See patent family annex.

* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier application or patent but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&" document member of the same patent family

Date of the actual completion of the international search
31.07.2020

Date of mailing of the international search report
11.08.2020

Name and mailing address of the ISA/
Japan Patent Office
3-4-3, Kasumigaseki, Chiyoda-ku,
Tokyo 100-8915, Japan

Authorized officer

Telephone No.

INTERNATIONAL SEARCH REPORT

Information on patent family members

International application No.

PCT/JP2020/010670

Patent Documents referred to in the Report	Publication Date	Patent Family	Publication Date
JP 2007-334812 A	27.12.2007	(Family: none)	
JP 2004-258705 A	16.09.2004	(Family: none)	
JP 2018-22424 A	08.02.2018	(Family: none)	

A. 発明の属する分野の分類（国際特許分類（IPC）） G06F 11/34(2006.01)i FI: G06F11/34 147		
B. 調査を行った分野		
調査を行った最小限資料（国際特許分類（IPC）） G06F8/00-8/77, G06F11/28-11/36		
最小限資料以外の資料で調査を行った分野に含まれるもの 日本国実用新案公報 1922-1996年 日本国公開実用新案公報 1971-2020年 日本国実用新案登録公報 1996-2020年 日本国登録実用新案公報 1994-2020年		
国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）		
C. 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
Y	JP 2007-334812 A (NECエレクトロニクス株式会社) 27.12.2007 (2007-12-27) [0019] - [0052], 図1-10	1,9
A		2-8
Y	JP 2004-258705 A (株式会社日立製作所) 16.09.2004 (2004-09-16) [0015], [0017], [0037] - [0044], 図13-14	1,9
Y	JP 2018-22424 A (株式会社日立製作所) 08.02.2018 (2018-02-08) [0034], 図12	1,9
☐ C欄の続きにも文献が列挙されている。 ☒ パテントファミリーに関する別紙を参照。		
* 引用文献のカテゴリー “A” 特に関連のある文献ではなく、一般的な技術水準を示すもの “E” 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの “L” 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す） “O” 口頭による開示、使用、展示等に言及する文献 “P” 国際出願日前で、かつ優先権の主張の基礎となる出願の日の後に公表された文献 “T” 国際出願日又は優先日後に公表された文献であって出願と抵触するものではなく、発明の原理又は理論の理解のために引用するもの “X” 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの “Y” 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの “&” 同一パテントファミリー文献		
国際調査を完了した日 31.07.2020	国際調査報告の発送日 11.08.2020	
名称及びあて先 日本国特許庁(ISA/JP) 〒100-8915 日本国 東京都千代田区霞が関三丁目4番3号	権限のある職員（特許庁審査官） 杉浦 孝光 5B 5287 電話番号 03-3581-1101 内線 3545	

国際調査報告
パテントファミリーに関する情報

国際出願番号

PCT/JP2020/010670

引用文献			公表日	パテントファミリー文献	公表日
JP	2007-334812	A	27.12.2007	(ファミリーなし)	
JP	2004-258705	A	16.09.2004	(ファミリーなし)	
JP	2018-22424	A	08.02.2018	(ファミリーなし)	