

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2020年3月19日(19.03.2020)



(10) 国際公開番号

WO 2020/054499 A1

- (51) 国際特許分類:
H04N 5/378 (2011.01) H04N 5/357 (2011.01)
H03M 1/08 (2006.01) H03M 1/38 (2006.01)
- (21) 国際出願番号: PCT/JP2019/034530
- (22) 国際出願日: 2019年9月3日(03.09.2019)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (30) 優先権データ:
特願 2018-171806 2018年9月13日(13.09.2018) JP
特願 2018-210704 2018年11月8日(08.11.2018) JP
- (71) 出願人: ソニーセミコンダクタソリューションズ株式会社(SONY SEMICONDUCTOR SOLUTIONS CORPORATION) [JP/JP]; 〒2430014

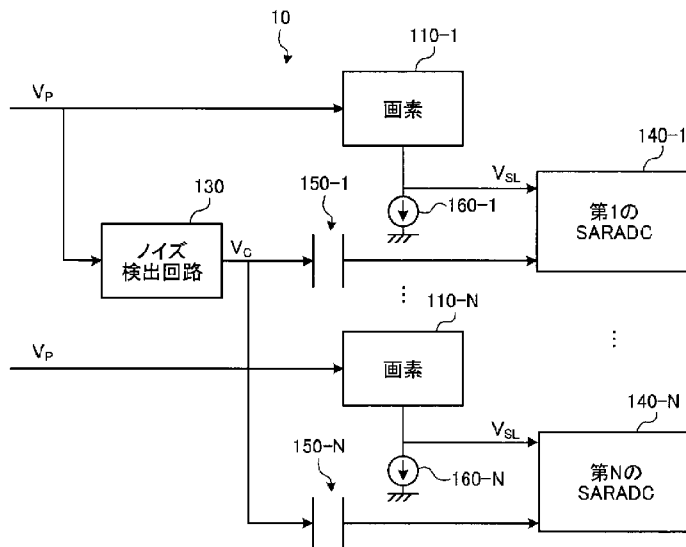
神奈川県厚木市旭町四丁目14番1号 Kanagawa (JP).

- (72) 発明者: 中川 大輔 (NAKAGAWA, Daisuke); 〒2430014 神奈川県厚木市旭町四丁目14番1号 ソニーセミコンダクタソリューションズ株式会社内 Kanagawa (JP). 江藤 慎一郎 (ETO, Shinichirou); 〒2430014 神奈川県厚木市旭町四丁目14番1号 ソニーセミコンダクタソリューションズ株式会社内 Kanagawa (JP).

- (74) 代理人: 特許業務法人酒井国際特許事務所 (SAKAI INTERNATIONAL PATENT OFFICE); 〒1000013 東京都千代田区霞が関3丁目8番1号 虎の門三井ビルディング Tokyo (JP).

(54) Title: SOLID-STATE IMAGING ELEMENT, ELECTRONIC APPARATUS, AND POWER SOURCE NOISE CORRECTION METHOD

(54) 発明の名称: 固体撮像素子、電子機器、および電源ノイズ補正方法



110-1, 110-N Pixel
130 Noise detection circuit
140-1 First SARADC
140-N N-th SARADC

(57) Abstract: A solid-state imaging element (100) is provided with: a successive comparison type analog-digital conversion circuit (140) that converts an analog pixel signal received from a pixel in a pixel array part (110), to a digital code; and a first noise detection circuit (130-1) that is connected to a digital-to-analog converter (DAC) output node in the successive comparison type analog-digital conversion circuit (140), detects power source noise supplied to a pixel in the pixel array part (110), and outputs the detection result to the DAC.

(57) 要約: 固体撮像素子 (100) は、画素アレイ部 (110) の画素から受けたアナログ画素信号をデジタルコードに変換する逐次比較型アナログデジタル変換回路 (140) と、逐次比較型アナログデジタル変換回路 (140) 内部のDAC (Digital to Analog Converter) 出力ノードに接続されており、画素アレイ部 (110) の画素に供給される電源ノイズを検出し、検出結果をDACに出力する第1のノイズ検出回路 (130-1) と、を備える。

[続葉有]

(81) 指定国(表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DJ, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, JO, JP, KE, KG, KH, KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW.

(84) 指定国(表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).

添付公開書類:

一 国際調査報告(条約第21条(3))

明 細 書

発明の名称：

固体撮像素子、電子機器、および電源ノイズ補正方法

技術分野

[0001] 本開示は、固体撮像素子、電子機器、および電源ノイズ補正方法に関する。

背景技術

[0002] アナログ信号をデジタル信号に変換して処理する撮像装置などの電子装置には、アナログ信号をデジタル信号に変換するためにアナログデジタル変換回路が設けられている。特に、消費電力や、サイズの小さなアナログデジタル変換回路として、SARADC (Successive Approximation Register Analog to Digital Converter) が広く用いられている。

[0003] 例えば、特許文献1には、入力オフセット電圧の変動を抑制することによって、AD変換精度を向上させたアナログデジタル変換回路が開示されている。

先行技術文献

特許文献

[0004] 特許文献1：特開2016-39586号公報

発明の概要

発明が解決しようとする課題

[0005] しかしながら、上記の従来技術では、画素アレイに供給される画素電源の出力の変動などのノイズの影響によって、コンパレータからの出力に誤差が生じる可能性がある。そのため、SARADCにおいて、画素電源の出力のノイズの影響を低減することのできる技術が求められている。

[0006] そこで、本開示では、電源ノイズがアナログデジタル変換結果に与える影響を相殺することのできる固体撮像素子、電子機器、および電源ノイズ補正方法を提案する。

課題を解決するための手段

- [0007] 上記の課題を解決するために、本開示に係る一形態の固体撮像素子は、画素アレイ部の画素から受けたアナログ画素信号をデジタルコードに変換する逐次比較型アナログデジタル変換回路と、前記逐次比較型アナログデジタル変換回路内部のDAC (Digital to Analog Converter) 出力ノードに接続されており、前記画素アレイ部の前記画素に供給される電源ノイズを検出し、検出結果を前記DACに出力する第1のノイズ検出回路と、を備える。

図面の簡単な説明

- [0008] [図1]本開示の第1の実施形態に係る固体撮像素子の構成の一例を示すブロック図である。
- [図2]本開示の第1の実施形態に係る固体撮像素子の画素回路の構成の一例を示すブロック図である。
- [図3]ノイズ検出回路の一例を示す回路図である。
- [図4]ノイズ検出回路の一例を示す回路図である。
- [図5]カラムSARADCの構成の一例を示す模式図である。
- [図6]本開示の第1の実施形態に係るアナログデジタル変換回路の構成の一例を示す模式図である。
- [図7]SARADCの構成の一例を示す模式図である。
- [図8]本開示の第1の実施形態に係るアナログデジタル変換回路の構成の一例を示す模式図である。
- [図9]本開示の第2の実施形態に係るアナログデジタル変換回路の構成の一例を示す模式図である。
- [図10]アンプの構成の一例を示す回路図である。
- [図11]アンプの構成の一例を示す回路図である。
- [図12]本開示に係るアナログデジタル変換回路を適用した間接TOF方式画像センサの構成の一例を示すブロック図である。
- [図13]本開示に係る画素の構成の一例を示す回路図である。

発明を実施するための形態

[0009] 以下に、本開示の実施形態について図面に基づいて詳細に説明する。なお、以下の各実施形態において、同一の部位には同一の符号を付することにより重複する説明を省略する。

[0010] また、以下に示す項目順序に従って本開示を説明する。

1. 第1の実施形態

1-1. 固体撮像素子の構成

1-2. 構成要素の接続関係

1-3. SARADCの構成

1-4. 第1の実施形態に係るアナログデジタル変換回路の構成

2. 第2の実施形態

2-1. 第2の実施形態に係るアナログデジタル変換回路の構成

3. 間接TOF方式画像センサ

3-1. 間接TOF方式画像センサの構成

3-2. 画素の構成

[0011] (1. 第1の実施形態)

[1-1. 固体撮像素子の構成]

図1を用いて、本開示の実施形態に係る固体撮像素子の構成について説明する。図1は、本開示の実施形態に係る固体撮像素子の構成の一例を示すブロック図である。

[0012] 図1に示すように、固体撮像素子100は、画素アレイ部110と、ドライバ120と、ノイズ検出回路130と、カラムSARADC140とを備える。

[0013] 画素アレイ部110は、2次元格子状に配列された、図示しない複数の画素を有している。複数の画素は、それぞれ、受けた光を光電変換することによって、アナログの画素信号を生成する。複数の画素は、それぞれ、生成した画素信号をカラムSARADC140に出力する。

[0014] 図2は、画素の回路構成の一例を示す図である。図2に示すように、画素アレイ部110に配列された画素は、光電変換素子であるフォトダイオード

P Dと、複数の画素トランジスタ（M O S（Metal Oxide Semiconductor）トランジスタ）T rとを有する。

[0015] フォトダイオードP Dは、受けた光を光電変換して画素電荷を生成する。

[0016] 画素は、複数の画素トランジスタとして、転送トランジスタT r 1、リセットトランジスタT r 2、増幅トランジスタT r 3及び選択トランジスタT r 4の4つのM O Sトランジスタを有している。

[0017] 転送トランジスタT r 1は、フォトダイオードP Dが生成した信号電荷を、コンデンサCに転送する。コンデンサCは、転送トランジスタT r 1から転送された信号電荷を蓄積して、蓄積した電荷量に応じた電圧を生成する。

[0018] リセットトランジスタT r 2は、コンデンサCに蓄積された電荷量をリセットして初期化するトランジスタである。増幅トランジスタT r 3は、コンデンサCの電圧を増幅し電流変換するトランジスタである。選択トランジスタT r 4は、増幅された信号を画素信号としてカラムS A R A D C 1 4 0に出力する。

[0019] ドライバ1 2 0は、画素アレイ部1 1 0に2次元格子状に配列された複数の画素を、行ごとに順に駆動させて画素信号をカラムS A R A D C 1 4 0に出力させる。すなわち、複数の画素は、ドライバ1 2 0の制御に従って、画素信号V_{SL}をカラムS A R A D C 1 4 0に出力する。

[0020] ノイズ検出回路1 3 0は、画素アレイ部1 1 0に供給される画素電源V_Pに含まれるノイズを検出する。ノイズ検出回路1 3 0は、検出したノイズを、後述するカラムS A R A D C 1 4 0が備える各S A R A D CのC D A C（Capacitor Digital to Analog Converter）側の入力部にフィードバックする。具体的には、ノイズ検出回路1 3 0は、S A R A D Cが備えるコンパレータに入力されるV_{SL}に含まれるノイズを打ち消せるように、画素信号V_{SL}のノイズと同振幅、同位相となるようにゲインと位相とを調整できる構成となっていればよい。

[0021] 図3と、図4とを用いて、ノイズ検出回路1 3 0の一例について簡単に説明する。図3と、図4とは、ノイズ検出回路1 3 0の一例を示す回路図であ

る。

[0022] 図3に示すように、ノイズ検出回路130は、例えば、可変抵抗11と、抵抗12とから構成されている抵抗分圧回路である。ノイズ検出回路130において、画素アレイ部110に供給される画素電源 V_p は、可変抵抗11に供給される。この場合、ノイズ検出回路130からの出力 V_c は、可変抵抗11の抵抗値が大きいほど、小さくなる。すなわち、ノイズ検出回路130は、電圧の分圧比を調整することによって、所望のゲインに調整することができる。

[0023] また、図4に示すように、ノイズ検出回路130は、例えば、位相制御部131と、ゲイン制御部132とを備えていてもよい。位相制御部131は、例えば、可変容量21と、抵抗22とを備えるRC回路である。この場合、位相制御部131は、可変容量21に入力された信号の位相を、可変容量21の容量に従って制御する。すなわち、位相制御部131は、可変容量21の容量を変更することによって、入力された信号の位相を所望の位相に変更することができる。位相が変更された入力信号は、MOSFET (Metal Oxide Semiconductor Field Effect Transistor) 25によってMOSFET 26に入力される。そして、MOSFET 26は、位相変更された入力信号をゲイン制御部132に供給する。ゲイン制御部132は、入力側のMOSFET 23と、出力側のMOSFET 24とを備えている。これにより、ゲイン制御部132は、入力信号のゲインを制御する。そして、ノイズ検出回路130からは終端抵抗27に従った電圧が出力される。

[0024] 再び図1を参照する。カラムSARADC140は、複数の画素から受けた画素信号をAD (Analog to Digital) 変換して画素データを生成する。カラムSARADC140は、図5に示すように、第1のSARADC140-1と、第2のSARADC140-2と、・・・、第NのSARADC140-N (Nは3以上の整数)とを有している。すなわち、カラムSARADC140は、複数のSARADCから構成されている。具体的には後述するが、各SARADCには、画素アレイ部110の対応する画素からの画素

信号 V_{SL} と、ノイズ検出回路130からの出力 V_C が供給される。第1のSARADC140-1～第NのSARADC140-Nは、同様の構造を有している。第1のSARADC140-1～第NのSARADC140-Nの具体的には構成については後述する。

[0025] [1-2. 構成要素の接続関係]

図6を用いて、固体撮像素子100の各構成要素のカラムごとの接続関係について説明する。図6は、アナログデジタル変換回路10の各構成要素のカラムごとの接続関係を示す模式図である。

[0026] 図6に示すように、アナログデジタル変換回路10は、第1のSARADC140-1～第NのSARADC140-Nが、それぞれ、画素アレイ部110の対応する列の画素110-1～画素110-Nに接続された構造を有している。この場合、第1のSARADC140-1～第NのSARADC140-Nには、それぞれ、対応する画素110-1～画素110-Nからアナログの画素信号 V_{SL} が供給される。そして、第1のSARADC140-1～第NのSARADC140-Nは、それぞれ、供給されたアナログの画素信号 V_{SL} をデジタルコードに変換する。

[0027] また、第1のSARADC140-1～第NのSARADC140-Nは、それぞれ、第1の分離素子150-1～第Nの分離素子150-Nを介して、ノイズ検出回路130と接続されている。この場合、第1のSARADC140-1～第NのSARADC140-Nには、それぞれ、第1の分離素子150-1～第Nの分離素子150-Nを介して、ノイズ検出回路130からの出力 V_C が供給される。

[0028] また、第1のSARADC140-1～第NのSARADC140-Nには、それぞれ、第1の電流源160-1～第Nの電流源160-Nが接続されている。第1の電流源160-1～第Nの電流源160-Nは、それぞれ、画素回路からの電流出力を電圧変換するための負荷電流源であり、画素信号 V_{SL} は電圧出力として各SARADCに供給される。

[0029] [1-3. SARADCの構成]

図7を用いて、SARADCの具体的な構成について説明する。図7は、第1のSARADC140-1の構成を示す模式図である。第2のSARADC140-2～第NのSARADC140-Nの構成は、第1のSARADC140-1と同様なので、説明は省略する。

[0030] 図7に示すように、第1のSARADC140-1は、コンパレータ141と、リファレンス電圧発生部142と、デジタルアナログ変換部143と、アナログ信号入力部144と、クロック信号発生部145と、SARロジック部146とを備える。

[0031] コンパレータ141は、クロック信号発生部145からのクロックタイミングで、デジタルアナログ変換部143の出力電圧と、アナログ信号入力部144から入力されたアナログ信号とを比較し、比較結果をSARロジック部146に出力する。

[0032] リファレンス電圧発生部142は、リファレンス電圧をデジタルアナログ変換部143に出力する。具体的には、リファレンス電圧発生部142は、第1のリファレンス配線142aと、第2のリファレンス配線142bと、第3のリファレンス配線142cと、第4のリファレンス配線142dと、第5のリファレンス配線142eと、第6のリファレンス配線142fと、第7のリファレンス配線142gとを有する。第1のリファレンス配線142a～第7のリファレンス配線142gには、それぞれ、異なる値のリファレンス電圧が印加されている。すなわち、リファレンス電圧発生部142は、7種類のリファレンス電圧をデジタルアナログ変換部143に出力する。なお、図7は例示であり、リファレンス電圧発生部142がデジタルアナログ変換部143に出力するリファレンス電圧を7種類に限定するものではない。

[0033] デジタルアナログ変換部143は、リファレンス電圧を基にアナログ信号を生成し、コンパレータ141に供給する。具体的には、デジタルアナログ変換部143は、容量部143aと、スイッチ部143bとを有するCDACである。また、具体的には後述するが、デジタルアナログ変換部143

には、ノイズ検出回路からの信号 V_n が入力される。

[0034] 容量部143aは、複数のコンデンサ素子から構成されている。図7において、各コンデンサ素子の容量 C は、比で示している。スイッチ部143bは、複数のスイッチ素子から構成されている。複数のスイッチ素子は、対応するコンデンサ素子と接続されている。複数のスイッチ素子は、それぞれ、第1のリファレンス配線142a～第7のリファレンス配線142gのいずれかと切り替え可能に接続される3本の配線を有している。

[0035] すなわち、デジタルアナログ変換部143は、コンデンサ素子の容量の値と、リファレンス電圧の値との組み合わせによって、異なる値のアナログ信号をコンパレータ141に供給するバイナリ方式のC DACである。

[0036] アナログ信号入力部144は、画素アレイ部の画素と接続されており、画素から出力された画素信号をコンパレータ141に供給する。具体的には、アナログ信号入力部144は、第1の入力配線144aと、第2の入力配線144bと、第3の入力配線144cと、第4の入力配線144dと、第5の入力配線144eと、第6の入力配線144fと、第7の入力配線144gと、第8の入力配線144hとを有している。この場合、画素信号は、画素に応じて、第1の入力配線144a～第8の入力配線144hのうち、いずれかの入力配線に入力される。図7では画素信号が入力される配線が8本示されているが、これは例示であり、入力配線は、例えば、1本であってもよい。

[0037] 第1の入力配線144a～第8の入力配線144hの各入力配線には、保持部1441が設けられている。保持部1441は、各入力配線に設けられたコンデンサ素子から構成されている。保持部1441は、後述するリセット電圧を保持し、入力部からの入力信号をDC電位変換してコンパレータ141の動作点を確保するために使用される。

[0038] クロック信号発生部145は、動作するタイミングを規定するクロック信号を、コンパレータ141と、SARロジック部146とに出力する。この場合、コンパレータ141と、SARロジック部146とは、クロック信号

発生部 145 が出力するクロック信号に従って動作する。クロック信号発生部 145 は、第 1 の入力配線 144 a ~ 第 8 の入力配線 144 h へリセット電圧が供給される配線に設けられているスイッチ部 145 1 の開閉を制御する。クロック信号発生部 145 がスイッチ部 145 1 の開閉を切り替えることによって、第 1 の入力配線 144 a ~ 第 8 の入力配線 144 h にリセット電圧が供給され、保持部 144 1 に蓄えられている電荷がリセットされる。

[0039] SAR ロジック部 146 は、AD 変換のビット毎に、コンパレータ 141 の比較結果に基づいて、画素から入力された画素信号の電圧と、デジタルアナログ変換部 143 からの出力電圧とが近づくようにデジタルアナログ変換部 143 を制御する。具体的には、SAR ロジック部 146 は、フィードバック信号をスイッチ部 143 B に出力し、スイッチ部 143 B の開閉を制御することによって、デジタルアナログ変換部 143 の出力電圧を制御する。これらの制御を AD 変換の全ビット分実施し、その結果をデジタル信号 AD C_{OUT} として外部に出力する。

[0040] [1-4. 第 1 の実施形態に係るアナログデジタル変換回路の構成]

図 8 を用いて、アナログデジタル変換回路の構成について説明する。図 8 は、アナログデジタル変換回路の構成を示す模式図である。なお、図 8 において、本開示と直接的に関係のない SAR ADC の構成については、簡略化して示している。

[0041] 図 8 には、アナログデジタル変換回路 10 において、ノイズ検出回路 130 と、第 1 の SAR ADC 140-1 と、第 2 の SAR ADC 140-2 との接続関係が示されている。

[0042] 第 1 の SAR ADC 140-1 は、コンパレータ 141-1 と、デジタルアナログ変換部 143-1 と、アナログ信号入力部 144-1 と、SAR ロジック部 145-1 と、を備えている。図 8 の場合、アナログ信号入力部 144-1 には、画素信号 V_{SL} が入力される。デジタルアナログ変換部 143-1 には、リファレンス電圧 V_{refA} と、リファレンス電圧 V_{refB} との 2 つのリファレンス電圧が入力される。アナログ信号入力部 144-1 には、保

持部1441-1が設けられている。デジタルアナログ変換部143-1は、容量部143a-1と、スイッチ部143b-1とを備える。コンパレータ141-1には、画素信号 V_{SL} と、デジタルアナログ変換部143-1からの出力が入力される。

[0043] 第2のSARADC140-2は、コンパレータ141-2と、デジタルアナログ変換部143-2と、アナログ信号入力部144-2と、SARロジック部145-2と、を備えている。図8の場合、アナログ信号入力部144-2には、画素信号 V_{SL} が入力される。デジタルアナログ変換部143-2には、リファレンス電圧 V_{refA} と、リファレンス電圧 V_{refB} との2つのリファレンス電圧が入力される。アナログ信号入力部144-2には、保持部1441-2が設けられている。デジタルアナログ変換部143-2は、容量部143a-2と、スイッチ部143b-2とを備える。コンパレータ141-2には、画素信号 V_{SL} と、デジタルアナログ変換部143-2からの出力が入力される。

[0044] コンパレータ141-1と、コンパレータ141-2とに供給される画素信号 V_{SL} の値は、通常、異なっている。そのため、デジタルアナログ変換部143-1がコンパレータ141-1に供給する電圧と、デジタルアナログ変換部143-2がコンパレータ141-2に供給する電圧とは、値が異なっている。

[0045] 上述のとおり、第1のSARADC140-1と、第2のSARADC140-2とはカラムSARADC140が備えるカラムごとのSARADCである。すなわち、本開示は、カラムごとにデジタルアナログ変換部を備えている。

[0046] ノイズ検出回路130は、補正信号入力配線170によって、デジタルアナログ変換部143-1及びデジタルアナログ変換部143-2に接続されている。ノイズ検出回路130と、デジタルアナログ変換部143-1との間には第1の分離素子150-1が配置され、ノイズ検出回路130と、デジタルアナログ変換部143-2との間には第2の分離素子150-2が配

置されている。第1の分離素子150-1と、第2の分離素子150-2とは、例えば、コンデンサ素子である。ノイズ検出回路130は、画素アレイ部110に供給される画素電源 V_P に含まれるノイズの検出結果を、第1の分離素子150-1を介して、デジタルアナログ変換部143-1にフィードバックする。具体的には、ノイズ検出回路130は、画素電源 V_P に含まれるノイズが画素回路を通して画素信号 V_{SL} に現れる成分と同振幅、同位相となるようにゲインと位相とを調整して、第1の分離素子150-1を介して、デジタルアナログ変換部143-1にフィードバックする。これにより、コンパレータ141-1には、デジタルアナログ変換部143-1の出力電圧とともにノイズ補正電圧も入力されることになるので、コンパレータ141-1で比較する際に、画素信号 V_{SL} に含まれるノイズの影響を打ち消すことができる。ノイズ検出回路130と、デジタルアナログ変換部143-2との関係については、ノイズ検出回路130と、デジタルアナログ変換部143-1との関係と同様なので、説明を省略する。

[0047] 補正信号入力配線170は、ノイズ検出回路130と、第1のSARADC140-1と、第2のSARADC140-2とを接続している。すなわち、各カラムSARADCのデジタルアナログ変換部に画素電源 V_P のノイズの検出結果を入力するための配線は共通である。このため、デジタルアナログ変換部143-1からの出力と、デジタルアナログ変換部143-2からの出力とが干渉してしまうことがある。

[0048] 本開示では、ノイズ検出回路130と、デジタルアナログ変換部143-1との間には第1の分離素子150-1が配置されている。また、ノイズ検出回路130と、デジタルアナログ変換部143-2との間には第2の分離素子150-2が配置されている。そのため、第1の分離素子150-1は、デジタルアナログ変換部143-1から補正信号入力配線170への出力を遮断する。第2の分離素子150-2は、デジタルアナログ変換部143-2から補正信号入力配線170への出力を遮断する。すなわち、第1の分離素子150-1と、第2の分離素子150-2とは、デジタルアナログ変

換部 143-1 からの出力と、デジタルアナログ変換部 143-2 からの出力との干渉を防止する。言い換えれば、第 1 の分離素子 150-1 は、デジタルアナログ変換部 143-1 と、補正信号入力配線 170 とを電氣的に分離し、第 2 の分離素子 150-2 は、デジタルアナログ変換部 143-2 と、補正信号入力配線 170 とを電氣的に分離している。本開示では、カラム SARADC 140 の SARADC ごとに分離素子が設けられている。そのため、各 SARADC のデジタルアナログ変換部からの出力が干渉してしまうことを防止することができる。

[0049] 第 1 の分離素子 150-1 と、第 2 の分離素子 150-2 とは、例えば、可変容量であってもよい。この場合、デジタルアナログ変換部 143-1 の容量に応じて、第 1 の分離素子 150-1 の容量を変更することで、ノイズ検出回路 130 からデジタルアナログ変換部 143-1 にフィードバックする信号のゲインを調整することができる。なお、第 2 の分離素子 150-2 については、第 1 の分離素子 150-1 と同様なので説明は省略する。

[0050] 上述のとおり、本開示は、画素アレイ部 110 に供給される信号のノイズの影響を補正するために、ダミー画素や、ノイズを除去するための補正ロジックを搭載する必要もないので、面積を増加させることなくノイズの影響を補正することができる。

[0051] (2. 第 2 の実施形態)

[2-1. 第 2 の実施形態に係るアナログデジタル変換回路の構成]

図 9 を用いて、本開示の第 2 の実施形態について説明する。図 9 は、本開示の第 2 実施形態に係るアナログデジタル変換回路の構成を示す模式図である。

[0052] 第 1 のノイズ検出回路 130-1 は、画素アレイ部 110 に供給される画素電源 V_p に含まれるノイズを検出する。第 1 のノイズ検出回路 130-1 は、ノイズの検出結果を、第 1 の分離素子 150-1 及び第 2 の分離素子 150-2 を介して、それぞれ、デジタルアナログ変換部 143-1 及びデジタルアナログ変換部 143-2 にフィードバックする。

- [0053] 第2のノイズ検出回路130-2は、画素アレイ部110に供給される画素電源 V_p 以外の電源に含まれるノイズを検出し、検出結果をデジタルアナログ変換部143-1及びデジタルアナログ変換部143-2にフィードバックする。画素電源 V_p 以外の電源とは、例えば、第1のSARADC140-1及び第2のSARADC140-2のリファレンス電圧である。第2のノイズ検出回路130-2と、デジタルアナログ変換部143-1及びデジタルアナログ変換部143-2とは、異電源補正信号入力配線200によって接続されている。すなわち、第2のノイズ検出回路130-2と、デジタルアナログ変換部143-1及びデジタルアナログ変換部143-2とを接続する配線とは共通である。第2のノイズ検出回路130-2からの出力の配線を共通にすることで、分離素子150-1、150-2をノイズ検出回路毎に設ける必要がなくなり、面積とデジタルアナログ変換部のゲインロスを小さくできる。
- [0054] 第1のノイズ検出回路130-1及び第2のノイズ検出回路130-2と、第1の分離素子150-1との間には、第1のアンプ180-1が配置されていてもよい。同様に、第1のノイズ検出回路130-1及び第2のノイズ検出回路130-2と、第2の分離素子150-2との間には、第2のアンプ180-2が配置されていてもよい。
- [0055] 第1のアンプ180-1及び第2のアンプ180-2は、第1のノイズ検出回路130-1及び第2のノイズ検出回路130-2よりも出力インピーダンスの低いアンプである。各ノイズ検出回路から、各デジタルアナログ変換部へのフィードバック経路に出力インピーダンスの低いアンプを配置することで、分離素子経由のカラム間の各デジタルアナログ変換部からの出力のカップリングを抑制することができる。
- [0056] 第1のアンプ180-1及び第2のアンプ180-2は、例えば、図10に示すようなpMOSトランジスタ T_r と電流源とから構成されたソースフォロワ回路や、図11に示すようなnMOSトランジスタ T_r と電流源とから構成されたソースフォロワ回路で実現することができる。

[0057] 再び図9を参照する。第1のアンプ180-1と、第2のアンプ180-2との出力先は、アンプ出力接続配線190によって接続されていてもよい。第1のアンプ180-1と、第2のアンプ180-2とを接続することで、第1のアンプ180-1と、第2のアンプ180-2が並列になり、アンプの発するノイズを低減することができる。また、第1のアンプ180-1と、第2のアンプ180-2とは、補正信号入力配線170と、アンプ出力接続配線190とによって、入出力同士が接続されている。これにより、第1のアンプ180-1と、第2のアンプ180-2とを、各カラム間で共通にすることができる。その結果、カラムごとにアンプを設ける必要がなくなるので、アンプ数をカラム数より少なくすることで、アナログデジタル変換回路10Aの面積を削減することができる。

[0058] (3. 間接Tof方式画像センサ)

次に、図12を用いて、本開示に係るアナログデジタル変換回路を適用した間接Tof (Indirect-Time of Flight) 方式画像センサの構成について説明する。図12は、本開示に係るアナログデジタル変換回路を適用した間接Tof方式画像センサの構成の一例を示すブロック図である。

[0059] 間接Tof方式は、例えばPWM(Pulse Width Modulation)により変調された光源光(例えば赤外領域のレーザ光)を被測定物に照射してその反射光を受光素子にて受光し、受光された反射光と光源光との位相差に基づき、被測定物に対する測距を行う技術である。間接Tof方式では、例えば、光源光のPWMにおけるオン期間および当該オン期間の直後のオフ期間それぞれで光源光の反射光を受光した時間の和と、当該オフ期間で当該反射光を受光した時間と、の比に基づき、測距を行う。

[0060] [3-1. 間接Tof方式画像センサの構成]

図12は本技術の実施例を適用した間接Tof方式画像センサ10000の一例のブロック図を示している。間接Tof方式画像センサ10000はセンサチップ10001およびセンサチップ10001に積層された回路チップ10002を含む。

- [0061] 画素エリア10020は、センサチップ上に二次元のグリッドパターンでアレイ状に配置された複数の画素を含んでいる。画素エリア10020は行列上に配置されていても良く、また、複数の列信号線を含んでも良い。それぞれの列信号線はそれぞれの画素に接続されている。さらに、垂直駆動回路10010、カラム信号処理部10040、タイミング制御回路10050および出力回路10060が回路チップ10002に配置されている。
- [0062] 垂直駆動回路10010は画素を駆動し、カラム信号処理部10040に画素信号を出力するように構成されている。カラム信号処理部10040は画素から出力された画素信号に対して、アナログーデジタル（AD）変換処理を実施し、AD変換処理した画素信号を出力回路に出力する。カラム信号処理部10040は、例えば、図5に図示のカラムSARADC140と同様の構成を有している。すなわち、カラム信号処理部10040は、例えば、複数のSARADCから構成されている。出力回路10060はCDS（Correlated Double Sampling）処理などをカラム信号処理部10040からのデータに対して実行し、後段の信号処理回路10120にデータを出力する。
- [0063] タイミング制御回路10050はそれぞれの垂直駆動回路10010の駆動タイミングを制御するように構成されている。カラム信号処理部10040、出力回路10060は垂直同期信号10049と同期している。
- [0064] 画素エリア10020は二次元状のグリッドパターンで複数の画素が配置されており、それぞれの画素は赤外光を受光し、画素信号に光電変換可能な構成となっている。
- [0065] また、画素10230の列ごとに、垂直方向に垂直信号線 VSL_1 10300および VSL_2 10200が配線される。画素エリア10020内の列の総数をM（Mは、整数）とすると、合計で $2 \times M$ 本の垂直信号線が配線される。それぞれの画素において、2つのタップを有している。垂直信号線 VSL_1 10300は画素10230のタップA10239（図13のTAP_A）に接続され、垂直信号線 VSL_2 10200は画素10230のタップB102

34 (図13のTAP_B)に接続される。また、垂直信号線VSL₁10300は、画素信号AIN_{P1}を伝送し、垂直信号線VSL₂10200は、画素信号AIN_{P2}を伝送する。

[0066] 垂直駆動回路10010は、画素10230の行を順に選択して駆動し、その行において画素10230ごとに画素信号AIN_{P1}およびAIN_{P2}を同時に出力させる。言い換えれば、垂直駆動回路10010は、画素10230の2k行目および2k+1行目を同時に駆動する。

[0067] 図13は、本開示に係る画素10230の構成の一例を示す回路図である。この画素10230は、フォトダイオード10231、二つの転送トランジスタ10232、10237、二つのリセットトランジスタ10233、10238、二つのタップ（浮遊拡散層10234、10239）、二つの増幅トランジスタ10235、10240、および二つの選択トランジスタ10236、10241を備える。

[0068] フォトダイオード10231は、受光した光を光電変換して電荷を生成するものである。このフォトダイオード10231は、半導体基板において回路を配置する面を表面として、表面に対する裏面に配置される。このような固体撮像素子は、裏面照射型の固体撮像素子と呼ばれる。なお、裏面照射型の代わりに、表面にフォトダイオード10231を配置する表面照射型の構成を用いることもできる。

[0069] 転送トランジスタ10232は、垂直駆動回路10010からの転送信号TRGに従ってフォトダイオード10231からタップA10239、タップB10234にそれぞれシーケンシャルに電荷を転送するものである。タップA10239およびタップB10234は、転送された電荷を蓄積して、蓄積した電荷の量に応じた電圧を生成するものである。

[0070] オーバーフロートランジスタ10242はフォトダイオード10231の電荷をシーケンシャルにVDDに排出するトランジスタで、フォトダイオードをリセットする機能を持つ。

[0071] リセットトランジスタ10233、10238は、垂直駆動回路1001

0からのリセット信号RST_pに従ってからタップA10239, タップB10234のそれぞれから電荷を引き抜いて、電荷量を初期化するものである。増幅トランジスタ10235, 10240は、タップA10239, タップB10234の電圧をそれぞれ増幅するものである。選択トランジスタ10236, 10241は、垂直駆動回路10010からの選択信号SEL_pに従って、増幅された電圧の信号を画素信号としてふたつの垂直信号線（例えば、VSL₁10300、VSL₂10200）を介してカラム信号処理部10040へ出力するものである。垂直信号線VSL₁10300およびVSL₂10200は、カラム信号処理部10040内に含まれる複数のアナログーデジタル変換器のうち、一つのアナログーデジタル変換器の入力側に接続されている。

[0072] なお、画素10230の回路構成は、光電変換により画素信号A₁N_{p1}およびA₁N_{p2}を生成することができるものであれば、図13に例示した構成に限定されない。

[0073] なお、本明細書に記載された効果はあくまで例示であって限定されるものではなく、また他の効果があってもよい。

[0074] なお、本技術は以下のような構成も取ることができる。

(1)

画素アレイ部の画素から受けたアナログ画素信号をデジタルコードに変換する逐次比較型アナログデジタル変換回路と、

前記逐次比較型アナログデジタル変換回路内部のDAC出力ノードに接続されており、前記画素アレイ部の前記画素に供給される電源ノイズを検出し、検出結果を前記DACに出力する第1のノイズ検出回路と、を備える、
固体撮像素子。

(2)

前記逐次比較型アナログデジタル変換回路を複数備え、

前記第1のノイズ検出回路は、複数の前記逐次比較型アナログデジタル変換回路に接続されており、

前記ノイズ検出回路と、それぞれの前記逐次比較型アナログデジタル変換回路との間には、分離素子が設けられている、

前記（１）に記載の固体撮像素子。

（３）

前記分離素子は、容量素子である、

前記（２）に記載の固体撮像素子。

（４）

前記分離素子は、可変容量素子である、

前記（２）または（３）に記載の固体撮像素子。

（５）

前記第１のノイズ検出回路は、前記画素に供給される電圧の位相と、ゲインの少なくとも一方を制御する、

前記（１）から（４）のいずれか１つに記載の固体撮像素子。

（６）

複数の前記逐次比較型アナログデジタル変換回路に接続されており、前記逐次比較型アナログデジタル変換回路内部のＤＡＣ出力ノードに供給され、かつ前記画素に供給される電圧とは異なる電圧のノイズを検出する第２のノイズ検出回路をさらに備え、

前記第２のノイズ検出回路と、それぞれの前記逐次比較型アナログデジタル変換回路との間には、前記分離素子が設けられている、

前記（１）から（５）のいずれか１つに記載の固体撮像素子。

（７）

前記第２のノイズ検出回路は、前記逐次比較型アナログデジタル変換回路内部のＤＡＣに供給されるリファレンス電圧のノイズを検出する、

前記（６）に記載の固体撮像素子。

（８）

前記第１のノイズ検出回路及び前記第２のノイズ検出回路と、前記分離素子とを繋ぐ経路の途中には、アンプが設けられている、

前記（６）または（７）に記載の固体撮像素子。

（９）

前記第２のノイズ検出回路と、複数の前記逐次比較型アナログデジタル変換回路内部のＤＡＣのそれぞれの出力ノードとを繋ぐ少なくとも１つの経路において、前記分離素子の前段にアンプが設けられており、

前記第１のノイズ検出回路及び前記第２のノイズ検出回路と、複数の前記逐次比較型アナログデジタル変換回路内部のＤＡＣのそれぞれの出力ノードとを繋ぐ経路において、前記アンプの出力先が接続されている、

前記（６）から（８）のいずれか１つに記載の固体撮像素子。

（１０）

前記アンプは、ソースフォロワ回路である、

前記（８）または（９）に記載の固体撮像素子。

（１１）

画素アレイ部の画素から受けたアナログ画素信号をデジタルコードに変換する逐次比較型アナログデジタル変換回路と、

前記逐次比較型アナログデジタル変換回路内部のＤＡＣ出力ノードに接続されており、前記画素アレイ部の前記画素に供給される電源ノイズを検出し、検出結果を前記ＤＡＣに出力する第１のノイズ検出回路と、を有する、
電子機器。

（１２）

前記電子機器は、間接ＴｏＦ方式画像センサである、

前記（１１）に記載の電子機器。

（１３）

画素アレイ部の画素から受けたアナログ画素信号をデジタルコードに変換する逐次比較型アナログデジタル変換回路に対して、

前記画素アレイ部の前記画素に供給される電源ノイズを検出し、検出結果を前記逐次比較型アナログデジタル変換回路に出力する、

電源ノイズ補正方法。

符号の説明

- [0075] 10, 10A アナログデジタル変換回路
- 100 固体撮像素子
- 110 画素アレイ部
- 120 ドライバ
- 130 ノイズ検出回路
- 130-1 第1のノイズ検出回路
- 130-2 第2のノイズ検出回路
- 140 カラムSARADC
- 140-1 第1のSARADC
- 140-2 第2のSARADC
- 141 コンパレータ
- 142 リファレンス電圧発生部
- 143 デジタルアナログ変換部
- 144 アナログ信号入力部
- 150-1 第1の分離素子
- 150-2 第2の分離素子
- 160-1 第1の電流源
- 170 補正信号入力配線
- 180-1 第1のアンプ
- 180-2 第2のアンプ
- 190 アンプ出力接続配線
- 200 異電源補正信号入力配線
- 10000 間接ToF方式画像センサ
- 10001 センサチップ
- 10002 回路チップ
- 10010 垂直駆動回路
- 10020 画素エリア

1 0 0 4 0 カラム信号処理部
1 0 0 5 0 タイミング制御回路
1 0 0 6 0 出力回路
1 0 2 3 1 フォトダイオード
1 0 2 3 2, 1 0 2 3 7 転送トランジスタ
1 0 2 3 3, 1 0 2 3 8 リセットトランジスタ
1 0 2 3 4 タップB（浮遊拡散層）
1 0 2 3 5, 1 0 2 4 0 増幅トランジスタ
1 0 2 3 6, 1 0 2 4 1 選択トランジスタ
1 0 2 3 9 タップA（浮遊拡散層）

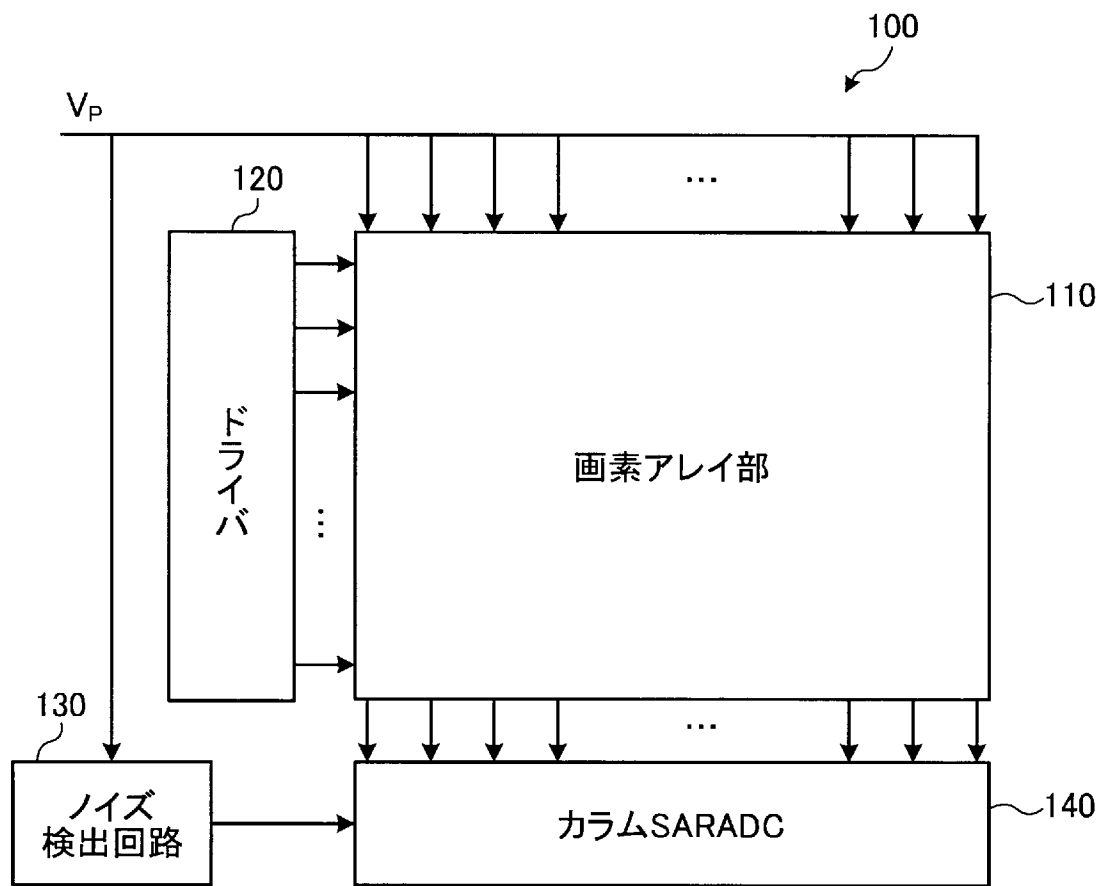
請求の範囲

- [請求項1] 画素アレイ部の画素から受けたアナログ画素信号をデジタルコードに変換する逐次比較型アナログデジタル変換回路と、
前記逐次比較型アナログデジタル変換回路内部のDAC (Digital to Analog Converter) 出力ノードに接続されており、前記画素アレイ部の前記画素に供給される電源ノイズを検出し、検出結果を前記DACに出力する第1のノイズ検出回路と、を備える、
固体撮像素子。
- [請求項2] 前記逐次比較型アナログデジタル変換回路を複数備え、
前記第1のノイズ検出回路は、複数の前記逐次比較型アナログデジタル変換回路に接続されており、
前記第1のノイズ検出回路と、それぞれの前記逐次比較型アナログデジタル変換回路との間には、分離素子が設けられている、
請求項1に記載の固体撮像素子。
- [請求項3] 前記分離素子は、容量素子である、
請求項2に記載の固体撮像素子。
- [請求項4] 前記分離素子は、可変容量素子である、
請求項2に記載の固体撮像素子。
- [請求項5] 前記第1のノイズ検出回路は、前記画素に供給される電圧の位相と、ゲインの少なくとも一方を制御する、
請求項1に記載の固体撮像素子。
- [請求項6] 複数の前記逐次比較型アナログデジタル変換回路に接続されており、前記逐次比較型アナログデジタル変換回路内部のDAC出力ノードに供給され、かつ前記画素に供給される電圧とは異なる電圧のノイズを検出する第2のノイズ検出回路をさらに備え、
前記第2のノイズ検出回路と、それぞれの前記逐次比較型アナログデジタル変換回路との間には、前記分離素子が設けられている、
請求項2に記載の固体撮像素子。

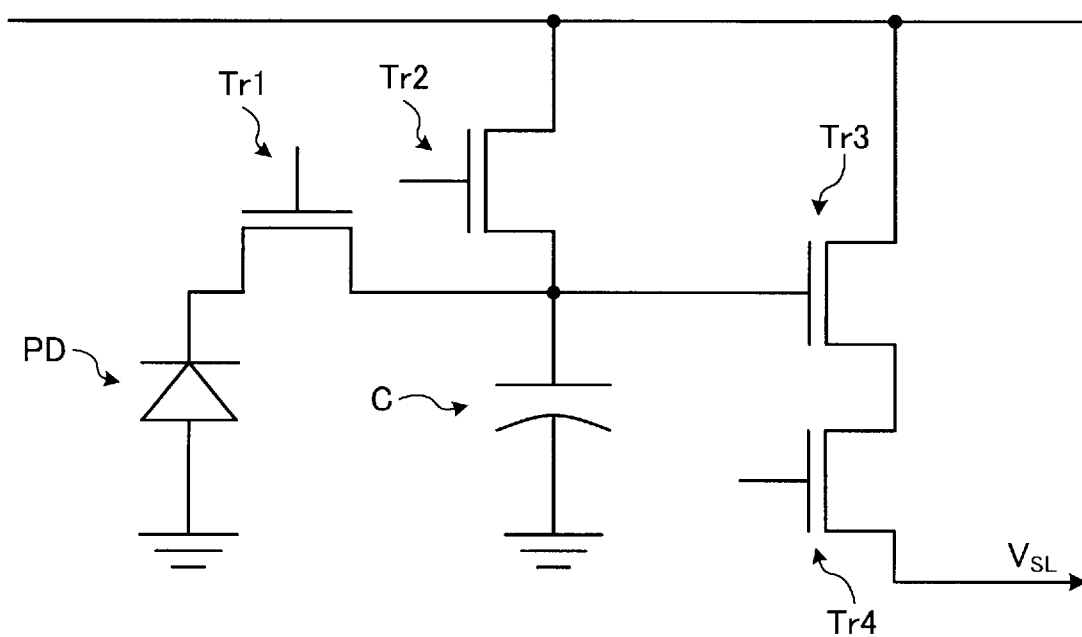
- [請求項7] 前記第2のノイズ検出回路は、前記逐次比較型アナログデジタル変換回路内のDACに供給されるリファレンス電圧のノイズを検出する、
- 請求項6に記載の固体撮像素子。
- [請求項8] 前記第1のノイズ検出回路及び前記第2のノイズ検出回路と、前記分離素子とを繋ぐ経路の途中には、アンプが設けられている、
- 請求項6に記載の固体撮像素子。
- [請求項9] 前記第2のノイズ検出回路と、複数の前記逐次比較型アナログデジタル変換回路内のDACのそれぞれの出力ノードとを繋ぐ少なくとも1つの経路において、前記分離素子の前段にアンプが設けられており、
- 前記第1のノイズ検出回路及び前記第2のノイズ検出回路と、複数の前記逐次比較型アナログデジタル変換回路のDACのそれぞれの出力とを繋ぐ経路において、前記アンプの出力先が接続されている、
- 請求項6に記載の固体撮像素子。
- [請求項10] 前記アンプは、ソースフォロワ回路である、
- 請求項9に記載の固体撮像素子。
- [請求項11] 画素アレイ部の画素から受けたアナログ画素信号をデジタルコードに変換する逐次比較型アナログデジタル変換回路と、
- 前記逐次比較型アナログデジタル変換回路のDAC (Digital to Analog Converter) 出力ノードに接続されており、前記画素アレイ部の前記画素に供給される電源ノイズを検出し、検出結果を前記DACに出力する第1のノイズ検出回路と、有する、
- 電子機器。
- [請求項12] 前記電子機器は、間接ToF方式画像センサである、
- 請求項11に記載の電子機器。
- [請求項13] 画素アレイ部の画素から受けたアナログ画素信号をデジタルコードに変換する逐次比較型アナログデジタル変換回路に対して、

前記画素アレイ部の前記画素に供給される電源ノイズを検出し、検出結果を前記逐次比較型アナログデジタル変換回路に出力する、
電源ノイズ補正方法。

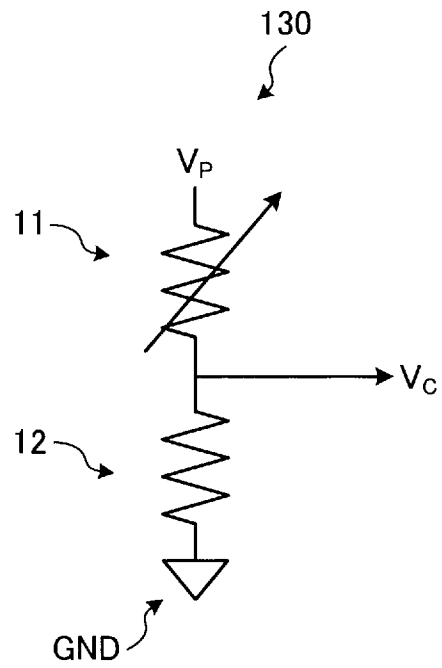
[図1]



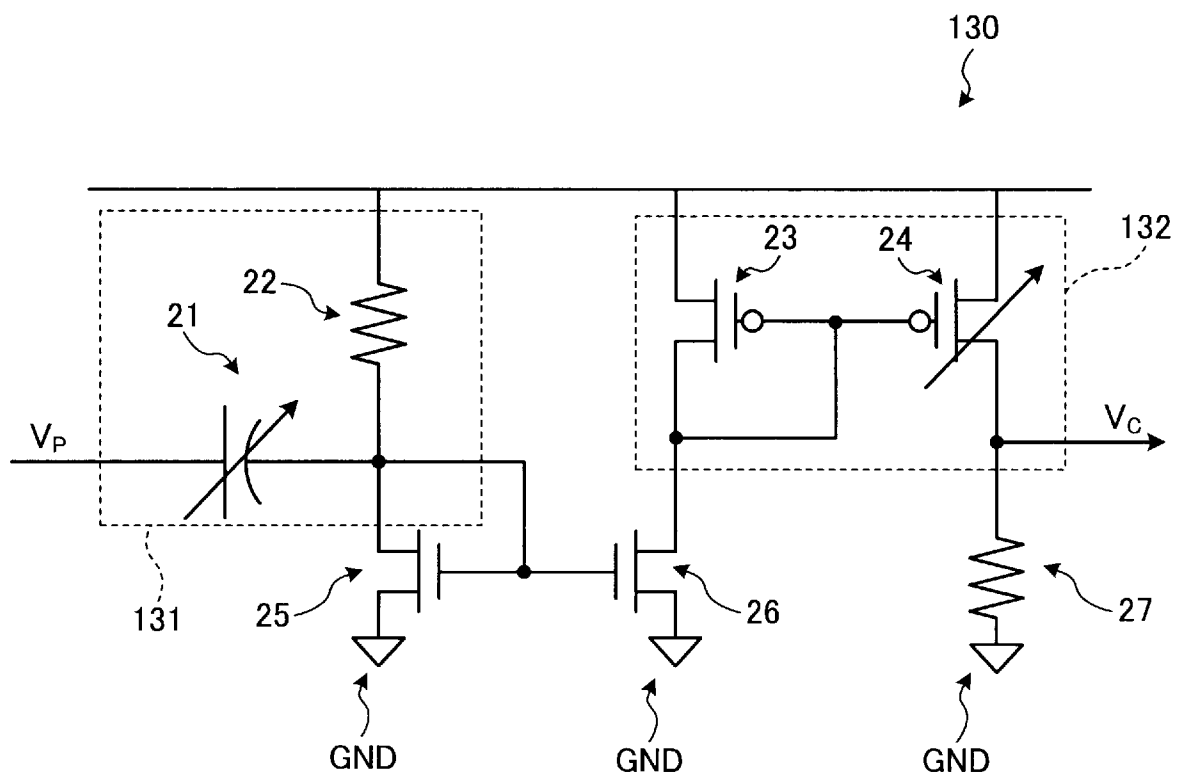
[図2]



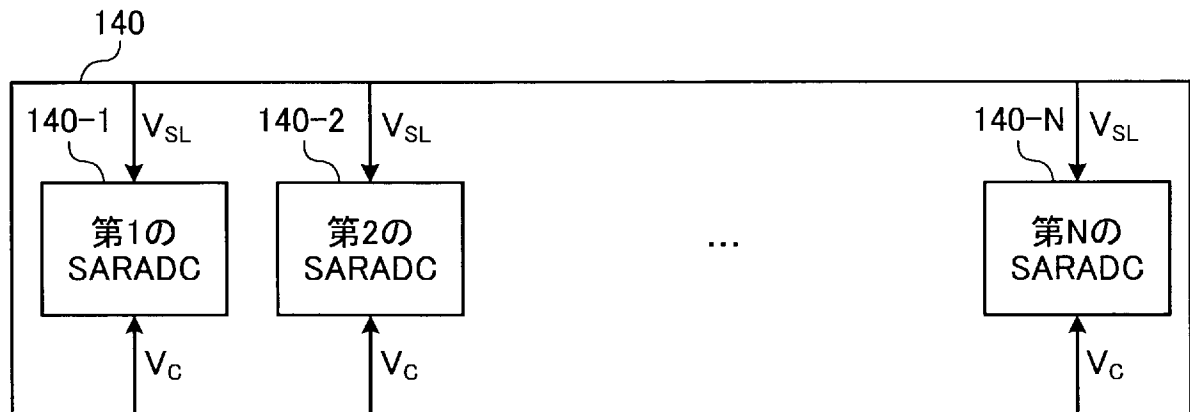
[図3]



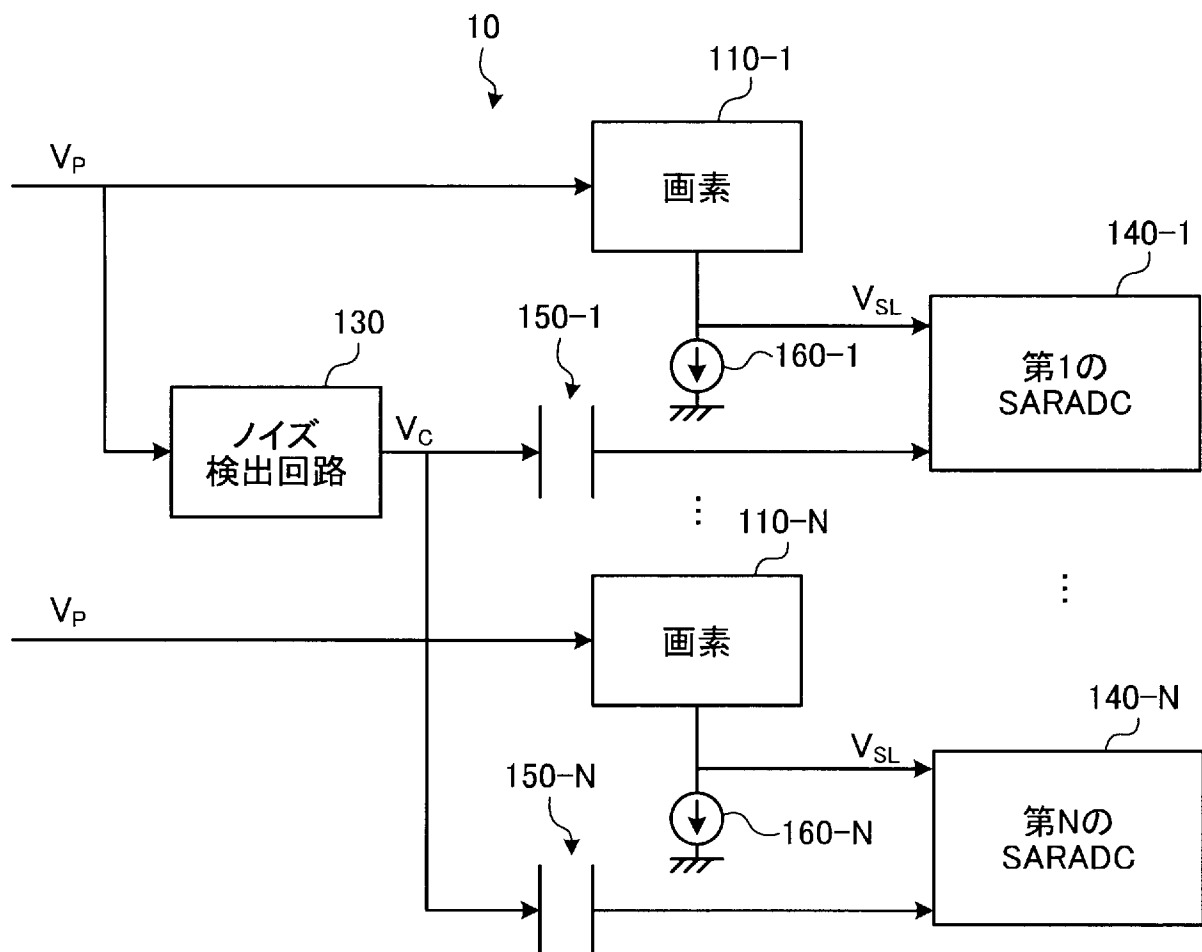
[図4]



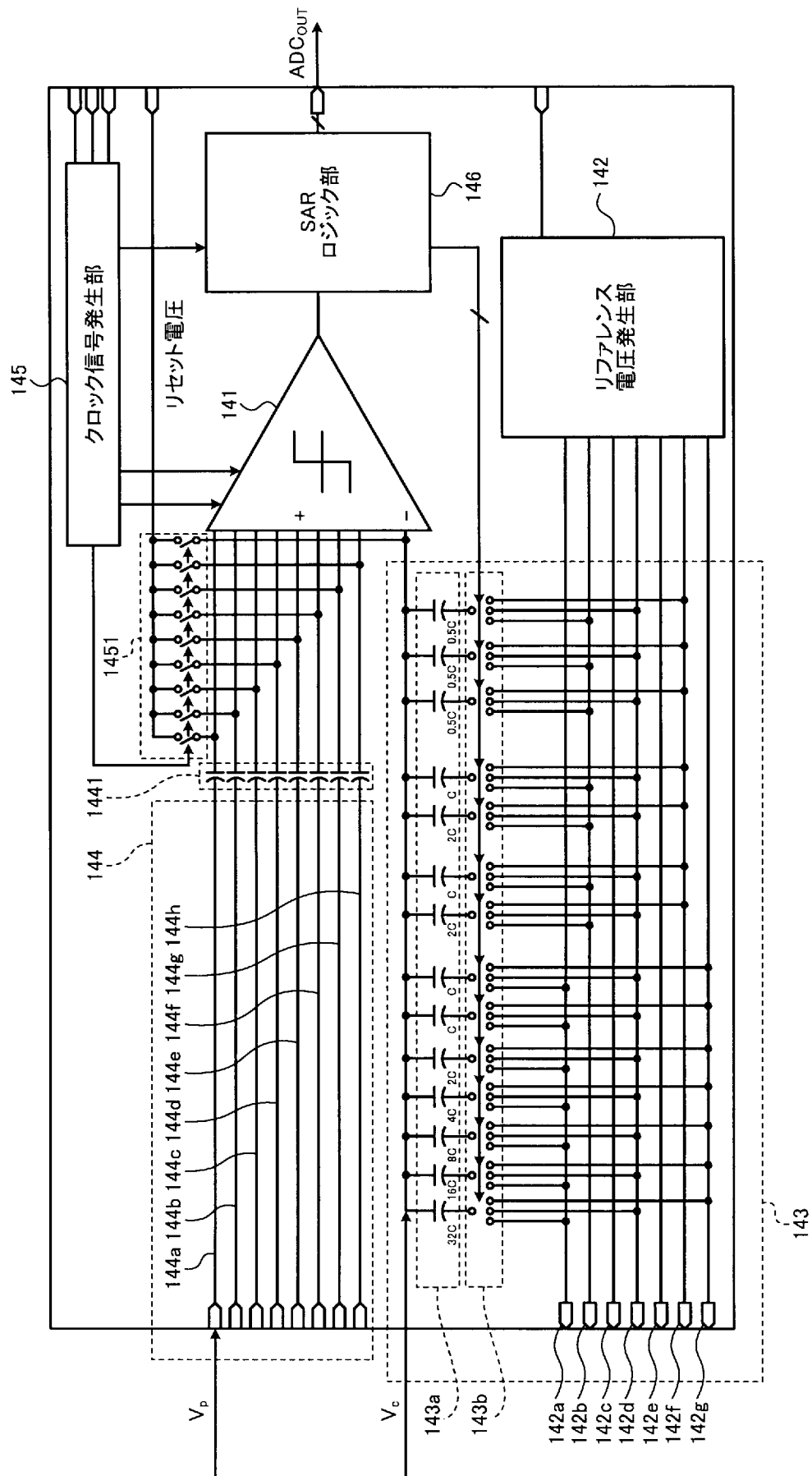
[図5]



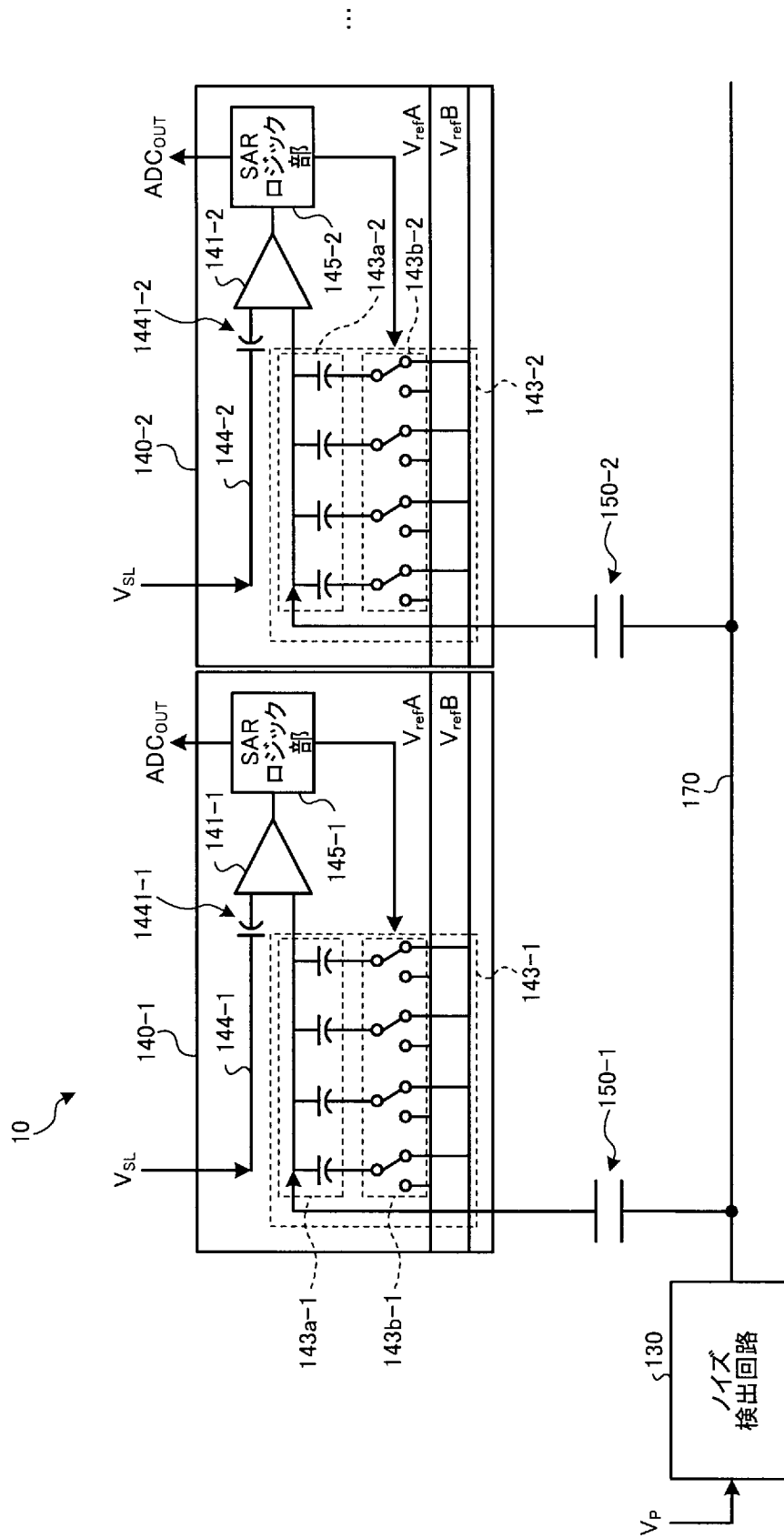
[図6]



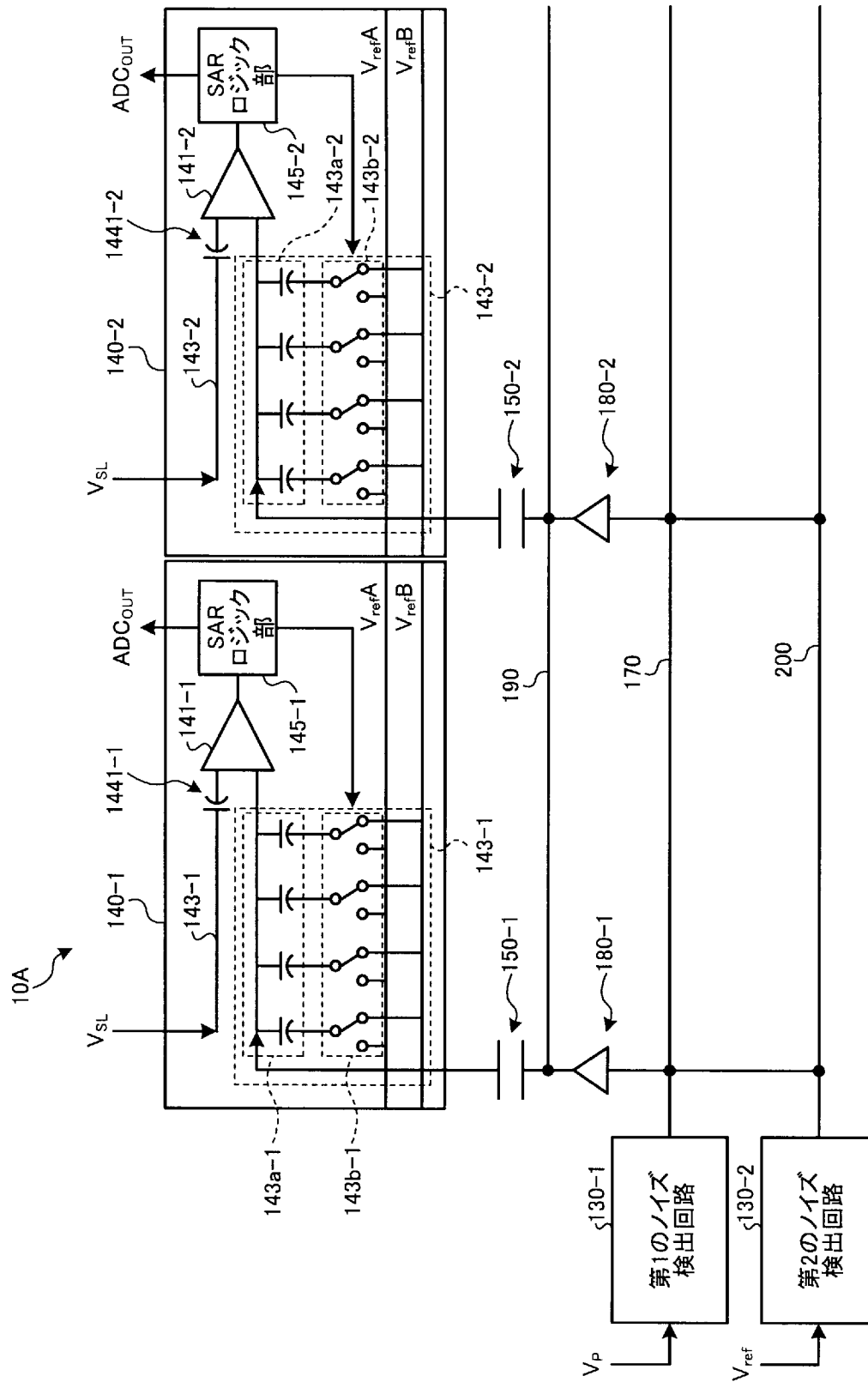
[図7]



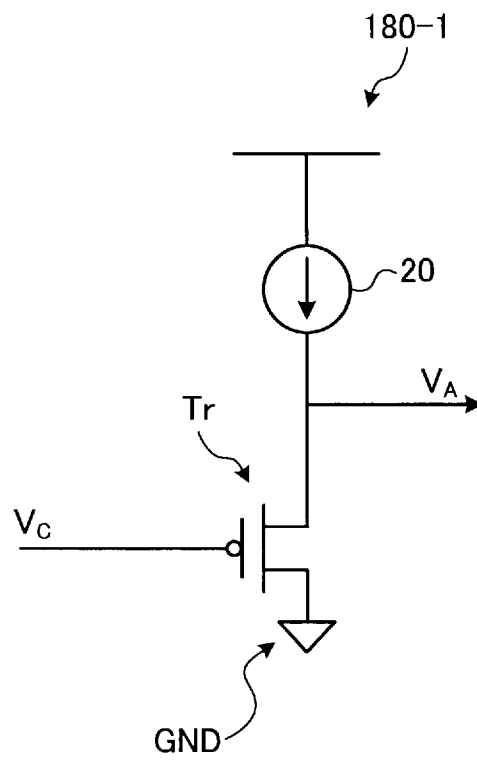
[図8]



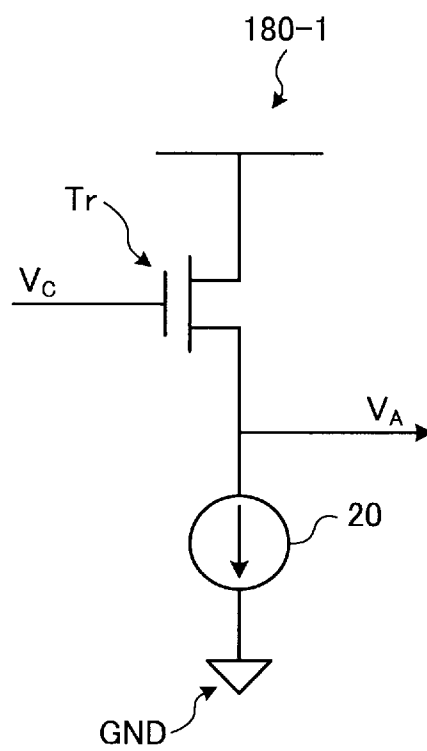
...



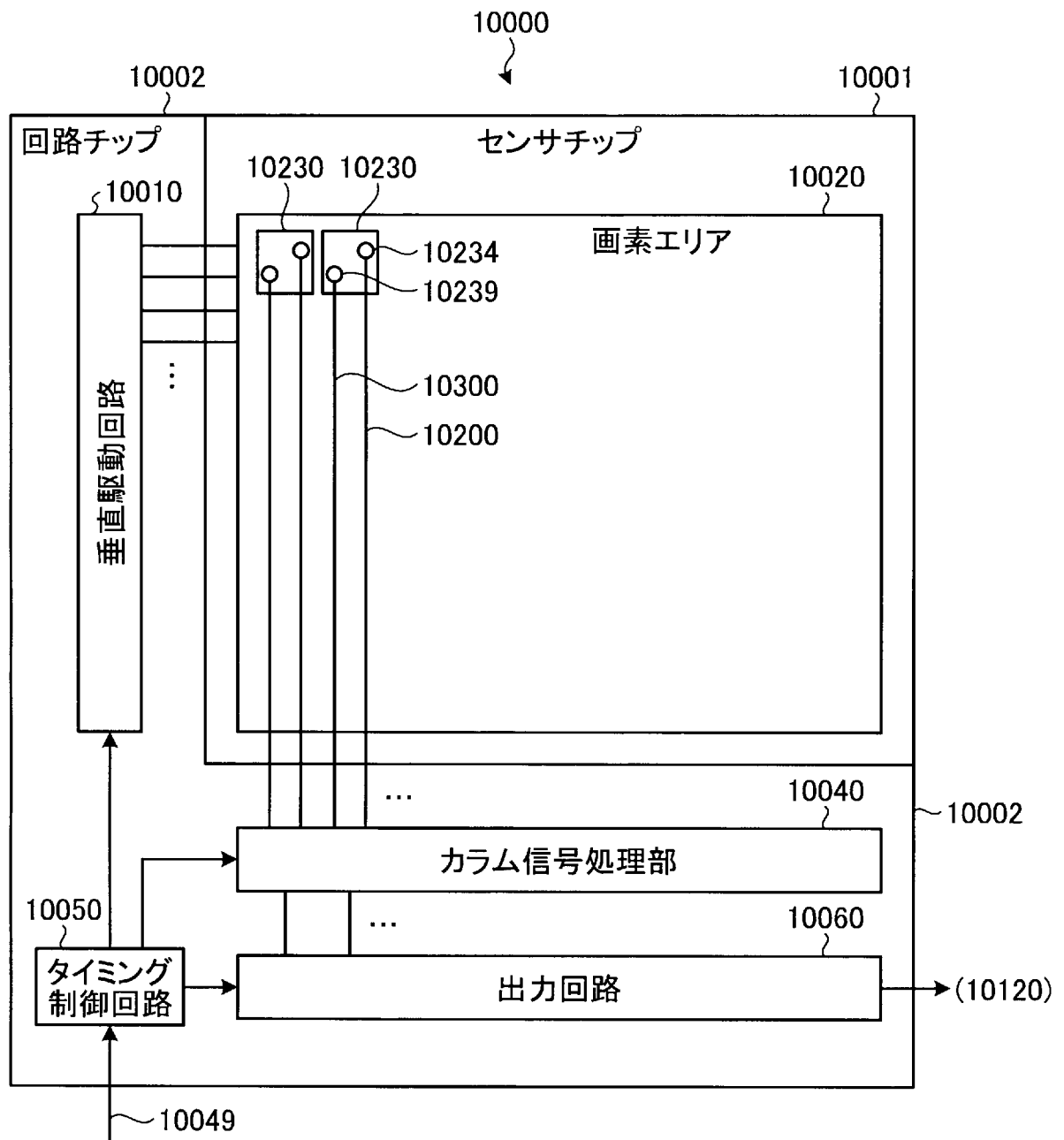
[図10]

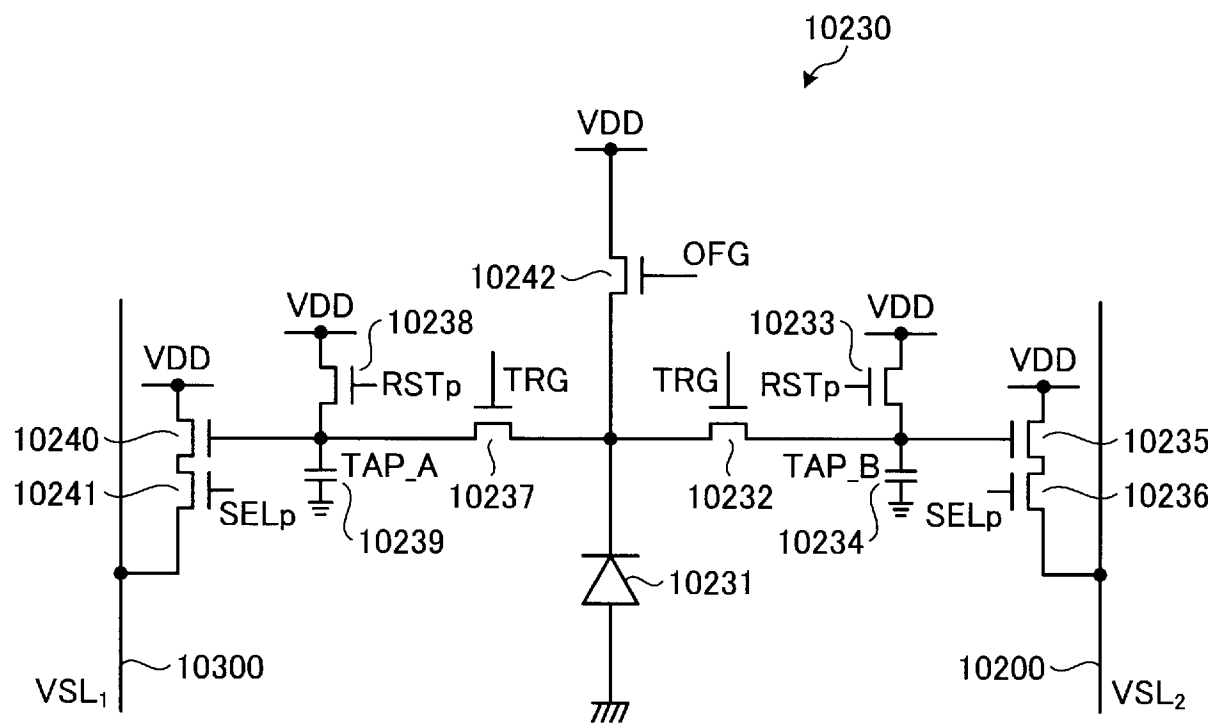


[図11]



[図12]





INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2019/034530

A. CLASSIFICATION OF SUBJECT MATTER

Int.Cl. H04N5/378 (2011.01) i, H03M1/08 (2006.01) i, H04N5/357 (2011.01) i,
H03M1/38 (2006.01) n

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

Int.Cl. H04N5/378, H03M1/08, H04N5/357, H03M1/38

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Published examined utility model applications of Japan	1922-1996
Published unexamined utility model applications of Japan	1971-2019
Registered utility model specifications of Japan	1996-2019
Published registered utility model applications of Japan	1994-2019

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	WO 2017/159394 A1 (SONY CORP.) 21 September 2017, paragraphs [0032]-[0200], fig. 1-10 & US 2019/0068902 A1, paragraphs [0041]-[0216], fig. 1-10 & EP 3432574 A1 & CN 108702470 A & KR 10-2018-0122608 A	1-13
A	JP 2013-126015 A (SONY CORP.) 24 June 2013, entire text (Family: none)	1-13



Further documents are listed in the continuation of Box C.



See patent family annex.

* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier application or patent but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&" document member of the same patent family

Date of the actual completion of the international search
22 November 2019 (22.11.2019)

Date of mailing of the international search report
03 December 2019 (03.12.2019)

Name and mailing address of the ISA/
Japan Patent Office
3-4-3, Kasumigaseki, Chiyoda-ku,
Tokyo 100-8915, Japan

Authorized officer

Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2019/034530

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	WO 2017/030007 A1 (SONY SEMICONDUCTOR SOLUTIONS CORPORATION) 23 February 2017, entire text & US 2018/0234649 A1, entire text & CN 107925731 A	1-13

A. 発明の属する分野の分類（国際特許分類（IPC））

Int.Cl. H04N5/378(2011.01)i, H03M1/08(2006.01)i, H04N5/357(2011.01)i, H03M1/38(2006.01)n

B. 調査を行った分野

調査を行った最小限資料（国際特許分類（IPC））

Int.Cl. H04N5/378, H03M1/08, H04N5/357, H03M1/38

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	1922-1996年
日本国公開実用新案公報	1971-2019年
日本国実用新案登録公報	1996-2019年
日本国登録実用新案公報	1994-2019年

国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
X	WO 2017/159394 A1（ソニー株式会社） 2017.09.21, 段落[0032]-[0200], 図 1-10 & US 2019/0068902 A1, 段落[0041]-[0216], 図 1-10 & EP 3432574 A1 & CN 108702470 A & KR 10-2018-0122608 A	1-13
A	JP 2013-126015 A（ソニー株式会社） 2013.06.24, 全文 (ファミリーなし)	1-13

☑ C欄の続きにも文献が列挙されている。

☐ パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

「A」 特に関連のある文献ではなく、一般的技術水準を示すもの

「E」 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの

「L」 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）

「O」 口頭による開示、使用、展示等に言及する文献

「P」 国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

「T」 国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの

「X」 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの

「Y」 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの

「&」 同一パテントファミリー文献

国際調査を完了した日

22.11.2019

国際調査報告の発送日

03.12.2019

国際調査機関の名称及びあて先

日本国特許庁（ISA/J P）

郵便番号100-8915

東京都千代田区霞が関三丁目4番3号

特許庁審査官（権限のある職員）

橘 高志

5 V

8391

電話番号 03-3581-1101 内線 3571

C (続き) . 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
A	WO 2017/030007 A1 (ソニーセミコンダクタソリューションズ株式会社) 2017.02.23, 全文 & US 2018/0234649 A1, 全文 & CN 107925731 A	1-13