

(19) 日本国特許庁(JP)

(12) 特許公報(B2)

(11) 特許番号

特許第4135928号
(P4135928)

(45) 発行日 平成20年8月20日(2008.8.20)

(24) 登録日 平成20年6月13日(2008.6.13)

(51) Int.Cl.		F I	
HO 1 F 19/06	(2006.01)	HO 1 F 19/06	
HO 1 F 27/00	(2006.01)	HO 1 F 15/00	D
HO 3 H 7/42	(2006.01)	HO 3 H 7/42	

請求項の数 7 (全 17 頁)

(21) 出願番号	特願2003-399593 (P2003-399593)	(73) 特許権者	000003067 TDK株式会社 東京都中央区日本橋一丁目13番1号
(22) 出願日	平成15年11月28日(2003.11.28)	(74) 代理人	100107559 弁理士 星宮 勝美
(65) 公開番号	特開2005-166702 (P2005-166702A)	(72) 発明者	大山 直人 東京都中央区日本橋一丁目13番1号 TDK株式会社内
(43) 公開日	平成17年6月23日(2005.6.23)	(72) 発明者	松原 英哉 東京都中央区日本橋一丁目13番1号 TDK株式会社内
審査請求日	平成16年7月7日(2004.7.7)	(72) 発明者	大井 将一 東京都中央区日本橋一丁目13番1号 TDK株式会社内

最終頁に続く

(54) 【発明の名称】 バラン

(57) 【特許請求の範囲】

【請求項1】

不平衡信号を入出力する不平衡端子と、
平衡信号を入出力する第1および第2の平衡端子と、
前記不平衡端子と前記第1の平衡端子との間に設けられたローパスフィルタと、
前記不平衡端子と前記第2の平衡端子との間に設けられたハイパスフィルタと、
グランドに接続されるグランド端子とを備え、

前記ローパスフィルタは、一端が前記不平衡端子に接続された第1のコイルと、一端が前記第1のコイルの他端に接続され、他端が前記第1の平衡端子に接続された第2のコイルと、一端が前記第1のコイルの他端に接続され、他端が前記グランド端子に接続された第1のキャパシタとを有し、

前記ハイパスフィルタは、一端が前記不平衡端子に接続された第2のキャパシタと、一端が前記第2のキャパシタの他端に接続され、他端が前記第2の平衡端子に接続された第3のキャパシタと、一端が前記第2のキャパシタの他端に接続され、他端が前記グランド端子に接続された第3のコイルとを有し、

前記第1ないし第3のコイルおよび第1ないし第3のキャパシタ以外のコイルおよびキャパシタを含んでいないことを特徴とするバラン。

【請求項2】

更に、交互に積層された誘電体層と導体層とを含む積層体を備え、
前記各コイルおよびキャパシタは、前記導体層を用いて構成されていることを特徴とす

る請求項 1 記載の balan。

【請求項 3】

前記 balan が 1 つのチップ型電子部品を構成するように、前記不平衡端子、第 1 の平衡端子および第 2 の平衡端子は、前記積層体の外周部に配置されていることを特徴とする請求項 2 記載の balan。

【請求項 4】

前記第 1 ないし第 3 のコイルは、前記積層体の各層に対して垂直な方向から見たときに互いに重ならない位置に配置されていることを特徴とする請求項 2 または 3 記載の balan。

【請求項 5】

更に、前記導体層を用いて構成され、前記第 1 ないし第 3 のコイルを互いに電磁気的に分離する分離部を備えたことを特徴とする請求項 4 記載の balan。

【請求項 6】

前記導体層として、前記不平衡端子に接続された第 1 のキャパシタ用導体層と、前記第 2 の平衡端子に接続された第 2 のキャパシタ用導体層と、前記第 1 のキャパシタ用導体層と第 2 のキャパシタ用導体層の間に配置された第 3 のキャパシタ用導体層とを備え、

前記第 1 のキャパシタ用導体層と第 3 のキャパシタ用導体層によって前記第 2 のキャパシタが形成され、

前記第 2 のキャパシタ用導体層と第 3 のキャパシタ用導体層によって前記第 3 のキャパシタが形成され、

前記第 2 のキャパシタ用導体層および第 3 のキャパシタ用導体層は、第 1 のキャパシタ用導体層よりも面積が大きいことを特徴とする請求項 2 ないし 5 のいずれかに記載の balan。

【請求項 7】

前記不平衡端子と第 1 の平衡端子との間の信号経路および前記不平衡端子と第 2 の平衡端子との間の信号経路は、いずれも、電磁結合によって信号を伝達する部分を含まないことを特徴とする請求項 1 ないし 6 のいずれかに記載の balan。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、平衡信号と不平衡信号とを相互に変換する balan に関する。

【背景技術】

【0002】

balan (平衡 - 不平衡変換器) は、平衡信号と不平衡信号とを相互に変換するものである。ここで、不平衡信号とは、接地電位を基準電位とした信号であり、平衡信号とは、互いに位相がほぼ 180 度異なり、振幅がほぼ等しい 2 つの信号からなるものである。balan は、平衡信号を入出力するための 2 つの平衡端子と、不平衡信号を入出力するための 1 つの不平衡端子とを有している。

【0003】

balan は、例えば、携帯電話や無線 LAN (ローカルエリアネットワーク) 用通信機器のような移動体通信機器に用いられている。移動体通信機器では、小型化、薄型化の要求が強いことから、高密度の部品実装技術が要求されている。そこで、多層基板を用いて部品を集積することも提案されている。多層基板は、交互に積層された誘電体層とパターン化された導体層とを含む積層体である。

【0004】

従来、balan としては、電磁結合する一対の 1/4 波長ストリップラインを、少なくとも 2 組有する構成の balan (本出願において電磁結合型 balan とする。) が多く利用されていた。また、例えば特許文献 1 ないし 3 に記載されているように、多層基板を用いて構成された積層型の電磁結合型 balan も種々提案されている。

【0005】

10

20

30

40

50

電磁結合型バランでは、一对の1/4波長ストリップライン間の結合度を高くすることが求められる。しかしながら、積層型の電磁結合型バランでは、一对の1/4波長ストリップライン間の結合度を高くすることが難しく、そのため、挿入損失が大きくなるという問題点があった。

【0006】

そこで、特許文献4では、積層型にしても挿入損失を小さくすることのできるバランとして、ハイパスフィルタとローパスフィルタとを用いたバラン（本出願においてフィルタ型バランと言う。）が提案されている。

【0007】

【特許文献1】特開平9-260145号公報

10

【特許文献2】特開2000-188218号公報

【特許文献3】特開2002-190413号公報

【特許文献4】特開平10-200360号公報

【発明の開示】

【発明が解決しようとする課題】

【0008】

特許文献4に記載されているフィルタ型バランでは、ハイパスフィルタとローパスフィルタは、いずれも、1つのコイルと1つのキャパシタからなるLC回路によって構成されている。特許文献4に記載されているフィルタ型バランでは、電磁結合型バランに比べて、挿入損失を小さくすることができる。しかしながら、このフィルタ型バランでは、それが使用される周波数帯域の近傍において、2つの平衡端子における出力信号の振幅の差が周波数によって大きく変化し、その結果、2つの平衡端子における出力信号の振幅の差が所望の基準を満たす周波数範囲が狭くなるという問題点がある。

20

【0009】

また、積層型のフィルタ型バランによれば、バランの小型化が可能になる。しかしながら、積層型のフィルタ型バランでは、複数のコイルの相互間における電磁気的な干渉が発生しやすい。この干渉が生じると、設計によるバランの所望の特性と実際に製造されたバランの特性とが異なることになり、その結果、製造されたバランにおいて所望の特性を実現することが難しくなるという問題点がある。

【0010】

30

本発明はかかる問題点に鑑みてなされたもので、その第1の目的は、挿入損失が小さく、且つ広い周波数範囲において2つの平衡端子における出力信号の振幅の差が小さいバランを提供することにある。

【0011】

本発明の第2の目的は、挿入損失が小さく、小型化が可能で、且つ所望の特性を容易に実現することができるようにしたバランを提供することにある。

【課題を解決するための手段】

【0012】

本発明の第1のバランは、

不平衡信号を入出力する不平衡端子と、

40

平衡信号を入出力する第1および第2の平衡端子と、

不平衡端子と第1の平衡端子との間に設けられたローパスフィルタと、

不平衡端子と第2の平衡端子との間に設けられたハイパスフィルタとを備え、

ローパスフィルタは、少なくとも2つのコイルと少なくとも1つのキャパシタとを有し、

ハイパスフィルタは、少なくとも2つのキャパシタと少なくとも1つのコイルとを有するものである。

【0013】

本発明の第1のバランでは、不平衡端子に不平衡信号が入力された場合には、この信号は、ローパスフィルタを通過して位相がほぼ90度遅れて第1の平衡端子より出力される

50

と共に、ハイパスフィルタを通過して位相がほぼ90度進んで第2の平衡端子より出力される。その結果、第1の平衡端子より出力される信号と第2の平衡端子より出力される信号は、互いに位相がほぼ180度異なる2つの信号、すなわち平衡信号を構成する2つの信号となる。また、第1の平衡端子と第2の平衡端子に平衡信号を構成する2つの信号が入力された場合には、第1の平衡端子に入力された信号は、ローパスフィルタを通過して位相がほぼ90度遅れて不平衡端子に到達し、第2の平衡端子に入力された信号は、ハイパスフィルタを通過して位相がほぼ90度進んで不平衡端子に到達する。その結果、不平衡端子より不平衡信号が出力される。本発明の第1の balan では、ローパスフィルタが、少なくとも2つのコイルと少なくとも1つのキャパシタとを有し、ハイパスフィルタが、少なくとも2つのキャパシタと少なくとも1つのコイルとを有することにより、広い周波数範囲において2つの平衡端子における出力信号の振幅の差が小さくなる。

10

【0014】

本発明の第1の balan は、更に、交互に積層された誘電体層と導体層とを含む積層体を備え、各コイルおよびキャパシタは、導体層を用いて構成されていてもよい。この場合、 balan が1つのチップ型電子部品を構成するように、不平衡端子、第1の平衡端子および第2の平衡端子は、積層体の外周部に配置されていてもよい。また、ローパスフィルタ中の2つのコイルとハイパスフィルタ中の1つのコイルを含む少なくとも3つのコイルは、積層体の各層に対して垂直な方向から見たときに互いに重ならない位置に配置されていてもよい。また、本発明の第1の balan は、更に、導体層を用いて構成され、少なくとも3つのコイルを互いに電磁氣的に分離する分離部を備えていてもよい。

20

【0015】

また、本発明の第1の balan は、更に、グランドに接続されるグランド端子を備え、ローパスフィルタは、一端が不平衡端子に接続された第1のコイルと、一端が第1のコイルの他端に接続され、他端が第1の平衡端子に接続された第2のコイルと、一端が第1のコイルの他端に接続され、他端がグランド端子に接続された第1のキャパシタとを有し、ハイパスフィルタは、一端が不平衡端子に接続された第2のキャパシタと、一端が第2のキャパシタの他端に接続され、他端が第2の平衡端子に接続された第3のキャパシタと、一端が第2のキャパシタの他端に接続され、他端がグランド端子に接続された第3のコイルとを有していてもよい。

【0016】

また、本発明の第1の balan において、不平衡端子と第1の平衡端子との間の信号経路および不平衡端子と第2の平衡端子との間の信号経路は、いずれも、電磁結合によって信号を伝達する部分を含まないものであってもよい。

30

【0017】

本発明の第2の balan は、
不平衡信号を入出力する不平衡端子と、
平衡信号を入出力する第1および第2の平衡端子と、
不平衡端子と第1の平衡端子との間に設けられたローパスフィルタと、
不平衡端子と第2の平衡端子との間に設けられたハイパスフィルタと、
交互に積層された誘電体層と導体層とを含む積層体とを備え、
ローパスフィルタとハイパスフィルタは、導体層を用いて構成されたコイルを、合計して少なくとも3つ含み、

40

少なくとも3つのコイルは、積層体の各層に対して垂直な方向から見たときに互いに重ならない位置に配置されているものである。

【0018】

本発明の第2の balan は、更に、導体層を用いて構成され、少なくとも3つのコイルを互いに電磁氣的に分離する分離部を備えていてもよい。

【発明の効果】

【0019】

本発明の第1の balan は、ローパスフィルタおよびハイパスフィルタを用いて構成され

50

ている。これにより、本発明によれば、挿入損失の小さいバランを実現することができるという効果を奏する。また、本発明の第1のバランにおいて、ローパスフィルタは少なくとも2つのコイルと少なくとも1つのキャパシタとを有し、ハイパスフィルタは少なくとも2つのキャパシタと少なくとも1つのコイルとを有する。これにより、本発明によれば、広い周波数範囲において2つの平衡端子における出力信号の振幅の差が小さいバランを実現することができるという効果を奏する。

【0020】

本発明の第1のバランが、更に、交互に積層された誘電体層と導体層とを含む積層体を備え、各コイルおよびキャパシタが導体層を用いて構成されている場合には、バランの小型化が可能になるという効果を奏する。

10

【0021】

また、本発明の第1のバランにおいて、ローパスフィルタ中の2つのコイルとハイパスフィルタ中の1つのコイルを含む少なくとも3つのコイルが、積層体の各層に対して垂直な方向から見たときに互いに重ならない位置に配置されている場合には、少なくとも3つのコイルの相互間における電磁気的な干渉を防止でき、その結果、所望の特性を容易に実現することが可能になるという効果を奏する。

【0022】

また、本発明の第1のバランが、更に、導体層を用いて構成され、少なくとも3つのコイルを互いに電磁気的に分離する分離部を備えた場合には、少なくとも3つのコイルの相互間における電磁気的な干渉をより確実に防止することができるという効果を奏する。

20

【0023】

また、本発明の第2のバランは、ローパスフィルタおよびハイパスフィルタを用いて構成されている。これにより、本発明によれば、挿入損失の小さいバランを実現することができるという効果を奏する。また、本発明の第2のバランは、交互に積層された誘電体層と導体層とを含む積層体を備え、ローパスフィルタとハイパスフィルタは、導体層を用いて構成されたコイルを、合計して少なくとも3つ含み、この少なくとも3つのコイルは、積層体の各層に対して垂直な方向から見たときに互いに重ならない位置に配置されている。これにより、本発明によれば、バランの小型化が可能になると共に、少なくとも3つのコイルの相互間における電磁気的な干渉を防止でき、その結果、所望の特性を容易に実現することが可能になるという効果を奏する。

30

【0024】

また、本発明の第2のバランが、更に、導体層を用いて構成され、少なくとも3つのコイルを互いに電磁気的に分離する分離部を備えた場合には、少なくとも3つのコイルの相互間における電磁気的な干渉をより確実に防止することができるという効果を奏する。

【発明を実施するための最良の形態】

【0025】

以下、本発明の実施の形態について図面を参照して詳細に説明する。

[第1の実施の形態]

始めに、図1を参照して、本発明の第1の実施の形態に係るバランの回路構成について説明する。本実施の形態に係るバランは、不平衡信号を入出力する不平衡端子10と、平衡信号を入出力する第1および第2の平衡端子11, 12と、グランドに接続される2つのグランド端子13, 14とを備えている。バランは、更に、不平衡端子10と第1の平衡端子11との間に設けられたローパスフィルタ21と、不平衡端子10と第2の平衡端子12との間に設けられたハイパスフィルタ22とを備えている。

40

【0026】

ローパスフィルタ21は、一端が不平衡端子10に接続された第1のコイル31と、一端が第1のコイル31の他端に接続され、他端が第1の平衡端子11に接続された第2のコイル32と、一端が第1のコイル31の他端に接続され、他端がグランド端子13に接続された第1のキャパシタ41とを有している。ハイパスフィルタ22は、一端が不平衡端子10に接続された第2のキャパシタ42と、一端が第2のキャパシタ42の他端に接

50

続され、他端が第2の平衡端子12に接続された第3のキャパシタ43と、一端が第2のキャパシタ42の他端に接続され、他端がグランド端子14に接続された第3のコイル33とを有している。

【0027】

本実施の形態に係るバランでは、不平衡端子10と第1の平衡端子11との間の信号経路および不平衡端子10と第2の平衡端子12との間の信号経路は、いずれも、電磁結合によって信号を伝達する部分を含んでいない。

【0028】

ここで、本実施の形態に係るバランの作用について説明する。バランにおいて、不平衡端子10に不平衡信号が入力された場合には、この信号は、ローパスフィルタ21を通過して位相がほぼ90度遅れて平衡端子11より出力されると共に、ハイパスフィルタ22を通過して位相がほぼ90度進んで平衡端子12より出力される。その結果、平衡端子11より出力される信号と平衡端子12より出力される信号は、互いに位相がほぼ180度異なる2つの信号、すなわち平衡信号を構成する2つの信号となる。また、平衡端子11と平衡端子12に平衡信号を構成する2つの信号が入力された場合には、平衡端子11に入力された信号は、ローパスフィルタ21を通過して位相がほぼ90度遅れて不平衡端子10に到達し、平衡端子12に入力された信号は、ハイパスフィルタ22を通過して位相がほぼ90度進んで不平衡端子10に到達する。その結果、不平衡端子10より不平衡信号が出力される。

【0029】

次に、図2および図3を参照して、本実施の形態に係るバランの構造について説明する。図2は、本実施の形態に係るバランの外観を示す斜視図である。図2に示したように、本実施の形態に係るバランは、交互に積層された誘電体層と導体層とを含む積層体である多層基板50を備えている。図1に示した各コイルおよびキャパシタは導体層を用いて構成されている。多層基板50の上面、下面および側面には、不平衡端子10、平衡端子11, 12、グランド端子13, 14および端子15が設けられている。これらの端子10~15は、多層基板50の内部の導体層に接続されている。なお、端子10~14は外部回路に接続されるが、端子15は外部回路には接続されない。このように、本実施の形態では、バランが、概ね六面体形状の1つのチップ型電子部品を構成するように、端子10~15は多層基板50の外周部に配置されている。

【0030】

図3は、本実施の形態に係るバランを構成する多層基板50の構成の一例を示す説明図である。図3において、(a)~(g)は、それぞれ、上から1層目ないし7層目の導体層およびその下の誘電体層を示している。

【0031】

図3(a)に示した誘電体層51の上面には、3つのコイル用導体層61a, 62a, 63aと導体層64とが形成されている。また、誘電体層51には、スルーホール71, 72, 73が形成されている。導体層61a, 62a, 63aは、それぞれコイル31, 32, 33の一部を構成するものである。導体層64の一端は不平衡端子10に接続され、導体層64の他端は端子15に接続されている。導体層61aの一端は導体層64に接続され、導体層61aの他端はスルーホール71に接続されている。導体層62aの一端は平衡端子11に接続され、導体層62aの他端はスルーホール72に接続されている。導体層63aの一端はグランド端子14に接続され、導体層63aの他端はスルーホール73に接続されている。

【0032】

図3(b)に示した誘電体層52の上面には、3つのコイル用導体層61b, 62b, 63bと、スルーホール接続用導体層74, 76, 78とが形成されている。また、誘電体層52には、スルーホール75, 77, 79が形成されている。導体層61b, 62b, 63bは、それぞれコイル31, 32, 33の一部を構成するものである。導体層61bの一端は導体層74に接続され、導体層61bの他端はスルーホール75に接続されて

10

20

30

40

50

いる。導体層 6 2 b の一端は導体層 7 6 に接続され、導体層 6 2 b の他端はスルーホール 7 7 に接続されている。導体層 6 3 b の一端は導体層 7 8 に接続され、導体層 6 3 b の他端はスルーホール 7 9 に接続されている。導体層 7 4 , 7 6 , 7 8 は、それぞれ、図 3 (a) に示したスルーホール 7 1 , 7 2 , 7 3 に接続される。

【 0 0 3 3 】

図 3 (c) に示した誘電体層 5 3 の上面には、3 つのコイル用導体層 6 1 c , 6 2 c , 6 3 c と、スルーホール接続用導体層 8 0 , 8 2 , 8 4 とが形成されている。また、誘電体層 5 3 には、スルーホール 8 1 , 8 3 , 8 5 が形成されている。導体層 6 1 c , 6 2 c , 6 3 c は、それぞれコイル 3 1 , 3 2 , 3 3 の一部を構成するものである。導体層 6 1 c の一端は導体層 8 0 に接続され、導体層 6 1 c の他端はスルーホール 8 1 に接続されている。導体層 6 2 c の一端は導体層 8 2 に接続され、導体層 6 2 c の他端はスルーホール 8 3 に接続されている。導体層 6 3 c の一端は導体層 8 4 に接続され、導体層 6 3 c の他端はスルーホール 8 5 に接続されている。導体層 8 0 , 8 2 , 8 4 は、それぞれ、図 3 (b) に示したスルーホール 7 5 , 7 7 , 7 9 に接続される。

10

【 0 0 3 4 】

図 3 (d) に示した誘電体層 5 4 の上面には、導体層 6 5 と、スルーホール接続用導体層 8 6 , 8 7 , 8 9 とが形成されている。また、誘電体層 5 4 には、スルーホール 8 8 , 9 0 が形成されている。導体層 6 5 の一端は導体層 8 6 に接続され、導体層 6 5 の他端は導体層 8 7 に接続されている。スルーホール 8 8 は導体層 6 5 の途中に接続されている。導体層 8 9 はスルーホール 9 0 に接続されている。導体層 8 6 , 8 7 , 8 9 は、それぞれ、図 3 (c) に示したスルーホール 8 1 , 8 3 , 8 5 に接続される。

20

【 0 0 3 5 】

図 3 (e) に示した誘電体層 5 5 の上面には、キャパシタ用導体層 6 6 , 6 7 が形成されている。また、誘電体層 5 5 には、スルーホール 9 1 が形成されている。導体層 6 6 は、図 3 (d) に示したスルーホール 8 8 に接続される。導体層 6 7 は端子 1 5 に接続されている。スルーホール 9 1 は、図 3 (d) に示したスルーホール 9 0 に接続される。

【 0 0 3 6 】

図 3 (f) に示した誘電体層 5 6 の上面には、キャパシタ用導体層 6 8 , 6 9 が形成されている。導体層 6 8 は、図 3 (e) に示した導体層 6 6 に対向している。導体層 6 9 は、図 3 (e) に示した導体層 6 7 に対向している。導体層 6 6 , 6 8 によってキャパシタ 4 1 が形成される。導体層 6 7 , 6 9 によってキャパシタ 4 2 が形成される。導体層 6 8 はグランド端子 1 3 に接続されている。導体層 6 9 は、図 3 (e) に示したスルーホール 9 1 に接続される。

30

【 0 0 3 7 】

図 3 (g) に示した誘電体層 5 7 の上面には、キャパシタ用導体層 7 0 が形成されている。導体層 7 0 は、図 3 (f) に示した導体層 6 9 に対向している。導体層 6 9 , 7 0 によってキャパシタ 4 3 が形成される。導体層 7 0 は平衡端子 1 2 に接続されている。

【 0 0 3 8 】

図 3 から分かるように、本実施の形態では、ローパスフィルタ 2 1 中の 2 つのコイル 3 1 , 3 2 とハイパスフィルタ 2 2 中の 1 つのコイル 3 3 は、多層基板 5 0 の各層に対して垂直な方向から見たときに互いに重ならない位置に配置されている。

40

【 0 0 3 9 】

多層基板 5 0 は、例えば低温焼成セラミック多層基板になっている。この場合、多層基板 5 0 は、例えば以下のようにして製造される。すなわち、まず、予めスルーホール用の孔が形成されたセラミックグリーンシート上に、例えば銀を主成分とする導電性ペーストを用いて、所定のパターンの導体層を形成する。次に、このように導体層が形成された複数のセラミックグリーンシートを積層し、これらを同時に焼成する。これにより、スルーホールも同時に形成される。次に、端子 1 0 ~ 1 5 を形成して、多層基板 5 0 を完成させる。

【 0 0 4 0 】

50

以上説明したように、本実施の形態に係るバランは、ローパスフィルタ 2 1 およびハイパスフィルタ 2 2 を用いて構成されている。これにより、本実施の形態によれば、挿入損失の小さいバランを実現することができる。

【 0 0 4 1 】

また、本実施の形態に係るバランは、ローパスフィルタ 2 1 が 2 つのコイル 3 1 , 3 2 と 1 つのキャパシタ 4 1 とを有し、ハイパスフィルタ 2 2 が 2 つのキャパシタ 4 2 , 4 3 と 1 つのコイル 3 3 とを有している。これにより、本実施の形態に係るバランでは、ハイパスフィルタとローパスフィルタが、いずれも 1 つのコイルと 1 つのキャパシタからなる LC 回路によって構成されたバランに比べて、広い周波数範囲において 2 つの平衡端子 1 1 , 1 2 における出力信号の振幅の差が小さくなる。以下、このことを、シミュレーションの結果を用いて説明する。

10

【 0 0 4 2 】

図 4 は、シミュレーションで用いた比較例のバランの回路構成を示す回路図である。この比較例のバランは、不平衡信号を入出力する不平衡端子 1 1 0 と、平衡信号を入出力する第 1 および第 2 の平衡端子 1 1 1 , 1 1 2 とを備えている。比較例のバランは、更に、不平衡端子 1 1 0 と第 1 の平衡端子 1 1 1 との間に設けられたローパスフィルタ 1 2 1 と、不平衡端子 1 1 0 と第 2 の平衡端子 1 1 2 との間に設けられたハイパスフィルタ 1 2 2 とを備えている。ローパスフィルタ 1 2 1 は、一端が不平衡端子 1 1 0 に接続され、他端が第 1 の平衡端子 1 1 1 に接続されたコイル 1 3 1 と、一端がコイル 1 3 1 の他端に接続され、他端が接地されたキャパシタ 1 4 1 とを有している。ハイパスフィルタ 1 2 2 は、一端が不平衡端子 1 1 0 に接続され、他端が第 2 の平衡端子 1 1 2 に接続されたキャパシタ 1 4 2 と、一端がキャパシタ 1 4 2 の他端に接続され、他端が接地されたコイル 1 3 2 とを有している。シミュレーションでは、コイル 1 3 1 , 1 3 2 のインダクタンスを共に 8 . 0 nH とし、キャパシタ 1 4 1 , 1 4 2 のキャパシタンスを共に 0 . 8 8 pF とした。

20

【 0 0 4 3 】

また、シミュレーションで用いた本実施の形態に係るバランの回路構成は、図 1 に示した通りである。シミュレーションでは、コイル 3 1 , 3 2 , 3 3 のインダクタンスを、それぞれ 5 . 2 nH , 5 . 4 nH , 5 . 1 nH とし、キャパシタ 4 1 , 4 2 , 4 3 のキャパシタンスを、それぞれ 0 . 5 5 pF , 0 . 6 4 pF , 2 . 4 3 pF とした。

30

【 0 0 4 4 】

図 5 および図 6 にシミュレーションの結果を示す。図 5 は、図 4 に示した比較例のバランにおけるローパスフィルタ 1 2 1 の出力信号の振幅、ハイパスフィルタ 1 2 2 の出力信号の振幅および 2 つの平衡端子 1 1 1 , 1 1 2 における出力信号の振幅の差（以下、振幅差と言う。）の周波数特性を示している。図 5 において、符号 1 2 3 はローパスフィルタ 1 2 1 の出力信号の振幅を示し、符号 1 2 4 はハイパスフィルタ 1 2 2 の出力信号の振幅を示し、符号 1 2 5 は振幅差を示している。振幅差は、ローパスフィルタ 1 2 1 の出力信号の振幅とハイパスフィルタ 1 2 2 の出力信号の振幅との差で表される。

【 0 0 4 5 】

図 6 は、図 1 に示した本実施の形態に係るバランにおけるローパスフィルタ 2 1 の出力信号の振幅、ハイパスフィルタ 2 2 の出力信号の振幅および 2 つの平衡端子 1 1 , 1 2 における出力信号の振幅の差（以下、振幅差と言う。）の周波数特性を示している。図 6 において、符号 2 3 はローパスフィルタ 2 1 の出力信号の振幅を示し、符号 2 4 はハイパスフィルタ 2 2 の出力信号の振幅を示し、符号 2 5 は振幅差を示している。振幅差は、ローパスフィルタ 2 1 の出力信号の振幅とハイパスフィルタ 2 2 の出力信号の振幅との差で表される。

40

【 0 0 4 6 】

図 5 と図 6 における振幅差を比較すると分かるように、本実施の形態に係るバランでは、比較例のバランに比べて、広い周波数範囲において振幅差が小さくなる。これは、比較例と本実施の形態との間における、ローパスフィルタおよびハイパスフィルタの各出力信

50

号の振幅の周波数特性の違いによると考えられる。すなわち、比較例におけるローパスフィルタおよびハイパスフィルタの各出力信号の振幅の周波数特性は、いずれも緩やかな曲線を描いている。そのため、比較例における振幅差の周波数特性は、大きな傾きを持つ直線に近い曲線を描いている。これに対し、本実施の形態におけるローパスフィルタおよびハイパスフィルタの各出力信号の振幅の周波数特性は、いずれもリップルを有する曲線を描いている。そのため、本実施の形態における振幅差の周波数特性は、振幅差が0 (dB)の近傍において平坦な部分を有する曲線を描いている。

【0047】

以下、電磁結合型バランの一例と図4に示した比較例のバランと図1に示した本実施の形態に係るバランについて、実際に測定して得られた特性の一例を示す。図7は、ここで用いた電磁結合型バランの構成を示す回路図である。この電磁結合型バランは、不平衡信号を入出力する不平衡端子150と、平衡信号を入出力する第1および第2の平衡端子151, 152とを備えている。電磁結合型バランは、更に、電磁結合する一对の1/4波長ストリップライン153, 154と、電磁結合する一对の1/4波長ストリップライン155, 156とを備えている。ストリップライン153の一端は不平衡端子150に接続されている。ストリップライン153の他端は、ストリップライン155の一端に接続されている。ストリップライン155の他端は開放されている。ストリップライン154, 156における互いに対向する各一端は、それぞれ平衡端子151, 152に接続されている。ストリップライン154, 156の各他端は接地されている。

【0048】

また、ここで用いた比較例のバランと本実施の形態に係るバランにおける各コイルのインダクタンスの値と各キャパシタのキャパシタンスの値は、前述のシミュレーションで使用した値と同じである。

【0049】

図8ないし図11は、図7に示した電磁結合型バランの特性を示している。図8は反射損失の周波数特性を示している。図9は挿入損失の周波数特性を示している。図10は平衡端子151, 152における出力信号の振幅の差(以下、振幅差と言う。)の周波数特性を示している。図11は平衡端子151, 152における出力信号の位相の差(以下、位相差と言う。)の周波数特性を示している。

【0050】

図12ないし図15は、図4に示した比較例のバランの特性を示している。図12は反射損失の周波数特性を示している。図13は挿入損失の周波数特性を示している。図14は振幅差の周波数特性を示している。図11は平衡端子111, 112における出力信号の位相の差(以下、位相差と言う。)の周波数特性を示している。

【0051】

図16ないし図19は、本実施の形態に係るバランの特性を示している。図16は反射損失の周波数特性を示している。図17は挿入損失の周波数特性を示している。図18は振幅差の周波数特性を示している。図19は平衡端子11, 12における出力信号の位相の差(以下、位相差と言う。)の周波数特性を示している。

【0052】

通常、積層型のバランには、それを使用する周波数範囲において、上記の各特性が以下の条件を満たすことが求められる。すなわち、反射損失は、絶対値が10dB以上であることが求められる。挿入損失は、絶対値が1.0dB以下であることが求められる。振幅差は、 0 ± 1.0 dBの範囲内であることが求められる。位相差は、 180 ± 10 度(deg)の範囲内であることが求められる。

【0053】

図9、図13および図17を比較すると分かるように、電磁結合型バランでは、図4に示した比較例のバランおよび本実施の形態に係るバランに比べて挿入損失が大きい。そのため、図8ないし図11に示した特性の電磁結合型バランでは、使用可能な周波数範囲は、およそ1800MHz~2000MHzの範囲となる。

10

20

30

40

50

【0054】

図4に示した比較例のバランおよび本実施の形態に係るバランでは、電磁結合型バランに比べて、広い周波数範囲において挿入損失が小さくなる。しかし、図14から分かるように、図4に示した比較例のバランでは、振幅差が 0 ± 1.0 dBの範囲内となる周波数範囲が狭い。図12ないし図15に示した特性の比較例のバランでは、使用可能な周波数範囲は、およそ $1800\text{MHz} \sim 1900\text{MHz}$ の範囲となる。

【0055】

図18から分かるように、本実施の形態に係るバランでは、比較例のバランに比べて広い周波数範囲において、振幅差が 0 ± 1.0 dBの範囲内となる。図16ないし図19に示した特性の本実施の形態に係るバランでは、使用可能な周波数範囲は、およそ $1600\text{MHz} \sim 2100\text{MHz}$ の範囲となる。

10

【0056】

以上説明したように、本実施の形態によれば、挿入損失が小さく、且つ広い周波数範囲において2つの平衡端子における出力信号の振幅の差が小さいバランを実現することができる。

【0057】

また、本実施の形態によれば、多層基板50の導体層を用いてローパスフィルタ21およびハイパスフィルタ22に含まれるコイルおよびキャパシタを構成したので、バランの小型化が可能になる。

【0058】

また、本実施の形態では、ローパスフィルタ21中の2つのコイル31, 32とハイパスフィルタ22中の1つのコイル33が、多層基板50の各層に対して垂直な方向から見たときに互いに重ならない位置に配置されている。これにより、本実施の形態によれば、3つのコイル31, 32, 33の相互間における電磁気的な干渉を防止でき、その結果、バランの所望の特性を容易に実現することが可能になる。

20

【0059】

[第2の実施の形態]

次に、図20を参照して、本発明の第2の実施の形態に係るバランについて説明する。図20は、本実施の形態に係るバランを構成する多層基板50の構成の一例を示す説明図である。図20において、(a)~(g)は、それぞれ、上から1層目ないし7層目の導体層およびその下の誘電体層を示している。本実施の形態において、図20の(d)~(g)に示した各層の構成は、図3の(d)~(g)に示した各層の構成と同様である。

30

【0060】

本実施の形態では、図20(a)に示したように、誘電体層51の上面には、図3(a)に示した各導体層の他に、コイル分離用導体層93が形成されている。コイル分離用導体層93は、T字形状をなし、コイル用導体層61a, 62a, 63aが配置された3つの領域を仕切るように配置されている。また、コイル分離用導体層93はグランド端子13に接続されている。また、誘電体層51には、コイル分離用導体層93に接続された複数のスルーホール94が形成されている。

【0061】

また、本実施の形態では、図20(b)に示したように、誘電体層52の上面には、図3(b)に示した各導体層の他に、コイル分離用導体層95が形成されている。コイル分離用導体層95は、T字形状をなし、コイル用導体層61b, 62b, 63bが配置された3つの領域を仕切るように配置されている。また、コイル分離用導体層95はグランド端子13に接続されている。また、誘電体層52には、コイル分離用導体層95に接続された複数のスルーホール96が形成されている。複数のスルーホール96は、図20(a)に示した複数のスルーホール94に接続される。

40

【0062】

また、本実施の形態では、図20(c)に示したように、誘電体層53の上面には、図3(c)に示した各導体層の他に、コイル分離用導体層97が形成されている。コイル分

50

離用導体層 97 は、T 字形状をなし、コイル用導体層 61c, 62c, 63c が配置された 3 つの領域を仕切るように配置されている。また、コイル分離用導体層 97 はグランド端子 13 に接続されている。また、誘電体層 53 の上面には、コイル分離用導体層 97 に接続された複数のスルーホール接続用導体層 98 が形成されている。複数のスルーホール接続用導体層 98 は、図 20 (b) に示した複数のスルーホール 96 に接続される。

【0063】

本実施の形態では、図 20 (a) ~ (c) に示したコイル分離用導体層 93, 95, 97、スルーホール 94, 96 およびスルーホール接続用導体層 98 によって、3 つのコイル 31 ~ 33 を互いに電磁氣的に分離する分離部が形成されている。この分離部は、多層基板 50 内において、3 つのコイル 31 ~ 33 が配置された 3 つの領域を仕切るように配置されている。また、この分離部はグランドに接続される。従って、この分離部は、各コイルを他のコイルから電磁氣的に遮蔽する。これにより、本実施の形態によれば、3 つのコイル 31 ~ 33 の相互間における電磁氣的な干渉をより確実に防止することができ、その結果、バランの所望の特性をより容易に実現することが可能になる。

【0064】

本実施の形態におけるその他の構成、作用および効果は、第 1 の実施の形態と同様である。

【0065】

[第 3 の実施の形態]

次に、図 21 を参照して、本発明の第 3 の実施の形態に係るバランについて説明する。図 21 は、本実施の形態に係るバランの回路構成を示す回路図である。

【0066】

本実施の形態におけるローパスフィルタ 21 は、図 1 におけるコイル 31, 32 およびキャパシタ 41 の他に、コイル 34 とキャパシタ 44 とを有している。コイル 34 は、コイル 32 と第 1 の平衡端子 11 との間に挿入されている。キャパシタ 44 の一端は、コイル 32 とコイル 34 の接続点に接続され、キャパシタ 44 の他端はグランド端子 13 に接続されている。

【0067】

また、本実施の形態におけるハイパスフィルタ 22 は、図 1 におけるキャパシタ 42, 43 およびコイル 33 の他に、キャパシタ 45 とコイル 35 とを有している。キャパシタ 45 は、キャパシタ 43 と第 2 の平衡端子 12 との間に挿入されている。コイル 35 の一端は、キャパシタ 43 とキャパシタ 45 の接続点に接続され、コイル 35 の他端はグランド端子 14 に接続されている。

【0068】

本実施の形態に係るバランも、第 1 の実施の形態と同様に、多層基板 50 を備え、図 20 に示した各コイルおよびキャパシタは多層基板 50 の導体層を用いて構成されている。本実施の形態に係るバランは、第 1 の実施の形態に係るバランの構成要素に加えて、2 つのコイル 34, 35 と 2 つのキャパシタ 44, 45 とを有している。これらも、図 3 に示したコイルおよびキャパシタの形成方法と同様にして、多層基板 50 の導体層を用いて形成することができる。本実施の形態では、5 つのコイル 31 ~ 35 を、多層基板 50 の各層に対して垂直な方向から見たときに互いに重ならない位置に配置するのが好ましい。

【0069】

また、本実施の形態においても、第 2 の実施の形態と同様に、5 つのコイル 31 ~ 35 を互いに電磁氣的に分離する分離部を設けてもよい。

【0070】

本実施の形態におけるその他の構成、作用および効果は、第 1 の実施の形態と同様である。

【0071】

なお、本発明は、上記各実施の形態に限定されず、種々の変更が可能である。本発明では、ローパスフィルタは、少なくとも 2 つのコイルと少なくとも 1 つのキャパシタとを有

10

20

30

40

50

し、ハイパスフィルタは、少なくとも2つのキャパシタと少なくとも1つのコイルとを有していればよい。従って、例えば、ローパスフィルタが第1の実施の形態における構成で、ハイパスフィルタが第3の実施の形態における構成であってもよい。また、あるいは、ローパスフィルタが第3の実施の形態における構成で、ハイパスフィルタが第1の実施の形態における構成であってもよい。また、ローパスフィルタは、図21に示したローパスフィルタ21におけるコイル34と第1の平衡端子11との間に、コイル34およびキャパシタ44と同じ位置関係の新たなコイルおよびキャパシタが1組以上挿入された構成であってもよい。同様に、ハイパスフィルタは、図21に示したハイパスフィルタ22におけるキャパシタ45と第2の平衡端子12との間に、キャパシタ45およびコイル35と同じ位置関係の新たなキャパシタおよびコイルが1組以上挿入された構成であってもよい。

10

【0072】

また、本発明の balan において、ローパスフィルタとハイパスフィルタが、それらの回路構成のいかに関わらず、多層基板の導体層を用いて構成されたコイルを、合計して少なくとも3つ含む場合には、その少なくとも3つのコイルを、積層体の各層に対して垂直な方向から見たときに互いに重ならない位置に配置してもよい。この場合、少なくとも3つのコイルを互いに電磁的に分離する分離部を備えていてもよい。

【図面の簡単な説明】

【0073】

【図1】本発明の第1の実施の形態に係る balan の回路構成を示す回路図である。

20

【図2】本発明の第1の実施の形態に係る balan の外観を示す斜視図である。

【図3】本発明の第1の実施の形態に係る balan を構成する多層基板の構成の一例を示す説明図である。

【図4】シミュレーションで用いた比較例の balan の回路構成を示す回路図である。

【図5】図4に示した比較例の balan の2つの平衡端子における出力信号の振幅の差の周波数特性を示す特性図である。

【図6】本発明の第1の実施の形態に係る balan の2つの平衡端子における出力信号の振幅の差の周波数特性を示す特性図である。

【図7】電磁結合型 balan の構成を示す回路図である。

【図8】図7に示した電磁結合型 balan の反射損失の周波数特性を示す特性図である。

30

【図9】図7に示した電磁結合型 balan の挿入損失の周波数特性を示す特性図である。

【図10】図7に示した電磁結合型 balan の2つの平衡端子における出力信号の振幅の差の周波数特性を示す特性図である。

【図11】図7に示した電磁結合型 balan の2つの平衡端子における出力信号の位相の差の周波数特性を示す特性図である。

【図12】図4に示した比較例の balan の反射損失の周波数特性を示す特性図である。

【図13】図4に示した比較例の balan の挿入損失の周波数特性を示す特性図である。

【図14】図4に示した比較例の balan の2つの平衡端子における出力信号の振幅の差の周波数特性を示す特性図である。

【図15】図4に示した比較例の balan の2つの平衡端子における出力信号の位相の差の周波数特性を示す特性図である。

40

【図16】本発明の第1の実施の形態に係る balan の反射損失の周波数特性を示す特性図である。

【図17】本発明の第1の実施の形態に係る balan の挿入損失の周波数特性を示す特性図である。

【図18】本発明の第1の実施の形態に係る balan の2つの平衡端子における出力信号の振幅の差の周波数特性を示す特性図である。

【図19】本発明の第1の実施の形態に係る balan の2つの平衡端子における出力信号の位相の差の周波数特性を示す特性図である。

【図20】本発明の第2の実施の形態に係る balan を構成する多層基板の構成の一例を示

50

す説明図である。

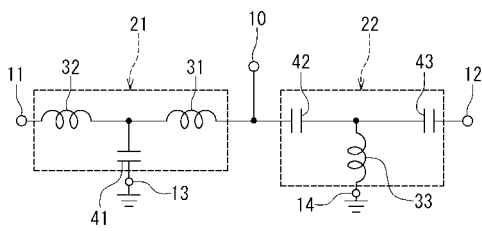
【図 2 1】本発明の第 3 の実施の形態に係るパランの回路構成を示す回路図である。

【符号の説明】

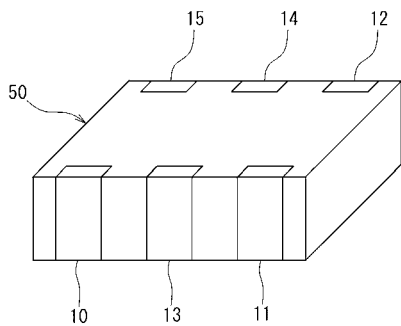
【 0 0 7 4 】

1 0 ... 不平衡端子、1 1 ... 第 1 の平衡端子、1 2 ... 第 2 の平衡端子、1 3 , 1 4 ... グラ
ンド端子、2 1 ... ローパスフィルタ、2 2 ... ハイパスフィルタ、3 1 ~ 3 3 ... コイル、4
1 ~ 4 3 ... キャパシタ、5 0 ... 多層基板。

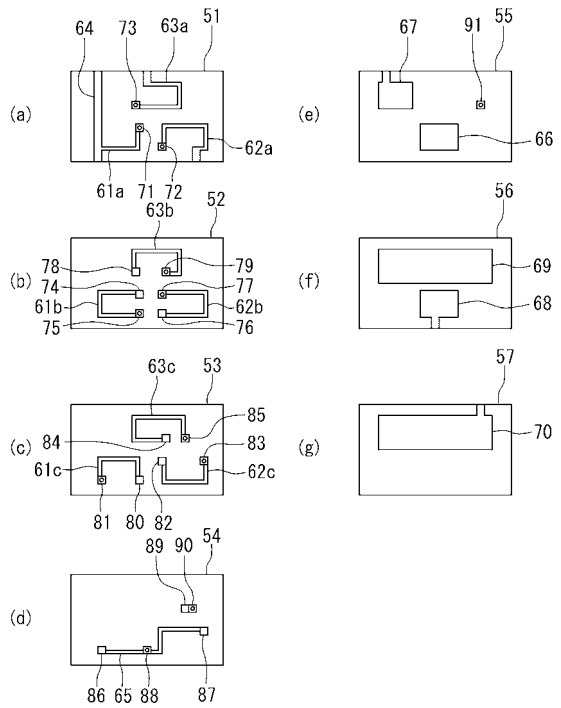
【図 1】



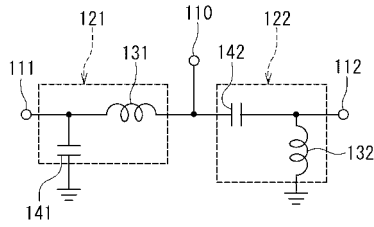
【図 2】



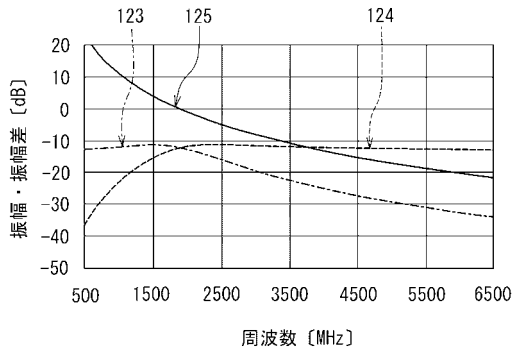
【図 3】



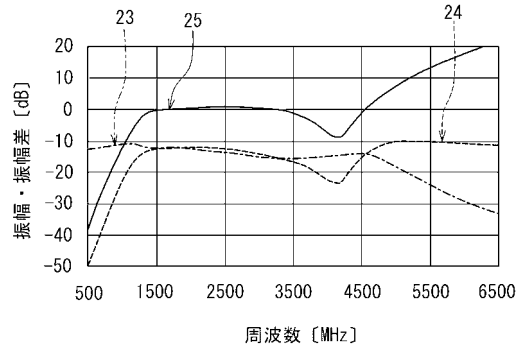
【图 4】



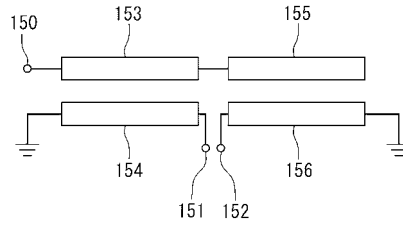
【图 5】



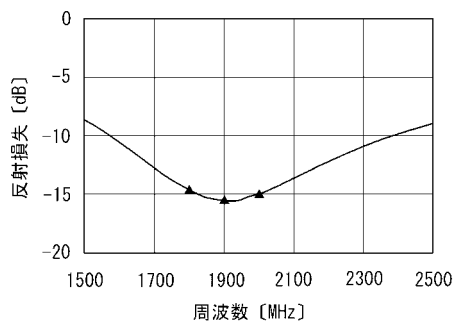
【图 6】



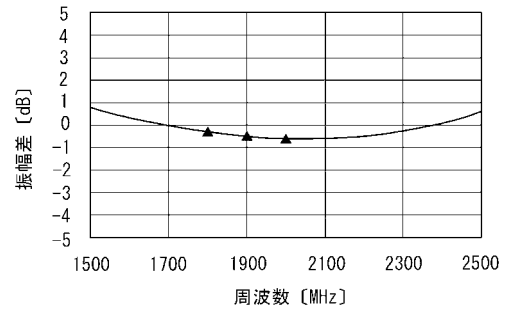
【图 7】



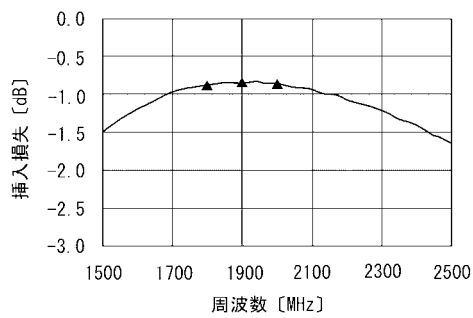
【图 8】



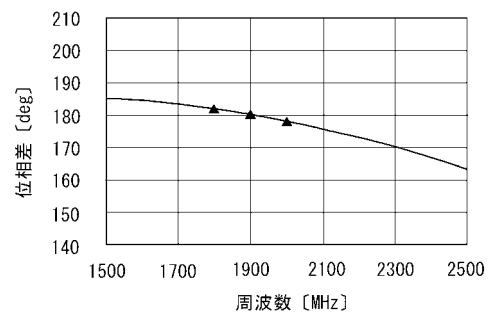
【图 10】



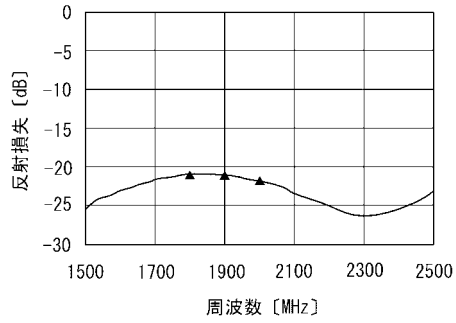
【图 9】



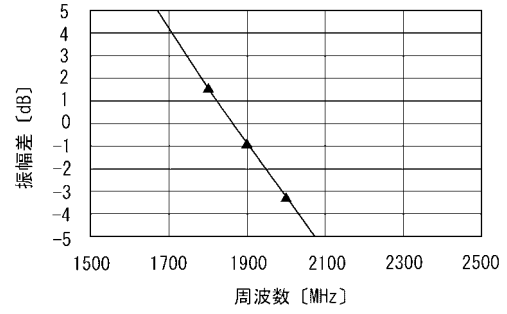
【图 11】



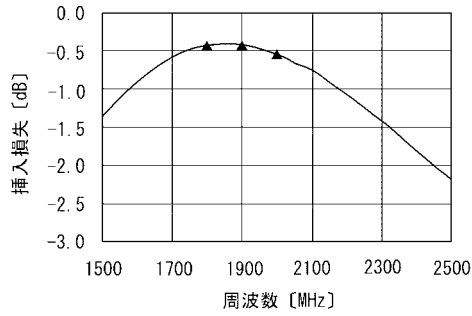
【图 1 2】



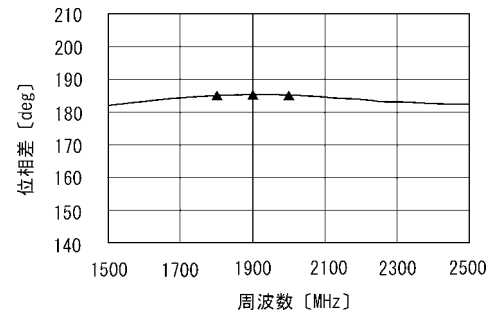
【图 1 4】



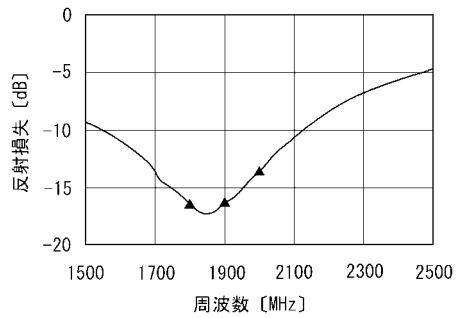
【图 1 3】



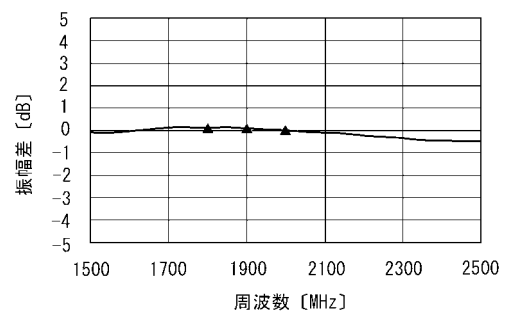
【图 1 5】



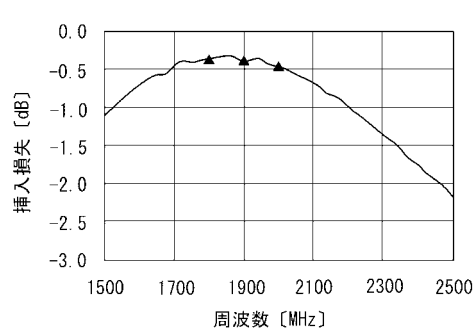
【图 1 6】



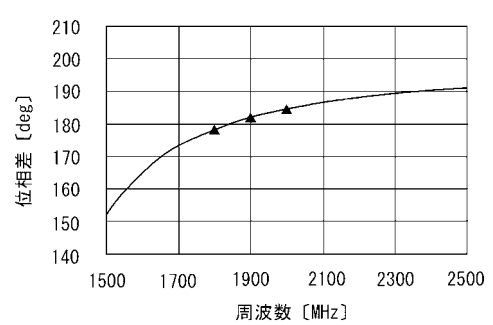
【图 1 8】



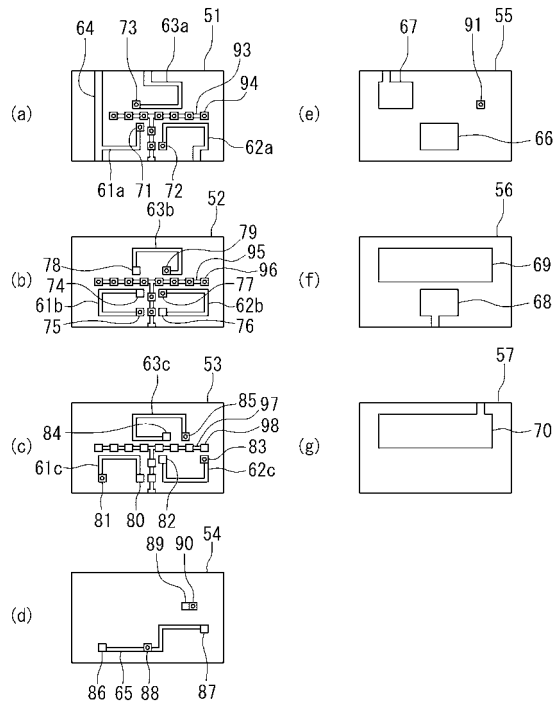
【图 1 7】



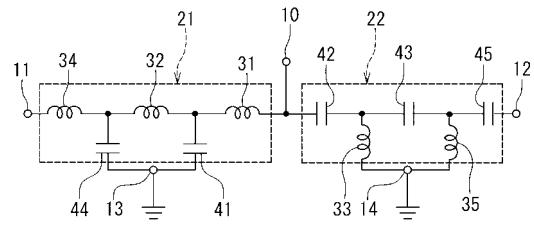
【图 1 9】



【図20】



【図21】



フロントページの続き

審査官 右田 勝則

- (56)参考文献 特開平10-200360(JP,A)
特開平11-266133(JP,A)
特開2003-115736(JP,A)
特開2002-329611(JP,A)
Hwann-Kaeo Chiou ET, LUMPED-ELEMENT COMPENSATED HIGH/LOW-PASS BALUN DESIGN FOR MMIC DOUBLE-BALANCED MIXER, IEEE MICROWAVE AND GUIDED WAVE LETTERS, 米国, IEEE INC, 1998年8月8日, vol. 7, no. 8, p248-250
PARISI S J, 180 degrees lumped element hybrid, MICROWAVE SYMPOSIUM DIGEST, IEEE MTT-S INTERNATIONAL, IEEE INC, 1989年6月13日, vol. 3, p 1243-1246

(58)調査した分野(Int.Cl., DB名)

H01F 19/06 - 27/00
H01G 4/40
H03H 5/00 - 7/42