



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2017-0013875
(43) 공개일자 2017년02월07일

- (51) 국제특허분류(Int. Cl.)
G06F 15/76 (2017.01) G06F 1/22 (2006.01)
G06F 13/28 (2006.01) G06F 13/38 (2006.01)
- (52) CPC특허분류
G06F 15/76 (2013.01)
G06F 1/22 (2013.01)
- (21) 출원번호 10-2016-7033146
(22) 출원일자(국제) 2015년06월05일
심사청구일자 없음
(85) 번역문제출일자 2016년11월25일
(86) 국제출원번호 PCT/US2015/034399
(87) 국제공개번호 WO 2015/188055
국제공개일자 2015년12월10일
- (30) 우선권주장
62/008,265 2014년06월05일 미국(US)
14/729,402 2015년06월03일 미국(US)

- (71) 출원인
마이크로칩 테크놀로지 인코포레이티드
미국 85224-6199 아리조나 챌들러 웨스트 챌들러
블러바드 2355
- (72) 발명자
크리스, 브라이언
미국, 애리조나 85298, 길버트, 이스트 비아 텔
팔로 15426
- (74) 대리인
특허법인세진

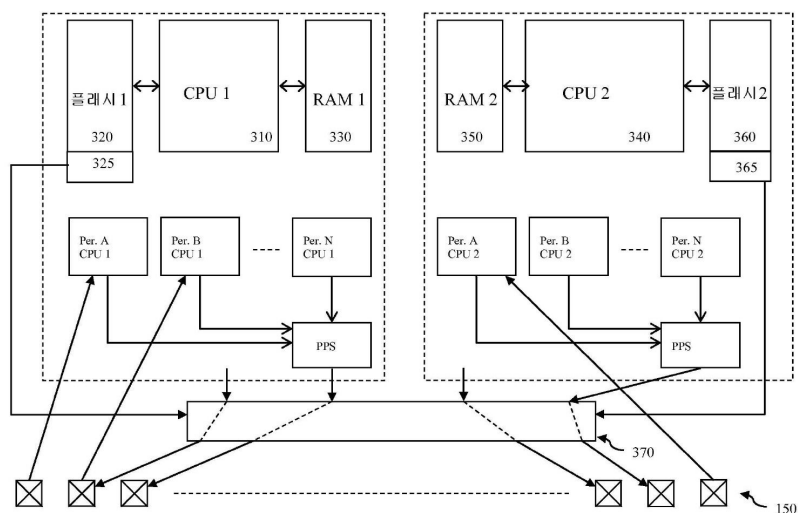
전체 청구항 수 : 총 20 항

(54) 발명의 명칭 멀티 - 프로세서 코어 디바이스들에 대한 디바이스 핀 기능을 할당하기 위한 디바이스 및 방법

(57) 요약

임베디드 디바이스는: 복수의 프로세서 코어들 - 각각의 프로세서 코어는 복수의 주변 디바이스들을 구비하고, 각각의 주변 디바이스는 출력부를 가질 수 있음 -; 복수의 할당 가능 외부 핀들을 구비한 하우징; 및 각각의 프로세싱 코어에 대한 복수의 주변기기 핀 선택 모듈들을 가지고, 여기서 각각의 주변기기 핀 선택 모듈은 할당 가능 외부 핀을 상기 프로세서 코어들 중 하나의 프로세서 코어의 상기 복수의 주변 디바이스들 중 하나의 주변 디바이스에 할당하도록 프로그램 가능하게 구성된다.

대표도



(52) CPC특허분류

G06F 13/287 (2013.01)

G06F 13/385 (2013.01)

명세서

청구범위

청구항 1

임베디드 디바이스로서,

복수의 프로세서 코어들 - 각각의 프로세서 코어는 복수의 주변 디바이스들을 포함하고, 각각의 주변 디바이스는 출력부를 포함할 수 있음 -;

복수의 할당 가능 외부 핀들을 포함하는 하우징; 및

각각의 프로세싱 코어에 대한 복수의 주변기기 핀 선택 모듈들을 포함하고,

각각의 주변기기 핀 선택 모듈은 할당 가능 외부 핀을 상기 프로세서 코어들 중 하나의 프로세서 코어의 상기 복수의 주변 디바이스들 중 하나의 주변 디바이스에 할당하도록 프로그램 가능하게 구성되는, 임베디드 디바이스.

청구항 2

제 1 항에 있어서,

각각의 주변기기 핀 선택 모듈은 상기 관련 프로세싱 코어에 의해서만 프로그램 가능한, 임베디드 디바이스.

청구항 3

제 2 항에 있어서,

각각의 주변기기 핀 선택 모듈은 단일 외부 핀에 대한 하나의 출력 신호와, 단일 프로세싱 코어의 주변 디바이스들의 출력들과 결합된 복수의 입력들을 제공하는 멀티플렉서를 포함하는, 임베디드 디바이스.

청구항 4

제 2 항에 있어서,

각각의 프로세싱 코어는 다른 프로세싱 코어들에 의해 액세스될 수 없는 메모리를 포함하는, 임베디드 디바이스.

청구항 5

제 4 항에 있어서,

상기 메모리는 플래시 메모리와 랜덤 액세스 메모리(RAM)를 포함하는, 임베디드 디바이스.

청구항 6

제 4 항에 있어서,

각각의 주변기기 핀 선택 모듈은 특수 기능 레지스터에 의해 제어되는, 임베디드 디바이스.

청구항 7

제 6 항에 있어서,

상기 특수 기능 레지스터는 상기 RAM에 메모리 매핑되는, 임베디드 디바이스.

청구항 8

제 1 항에 있어서,

각각의 프로세싱 코어는 자신에게 배타적으로 할당되는 다수의 외부 핀들을 갖는, 임베디드 디바이스.

청구항 9

제 1 항에 있어서,

상기 복수의 프로세싱 코어들 중 임의의 프로세싱 코어에 외부 핀을 할당하도록 프로그램 가능한 소유 로직 (ownership logic)을 더 포함하는 임베디드 디바이스.

청구항 10

제 9 항에 있어서,

외부 핀의 소유권은 플래시 메모리에 저장된 구성 비트들로 프로그램되는, 임베디드 디바이스.

청구항 11

다수의 프로세싱 코어들을 포함하는 임베디드 디바이스에서 외부 핀들의 출력 기능을 선택하기 위한 방법으로서,

복수의 프로세서 코어들과 복수의 주변 디바이스들을, 복수의 외부 핀들을 구비한 하우징 내의 단일 칩 상에 배치하는 단계 - 각각의 주변 디바이스는 출력부를 포함할 수 있음 -;

상기 단일 칩 상의 각각의 프로세싱 코어에 대한 복수의 주변기기 핀 선택 모듈들을 배치하는 단계; 및

할당 가능 외부 핀을 상기 각각의 프로세싱 코어의 상기 복수의 주변 디바이스들 중 하나의 주변 디바이스에 결합시키기 위해 관련 프로세싱 코어에 의해 상기 주변기기 핀 선택 모듈들 중 적어도 하나의 모듈을 프로그램하는 단계를 포함하는, 방법.

청구항 12

제 11 항에 있어서,

각각의 주변기기 핀 선택 모듈은 상기 관련 프로세싱 코어에 의해서만 프로그램 가능한, 방법.

청구항 13

제 12 항에 있어서,

각각의 주변기기 핀 선택 모듈은 단일 외부 핀에 대한 하나의 출력 신호와, 단일 프로세싱 코어의 주변 디바이스들의 출력들과 결합된 복수의 입력들을 제공하는 멀티플렉서를 포함하는, 방법.

청구항 14

제 12 항에 있어서,

각각의 프로세싱 코어는 다른 프로세싱 코어들에 의해 액세스될 수 없는 메모리를 포함하는, 방법.

청구항 15

제 14 항에 있어서,

상기 메모리는 플래시 메모리와 랜덤 액세스 메모리(RAM)를 포함하는, 방법.

청구항 16

제 14 항에 있어서,

특수 기능 레지스터에 의해 각각의 주변기기 핀 선택 모듈을 제어하는 단계를 더 포함하는 방법.

청구항 17

제 16 항에 있어서,

상기 특수 기능 레지스터를 상기 RAM에 메모리 매핑하는 단계를 더 포함하는 방법.

청구항 18

제 1 항에 있어서,

각각의 프로세싱 코어는 자신에게 배타적으로 할당되는 다수의 외부 핀들을 갖는, 방법.

청구항 19

제 1 항에 있어서,

상기 복수의 프로세싱 코어들 중 임의의 프로세싱 코어에 외부 핀을 할당하도록 프로그램 가능한 소유 로직을 제공하는 단계를 더 포함하는 방법.

청구항 20

제 19 항에 있어서,

외부 핀의 소유권 데이터를 플래시 메모리에 저장된 구성 비트들에 프로그램하는 단계를 더 포함하는 방법.

발명의 설명

기술 분야

[0001] 관련 특허 출원

[0002] 본 출원은 2014년 6월 5일 출원된 공동 소유의 미국 가출원 번호 62/008,265 호의 우선이익을 주장하며, 상기 미국 가출원은 모든 목적들을 위해 본 출원에 참조로 통합된다.

[0003] 기술 분야

[0004] 본 개시는 멀티-프로세서 코어 디바이스들에 관한 것으로, 특히 멀티-프로세서 코어 마이크로컨트롤러들에 관한 것이다.

배경 기술

[0005] 마이크로컨트롤러는 시스템 온 칩(a system on a chip)이고, 중앙 처리 유닛(CPU) 외에도 메모리, I/O 포트들 및 복수의 주변기기들을 포함한다. 멀티-코어 마이크로컨트롤러와 같은 멀티-프로세서 코어 디바이스는 한 개의 CPU뿐만 아니라 두 개 이상의 중앙 처리 코어들을 포함한다. 이러한 디바이스는 성능의 증가와 보안의 개선 및 소프트웨어 개발 원조를 제공한다. 임베디드 디바이스들에서, 이 디바이스들은 많은 수의 핀들을 갖는 하우징을 사용하는 것을 필요로 한다.

[0006] 대부분의 멀티-코어 디바이스들은 대칭형 멀티-프로세서 코어 동작을 목적으로 설계되며 이 경우에 프로세서 코어들은 기능 또는 목적이 "서로 다르지(different)" 않도록 설계된다. 이러한 시스템들은 특정 디바이스 핀을 제어하기 위해 하나의 특정 프로세서 코어를 구비할 필요가 없다. 비대칭 멀티-프로세서 코어를 구비한 다른 디바이스들은, 전형적으로 다른 "코어(들)"를, 디바이스 핀들에 액세스할 필요가 없는 플로팅 포인트(floating point)와 같은 전용 기능들로서 이용한다.

[0007] 그렇지만, 멀티-프로세서 코어들을 구비한 다른 디바이스들은 상기 특정 디바이스 핀들이 특정 프로세서 코어들에 할당될 수 있는 경우에는 높은 핀 수의 패키지들에서 구현된다.

발명의 내용

해결하려는 과제

[0008] 따라서, 외부 핀들을 다양한 임베디드 주변기기들에 할당하기 위해 더 큰 유연성을 갖는 멀티-코어 디바이스들이 필요하다.

과제의 해결 수단

[0009] 실시예에 따르면, 임베디드 디바이스는: 복수의 프로세서 코어들 - 각각의 프로세서 코어는 복수의 주변 디바이스들을 포함하고, 각각의 주변 디바이스는 출력부를 포함할 수 있음 -; 복수의 할당 가능 외부 핀들을 포함하는

하우징; 및 각각의 프로세싱 코어에 대한 복수의 주변기기 핀 선택 모듈들을 포함할 수 있고, 여기서 각각의 주변기기 핀 선택 모듈은 할당 가능 외부 핀을 상기 프로세서 코어들 중 하나의 프로세서 코어의 상기 복수의 주변 디바이스들 중 하나의 주변 디바이스에 할당하도록 프로그램 가능하게 구성된다.

[0010] 추가 실시예에 따르면, 각각의 주변기기 핀 선택 모듈은 상기 관련 프로세싱 코어에 의해서만 프로그램 가능하다. 추가 실시예에 따르면, 각각의 주변기기 핀 선택 모듈은 단일 외부 핀에 대한 하나의 출력 신호와, 단일 프로세싱 코어의 주변 디바이스들의 출력들과 결합된 복수의 입력들을 제공하는 멀티플렉서를 포함할 수 있다. 추가 실시예에 따르면, 각각의 프로세싱 코어는 다른 프로세싱 코어들에 의해 액세스될 수 없는 메모리를 포함할 수 있다. 추가 실시예에 따르면, 상기 메모리는 플래시 메모리와 랜덤 액세스 메모리(RAM)를 포함할 수 있다. 추가 실시예에 따르면, 각각의 주변기기 핀 선택 모듈은 특수 기능 레지스터에 의해 제어될 수 있다. 추가 실시예에 따르면, 상기 특수 기능 레지스터는 상기 RAM에 메모리 매핑될 수 있다. 추가 실시예에 따르면, 각각의 프로세싱 코어는 자신에게 배타적으로 할당되는 다수의 외부 핀들을 가질 수 있다. 추가 실시예에 따르면, 상기 복수의 프로세싱 코어들 중 임의의 프로세싱 코어에 외부 핀을 할당하도록 프로그램 가능한 소유 로직(ownership logic)을 더 포함할 수 있다. 추가 실시예에 따르면, 외부 핀의 소유권은 플래시 메모리에 저장된 구성 비트들로 프로그램될 수 있다.

[0011] 또 하나의 실시예에 따르면, 다수의 프로세싱 코어들을 포함하는 임베디드 디바이스에서 외부 핀들의 출력 기능을 선택하기 위한 방법은: 복수의 프로세서 코어들과 복수의 관련 주변 디바이스들을, 복수의 외부 핀들을 구비한 하우징 내의 단일 칩 상에 배치하는 단계 - 각각의 주변 디바이스는 출력부를 포함할 수 있음 -; 상기 단일 칩 상의 각각의 프로세싱 코어에 대한 복수의 주변기기 핀 선택 모듈들을 배치하는 단계; 및 할당 가능 외부 핀을 상기 각각의 프로세싱 코어의 상기 복수의 주변 디바이스들 중 하나의 주변 디바이스에 결합시키기 위해 관련 프로세싱 코어에 의해 상기 주변기기 핀 선택 모듈들 중 적어도 하나의 모듈을 프로그램하는 단계를 포함할 수 있다.

[0012] 상기 방법의 추가 실시예에 따르면, 각각의 주변기기 핀 선택 모듈은 상기 관련 프로세싱 코어에 의해서만 프로그램 가능하다. 상기 방법의 추가 실시예에 따르면, 각각의 주변기기 핀 선택 모듈은 단일 외부 핀에 대한 하나의 출력 신호와, 단일 프로세싱 코어의 주변 디바이스들의 출력들과 결합된 복수의 입력들을 제공하는 멀티플렉서를 포함할 수 있다. 상기 방법의 추가 실시예에 따르면, 각각의 프로세싱 코어는 다른 프로세싱 코어들에 의해 액세스될 수 없는 메모리를 포함할 수 있다. 상기 방법의 추가 실시예에 따르면, 상기 메모리는 플래시 메모리와 랜덤 액세스 메모리(RAM)를 포함할 수 있다. 상기 방법의 추가 실시예에 따르면, 상기 방법은 특수 기능 레지스터에 의해 각각의 주변기기 핀 선택 모듈을 제어하는 단계를 더 포함할 수 있다. 상기 방법의 추가 실시예에 따르면, 상기 방법은 상기 특수 기능 레지스터를 상기 RAM에 메모리 매핑하는 단계를 더 포함할 수 있다. 상기 방법의 추가 실시예에 따르면, 각각의 프로세싱 코어는 자신에게 배타적으로 할당되는 다수의 외부 핀들을 가질 수 있다. 상기 방법의 추가 실시예에 따르면, 상기 방법은 상기 복수의 프로세싱 코어들 중 임의의 프로세싱 코어에 외부 핀을 할당하도록 프로그램 가능한 소유 로직을 제공하는 단계를 더 포함할 수 있다. 상기 방법의 추가 실시예에 따르면, 상기 방법은 외부 핀의 소유권 데이터를 플래시 메모리에 저장된 구성 비트들에 프로그램하는 단계를 더 포함할 수 있다.

도면의 간단한 설명

[0013] 도 1은 핀 할당 로직의 실시예의 블록도이다.

도 2는 도 1에 따른 주변기기 핀 선택 모듈의 실시예를 도시한 도면이다.

도 3은 예시적인 듀얼 코어 마이크로컨트롤러의 블록도이다.

도 4는 미리 할당된 외부 핀들을 구비한 듀얼 코어 마이크로컨트롤러의 또 하나의 실시예를 도시한 도면이다.

발명을 실시하기 위한 구체적인 내용

[0014] 그러므로, 다양한 실시예들에 따르면, 한정된 개수의 디바이스 핀들이 애플리케이션 유연성을 유지하면서 디바이스 내의 각각의 프로세서의 주변기기(들)에 할당될 수 있으며, 상기 한정된 개수의 디바이스 핀들은 또 하나의 프로세서의 디바이스 핀(들)의 기능성에 영향을 미치지 위해 하나의 프로세서가 의도하지 않게 간섭하는 것으로부터 보호할 수 있다.

[0015] 다양한 실시예들에 따르면, 주변기기 핀 선택(Peripheral Pin Select; PPS) 기능 모듈로 인해, 소정 외부 핀들

이 내부 기능들에 가변적으로 할당될 수 있다. 상기 PPS 모듈은 디바이스의 각각의 프로세서를 위해 디바이스 내의 각각의 기능 핀에 대해 구현된다.

[0016] 실시예에 따르면, 프로세싱 코어들의 각각의 버스 폭보다 작은 핀들을 갖는 하우스징 내에 배치될 수 있는 멀티-프로세서 마이크로컨트롤러가 설계될 수 있다. 따라서, 28 핀 하우스징은 예를 들어 듀얼 코어 마이크로컨트롤러를 포함할 수 있고, 여기서 각각의 코어는 32 비트 마이크로프로세서 코어이다.

[0017] 도 1은 예를 들어 (도 1에는 미도시된) 4개의 프로세서 코어들을 갖는 단일 칩 마이크로컨트롤러의 실시예를 보여준다. 복수이지만 한정된 개수의 할당 가능 외부 핀들(150)이 제공된다. 게다가, 이러한 디바이스는 물론 소정의 고정 기능 핀들을 구비할 수 있는데, 예를 들어 전력 공급 핀들과 같은 이 핀들의 기능은 변경될 수 없다. 각각의 프로세서 코어는 각각의 외부 할당 가능 핀을 위해 자신의 주변기기 핀 선택(PPS) 모듈(120a, b, c, d)과 연관된다. 각각의 PPS 모듈(120a, b, c, d)은 각각의 기능 디바이스 핀(150)을 위해 각각의 프로세서에 대한 로직(110)을 포함한다(도 1에 프로세싱 코어당 단 1개가 도시되어 있음). 따라서, 각각의 기능 디바이스 핀(150)과 각각의 프로세싱 코어에 적합한(for) 핀 소유 로직(Pin Ownership Logic; POL) 블록(110)이 있다.

[0018] 상기 로직은 예를 들어, 디바이스 핀(150)을 구동하기 위해 선택된 주변기기의 출력들을 선택하는 멀티플렉서(140)를 제어하는 구성 레지스터(130)를 포함할 수 있다. 다양한 실시예들에 따르면, 다른 회로망이 어느 프로세서의 주변기기가 실제로 각각의 디바이스 핀(150)에 액세스하는지를 결정할 수 있도록 출력 선택이 반복된다(replicated).

[0019] 도 1은 4개의 예시적인 주변 디바이스들을 보여주며, 여기서 주변 디바이스들의 각각은 4개의 프로세싱 코어들 중 하나에 의해 소유된다. 하지만, 각각의 프로세싱 코어는 복수의 주변 디바이스들 또는 모듈들을 포함할 수 있다. 주변 디바이스들은 입력 및/또는 출력 기능성을 구비할 수 있다. 입력들은 다양한 주변기기들, 심지어는 서로 다른 프로세싱 코어들과 연관된 주변기기들로 라우팅될 수 있지만, 단지 하나의 선택된 주변 디바이스의 하나의 출력 기능성만이 외부 핀에 할당될 수 있는데, 그 이유는 그렇지 않으면 충돌 또는 경합이 발생하기 때문이다. 프로세싱 코어와 연관된 I/O 포트는 다양한 실시예들에 따른 주변 디바이스 또는 모듈로 간주될 수 있고, 따라서 그것의 출력 기능성이 외부 핀에 할당될 수 있다.

[0020] 도 1의 특정 실시예에서, 제 1 주변기기(170)는 CPU 1과 관련되고, 제 2 주변기기(175)는 CPU 2와 관련되고, 제 3 주변기기(180)는 CPU 3와 관련되고, 그리고 제 4 주변기기는 CPU 4와 관련된다. 각각의 주변기기 핀 선택 모듈들(120a, b, c, d)은 복수의 주변기기들 중 하나를 선택하도록 프로그램된다. 도 1은 단지 선택된 주변기기만을 보여준다. 하지만, 각각의 PPS 모듈(120)이 그의 주변 디바이스들의 풀(pool)로부터 주변 디바이스 또는 모듈을 실제로 선택하도록 설계되기 때문에, 각각의 PPS 모듈(120)은 도 2에 대해 보다 상세하게 설명되는 바와 같이 관련 CPU의 복수의 주변 디바이스들 또는 모듈들에 연결될 수 있다.

[0021] 도 1은 또한 표시된 블록(110)으로, 디바이스 내의 각각의 기능 핀(150)과 연관되는 POL(핀 소유 로직) 로직의 전형적인 예를 보여준다. 각각의 핀(150)은 예를 들어 (플래시 메모리와 같은) 보호 메모리에 위치한 구성 비트들(130)에 의해 제어되는 멀티플렉서(140)를 구비한다. 이 구성 비트들(130)은 어느 프로세서가 특정 디바이스 핀(150) 상의 출력에 액세스하는지를 지정하기 위해 사용자에게 의해 프로그램된다. 구성 비트들(130)은 각각의 멀티플렉서들(140)을 제어하며 각각의 멀티플렉서들(140)은 선택된 프로세서에 의해 소유되는 미리 선택된 주변기기로부터 데이터를 선택한다. 이 POL 블록(110)은 각각의 기능 디바이스 핀에 대해 반복된다.

[0022] 도 2는 전형적인 PPS 모듈(120)의 실시예의 또 하나의 다이어그램을 도시한다. 도 2는 단일 PPS 모듈 내에 있는 예시적인 로직을 보여준다. 각각의 프로세서는 하나 이상의 주변 디바이스들(210, 220, 230, 240)을 구비할 수 있다. 이 주변 디바이스들의 일부 또는 전부는 레지스터(250)에 의해 제어되는 멀티플렉서(260)와 결합될 수 있다. 일부 실시예들에 따르면, 레지스터(250)는 주변기기들을 소유하는 각각의 프로세서에 전용이다(private). 멀티플렉서(260)의 출력부(270)는 멀티-프로세서 코어 핀 소유 로직(110)과 결합된다.

[0023] 다양한 실시예들에 따르면, 멀티-프로세서 코어를 포함하는 임베디드 시스템은 매우 작은 핀 수의 패키지로 설계될 수 있는데, 예를 들면 28-핀 하우스징이 듀얼 코어를 구비한 마이크로컨트롤러에 사용될 수 있다. 이러한 작은 핀 하우스징에서, 디바이스 핀들은 귀한 것(scarce commodity)이므로, 사용자가 주변기기 핀 기능을 할당할 수 있도록 다양한 실시예들에 따른 메커니즘이 제공된다.

[0024] 다양한 실시예들에 따르면, 비대칭 멀티-프로세서 코어 디바이스 내의 각각의 프로세서 코어가 그것의 주변기기 기능부들 중 어느 것이 기능 디바이스 핀에 연결되는지를 지정할 수 있게 하는 방법론이 제공될 수 있다. "비대칭"의 용어는 각각의 프로세싱 코어가 자신과 연관된 서로 다른 주변 디바이스들을 가질 수 있음을 의미하고,

여기서 소정 주변기기들은 단지 하나의 코어에만 고유할 수 있고, 다른 주변기기들은 하나보다 많은 코어나 모든 코어들에 임베딩될 수 있다.

[0025] 이를 위해, 멀티-코어 디바이스 내의 각각의 프로세서는:

[0026] 각각의 핀에 대한 PPS 멀티플렉서(260)를 갖는다. 각각의 PPS 멀티플렉서는 디바이스 핀과의 주변기기 연결들을 지정하는 레지스터들(250)을 갖는다. 레지스터(250)는 하나의 프로세싱 코어, 즉 각각의 주변기기들의 소유자에 의해서만 액세스될 수 있는 특수 기능 레지스터일 수 있다. 특수 기능 레지스터(250)는 바람직하게는 랜덤 액세스 메모리(RAM)에 메모리 매핑될 수 있다. 그렇지 않으면 이 특수 기능 레지스터는, 이하에서 설명되는 바와 같이 소유권을 제어하는 구성 레지스터와 유사하게 동작할 수 있다.

[0027] 게다가, 각각의 디바이스 핀(150)과 연관된 핀 소유 구성 비트들(130)은 다양한 실시예들에 따른 플래시 및/또는 RAM 메모리에 바람직하게 위치한다. 이 핀 소유 구성 비트들(130)은 어느 프로세서 코어가 각각의 디바이스 핀(150)에 신호를 출력하는 권한을 갖는지를 제어할 수 있다. 예를 들면, 이러한 레지스터는 4 프로세싱 코어 디바이스에서 4개의 비트들을 가질 수 있다. 내부 제어 로직으로 인해, 단 하나의 비트만이 한번에 설정될 수 있다. 예를 들면, 하나의 비트의 설정은 자동으로 모든 다른 비트들을 소거할 수 있다. 다른 메커니즘들이 가능한데, 예를 들면, 2 비트 레지스터가 사용될 수 있고 여기서 저장된 값은 각각의 코어와의 연관성을 나타낸다. 구성 레지스터가 필요한 것보다 많은 비트들을 갖는다면, 잘못된(invalid) 설정들은 단순히 각각의 핀을 어떠한 특정 프로세서에도 할당하지 않을 것이다. 이러한 핀은 이후에 입력에만 사용될 수 있다.

[0028] 모든 프로세서 코어들은 동시에 디바이스 핀을 입력 기능들에 사용할 수 있지만, 특정 디바이스 핀에 신호를 출력하는 능력(ability)은 핀 소유 구성 비트들(130)을 통해 고객에 의해 특정된다.

[0029] 일부 실시예들에 따르면, 각각의 기능 디바이스 핀은:

[0030] 비휘발성 플래시 메모리 내의 관련 핀 소유 구성 비트들; 및

[0031] 상기 핀 구성 비트들에 의해 제어되는 관련 핀 멀티플렉서를 갖는다.

[0032] 상기 플래시 메모리는 우발적인 핀 구성 변경을 방지하는 쓰기 잠금 로직(write lock logic)을 포함할 수 있다. 사용자는 예를 들어 프로그래밍 동안에 핀 소유 비트들의 환경을 설정한다. 따라서, 이러한 실시예에 따르면, 핀 소유권은 프로그래밍 동안에만 변경될 수 있고, 프로그램 제어 하에서는 동적으로 변경될 수 없다. 리셋시 핀 구성 정보는 MUX 제어부에 전송된다.

[0033] 따라서, 다양한 실시예들은 어느 프로세서가 출력 목적으로 어느 디바이스 핀들을 소유하는지를 정의하기 위한 보호 수단을 제공한다.

[0034] 추가 실시예들에 따르면, 제어 소프트웨어는 예를 들면, 예를 들어 도 1에 도시된 바와 같은 잠금 메커니즘(160)이 핀에 대해 활성화되지 않은 경우에만, 할당들의 변경을 가능케 하는 루틴들을 더 포함할 수 있다. 따라서, 소정 핀들의 재할당은 차단될 수 있다. 그러므로, 하나의 프로세서 코어에 의한 소정 태스크가 종료된 경우에만 핀이 재할당될 수 있다.

[0035] 다른 추가 실시예에 따르면, 이러한 차단 기능은 관련 제어 레지스터(160)에 설정될 수 있다. 예를 들어 복수의 비트들은 차단 기능이 어느 프로세서 코어에 제공되는지를 표시할 수 있다. 다른 추가 실시예에 따르면, 차단 기능이 활성화된 할당된 프로세서 코어만이 차단 기능을 리셋할 수 있다. 따라서, 상기 핀이 현재 할당되어 있으므로 핀 할당의 차단은 상기 프로세서에 의해서만 해제될(lifted) 수 있다.

[0036] 도 3은 단일 하우징 내의 듀얼 코어 마이크로컨트롤러의 실시예의 블록도이다. 도시된 바와 같이, 디바이스는 기본적으로 두 개의 개별 프로세싱 코어들(310 및 340)을 포함하고, 각각의 코어는 복수의 관련 주변 디바이스들과 자신의 메모리를 갖는다. 프로세싱 코어들은 개별 프로그램 메모리, 예컨대 플래시 메모리와 데이터 메모리를 갖는 하바드(Harvard) 구조일 수 있다. 하지만, 다른 구조가 적용될 수 있다. 이 요소들에 대해, 마이크로컨트롤러는 요소들의 어떠한 자원도 공유하지 않는다. 따라서, 집적 회로 디바이스는 기본적으로 두 개의 개별 마이크로컨트롤러들을 포함하고, 각각의 마이크로컨트롤러는 CPU(310, 340), 플래시 메모리(320, 360), 랜덤 액세스 메모리(330, 350), 및 각각의 CPU(310 또는 340)와 관련된 복수의 주변 디바이스들 또는 모듈들(Per. A, Per B ... Per N)을 포함한다. 각각의 프로세싱 코어(310, 320)의 주변기기들은, 각각의 RAM(330 및 360)에 바람직하게 메모리 매핑될 수 있는 각각의 특수 기능 레지스터들을 통해 제어될 수 있다. 특히 도 2에 도시된 PPS 제어 레지스터(250)는 RAM에 메모리 매핑될 수 있다. 따라서, 각각의 코어에 대한 프라이버시가 보장되는데, 그

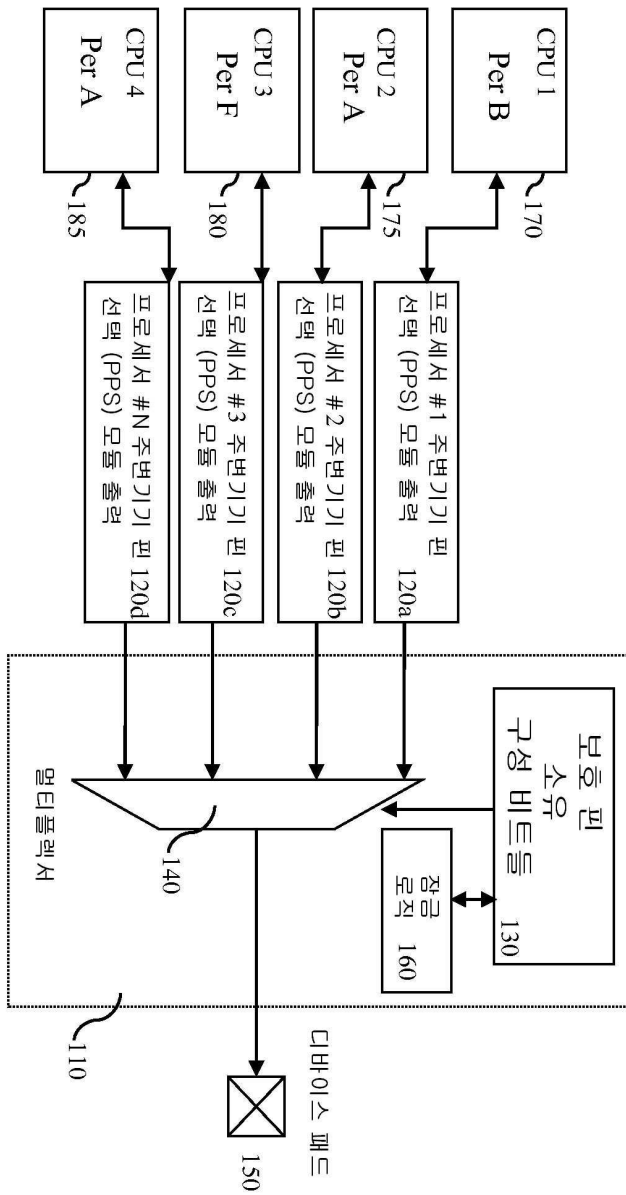
이유는 다른 프로세싱 코어들이 이들에 할당되지 않은 어떠한 메모리에도 액세스하지 않기 때문이다.

[0037] 도 3에 나타난 바와 같이, 플래시 메모리는 PPO 모듈(370)의 설정을 제어할 수 있는 구성 레지스터들(325 및 365)을 각각 포함할 수 있다. PPO 모듈은 하나의 블록으로 도 3에 도시되었으며 복수의 PPO 유닛들을 포함할 수 있고, 각각의 PPO 유닛은 단일 외부 핀을 담당한다. 도 3은, 플래시 메모리(325 및 365) 내의 구성 비트들의 설정에 따라 소정 주변기기들의 출력들을 외부 핀들(150)의 일부와 연결하는 점선들에 의해 유닛(370)에 프로그램된 예시적인 설정을 나타낸다. 하지만, RAM 내에 배치되거나 또는 메인 메모리로부터 별도로 배치된 휘발성 또는 비휘발성 레지스터들과 같이, 다른 구성 방법들이 적용될 수 있다.

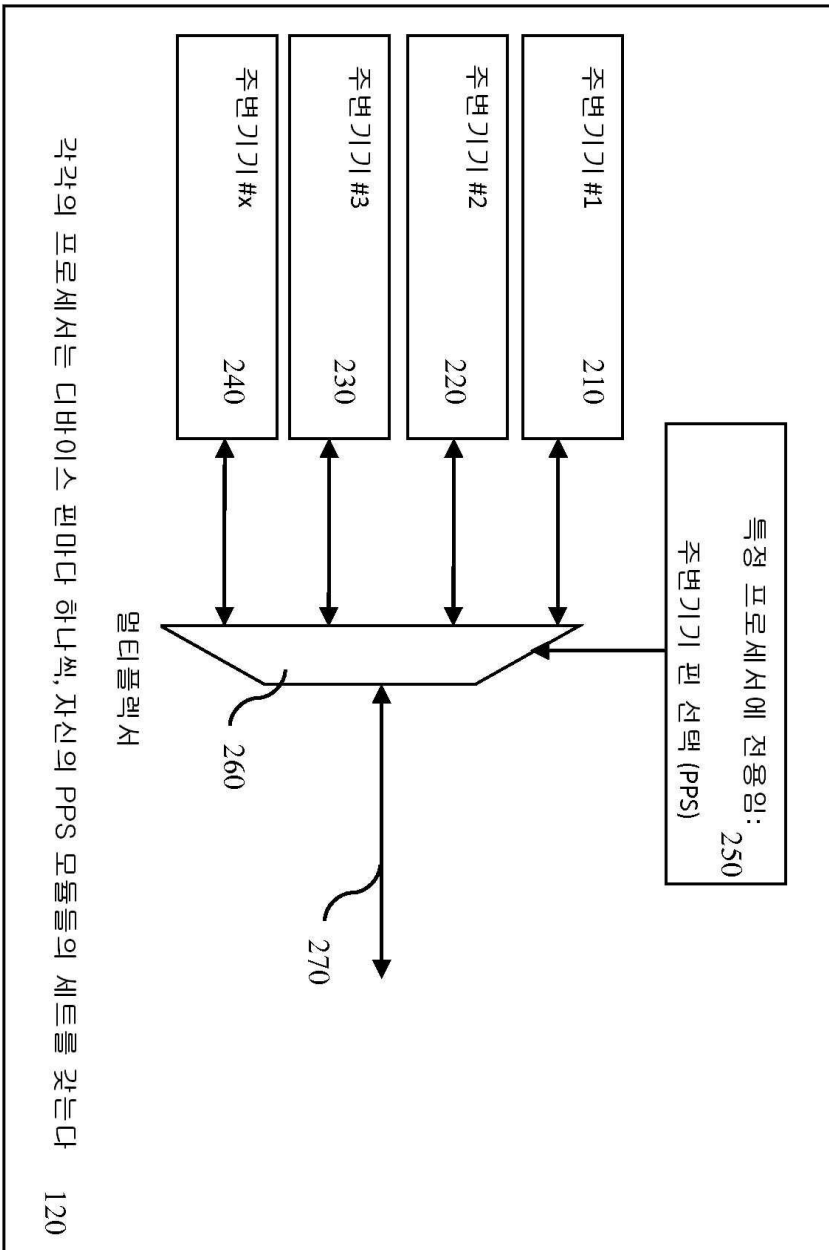
[0038] 도 4는 보호 핀 소유 모듈들(110)이 없는 실시예를 보여준다. 이 실시예에서, 이용 가능한 할당 가능 외부 핀들(150) 중 소정 개수, 예를 들면 50%의 외부 핀들이 제 1 프로세싱 코어(310)에 할당되고, 나머지 50%는 제 2 프로세싱 코어(340)에 할당된다. 각각의 프로세싱 코어는 외부 핀들(150)의 각각의 그룹 내의 자신의 주변기기들 중 어느 주변기기에도 출력 기능을 할당할 수 있다. 다시, 입력 기능이 다수의 주변기기들에 제공될 수 있는데, 심지어는 단일 프로세싱 코어에 의해 소유되지 않은 주변기기들에도 제공될 수 있다. 도 4는 단일 PPS만을 보여준다. 하지만, 출력 기능을 제공하도록 지정된 모든 외부 핀은 관련 PPS를 가진다. 또한, 일부 실시예들에서, 각각의 프로세싱 코어는 다른 개수의 PPS를 가질 수 있으며, 모든 외부 핀들이 각각의 프로세싱 코어에 사용될 수 있는 것은 아니다.

도면

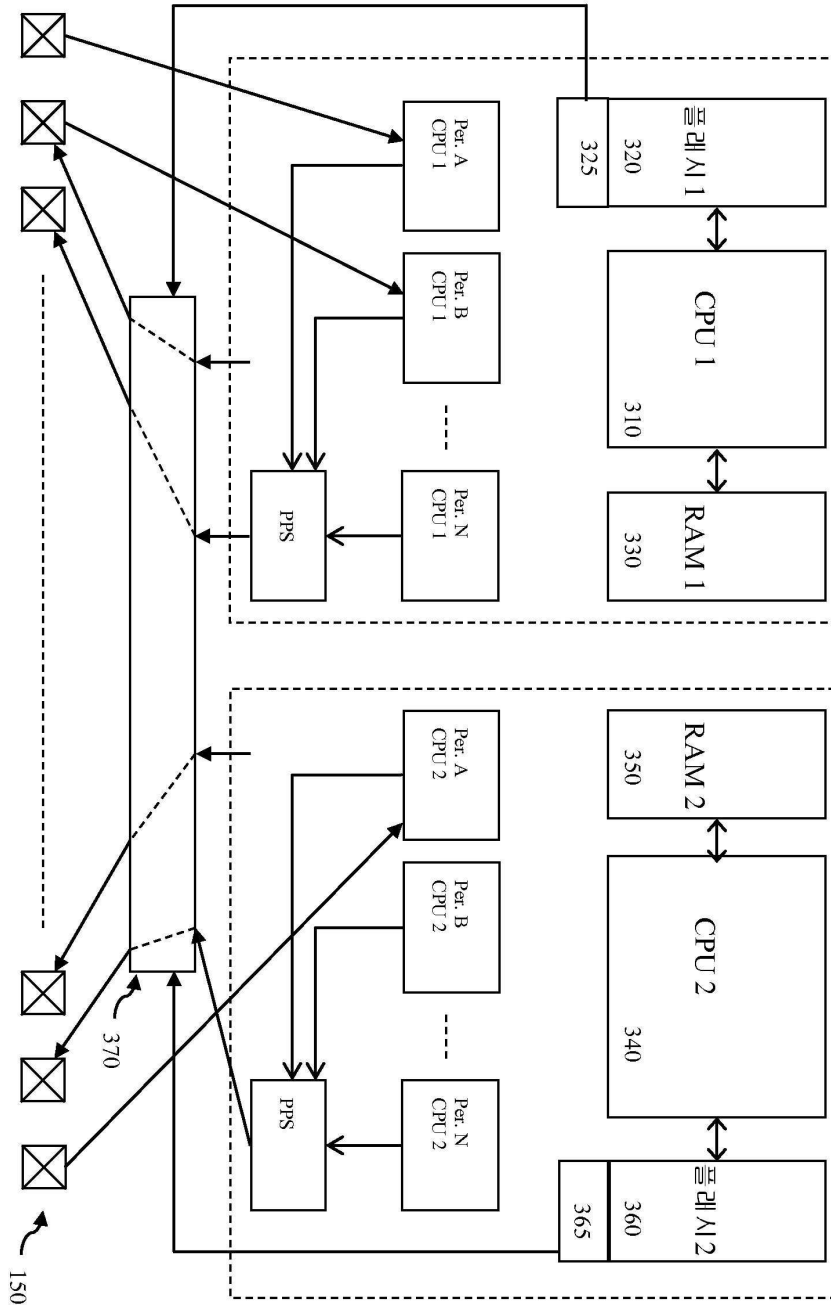
도면1



도면2



도면3



도면4

