

[19] 中华人民共和国国家知识产权局

[51] Int. Cl.

H01L 27/02 (2006.01)

H01L 23/60 (2006.01)



# [12] 发明专利申请公布说明书

[21] 申请号 200710007552.5

[43] 公开日 2008年8月13日

[11] 公开号 CN 101241908A

[22] 申请日 2007.2.6

[21] 申请号 200710007552.5

[71] 申请人 钰瀚科技股份有限公司

地址 中国台湾

[72] 发明人 方惠加 朱弘琦 沈毓仁

[74] 专利代理机构 北京科龙寰宇知识产权代理有限公司

代理人 孙皓晨 朱世定

权利要求书 3 页 说明书 6 页 附图 8 页

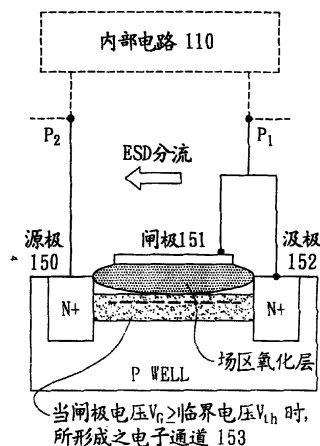
## [54] 发明名称

一种静电放电保护方法与电路

## [57] 摘要

本发明涉及一种静电放电 (electrostatic discharge, ESD) 保护方法与电路, 利用场区 (field) n - 通道金氧半场效晶体管 (n - channel metal - oxide - semiconductor field effect transistor, NMOS) 的栅极受到高静电电压会打开电子信道导通大量静电电流的原理, 有效防护任何在工作电压 (operation voltage) 范围外的静电放电事件 (ESD event), 改良传统的 p - 信道金氧半场效晶体管 (PMOS) 仅能保护比电源电压  $V_{DD}$  小的输入输出端 (I/O) 工作电压的限制。且, 因其工作电压涵盖范围极广, 故可直接用于开汲极 (open drain) 输出端与电源电压  $V_{DD}$  之间, 不必经由对  $V_{SS}$  作两阶段静电放电保护, 节省许多空间亦更为安全; 同时, 亦不同于采穿透崩溃电流 (punch through current) 为静电放电保护的浮动栅极场区 n - 通道金氧半场效晶体管 (floating - gate field

NMOS), 本发明可明确设定静电放电保护的启动 (trigger) 电压值 (亦即该电子信道产生的临界电压) 使静电保护更加安全。



1.一种静电放电保护方法，供以保护一内部电路不受静电放电时的影响与侵害，其特征在于，包括以下步骤：

(a) 透过一个第一静电放电端，将该内部电路发生静电放电事件时的静电放电电流导入；再

(b) 透过一个第二静电放电端，将该内部电路发生静电放电事件时的静电放电电流流出；同时，

(c) 利用该内部电路发生静电放电事件时，该第一静电放电端与该第二静电放电端间的电压差，使一个第一  $n$  通道金氧半场效晶体管的栅极氧化层下方空乏区发生反转以产生电子信道，供以该第一静电放电端导入的静电放电电流得以迅速由该第二静电放电端流出，达到静电放电保护的作用。

2.一种单向静电放电保护电路，供以保护一内部电路不受单向静电放电电流的影响与侵害，其特征在于，包括：

(a) 一个第一静电放电端，供以导入该内部电路发生静电放电事件时的静电放电电流且其电压为；

(b) 一个第二静电放电端，供以流出该内部电路发生静电放电事件时的静电放电电流且其电压为；以及

一个第一  $n$  通道金氧半场效晶体管，其栅极连接该第一静电放电端，且其汲极与源极分别连接该第一静电放电端与该第二静电放电端，供以在该内部电路发生静电放电事件时该第一静电放电端到该第二静电放电端的静电放电电位差大于等于其栅极临界电压时，在其汲源极间形成短路，使静电放电电流避开该内部电路的路径分流至其汲源极间的短路以形成静电放电保护。

3.如权利要求 2 所述的单向静电放电保护电路，其特征在于，在正常工作电压下，该第一静电放电端与该第二静电放电端  $P_2$  间的电压差系小于栅极临界电压，使避免该第一  $n$  通道金氧半场效晶体管的汲源极间发生短路。

4.如权利要求 2 所述的单向静电放电保护电路，其特征在于，该第一  $n$  通道金氧半场效晶体管为场区  $n$  通道金氧半场效晶体管，其栅极下方的场区氧化层系使栅极临界电压变大。

5.如权利要求 4 所述的单向静电放电保护电路，其特征在于，该临界电压值系藉由选择不同制程的场区  $n$  通道金氧半场效晶体管加以调整，以符合不同的正常工

作电压需求。

6.如权利要求 4 所述的单向静电放电保护电路，是具有较大的临界电压，使直接用于该内部电路对外的开汲极的输入输出端与电源电压端间的静电放电保护。

7.如权利要求 2 所述的单向静电放电保护电路，其特征在于，该第一  $n$  通道金氧半场效晶体管的栅极为复晶硅栅极，以得到较佳的静电放电保护作用。

8.一种双向静电放电保护电路，供以保护一内部电路不受双向静电放电电流的影响与侵害，其特征在于，包括：

(a) 一个第一静电放电端，供以导入/流出该内部电路发生静电放电事件时的静电放电电流且其电压为；

(b) 一个第二静电放电端，供以流出/导入该内部电路发生静电放电事件时的静电放电电流且其电压为；

(c) 一个第一  $n$  通道金氧半场效晶体管，其栅极连接该第一静电放电端，且其汲极与源极分别连接该第一静电放电端与该第二静电放电端，供以在该内部电路发生静电放电事件时该第一静电放电端到该第二静电放电端的静电放电电位差大于等于其栅极临界电压时，在其汲源极间形成短路，使静电放电电流避开该内部电路的路径分流至其汲源极间的短路以形成静电放电保护；以及

(d) 一个第二  $n$  通道金氧半场效晶体管，其栅极连接该第二静电放电端，且其汲极与源极分别连接该第二静电放电端与该第一静电放电端，供以在该内部电路发生静电放电事件时该第二静电放电端到该第一静电放电端  $P_1$  的静电放电电位差大于等于其栅极临界电压时，在其汲源极间形成短路，使静电放电电流避开该内部电路的路径分流至其汲源极间的短路以形成静电放电保护。

9.如权利要求 8 所述的双向静电放电保护电路，其特征在于，在正常工作电压下，该第一静电放电端与该第二静电放电端间的电压差值是小于栅极临界电压，使避免该第一  $n$  通道金氧半场效晶体管的汲源极间发生短路，亦不会使该第二  $n$  通道金氧半场效晶体管的汲源极间发生短路。

10.如权利要求 8 所述的双向静电放电保护电路，其特征在于，该第一  $n$  通道金氧半场效晶体管为场区  $n$  通道金氧半场效晶体管，其栅极下方的场区氧化层是使栅极临界电压变大。

11.如申请专利范围第 10 项所述的双向静电放电保护电路，其特征在于，该第一  $n$  通道金氧半场效晶体管的临界电压值是可藉由选择不同制程的场区  $n$  通道金氧半场效晶体管加以调整，以符合不同的正常工作电压需求。

12.如权利要求 8 所述的双向静电放电保护电路,其特征在于,该第二 n 通道金氧半场效晶体管为场区 n 通道金氧半场效晶体管,其栅极下方的场区氧化层是使栅极临界电压变大。

13.如权利要求 12 所述的双向静电放电保护电路,其特征在于,该第二 n 通道金氧半场效晶体管的临界电压值是可藉由选择不同制程的场区 n 通道金氧半场效晶体管加以调整,以符合不同的正常工作电压需求。

14.如权利要求 10 所述的双向静电放电保护电路,其特征在于,该第一 n 通道金氧半场效晶体管是具有较大的临界电压,使直接用于该内部电路对外的开汲极的输入输出端与电源电压端间的静电放电保护。

15.如权利要求 12 所述的双向静电放电保护电路,其特征在于,该第二 n 通道金氧半场效晶体管是具有较大的临界电压,使用于保护来自电源电压端的静电放电事件。

16.如权利要求 8 所述的双向静电放电保护电路,其特征在于,该第一 n 通道金氧半场效晶体管的栅极为复晶硅栅极,以得到较佳的静电放电保护作用。

17.如权利要求 8 所述的双向静电放电保护电路,其特征在于,该第二 n 通道金氧半场效晶体管的栅极为复晶硅栅极,以得到较佳的静电放电保护作用。

## 一种静电放电保护方法与电路

### 技术领域

本发明涉及一种与半导体产业中静电放电(electrostatic discharge, ESD)保护相关的技术, 特别适用于开汲极输出(open drain output)与电源电压  $V_{DD}$  间的静电放电保护电路。

### 背景技术

半导体产业中, 从集成电路(IC)的制造、封装乃至系统的组装甚至在产品完成后, 集成电路都难以避免地暴露在静电放电威胁的环境中, 这当中包括人为使用(human body model, HBM)、机器放电(machine model, MM)、组件放电(charge-device model, CDM)与电磁波感应(field-induced model, FIM), 都会产生比集成电路本身工作电压(operation voltage)要高几百几千倍的静电压。如此高静电压会在放电的瞬间产生极大的静电流烧毁内部电路, 为此, 如图 1A 所示, 在主要的内部电路 110 对外连接端之间必需要作静电放电保护(ESD protection), 以确保当静电放电事件(ESD event)发生时, 该静电放电电流不会经过该主要内部电路而造成损毁。举例来说, 若一内部电路 110 其对外有三个连接端: 一为主要提供电源的电源电压端  $V_{DD}$ ; 二为低电压端  $V_{SS}$ ( $V_{SS}$  比之  $V_{DD}$  为相对低压, 通常为接地电压); 以及第三个为输入输出端 I/O。当静电放电事件发生时若无静电放电保护, 该静电放电电流便会流经该内部电路至较低电位端因而造成该内部电路烧毁。所谓的静电放电保护, 便是在每个该内部电路对外端与其低电压端  $V_{SS}$ (通常为接地端)之间作一短路(short)电路 120,130, 使该短路电路在正常工作电压(normal operation voltage)下不导通以维持正常运作, 而在静电放电发生时发生短路以迅速导通该静电放电电流。

传统上, 为了维持正常工作电压下不导通而高静电压时需导通的特性, 通常是利用二极管或是 PNP 接面的逆向偏压(reverse bias)特性, 只有在逆向偏压大于其穿透崩溃电压(punch through voltage)时才会穿透崩溃(punch through)分流静电放电电流; 或是利用该输入输出端 I/O 的工作电压永远小于电源电压  $V_{DD}$  的特性, 使用 p 通道金氧半场效晶体管(p-channel metal-oxide-semiconductor field effect transistor, PMOS)<sup>241</sup> 在负闸极电压下打开的电洞通道, 来分流该输入输出端 I/O 的工作电压与电源电压  $V_{DD}$  间的静电放电电流(参图 1B)。

然而，使用穿透崩溃的方式例如：二极管串(diode string)或浮动栅极场区金氧半场效晶体管(floating-gate field n-channel metal-oxide-semiconductor field effect transistor, floating-gate field NMOS)242 来做静电放电保护 140(参图 1C)，并不能确切掌握其穿透崩溃时的电压值，因为半导体生产中杂质比率与 PN 接面平整率等等皆会影响穿透崩溃发生的电压值，如此，便不能保障在已知的工作电压范围内该静电放电保护能正常运作。而采用负栅极电压启动的 PMOS 静电放电保护 241 虽可掌握其保护的工作电压范围，不过却只能保护比电源电压  $V_{DD}$  小的输入输出端工作电压外的静电放电事件。

## 发明内容

本发明的一目的是提供一种静电放电保护方法与电路，以解决传统静电放电保护电路中，只能保护比电源电压  $V_{DD}$  小的输入输出端工作电压外的静电放电事件以及不能掌握穿透崩塌发生的电压值的限制。

本发明的另一目的是提供一种静电放电保护方法与电路，特别适用于半导体组件中常需的开汲极输出(open drain output)接脚(pin)的静电放电保护，使其接脚可接不同的提升电阻(pull-up resistor)以改变不同的输出电压，而使该开关极的工作电压不像其它输入输出端 I/O 比该内部电路的电源电压  $V_{DD}$  小。

为达到上述目的,本发明的静电放电保护方法，是利用发生静电放电事件时的电压差,使一个场区 n 通道金氧半场效晶体管(field n-channel metal-oxide-semiconductor field effect transistor, field NMOS)的栅极(gate)场区氧化层(field oxide layer)下方空乏区(depletion)发生反转(inversion)，透过反转生成的电子信道(n channel)分流静电放电电流(ESD current)以避免内部电路的路径，达到静电放电保护的目的。

本发明的一实施方式是提供一种单向(one-directional)静电放电保护电路，供以在静电放电发生时导通一个场区 n 通道金氧半场效晶体管，使单向静电放电电流得以分流避开内部电路的路径，达到静电放电保护的目的(参图 3A)。

本发明的另一实施方式是提供一种双向(two-directional)静电放电保护电路，供以在静电放电发生时导通其中一个场区 n 通道金氧半场效晶体管，使双向静电放电电流皆得以分流避开内部电路的路径，达到静电放电保护的目的(参图 3B)。

为了能使本发明上述的内容、目的、优点与其它特征能更明显易懂，以下配合图式与较佳实施例详细说明本发明。

## 附图说明

图 1A 为习用静电放电保护电路与内部电路相互关系的示意图。

图 1B 为习用 p 通道金氧半场效晶体管(PMOS)静电放电保护电路与内部电路相互关系的示意图。

图 1C 为习用浮动栅极场区 n 通道金氧半场效晶体管(floating-gate field NMOS)静电放电保护电路与内部电路相互关系的示意图。

图 2A 为本发明中场区 n 通道金氧半场效晶体管(field NMOS)场区氧化层下方形成电子信道的示意图。

图 2B 为本发明中复晶硅栅极场区 n 通道金氧半场效晶体管(poly-gate field NMOS)静电放电保护电路与内部电路相互关系的示意图。

图 3A 为本发明中单向(one-directional)静电放电保护电路与内部电路相互关系的示意图。

图 3B 为本发明中双向(two-directional)静电放电保护电路与内部电路相互关系的示意图。

图 4A 为本发明中单向(one-directional)静电放电保护电路的布局(layout)实施例一俯视图。

图 4B 为图 4A 中沿 a-a 联机的断面示意图。

图 4C 为图 4A 中沿 b-b 联机的断面示意图。

图 5A 为本发明中双向(two-directional)静电放电保护电路的布局(layout)实施例一俯视图。

图 5B 为图 5A 中沿 c-c 联机的断面示意图。

主要组件符号说明：110-内部电路；120- $V_{DD}$  到  $V_{SS}$  静电放电保护电路；130-I/O 到  $V_{SS}$  静电放电保护电路；140-I/O 到  $V_{DD}$  静电放电保护电路； $V_{DD}$ -电源电压；I/O-输入输出端； $V_{SS}$ -低电压端( $V_{SS}$  比的  $V_{DD}$  为相对低压，通常为接地电压)；ESD 分流-静电放电保护电路上的静电放电电流；150-场区 n 通道金氧半场效晶体管(field NMOS)的源极(source)；151-场区 n 通道金氧半场效晶体管(field NMOS)的栅极(gate)；152-场区 n 通道金氧半场效晶体管(field NMOS)的汲极(drain)；153-场区 n 通道金氧半场效晶体管(field NMOS)的电子信道； $P_1$ -第一静电放电端； $P_2$ -第二静电放电端；241-p 通道金氧半场效晶体管(PMOS)静电放电保护电路；242-浮动栅极场区 n 通道金氧半场效晶体管(floating-gate field NMOS)静电放电保护电路；243-复晶硅栅极场区 n 通道金氧半场效晶体管(poly-gate field NMOS)静电放电保护电路；

310-第一场区 n 通道金氧半场效晶体管(field NMOS); 320-第二场区 n 通道金氧半场效晶体管(field NMOS); 410-复晶硅闸极(poly-gate); 420-场区氧化层(field oxide layer); 440-开汲极输出端(open drain output); a-a-布局断面图沿 a-a 切面在俯视图中的位置; b-b-布局断面图沿 b-b 切面在俯视图中的位置; c-c-布局断面图沿 c-c 切面在俯视图中的位置。

### 具体实施方式

本发明的静电放电保护方法的实施例如图 2A, 供以保护一内部电路 110 不受静电放电时的影响与侵害, 包括以下步骤: (a) 透过一个第一静电放电端  $P_1$ , 将该内部电路发生静电放电事件时的静电放电电流导入; 再(b)透过一个第二静电放电端  $P_2$ , 将该内部电路发生静电放电事件时的静电放电电流流出; 同时, (c) 利用该内部电路发生静电放电事件时, 该第一静电放电端  $P_1$  与该第二静电放电端  $P_2$  间的电压差, 使一个第一 n 通道金氧半场效晶体管 1<sup>st</sup> NMOS 的闸极(gate)151 氧化层(oxide layer)下方空乏区(depletion)发生反转(inversion)以产生电子信道(n channel)153, 供以该第一静电放电端  $P_1$  导入的静电放电电流得以迅速由该第二静电放电端  $P_2$  流出, 达到静电放电保护的目。

本发明的单向(one-directional)静电放电保护电路的实施例如图 3A, 供以保护一内部电路 110 不受单向静电放电电流的影响与侵害, 包括: (a) 一个第一静电放电端  $P_1$ , 供以导入该内部电路发生静电放电事件时的静电放电电流且其电压为  $V_1$ ; (b) 一个第二静电放电端  $P_2$ , 供以流出该内部电路发生静电放电事件时的静电放电电流且其电压为  $V_2$ ; 以及(c) 一个第一 n 通道金氧半场效晶体管 1<sup>st</sup> NMOS 310, 其闸极连接该第一静电放电端  $P_1$ , 且其汲极(drain)与源极(source)分别连接该第一静电放电端  $P_1$  与该第二静电放电端  $P_2$ , 供以在该内部电路发生静电放电事件时该第一静电放电端  $P_1$  到该第二静电放电端  $P_2$  的静电放电电位差大于等于其闸极临界电压时( $V_1 - V_2 \geq V_{th}$ ,  $V_{th}$  为其闸极临界电压), 在其汲源极间形成短路(short), 使静电放电电流避开该内部电路的路径分流(shunt)至其汲源极间的短路以形成静电放电保护。然而, 在正常工作(normal operation)电压下, 该第一静电放电端  $P_1$  与该第二静电放电端  $P_2$  间的电压差( $V_1 - V_2$ )是小于闸极临界电压  $V_{th}$ , 使可避免该第一 n 通道金氧半场效晶体管 1<sup>st</sup> NMOS 的汲源极间发生短路。其中, 该第一 n 通道金氧半场效晶体管 1<sup>st</sup> NMOS 可为场区(field) n 通道金氧半场效晶体管, 其闸极下方的场区氧化层(field oxide layer)420 是可使闸极临界电压  $V_{th}$  变大, 透过选择不同制程的场区 n 通道金氧

半场效晶体管便可调整此一临界电压值,以符合不同的正常工作电压需求( $V_1 - V_2 < V_{th}$ )。例如:利用其较大的临界电压  $V_{th}$  的特性,使其可直接用于该内部电路对外的开汲极(open drain)的输入输出端(I/O)440 与电源电压端  $V_{DD}$  间的静电放电保护。再配合复晶硅闸极(poly-gate)410 的设计,便可得到较佳的静电放电保护效果。

图 4A 为该单向静电放电保护电路的布局(layout)实施例图,图 4B 与图 4C 分别为图 4A 沿 a-a 联机与沿 b-b 联机的断面(cross-section)示意图。如图 4A 的布局,加大/缩小成长于场区氧化层上复晶硅薄膜宽度  $W$ (width),使流通该复晶硅闸极下方电子信道的静电放电电流增大/变小,以符合不同的静电放电保护的需求。

本发明的双向(two-directional)静电放电保护电路的实施例如图 3B,供以保护一内部电路不受双向静电放电电流的影响与侵害,包括:(a)一个第一静电放电端  $P_1$ ,供以导入/流出该内部电路发生静电放电事件时的静电放电电流且其电压为  $V_1$ ; (b)一个第二静电放电端  $P_2$ ,供以流出/导入该内部电路发生静电放电事件(ESD event)时的静电放电电流且其电压为  $V_2$ ; (c)一个第一  $n$  通道金氧半场效晶体管 1st NMOS 310,其闸极连接该第一静电放电端  $P_1$ ,且其汲极与源极分别连接该第一静电放电端  $P_1$  与该第二静电放电端  $P_2$ ,供以在该内部电路发生静电放电事件时该第一静电放电端  $P_1$  到该第二静电放电端  $P_2$  的静电放电电位差大于等于其闸极临界电压时( $V_1 - V_2 \geq V_{th}$ ,  $V_{th}$  为其闸极临界电压),在其汲源极间形成短路,使静电放电电流避开该内部电路的路径分流至其汲源极间的短路以形成静电放电保护;以及(d)一个第二  $n$  通道金氧半场效晶体管 2nd NMOS 320,其闸极连接该第二静电放电端  $P_2$ ,且其汲极与源极分别连接该第二静电放电端  $P_2$  与该第一静电放电端  $P_1$ ,供以在该内部电路发生静电放电事件时该第二静电放电端  $P_2$  到该第一静电放电端  $P_1$  的静电放电电位差大于等于其闸极临界电压时( $V_2 - V_1 \geq V_{th}$ ,  $V_{th}$  为其闸极临界电压),在其汲源极间形成短路,使静电放电电流避开该内部电路的路径分流至其汲源极间的短路以形成静电放电保护。然而,在正常工作(normal operation)电压下,该第一静电放电端  $P_1$  与该第二静电放电端  $P_2$  间的电压差值( $|V_1 - V_2|$ )小于闸极临界电压  $V_{th}$ ,使可避免该第一  $n$  通道金氧半场效晶体管的汲源极间发生短路,亦不会使该第二  $n$  通道金氧半场效晶体管的汲源极间发生短路。其中,该第一  $n$  通道金氧半场效晶体管可为场区  $n$  通道金氧半场效晶体管,其闸极下方的场区氧化层可使闸极临界电压  $V_{th}$  变大,透过选择不同制程的场区  $n$  通道金氧半场效晶体管便可调整此一临界电压值,以符合不同的正常工作电压需求( $V_1 - V_2 < V_{th}$ )。例如:利用其较大的临界电压  $V_{th}$  的特性,使其可直接用于该内部电路对外的开汲极(open drain)的输入输出端(I/O)与电源电压

端  $V_{DD}$  间的静电放电保护，再配合复晶硅闸极(poly-gate)，便可得到较佳的静电放电保护效果。又，该第二 n 通道金氧半场效晶体管亦可为场区 n 通道金氧半场效晶体管，透过选择不同制程的场区 n 通道金氧半场效晶体管便可调整此一临界电压值，以符合不同的正常工作电压需求( $V_2 - V_1 < V_{th}$ )。例如：利用其具有较大的临界电压  $V_{th}$ ，可使其用于保护来自电源电压端  $V_{DD}$  的静电放电事件。一样再配合复晶硅闸极(poly-gate)，便可得到较佳的静电放电保护效果。

图 5A 为该双向静电放电保护电路的布局实施例图，图 5B 是图 5A 沿 c-c 联机的断面(cross-section)示意图。如图 5A 的布局，加大/缩小成长于场区氧化层上复晶硅薄膜宽度  $W$ (width)，使流通该复晶硅闸极下方电子信道的静电放电电流增大/变小，以符合不同的静电放电保护的需求。

举例来说，若该开汲极输出端的工作电压范围为电源电压  $V_{DD}$  上下 15V 之内，而本发明的双向静电放电保护电路即使在工作电压接近电源电压  $V_{DD}$  (+-)15V 时，仍保持该内部电路正常运作；当该开汲极输出端大于等于电源电压正常工作电压  $V_{DD}+15V$  或该电源电压端小于等于电源电压正常工作电压  $V_{DD}-15V$ ，即会立即启动静电放电保护分流静电放电电流，有效地防止任何在工作电压范围外的异常电压放电。

综上，依上述所揭示的附图与说明，本发明可以达到预期的目的，提供一种静电放电保护方法与电路，可供产业上的利用。

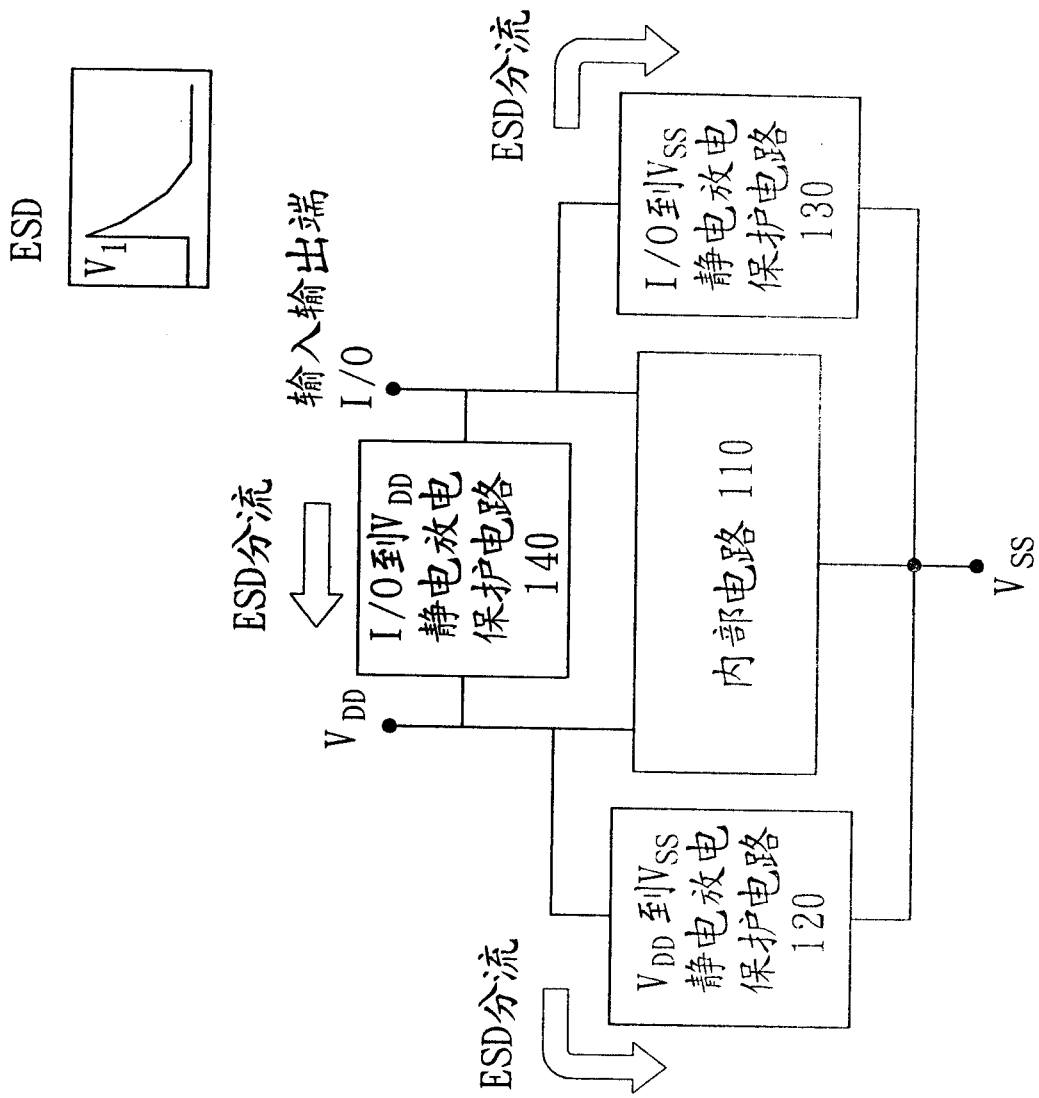


图 1A

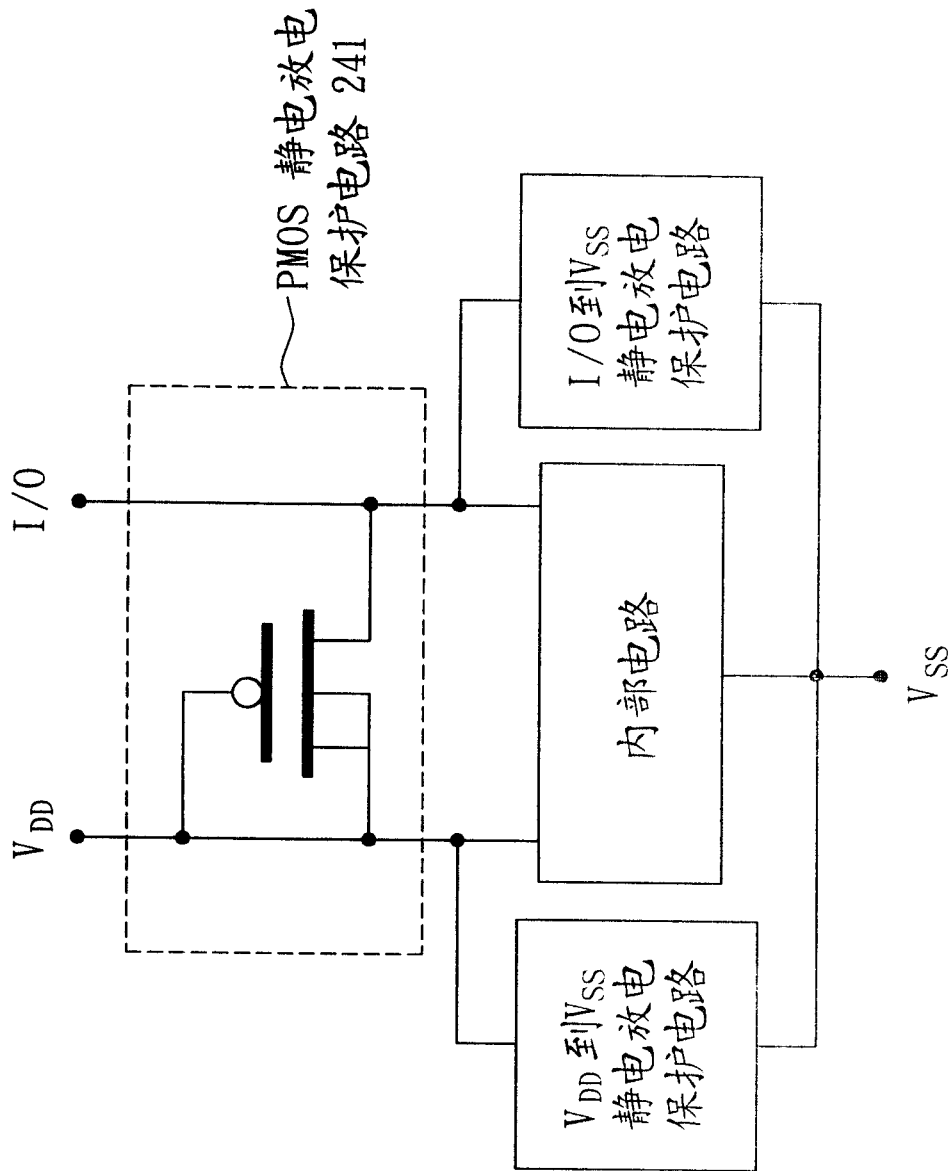


图 1B

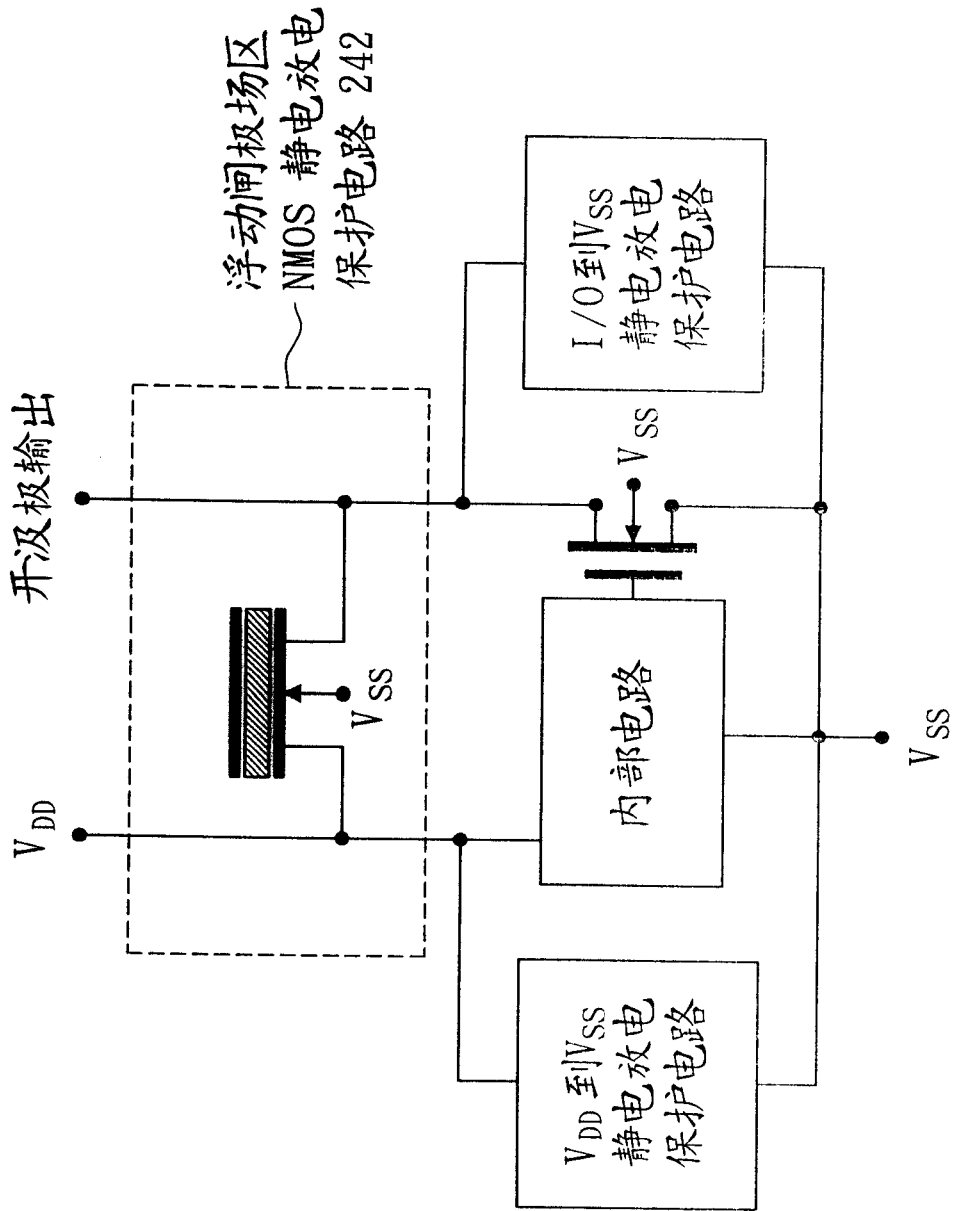


图 1C

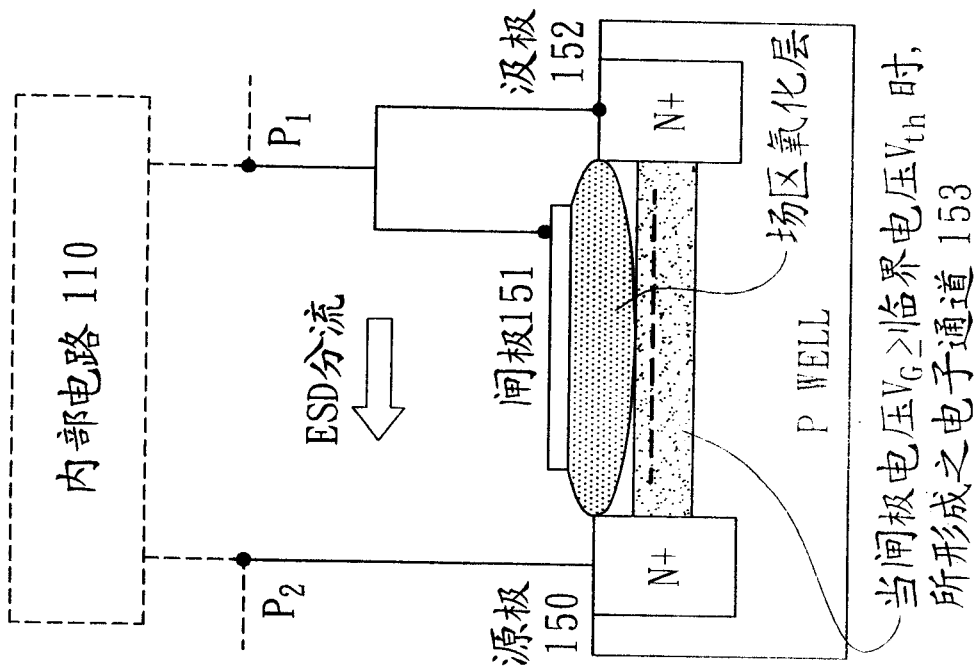


图 2A

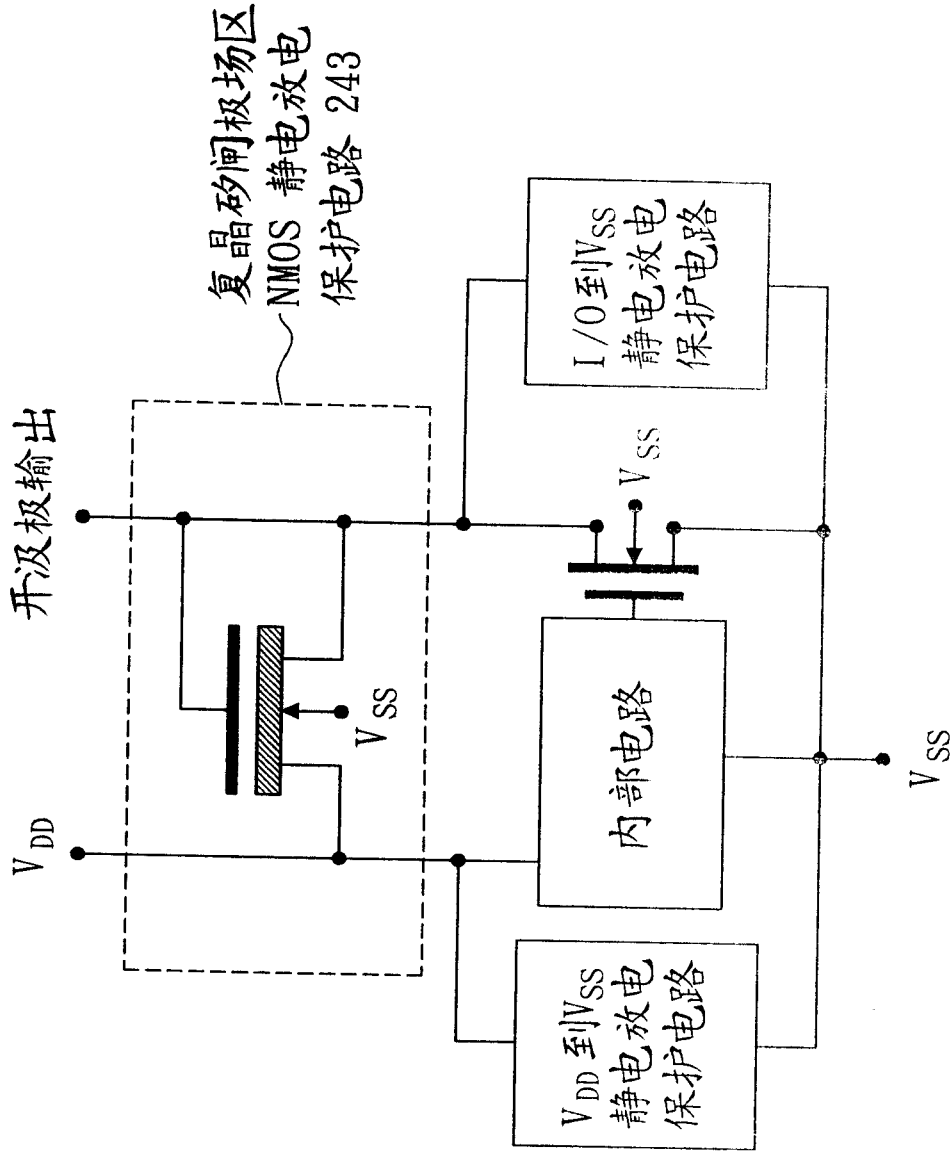


图 2B

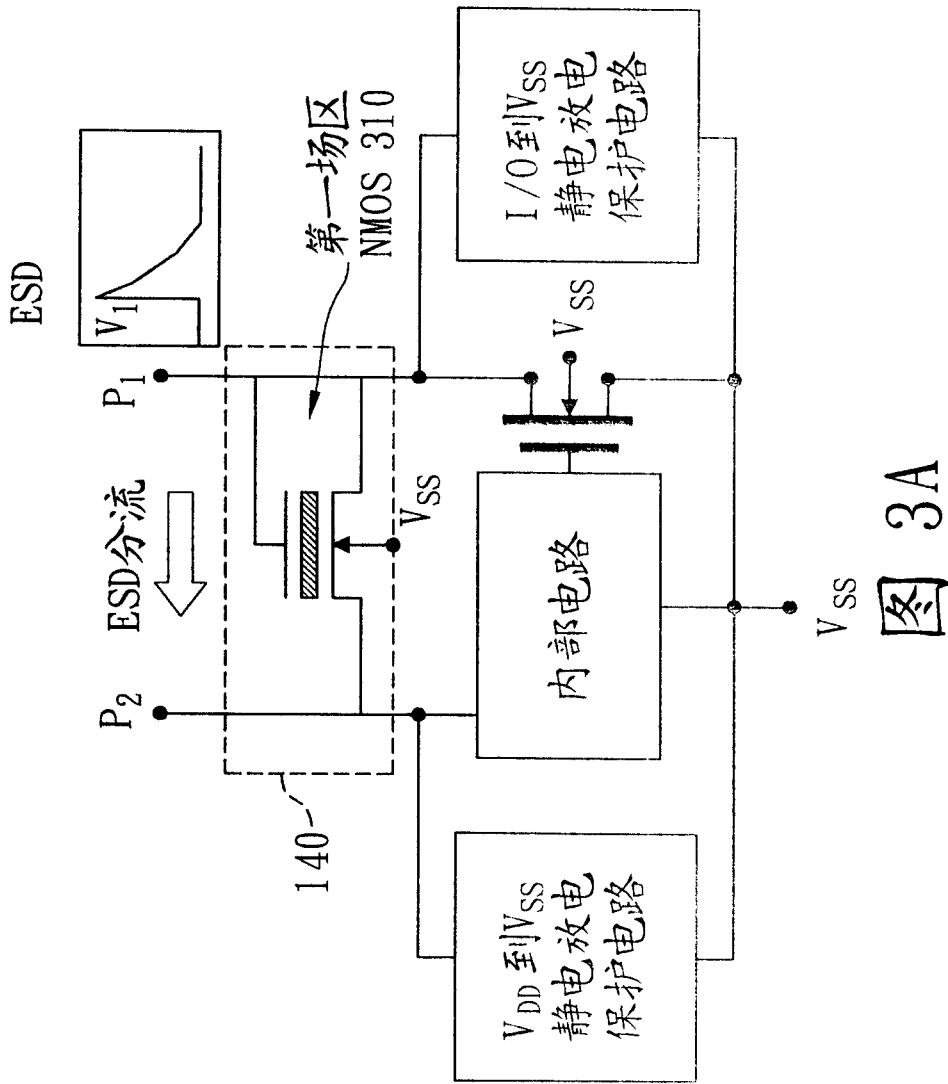


图 3A

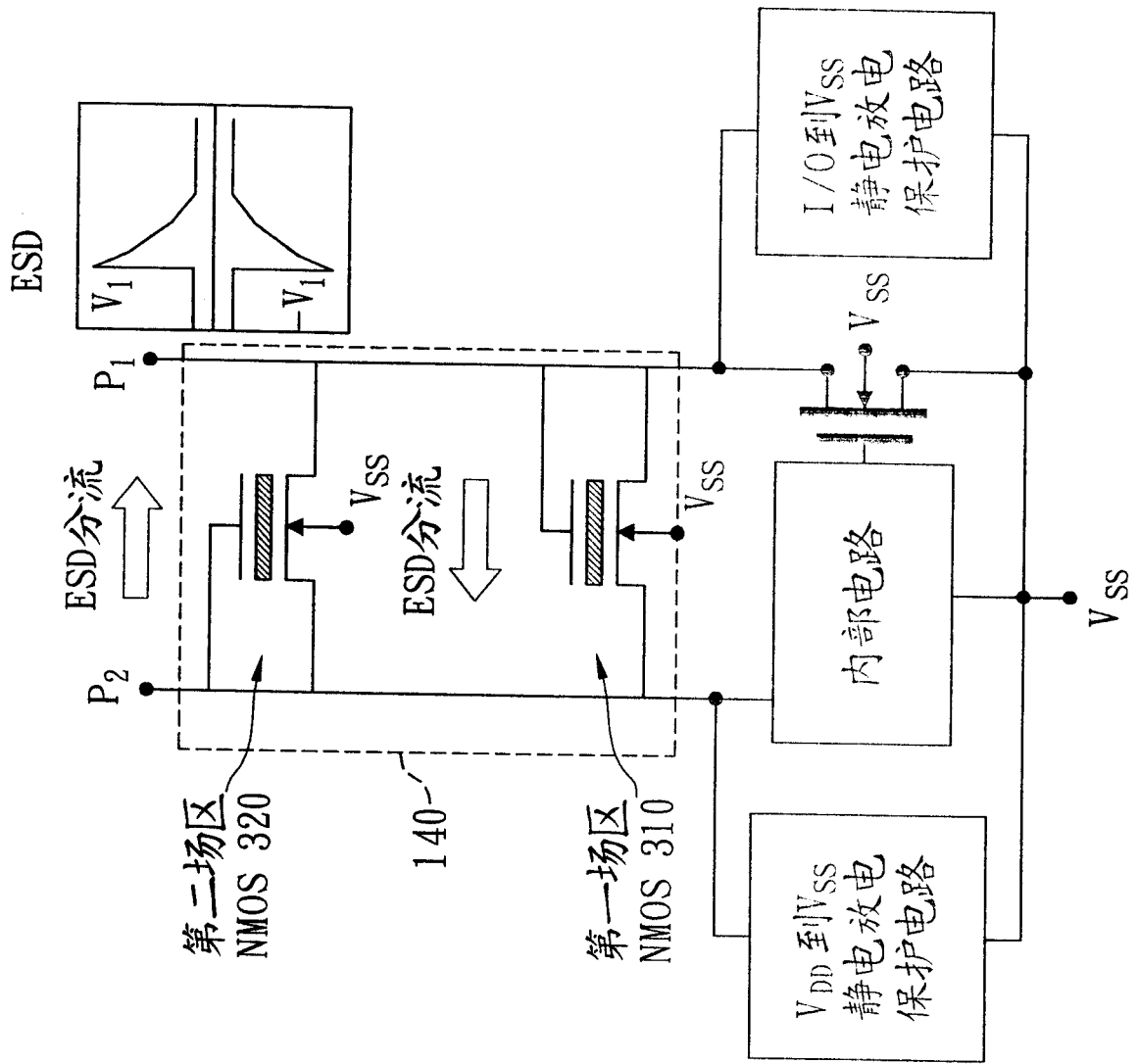


图 3B

