

①⑨ RÉPUBLIQUE FRANÇAISE
INSTITUT NATIONAL
DE LA PROPRIÉTÉ INDUSTRIELLE
PARIS

①① N° de publication :
(à n'utiliser que pour les
commandes de reproduction)

2 617 351

②① N° d'enregistrement national : **87 09043**

⑤① Int Cl^{*} : H 03 K 17/10, 17/60.

①② **DEMANDE DE BREVET D'INVENTION**

A1

②② Date de dépôt : 26 juin 1987.

③① Priorité :

④③ Date de la mise à disposition du public de la
demande : BOPI « Brevets » n° 52 du 30 décembre 1988.

⑥① Références à d'autres documents nationaux appa-
rentés :

⑦① Demandeur(s) : *Société anonyme dite : RTC-COMPE-
LEC. — FR.*

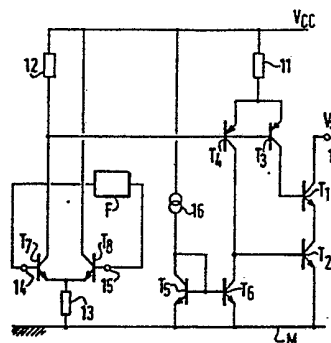
⑦② Inventeur(s) : Marc Simon, *Société civile S.P.I.D.*

⑦③ Titulaire(s) :

⑦④ Mandataire(s) : Pierre Pinchon, *Société Civile S.P.I.D.*

⑤④ Etage de sortie pour une commutation du type à collecteur ouvert à tension de sortie élevée.

⑤⑦ Etage de sortie pour un dispositif de commutation intégré dans lequel le collecteur d'un premier transistor T_1 est relié à la borne de sortie 10 de l'étage, et l'émetteur de ce transistor est relié à la tension de référence commune M via le trajet collecteur-émetteur d'un deuxième transistor T_2 en vue d'augmenter la tension admissible sur la borne de sortie 10 lorsqu'elle est à l'état de haute impédance. — Le deuxième transistor T_2 , commandé en même temps que le premier transistor T_1 , pour obtenir l'état conducteur en sortie, a sa base qui est reliée à un miroir de courant T_5 , T_6 dérivant à l'extérieur de ce deuxième transistor T_2 tout courant de fuite du signal de commande lorsque la commande est une commande de blocage de la sortie. Le collecteur du premier transistor T_1 peut ainsi soutenir, à l'état bloqué, une tension au moins égale au BV_{CBO} de ce même transistor. — Dispositifs intégrés à transistors bipolaires.



Etage de sortie pour une commutation du type à collecteur ouvert à tension de sortie élevée.

La présente invention concerne un étage de sortie pour un dispositif de commutation intégré dans lequel un premier transistor bipolaire a son collecteur relié à une borne de sortie du dispositif, dont la base reçoit un signal de commande et dont l'émetteur est relié à la tension de référence commune par l'intermédiaire d'au moins un trajet collecteur-émetteur d'au moins un deuxième transistor en vue d'augmenter la tension admissible sur la borne de sortie lorsque celle-ci se trouve à l'état de haute impédance.

La plupart des procédés en usage pour l'intégration de fonction électroniques au sein d'un même cristal semiconducteur conduisent le plus souvent à obtenir une faible tension émetteur-collecteur des transistors. C'est le cas par exemple d'un procédé en usage dans la technique connue de logique par injection de courant (logique dite I²L), pour lequel la tension de claquage émetteur-collecteur des transistors NPN est de l'ordre de 6 à 7 volts seulement. Soumis à une tension positive d'alimentation de 5 volts par rapport à la tension de référence commune, de tels circuits sont soumis à des signaux d'entrée et procurent des signaux traités qui sont spécifiés à l'intérieur des limites 0-5 volts de sorte que la faible tension de claquage liée au procédé utilisé n'entraîne pas, en principe, de difficulté particulière.

Dans un grand nombre de cas cependant, la sortie des dispositifs intégrés est du type à collecteur ouvert c'est-à-dire que le signal de sortie est prélevé sur le collecteur d'un transistor susceptible de présenter soit un état de saturation pour l'absorption d'un courant par la borne de sortie, soit un état de non conduction laissant la borne de sortie à haute impédance. Dans ce cas, on est amené à désirer, en

raison des circonstances d'utilisation, que la borne de sortie du dispositif soit susceptible de soutenir une tension élevée lorsqu'elle est à l'état de haute impédance. Par tension élevée on entend une tension qui dépasse nettement la tension de claquage émetteur-collecteur (BVCEO) du transistor de sortie, et qui peut s'élever à plusieurs fois cette valeur.

Dans toute la mesure du possible, il est souhaitable que la solution apportée à ce problème ne repose pas sur une modification du processus technologique pour augmenter la tension de claquage des transistors, car ce processus représente en général un ensemble de données liées entre elles, et résulte d'une longue expérience pratique.

C'est pourquoi on a déjà proposé un étage de sortie de dispositif intégré admettant une polarisation à tension élevée bien qu'utilisant un procédé basse tension, qui est basé sur la mise en série, par leur trajet collecteur-émetteur, d'une pluralité de transistors identiques, commandés de telle sorte que chacun d'eux soutienne une fraction de la tension applicable en sortie.

Le document EP-A-O 205 838 propose une solution de ce type utilisant des paires de transistors montés en amplificateurs Darlington et commandés par un réseau série de résistances identiques. L'étage de sortie de l'amplificateur connu fait en outre appel à des transistors à effet de champ.

Outre que le dispositif connu met en oeuvre un nombre relativement important de composants élémentaires et offre donc à ce point de vue une solution assez onéreuse, il possède également l'inconvénient, commun à tous les dispositifs utilisant en sortie un empilement série d'une pluralité de transistors, que la tension de déchet à la saturation en sortie se trouve également multipliée par le nombre de transistors et sera donc d'autant plus élevée qu'on aura choisi d'empiler un nombre plus important de transistors.

L'invention vise à fournir une solution au problème de la tenue à une tension élevée à la sortie d'un dispositif de commutation, qui fasse appel à un nombre restreint de composants élémentaires et présente une tension de déchet en

saturation aussi faible que possible.

Conformément à l'invention ce but est atteint par un étage de sortie pour un dispositif de commutation intégré du type énoncé en préambule, caractérisé en ce que le deuxième transistor a son émetteur directement connecté à la tension de référence commune, en ce que ce deuxième transistor reçoit sur sa base un signal de commande qui est du même ordre de grandeur que le signal de commande du premier transistor, pour commander l'état de conduction en sortie, et en ce que la base du deuxième transistor est encore connectée à la branche commandée d'un miroir de courant disposé de manière à dériver à l'extérieur du deuxième transistor tout courant de fuite du signal de commande de ce deuxième transistor lors de la commande de l'état de blocage en sortie.

Dans l'état de blocage, l'étage de sortie du dispositif selon l'invention a son deuxième transistor qui est nécessairement bloqué par l'effet du miroir de courant. Le collecteur du deuxième transistor se trouve donc à l'état de haute impédance même si la commande de blocage du deuxième transistor présentait un certain courant de fuite. Il est facile en effet de prévoir un courant nominal du miroir de courant qui soit dans tous les cas supérieur au courant de fuite admissible de la commande. Dans l'émetteur du premier transistor, qui est relié au collecteur du deuxième transistor, ne circule donc aucun courant. La condition se trouve alors remplie pour que le premier transistor soit polarisé en inverse, uniquement entre base et collecteur et manifeste une tension de claquage base-collecteur définie par son BV_{CBO} .

Or on sait que la tension de claquage BV_{CBO} d'un transistor est toujours supérieure à la tension de claquage BV_{CEO} et cette différence est particulièrement significative pour les transistors entrant dans la composition des circuits intégrés à haute fréquence.

Dans l'exemple déjà cité d'un procédé en usage pour des circuits logiques du type à injection de courant où la tension de claquage BV_{CEO} des transistors NPN n'est que de 6 à 7 Volts, la tension BV_{CBO} des mêmes transistors s'élève à

20 volts environ. Conformément à l'invention, le premier transistor travaillant sous ce dernier mode de polarisation est donc susceptible de soutenir une tension de l'ordre de 20 Volts augmentée encore de la tension présente sur sa base.

05 L'invention procure donc à ce point de vue une solution équivalente à l'empilement de plusieurs transistors identiques fonctionnant en BV_{CEO} .

Par ailleurs dans l'état d'absorption de courant, l'étage de sortie de l'invention fait apparaître une tension
10 de déchet à la saturation correspondant sensiblement au double de celle d'un transistor unique ce qui est une valeur faible comparée à la solution faisant appel à un empilement d'un nombre important de transistors.

Pour procurer des signaux de commande au premier et
15 au deuxième transistor qui soient du même ordre de grandeur l'invention prévoit que ces signaux de commande soient fournis à partir respectivement du collecteur d'un troisième transistor et du collecteur d'un quatrième transistors, ces troisième
20 et quatrième transistors, de type opposé aux premier et deuxième transistors, ayant par ailleurs leurs bases communes et leurs émetteurs communs.

On peut prévoir que le miroir de courant soit commandé en permanence pour l'absorption d'un courant fixé indépendamment de l'état de la sortie du dispositif. Ceci n'offre
25 pas d'inconvénient puisque le courant de fuite à absorber par le miroir de courant n'est qu'une fraction négligeable du courant de commande nécessaire pour obtenir l'état absorbant en sortie.

On peut cependant effectuer une commande du miroir
30 de courant de telle sorte que l'absorption de courant sur la base du deuxième transistor n'ait lieu que lors d'une commande de blocage de la sortie à haute impédance. Ceci peut être réalisé au moyen d'un étage différentiel qui commande le miroir de courant par sa sortie de signal opposée à la sortie de commande de courant de l'étage.
35

En ce qui concerne les signaux de commande des premier et deuxième transistors, un premier mode de mise en

oeuvre de l'invention prévoit que les courants commandant l'absorption en sortie sont de valeur fixe, établie en fonction de la valeur maximale du courant qu'il est prévu d'absorber sur la borne de sortie. Ce mode est avantageux par sa simplicité mais offre l'inconvénient d'une consommation de courant assez élevée.

Selon un autre mode de mise en oeuvre, les courants commandant l'absorption en sortie sont variables et fournis par la sortie d'un comparateur sur les entrées duquel on compare la tension émetteur-collecteur du deuxième transistor avec une tension de référence de valeur choisie. On obtient ainsi que la consommation de courant de l'étage de sortie est régulée en fonction du courant à absorber sur la borne de sortie, et que la tension de saturation en sortie présente une valeur pratiquement fixe, liée à la valeur de la tension de référence qui a été choisie.

L'invention sera mieux comprise à la lecture de la description qui va suivre, donnée à titre d'exemple non limitatif, en liaison avec les dessins dans lesquels :

la figure 1 représente le schéma électrique d'un premier exemple de réalisation d'un étage de sortie selon l'invention,

et la figure 2 montre le schéma électrique d'un deuxième exemple de réalisation de l'invention.

La figure 1 représente un étage de sortie pour un dispositif de commutation intégré, avec sortie sur un collecteur ouvert. La borne de sortie 10 de l'étage est connectée au collecteur d'un premier transistor de sortie T_1 alors que l'émetteur de ce transistor est relié à la tension de référence commune M via le trajet collecteur-émetteur d'un deuxième transistor de sortie T_2 , dont l'émetteur est connecté à la tension M. Les transistors T_1 et T_2 , de type NPN, sont simultanément commandés pour le blocage ou pour la conduction à partir du collecteur de deux transistors T_3 et T_4 , de type PNP, dont les bases sont reliées entre elles et dont les émetteurs, également reliés entre eux sont en commun reliés vers la tension V_{CC} d'alimentation positive via une résistance

11. La base commune des transistors T_3 et T_4 est elle-même commandée par exemple au moyen d'un étage différentiel composé des transistors T_7 et T_8 , d'une résistance de charge 12 en série dans le collecteur du transistor T_7 et d'une résistance commune d'émetteur 13.

La figure 1 représente un étage de sortie pour une fonction électronique F quelconque dont la nature et le détail sont sans rapport avec l'invention et dont les sorties de signaux direct et inversé sont respectivement couplées aux entrées 14 et 15 de l'étage différentiel commandant l'étage de sortie.

Le montage est complété par un miroir de courant dont la branche de commande comporte un transistor T_5 connecté en diode par court-circuit entre base et collecteur, dont l'émetteur est relié à la tension de référence commune M et qui est alimenté par une source de courant 16 à partir de la tension d'alimentation positive V_{CC} . La branche commandée du miroir de courant comporte un transistor T_6 dont l'émetteur est relié à la tension de référence M, dont la base est connectée à la base du transistor T_5 et dont le collecteur est connecté à la base du deuxième transistor de sortie T_2 . Le courant débité par la source de courant 16 est choisi pour être supérieur au courant de fuite du transistor T_4 lorsqu'il commande le blocage du transistor T_2 , soit par exemple un courant de 5 microampères. Dans ces conditions, le transistor T_6 dérive à l'extérieur du deuxième transistor T_2 tout courant de fuite du signal de commande délivré par T_4 lors de la commande de l'état de blocage des transistors de sortie T_1 et T_2 . On peut donc être certain que le deuxième transistor T_2 est alors complètement bloqué ce qui entraîne que l'émetteur du premier transistor de sortie T_1 est laissé sans polarisation, à haute impédance.

La condition est alors satisfaite pour que le premier transistor T_1 , au collecteur duquel est appliquée la tension de sortie V_S , travaille en polarisation base-collecteur avec émetteur ouvert. La limite de tension que peut supporter le transistor T_1 est donc la tension de claquage BV_{CBO} .

Le courant de fuite sur la base du transistor T_1 traverse en direct la jonction collecteur-base du transistor T_3 , tandis que la base de ce transistor se trouve sensiblement à la tension de polarisation positive V_{CC} , puisque reliée à cette tension par la résistance 12 traversée par un courant très faible.

Le maximum de tension V_S applicable sur la borne de sortie 10 est donc égal au BV_{CBO} du transistor T_1 augmenté de la tension V_{CC} , ou encore égal à la tension de claquage de la diode collecteur-substrat dans un transistor NPN si cette tension de claquage se trouvait être plus faible.

On a déjà vu que pour un certain procédé donné à titre d'exemple, dans lequel le BV_{CEO} des transistors NPN est de 6 volts, le BV_{CBO} est égal à 20 volts la tension de sortie V_S maximale admissible serait égale à 25 volts pour une tension V_{CC} égale à 5 volts.

Lorsque l'étage de sortie est commuté pour une sortie à l'état absorbant et à faible impédance, les courants de commande délivrés par les transistors T_3 et T_4 sont choisis avec une valeur suffisamment élevée pour que les transistors T_1 et T_2 soient encore en saturation pour le courant maximal à absorber sur la borne de sortie 10. Dans le cas simple où les transistors T_1 et T_2 sont d'une taille identique, les courants de commande de ces transistors sont choisis égaux entre eux ce qui est facile à obtenir au moyen de transistors T_3 et T_4 de même taille. La tension de déchet à la saturation en sortie est alors égale au double de la tension de saturation d'un transistor NPN, ce qui est une valeur relativement faible si on la compare à une solution utilisant l'empilement de quatre transistors en sortie, chacun d'eux travaillant au maximum à la tension BV_{CEO} .

Dans ce mode de réalisation où les signaux de commande pour obtenir l'absorption en sortie consistent en des courants fixes de commande, la tension de déchet en saturation obtenue en sortie est d'autant plus faible que le courant consommé pour la commande est important. Il y a donc un choix à adopter en fonction des exigences d'utilisation.

En ce qui concerne le courant dérivé par le transistor T_6 lors de la commande d'état absorbant en sortie, celui-ci est si faible ($5\mu A$ par exemple) par rapport au courant de commande appliqué sur la base du transistor T_2 ($300\mu A$ par exemple) qu'il peut être négligé dans la majorité des cas.

On se reporte à la figure 2 pour décrire un autre exemple d'étage de sortie selon l'invention. Les éléments identiques ayant même fonction que dans le montage de la figure 1 sont affectés des mêmes repères numériques.

Les signaux de commande des premier et deuxième transistors de sortie T_1 et T_2 sont fournis à partir des collecteurs respectifs des transistors PNP T_3 et T_4 à travers un étage d'amplification de courant constitué respectivement du transistor T_9 et du transistor T_{10} . De plus, une diode 27 est montée en dérivation aux bornes de la diode base-émetteur du transistor T_9 et en sens inverse de cette dernière.

Les transistors T_3 et T_4 , qui ont leurs émetteurs réunis et leurs bases réunies, constituent ici une branche d'entrée d'un comparateur C dont les bases sont connectées à une tension de référence V_{REF} , alors que l'autre branche d'entrée de ce comparateur est constituée par le transistor T_{11} , de type PNP, dont l'émetteur est relié aux émetteurs des transistors T_3 et T_4 , et dont la base reçoit la tension de collecteur du transistor de sortie T_2 après un certain décalage de tension procuré par les diodes 20 et 21 montées dans le sens direct. Le comparateur C est complété par un ensemble de deux transistors T_{12} et T_{13} servant de charge à tension fixe pour le collecteur du transistor T_{11} , ainsi que par les transistors T_{14} et T_{15} , montés en miroirs de courant avec le transistor T_{12} et servant de charge de collecteur respectivement pour les transistors T_4 et T_3 .

Lorsque le comparateur C est alimenté, c'est-à-dire, comme on va le voir par la suite, lorsque l'étage est commandé pour un état absorbant en sortie, la tension de saturation du deuxième transistor de sortie T_2 se trouve régulée par comparaison avec la tension de référence V_{REF} , le comparateur fournissant les signaux de commande qui, après amplification

par les transistors T_9 et T_{10} , sont juste nécessaires à l'absorption du courant présenté à la borne de sortie 10.

Dans le cas pratique préféré où les transistors de sortie T_1 et T_2 sont choisis d'une taille identique et les signaux de commande égaux entre eux, on obtient alors une tension de saturation en sortie qui est voisine du double de la tension de saturation du deuxième transistor T_2 seul, dont la valeur est fixée indépendamment du courant à absorber sur la borne de sortie 10 et réglée à partir de la tension de référence V_{REF} .

Selon ce mode de mise en oeuvre, la consommation de courant pour la commande d'absorption est proportionnée au courant présenté sur la borne de sortie 10.

Le montage de la figure 2 représente l'étage de sortie d'une fonction électronique F quelconque, dont les signaux de sortie, direct et inversé, sont appliqués respectivement aux entrées 24 et 25 d'un étage différentiel formé par deux transistors T_{16} et T_{17} de type PNP. Les émetteurs de ces transistors, qui sont réunis, sont alimentés en commun à partir de la tension d'alimentation V_{CC} par l'intermédiaire d'une source de courant 26.

Le collecteur du transistor T_{16} est connecté aux émetteurs réunis des transistors T_3 , T_4 et T_{11} de sorte que ce collecteur a pour charge le comparateur C décrit précédemment. Le collecteur du transistor T_{17} est relié à la base et au collecteur d'un transistor T_5 monté en diode, dont l'émetteur est connecté à la tension de référence commune M . Deux transistors T_{61} et T_{62} sont associés en miroir de courant avec le transistor T_5 . Le collecteur du transistor T_{61} est connecté à la base du deuxième transistor de sortie T_2 et le collecteur du transistor T_{62} est connecté à la base du transistor amplificateur T_{10} .

Ainsi, lorsque la sortie de l'étage est commandée dans l'état de haute impédance, les courants de fuite des transistors T_4 et T_{10} sont absorbés par le miroir de courant T_{61} T_{62} à deux sorties.

Ce miroir de courant est lui même commandé par le

transistor T_{17} de l'étage différentiel T_{16} , T_{17} de sorte que l'absorption de courant par le miroir de courant T_{61} , T_{62} n'a lieu que lors d'une commande de blocage de la sortie 10, à haute impédance.

05 Les avantages essentiels du mode de réalisation représenté à la figure 2 viennent de ce que la consommation de courant de l'étage de sortie pour la commande de l'état absorbant est proportionnée au courant présenté sur la borne de sortie 10 et du fait que la tension de saturation en sortie
10 est pratiquement indépendante du courant à absorber et présente une valeur que l'on peut choisir arbitrairement.

Il est clair que de nombreuses variantes peuvent être proposées par rapport aux exemples décrits sans sortir du cadre de l'invention revendiquée ci-après.

15

20

25

30

35

REVENDICATIONS :

1. Etage de sortie pour un dispositif de commutation intégré dans lequel un premier transistor bipolaire a son collecteur relié à une borne de sortie du dispositif, dont la base reçoit un signal de commande et dont l'émetteur est relié à la tension de référence commune par l'intermédiaire d'au moins un trajet collecteur-émetteur d'au moins un deuxième transistor en vue d'augmenter la tension admissible sur la borne de sortie lorsque celle-ci se trouve à l'état de haute impédance, caractérisé en ce que le deuxième transistor a son émetteur directement connecté à la tension de référence commune, en ce que ce deuxième transistor reçoit sur sa base un signal de commande qui est du même ordre de grandeur que le signal de commande du premier transistor, pour commander l'état de conduction en sortie, et en ce que la base du deuxième transistor est encore connectée à la branche commandée d'un miroir de courant disposé de manière à dériver à l'extérieur du deuxième transistor tout courant de fuite du signal de commande de ce deuxième transistor lors de la commande de l'état de blocage en sortie.
2. Etage de sortie selon la revendication 1, caractérisé en ce que, pour la commande de l'état de conduction, les signaux de commande du premier et du deuxième transistor sont fournis à partir respectivement du collecteur d'un troisième transistor et du collecteur d'un quatrième transistor, ces troisième et quatrième transistors, de type opposé aux premier et deuxième transistors, ayant par ailleurs leurs bases reliées entre elles et leurs émetteurs reliés entre eux.
3. Etage de sortie selon la revendication 2, caractérisé en ce que les signaux de commande du premier et du deuxième transistor sont des courants de valeur fixe établie en fonction de la valeur maximale du courant à absorber sur la borne de sortie.
4. Etage de sortie selon la revendication 2, caractérisé en ce que les signaux de commande du premier et du deuxième transistor sont des courants variables fournis par la

sortie d'un comparateur sur les entrées duquel on compare la tension émetteur-collecteur du deuxième transistor avec une tension de référence de valeur choisie.

- 05 5. Etage de sortie selon l'une quelconque des revendications 1 à 4, caractérisé en ce que le miroir de courant est commandé par la sortie de signal d'un étage différentiel, sortie qui est opposée à la sortie de commande de courant des transistors de sortie, de sorte que l'absorption de courant sur la base du deuxième transistor n'ait lieu que lors d'une
- 10 commande de blocage de la sortie à haute impédance.

15

20

25

30

35

1/2

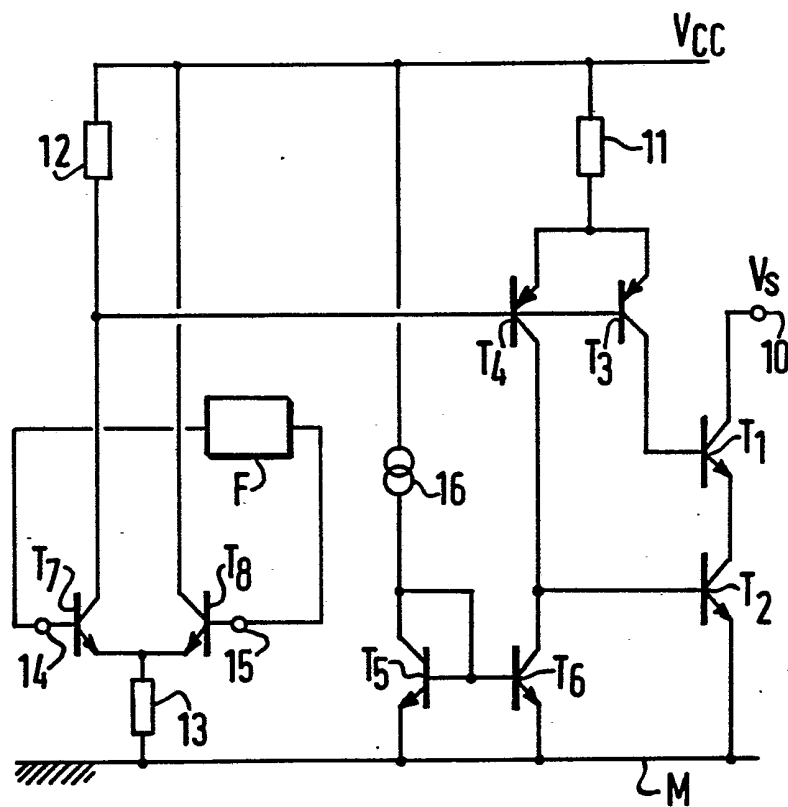


FIG.1

