



(12) 发明专利申请

(10) 申请公布号 CN 119096713 A

(43) 申请公布日 2024. 12. 06

(21) 申请号 202380036068.2

(22) 申请日 2023.04.14

(30) 优先权数据

2022-075007 2022.04.28 JP

(85) PCT国际申请进入国家阶段日

2024.10.24

(86) PCT国际申请的申请数据

PCT/IB2023/053816 2023.04.14

(87) PCT国际申请的公布数据

W02023/209484 JA 2023.11.02

(71) 申请人 株式会社半导体能源研究所

地址 日本神奈川县

(72) 发明人 大贯达也 国武宽司 中岛基

(74) 专利代理机构 上海专利商标事务所有限公

司 31100

专利代理师 邓晔 宋俊寅

(51) Int.Cl.

H10B 12/00 (2006.01)

H01L 29/786 (2006.01)

H10B 43/23 (2006.01)

H10B 99/00 (2006.01)

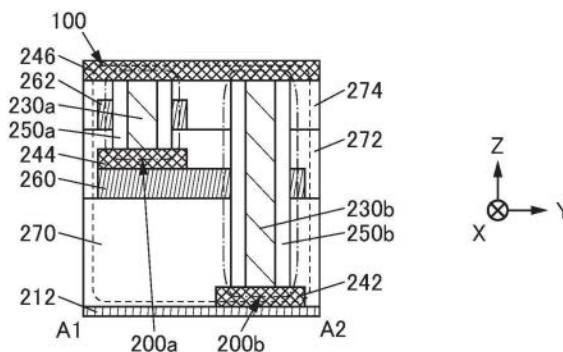
权利要求书3页 说明书44页 附图37页

(54) 发明名称

半导体装置

(57) 摘要

提供一种能够实现微型化或高集成化的半导体装置。半导体装置包括第一导体、第一导体上方的第二导体、与第二导体的顶面接触的第三导体、第三导体上方的第四导体、第二导体及第四导体上方的第五导体、第一及第二氧化物、第四及第五绝缘体。第四绝缘体及第一氧化物配置在第四导体等中的第一开口的内侧,第一氧化物具有隔着第四绝缘体与第四导体相对的区域、与第三导体的顶面接触的区域以及与第五导体的底面接触的区域。第五绝缘体及第二氧化物配置在第二导体等中的第二开口的内侧,第二氧化物具有隔着第五绝缘体与第二导体相对的区域、与第一导体的顶面接触的区域以及与第五导体的底面接触的区域。



1. 一种半导体装置,包括:

第一导电体;

所述第一导电体上的第一绝缘体;

所述第一绝缘体上的第二导电体;

所述第二导电体上的第三导电体;

所述第一绝缘体、所述第二导电体及所述第三导电体上的第二绝缘体;

所述第二绝缘体上的第四导电体;

所述第四导电体上的第三绝缘体;

所述第三绝缘体上的第五导电体;

第一氧化物;

第二氧化物;

第四绝缘体;以及

第五绝缘体,

其中,所述第二绝缘体、所述第四导电体及所述第三绝缘体中设置有到达所述第三导电体的第一开口,

所述第四绝缘体具有与所述第一开口中的所述第四导电体的侧面接触的区域,

所述第一氧化物具有隔着所述第四绝缘体与所述第四导电体相对的区域、与所述第三导电体的顶面的至少一部分接触的区域以及与所述第五导电体的底面的至少一部分接触的区域,

所述第一绝缘体、所述第二导电体、所述第二绝缘体及所述第三绝缘体中设置有到达所述第一导电体的第二开口,

所述第五绝缘体具有与所述第二开口中的所述第二导电体的侧面接触的区域,

并且,所述第二氧化物具有隔着所述第五绝缘体与所述第二导电体相对的区域、与所述第一导电体的顶面的至少一部分接触的区域以及与所述第五导电体的底面的至少一部分接触的区域。

2. 根据权利要求1所述的半导体装置,

其中所述第四导电体延伸的方向平行于所述第一导电体延伸的方向。

3. 根据权利要求1所述的半导体装置,

其中当从平面看时,所述第二开口之径的尺寸比所述第一开口之径的尺寸大。

4. 根据权利要求1所述的半导体装置,

其中当从截面看时,所述第一开口的侧壁及所述第二开口的侧壁都具有锥形形状。

5. 一种半导体装置,包括:

第一绝缘体;

所述第一绝缘体上的第一导电体及第二导电体;

所述第一绝缘体、所述第一导电体及所述第二导电体上的第二绝缘体;

所述第二绝缘体上的第三导电体;

所述第三导电体上的第四导电体;

所述第二绝缘体、所述第三导电体及所述第四导电体上的第三绝缘体;

所述第三绝缘体上的第五导电体;

所述第五导电体上的第四绝缘体；
所述第四绝缘体上的第六导电体；
第一氧化物；
第二氧化物；
第五绝缘体；以及
第六绝缘体，
其中，所述第一导电体具有隔着所述第二绝缘体与所述第三导电体重叠的区域，
所述第三绝缘体、所述第五导电体及所述第四绝缘体中设置有到达所述第四导电体的第一开口，
所述第五绝缘体具有与所述第一开口中的所述第五导电体的侧面接触的区域，
所述第一氧化物具有隔着所述第五绝缘体与所述第五导电体相对的区域、与所述第四导电体的顶面的至少一部分接触的区域以及与所述第六导电体的底面的至少一部分接触的区域，
所述第二绝缘体、所述第三导电体、所述第三绝缘体及所述第四绝缘体中设置有到达所述第二导电体的第二开口，
所述第六绝缘体具有与所述第二开口中的所述第三导电体的侧面接触的区域，
并且，所述第二氧化物具有隔着所述第六绝缘体与所述第三导电体相对的区域、与所述第二导电体的顶面的至少一部分接触的区域以及与所述第六导电体的底面的至少一部分接触的区域。

6. 根据权利要求5所述的半导体装置，

其中所述第一导电体延伸的方向平行于所述第二导电体延伸的方向，
并且所述第五导电体延伸的方向平行于所述第二导电体延伸的方向。

7. 根据权利要求5所述的半导体装置，

其中所述第一导电体与所述第二导电体设置在同一层中。

8. 一种半导体装置，包括：

第一绝缘体；

所述第一绝缘体上的第一导电体及第二导电体；

所述第一绝缘体、所述第一导电体及所述第二导电体上的第二绝缘体；

所述第二绝缘体上的第三导电体；

所述第三导电体上的第四导电体；

所述第二绝缘体、所述第三导电体及所述第四导电体上的第三绝缘体；

所述第三绝缘体上的第五导电体；

所述第五导电体上的第四绝缘体；

所述第四绝缘体上的第六导电体及第七导电体；

第一氧化物；

第二氧化物；

第五绝缘体；以及

第六绝缘体，

其中，所述第一导电体具有隔着所述第二绝缘体与所述第三导电体重叠的区域，

所述第三绝缘体、所述第五导电体及所述第四绝缘体中设置有到达所述第四导电体的第一开口，

所述第五绝缘体具有与所述第一开口中的所述第五导电体的侧面接触的区域，

所述第一氧化物具有隔着所述第五绝缘体与所述第五导电体相对的区域、与所述第四导电体的顶面的至少一部分接触的区域以及与所述第六导电体的底面的至少一部分接触的区域，

所述第二绝缘体、所述第三导电体、所述第三绝缘体及所述第四绝缘体中设置有到达所述第二导电体的第二开口，

所述第六绝缘体具有与所述第二开口中的所述第三导电体的侧面接触的区域，

并且，所述第二氧化物具有隔着所述第六绝缘体与所述第三导电体相对的区域、与所述第二导电体的顶面的至少一部分接触的区域以及与所述第七导电体的底面的至少一部分接触的区域。

9. 根据权利要求8所述的半导体装置，

其中所述第一导电体延伸的方向平行于所述第二导电体延伸的方向，

所述第五导电体延伸的方向平行于所述第二导电体延伸的方向，

并且所述第六导电体延伸的方向平行于所述第七导电体延伸的方向。

10. 根据权利要求8所述的半导体装置，

其中所述第一导电体与所述第二导电体设置在同一层中，

并且所述第六导电体与所述第七导电体设置在同一层中。

半导体装置

技术领域

[0001] 本发明的一个方式涉及一种半导体装置、存储装置及电子设备。此外,本发明的一个方式涉及一种半导体装置的制造方法。

[0002] 注意,本发明的一个方式不局限于上述技术领域。作为本发明的一个方式的技术领域的例子,可以举出半导体装置、显示装置、发光装置、蓄电装置、存储装置、电子设备、照明装置、输入装置(例如,触摸传感器等)、输入输出装置(例如,触摸面板等)、它们的驱动方法或它们的制造方法。

[0003] 注意,在本说明书等中,半导体装置是指能够通过利用半导体特性而工作的所有装置。除了晶体管等半导体元件之外,半导体电路、运算装置或存储装置是半导体装置的一个方式。显示装置(液晶显示装置及发光显示装置等)、投影装置、照明装置、电光装置、蓄电装置、存储装置、半导体电路、摄像装置及电子设备等有时包括半导体装置。

背景技术

[0004] 近年来,已对LSI(Large Scale Integration:大规模集成电路)、CPU(Central Processing Unit:中央处理器)、存储器(存储装置)等半导体装置进行开发。这些半导体装置用于计算机、便携式信息终端等各种电子设备。另外,根据运算处理执行时的暂时存储、数据的长期存储等用途,已开发出各种存储方式的存储器。作为典型的存储方式的存储器,例如可以举出DRAM(Dynamic Random Access Memory:动态随机存取存储器)、SRAM(Static Random Access Memory:静态随机存取存储器)及快闪存储器。

[0005] 另外,随着处理数据量的增大,需要存储容量更大的半导体装置。专利文献1及非专利文献1公开了层叠晶体管来形成的存储单元。

[0006] 另外,为了增大半导体装置的存储容量,正在进行半导体装置中的晶体管的微型化。为了实现晶体管的微型化,纵向晶体管的研究日益火热。例如,非专利文献2及非专利文献3公开了一种在形成沟道的区域(也称为沟道形成区域)中包含金属氧化物的纵向晶体管。

[先行技术文献]

[专利文献]

[0007] [专利文献1]国际专利申请公开第2021/053473号

[非专利文献]

[0008] [非专利文献1]M.Oota et al.,“3D-Stacked CAAC-In-Ga-Zn Oxide FETs with Gate Length of 72nm”,IEDM Tech.Dig.,2019,pp.50-53

[非专利文献2]X.Duan et al.,“Novel Vertical Channel-All-Around (CAA) IGZO FETs for 2T0C DRAM with High Density beyond 4F² by Monolithic Stacking”, IEDM Tech.Dig.,2021,pp.222-225

[非专利文献3]H.Fujiwara et al.,“Surrounding Gate Vertical-Channel FET with Gate Length of 40nm Using BEOL Compatible High-Thermal-Tolerance In-Al-

Zn Oxide Channel”, 2020 Symposium on VLSI Technology, TH2.2

发明内容

发明所要解决的技术问题

[0009] 本发明的一个方式的目的之一是提供一种能够实现微型化或高集成化的半导体装置。本发明的一个方式的目的之一是提供一种工作速度快的半导体装置。本发明的一个方式的目的之一是提供一种具有优异电特性的半导体装置。本发明的一个方式的目的之一是提供一种晶体管的电特性不均匀小的半导体装置。本发明的一个方式的目的之一是提供一种可靠性高的半导体装置。本发明的一个方式的目的之一是提供一种通态电流大的半导体装置。本发明的一个方式的目的之一是提供一种低功耗半导体装置。本发明的一个方式的目的之一是提供一种新颖半导体装置。

[0010] 本发明的一个方式的目的之一是提供一种存储容量大的存储装置。本发明的一个方式的目的之一是提供一种占有面积小的存储装置。本发明的一个方式的目的之一是提供一种可靠性高的存储装置。本发明的一个方式的目的之一是提供一种低功耗存储装置。本发明的一个方式的目的之一是提供一种新颖存储装置。

[0011] 注意, 这些目的的记载不妨碍其他目的的存在。本发明的一个方式并不需要实现所有上述目的。可以从说明书、附图、权利要求书的记载中抽取上述目的以外的目的。

解决技术问题的手段

[0012] 本发明的一个方式是一种半导体装置, 该半导体装置包括第一导电体、第一导电体上的第一绝缘体、第一绝缘体上的第二导电体、第二导电体上的第三导电体、第一绝缘体、第二导电体及第三导电体上的第二绝缘体、第二绝缘体上的第四导电体、第四导电体上的第三绝缘体、第三绝缘体上的第五导电体、第一氧化物、第二氧化物、第四绝缘体以及第五绝缘体。第二绝缘体、第四导电体及第三绝缘体中设置有到达第三导电体的第一开口。第四绝缘体具有与第一开口中的第四导电体的侧面接触的区域。第一氧化物具有隔着第四绝缘体与第四导电体相对的区域、与第三导电体的顶面的至少一部分接触的区域以及与第五导电体的底面的至少一部分接触的区域。第一绝缘体、第二导电体、第二绝缘体及第三绝缘体中设置有到达第一导电体的第二开口。第五绝缘体具有与第二开口中的第二导电体的侧面接触的区域。第二氧化物具有隔着第五绝缘体与第二导电体相对的区域、与第一导电体的顶面的至少一部分接触的区域以及与第五导电体的底面的至少一部分接触的区域。

[0013] 在上述半导体装置中, 第四导电体延伸的方向优选平行于第一导电体延伸的方向。

[0014] 另外, 在上述半导体装置中, 当从平面看时, 第二开口之径的尺寸优选比第一开口之径的尺寸大。

[0015] 另外, 当从上述半导体装置的截面看时, 第一开口的侧壁及第二开口的侧壁优选都具有锥形形状。

[0016] 本发明的一个方式是一种半导体装置, 该半导体装置包括第一绝缘体、第一绝缘体上的第一导电体及第二导电体、第一绝缘体、第一导电体及第二导电体上的第二绝缘体、第二绝缘体上的第三导电体、第三导电体上的第四导电体、第二绝缘体、第三导电体及第四导电体上的第三绝缘体、第三绝缘体上的第五导电体、第五导电体上的第四绝缘体、第四绝

缘体上的第六导电体、第一氧化物、第二氧化物、第五绝缘体以及第六绝缘体。第一导电体具有隔着第二绝缘体与第三导电体重叠的区域。第三绝缘体、第五导电体及第四绝缘体中设置有到达第四导电体的第一开口。第五绝缘体具有与第一开口中的第五导电体的侧面接触的区域。第一氧化物具有隔着第五绝缘体与第五导电体相对的区域、与第四导电体的顶面的至少一部分接触的区域以及与第六导电体的底面的至少一部分接触的区域。第二绝缘体、第三导电体、第三绝缘体及第四绝缘体中设置有到达第二导电体的第二开口。第六绝缘体具有与第二开口中的第三导电体的侧面接触的区域。第二氧化物具有隔着第六绝缘体与第三导电体相对的区域、与第二导电体的顶面的至少一部分接触的区域以及与第六导电体的底面的至少一部分接触的区域。

[0017] 在上述半导体装置中,优选的是,第一导电体延伸的方向平行于第二导电体延伸的方向,第五导电体延伸的方向平行于第二导电体延伸的方向。

[0018] 另外,在上述半导体装置中,第一导电体与第二导电体优选设置在同一层中。

[0019] 本发明的一个方式是一种半导体装置,该半导体装置包括第一绝缘体、第一绝缘体上的第一导电体及第二导电体、第一绝缘体、第一导电体及第二导电体上的第二绝缘体、第二绝缘体上的第三导电体、第三导电体上的第四导电体、第二绝缘体、第三导电体及第四导电体上的第三绝缘体、第三绝缘体上的第五导电体、第五导电体上的第四绝缘体、第四绝缘体上的第六导电体及第七导电体、第一氧化物、第二氧化物、第五绝缘体以及第六绝缘体。第一导电体具有隔着第二绝缘体与第三导电体重叠的区域。第三绝缘体、第五导电体及第四绝缘体中设置有到达第四导电体的第一开口。第五绝缘体具有与第一开口中的第五导电体的侧面接触的区域。第一氧化物具有隔着第五绝缘体与第五导电体相对的区域、与第四导电体的顶面的至少一部分接触的区域以及与第六导电体的底面的至少一部分接触的区域。第二绝缘体、第三导电体、第三绝缘体及第四绝缘体中设置有到达第二导电体的第二开口。第六绝缘体具有与第二开口中的第三导电体的侧面接触的区域。第二氧化物具有隔着第六绝缘体与第三导电体相对的区域、与第二导电体的顶面的至少一部分接触的区域以及与第七导电体的底面的至少一部分接触的区域。

[0020] 在上述半导体装置中,优选的是,第一导电体延伸的方向平行于第二导电体延伸的方向,第五导电体延伸的方向平行于第二导电体延伸的方向,第六导电体延伸的方向平行于第七导电体延伸的方向。

[0021] 另外,在上述半导体装置中,优选的是,第一导电体与第二导电体设置在同一层中,第六导电体与第七导电体设置在同一层中。

[0022] 另外,在上述半导体装置中,优选的是,金属氧化物包含选自铟、元素M和锌中的两个或三个,元素M为选自铝、镓、铋和锡中的一种或多种。

发明效果

[0023] 根据本发明的一个方式可以提供一种能够实现微型化或高集成化的半导体装置。根据本发明的一个方式可以提供一种工作速度快的半导体装置。根据本发明的一个方式可以提供一种具有优异电特性的半导体装置。根据本发明的一个方式可以提供一种晶体管的电特性不均匀小的半导体装置。根据本发明的一个方式可以提供一种可靠性高的半导体装置。根据本发明的一个方式可以提供一种通态电流大的半导体装置。根据本发明的一个方式可以提供一种低功耗半导体装置。根据本发明的一个方式可以提供一种新颖半导体装

置。

[0024] 根据本发明的一个方式可以提供一种存储容量大的存储装置。根据本发明的一个方式可以提供一种占有面积小的存储装置。根据本发明的一个方式可以提供一种可靠性高的存储装置。根据本发明的一个方式可以提供一种低功耗存储装置。根据本发明的一个方式可以提供一种新颖存储装置。

[0025] 注意,这些效果的记载并不妨碍其他效果的存在。本发明的一个方式并不需要具有所有上述效果。可以从说明书、附图、权利要求书的记载中抽取上述效果以外的效果。

附图简要说明

[0026] 图1A是示出半导体装置的结构例子的立体图。图1B是示出半导体装置的结构例子的俯视图。

图2A是示出半导体装置的结构例子的俯视图。图2B至图2D是示出半导体装置的结构例子的截面图。图2E是用来说明半导体装置的结构电路图。

图3A是示出半导体装置的结构例子的俯视图。图3B至图3D是示出半导体装置的结构例子的截面图。

图4A是示出半导体装置的结构例子的俯视图。图4B至图4D是示出半导体装置的结构例子的截面图。

图5A是示出半导体装置的结构例子的俯视图。图5B至图5D是示出半导体装置的结构例子的截面图。

图6A是示出半导体装置的结构例子的俯视图。图6B至图6D是示出半导体装置的结构例子的截面图。

图7A是示出半导体装置的结构例子的俯视图。图7B至图7D是示出半导体装置的结构例子的截面图。

图8A及图8B是示出半导体装置的结构例子的俯视图。

图9A是示出半导体装置的结构例子的俯视图。图9B至图9D是示出半导体装置的结构例子的截面图。图9E是用来说明半导体装置的结构电路图。

图10A是示出半导体装置的结构例子的俯视图。图10B至图10D是示出半导体装置的结构例子的截面图。图10E是用来说明半导体装置的结构电路图。

图11A是示出半导体装置的结构例子的俯视图。图11B至图11D是示出半导体装置的结构例子的截面图。

图12A是示出半导体装置的结构例子的俯视图。图12B至图12D是示出半导体装置的结构例子的截面图。图12E是用来说明半导体装置的结构电路图。

图13A是示出半导体装置的结构例子的俯视图。图13B至图13D是示出半导体装置的结构例子的截面图。图13E是用来说明半导体装置的结构电路图。

图14A、图14C及图14E是示出半导体装置的制造方法的例子的俯视图。图14B、图14D及图14F是示出半导体装置的制造方法的例子的截面图。

图15A及图15C是示出半导体装置的制造方法的例子的俯视图。图15B及图15D是示出半导体装置的制造方法的例子的截面图。

图16A及图16C是示出半导体装置的制造方法的例子的俯视图。图16B及图16D是示出半导体装置的制造方法的例子的截面图。

图17A是示出存储装置的结构例子的方框图。图17B是示出存储装置的结构例子的立体图。

图18A至图18E是示出存储单元的结构例子的电路图。图18F及图18G是示出存储装置的结构例子的立体图。

图19是示出存储装置的结构例子的截面图。

图20是示出存储装置的结构例子的截面图。

图21A至图21E是用来说明存储装置的一个例子的图。

图22A及图22B是示出电子构件的一个例子的图。

图23A及图23B是示出电子设备的一个例子的图,图23C至图23E是示出大型计算机的一个例子的图。

图24是示出太空设备的一个例子的图。

图25是示出可用于数据中心的存储系统的一个例子的图。

实施发明的方式

[0027] 下面,参照附图对实施方式进行说明。注意,所属技术领域的普通技术人员可以很容易地理解一个事实,就是实施方式可以以多个不同形式来实施,其方式和详细内容可以在不脱离本发明的宗旨及其范围的条件下被变换为各种各样的形式。因此,本发明不应该被解释为仅限定在下面所示的实施方式所记载的内容中。

[0028] 在附图中,为显而易见,有时夸大表示大小、层的厚度或区域。因此,本发明并不局限于附图中的尺寸。此外,在附图中,示意性地示出理想的例子,因此本发明不局限于附图所示的形状或数值等。例如,在实际的制造工序中,有时由于蚀刻等处理而层或抗蚀剂掩模等被非意图性地减薄,但是为了便于理解有时不反映于附图中。另外,在附图中,有时在不同的附图之间共同使用相同的附图标记来表示相同的部分或具有相同功能的部分,而省略其重复说明。此外,当表示具有相同功能的部分时有时使用相同的阴影线,而不特别附加附图标记。

[0029] 另外,尤其是,在立体图或俯视图(也称为“平面图”)等中,为了便于对发明的理解,有时省略部分构成要素的记载。另外,有时省略部分隐藏线等的记载。另外,例如有时在附图中省略阴影线等。另外,有时使同一构成要素的俯视图中的阴影线与截面图中的阴影线不同。

[0030] 在本说明书等中,为方便起见,使用“第一”、“第二”等序数词,而这种序数词并不限定构成要素的个数或构成要素的顺序(例如,工序顺序或叠层顺序)。此外,有时本说明书的一个部分中对构成要素附加的序数词与本说明书的另一部分或权利要求书中对该构成要素附加的序数词不一致。

[0031] 此外,根据情况或状态,可以互相调换“膜”和“层”。例如,可以将“导电层”变换为“导电膜”。此外,有时可以将“绝缘膜”变换为“绝缘层”。

[0032] 注意,在本说明书等中,可以将“绝缘体”换称为“绝缘膜”或“绝缘层”。另外,可以将“导体”换称为“导电膜”或“导电层”。另外,可以将“半导体”换称为“半导体膜”或“半导体层”。

[0033] 在本说明书等中,“氧氮化物”是指在其组成中氧含量多于氮含量的材料,“氮氧化物”是指在其组成中氮含量多于氧含量的材料。例如,在记载为“氧氮化硅”时指在其组成中

氧含量多于氮含量的材料,在记载为“氮氧化硅”时指在其组成中氮含量多于氧含量的材料。

[0034] 在本说明书等中,为了方便起见,有时使用“上”、“下”、“上方”或“下方”等表示配置的词句以参照附图说明构成要素的位置关系。此外,构成要素的位置关系根据描述各结构的方向适当地改变。因此,不局限于本说明书等中所说明的词句,根据情况可以适当地换词句。例如,如果是“位于导体上的绝缘体”的表述,通过将所示的附图的方向旋转180度,则可以称为“位于导体下的绝缘体”。

[0035] 在本说明书等中,“高度一致”是指在截面中距基准面(例如,衬底表面等平坦的面)的高度相等的结构。例如,在半导体装置的制造工艺中,有时进行平坦化处理(典型的为化学机械抛光(CMP:Chemical Mechanical Polishing)处理)以使单层或多个层的表面露出。此时,CMP处理的被处理面具有距基准面的高度相等的结构。但是,根据CMP处理时使用的处理装置、处理方法或者被处理面的材料,多个层的高度有时会不同。在本说明书等中,这情况也被看作“高度一致”。例如,在出现对基准面具有两个高度的层(在此称为第一层和第二层)的情况下,当第一层的顶面的高度与第二层的顶面的高度之差为20nm以下时,也将其称为“高度一致”。

[0036] 在本说明书等中,“端部一致”是指在俯视时叠层中的每一个层的轮廓的至少一部分重叠。例如,是指上层及下层通过同一掩模图案或其一部分同一掩模图案被加工的情况。但是,严密地说,有时轮廓不重叠而上层的轮廓位于下层的轮廓的内侧或者上层的轮廓位于下层的轮廓的外侧,这些情况也包括在“端部一致”的情况中。

[0037] 注意,一般而言,很难明确区别“完全一致”和“大致一致”。因此,在本说明书中,“一致”包括完全一致的情况以及大致一致的情况的双方。

[0038] 在本说明书等中,“平行”是指两条直线形成的角度为 -10° 以上且 10° 以下的状态。因此,也包括该角度为 -5° 以上且 5° 以下的状态。“大致平行”是指两条直线形成的角度为 -30° 以上且 30° 以下的状态。另外,“垂直”是指两条直线的角度为 80° 以上且 100° 以下的状态。因此,也包括该角度为 85° 以上且 95° 以下的状态。“大致垂直”是指两条直线形成的角度为 60° 以上且 120° 以下的状态。

[0039] (实施方式1)

在本实施方式中,使用附图说明本发明的一个方式的半导体装置及半导体装置的制造方法。

[0040] 本发明的一个方式涉及一种设置在衬底上的半导体装置。半导体装置包括第一晶体管及第二晶体管,可以使用这些晶体管构成存储单元。因为本发明的一个方式的半导体装置包括存储单元,所以具有储存数据的功能。因此,可以将本发明的一个方式的半导体装置称为存储装置。注意,本发明的一个方式的半导体装置可以还包括电容器,也可以还包括第三晶体管及电容器。

[0041] 本发明的一个方式的半导体装置优选包括在沟道形成区域中包含氧化物半导体的晶体管(0S晶体管)。0S晶体管的关态电流很小。因此,通过将0S晶体管用于可用作存储装置的半导体装置,可以长期间保持存储内容。就是说,不需要刷新工作或者刷新工作的频率极低,由此可以充分降低半导体装置的功耗。因此,可以提供一种低功耗半导体装置。另外,因为0S晶体管的频率特性高,所以半导体装置可以进行高速的数据读出及写入。由此,可以

提供一种工作速度快的半导体装置。

[0042] 在第一晶体管和第二晶体管各自中,源电极和漏电极中的一个位于下方,另一个位于上方,因此电流在上下方向上流过。换言之,第一晶体管及第二晶体管的沟道长度方向为上下方向。就是说,第一晶体管及第二晶体管是纵向晶体管。与电流在横向上流过的所谓的横向晶体管相比,纵向晶体管可以实现微型化。因此,作为第一晶体管及第二晶体管的结构采用纵型结构,可以以高密度配置晶体管而实现半导体装置中的高集成化。另外,与横向晶体管相比,纵向晶体管的单位面积的沟道宽度可以更大。因此,流过晶体管的电流之密度变高而可以增大晶体管的通态电流并提高频率特性。

[0043] 另外,0S晶体管的抗短沟道效应能力高。因此,与在沟道形成区域中包含硅的晶体管(也称为Si晶体管)相比,0S晶体管即使具有纵型结构也不容易受到浮体效应的影响,并且即使栅极绝缘膜较厚也可以容易缩短沟道长度。就是说,可以减小栅极漏电流,因此可以提高存储装置的保持特性。

[0044] 短沟道效应是指随着晶体管的微型化(沟道长度的缩小)出现的电特性的下降。作为短沟道效应有漏致势垒降低、电子速度饱和、热载流子退化等。另外,作为短沟道效应的具体例子,有阈值电压的降低、亚阈值摆幅值的增大、泄漏电流的增大等。在此,亚阈值摆幅值是指:以固定的漏极电压使漏极电流的值变化一个位数的亚阈值区域中的栅极电压的变化量。

[0045] 另外,纵向晶体管的沟道长度可以根据设置在源电极和漏电极之间的膜的厚度控制,因此与横向晶体管相比可以减小沟道长度的加工不均匀。就是说,可以抑制流过晶体管的电流之密度不均匀。因此,可以提高频率特性。

[0046] 另外,当使用第一晶体管及第二晶体管构成存储单元时,在第一晶体管和第二晶体管中,一个被用作写入晶体管并且另一个被用作读出晶体管。读出晶体管优选具有大通态电流特性。另外,写入晶体管优选具有小关态电流特性。就是说,为了制造性能好的存储装置,需要以具有被要求的特性的方式分别制造晶体管。在作为纵向晶体管的第一晶体管及第二晶体管中,可以利用从平面看(也称为俯视)时的设置晶体管的构成要素的一部分的开口的尺寸(也称为径)调节涉及晶体管的通态电流的沟道宽度。因此,通过使设置第一晶体管的构成要素的一部分的开口与设置第二晶体管的构成要素的一部分的开口不同,可以制造性能好的存储装置。

[0047] 另外,在本发明的一个方式的半导体装置中,第一晶体管的源电极和漏电极中的一个与第二晶体管的栅电极直接连接。因此,不需要设置用来连接第一晶体管的源电极和漏电极中的一个与第二晶体管的栅电极的电极,可以在没有降低晶体管密度的状态下形成存储单元。因此,可以提高存储单元的集成度来增大存储容量。另外,可以减少半导体装置的制造工序中的工序数。

[0048] <半导体装置的结构例子>

以下,说明本发明的一个方式的半导体装置的结构例子。注意,本实施方式的半导体装置中的构成要素既可以具有单层结构,又可以具有叠层结构。

[0049] 图1A及图1B是示出本发明的一个方式的半导体装置的结构例子的立体图及俯视图。图1A是半导体装置10的立体图。另外,图1B是半导体装置10的俯视图。

[0050] 注意,有时在本发明书的附图等中附上表示X方向、Y方向以及Z方向的箭头。注意,

在本说明书等中,“X方向”是指沿着X轴的方向,除了明确指出的情况以外,有时不区别其顺向及逆向。“Y方向”及“Z方向”也是同样的。另外,X方向、Y方向以及Z方向是彼此交叉的方向。更具体而言,X方向、Y方向以及Z方向是彼此正交的方向。在本说明书等中,有时将X方向、Y方向或Z方向称为“第一方向”。此外,有时将其他另一个称为“第二方向”。此外,有时将剩下的一个称为“第三方向”。

[0051] 半导体装置10包括多个存储单元100。图1A示出半导体装置10包括被配置为m行n列(m及n分别独立地为2以上的整数)的矩阵状的多个存储单元100的例子。通过将存储单元100配置为矩阵状,可以构成存储单元阵列。

[0052] 另外,行、列延伸在彼此正交的方向上。在本实施方式中,将X方向称为“行”,将Y方向称为“列”。注意,也可以将X方向称为“列”,将Y方向称为“行”。

[0053] 在图1A中,将第1行第1列存储单元100表示为存储单元100[1,1],将第2行第1列的存储单元100表示为存储单元100[2,1],将第m行第1列存储单元100表示为存储单元100[m,1],另外,将第1行第2列的存储单元100表示为存储单元100[1,2],将第1行第n列存储单元100表示为存储单元100[1,n]。此外,将第m行第n列存储单元100表示为存储单元100[m,n]。

[0054] 另外,在本实施方式等中,有时记作“i行”来表示任意行。另外,有时记作“j列”来表示任意列。因此,i为1以上且m以下的整数,j为1以上且n以下的整数。另外,在本实施方式等中,将第i行第j列存储单元100表示为存储单元100[i,j]。在本实施方式等中,当表示为“i+ α ”(α 为正整数或负整数)时,“i+ α ”不小于1且不大于m。同样地,当表示为“j+ α ”时,“j+ α ”不小于1且不大于n。

[0055] 另外,半导体装置10包括延伸在行方向上的m个导电体262、延伸在行方向上的m个导电体242以及延伸在列方向上的n个导电体246。在本实施方式等中,将第i(第i行)设置的导电体262表示为导电体262[i],将第i(第i行)设置的导电体242表示为导电体242[i]。同样地,将第j(第j列)设置的导电体246表示为导电体246[j]。

[0056] 存储单元100[i,j]与导电体262[i]、导电体242[i]及导电体246[j]电连接。换言之,导电体262[i]与n个存储单元(存储单元100[i,1]至存储单元100[i,n])电连接,导电体242[i]与n个存储单元(存储单元100[i,1]至存储单元100[i,n])电连接,导电体246[j]与m个存储单元(存储单元100[1,j]至存储单元100[m,j])电连接。

[0057] 下文中记载的导电体262是指导电体262[1]至导电体262[m]中的任一个或多个,下文中记载的导电体242是指导电体242[1]至导电体242[m]中的任一个或多个。同样地,下文中记载的导电体246是指导电体246[1]至导电体246[n]中的任一个或多个。同样地,下文中记载的存储单元100是指存储单元100[1,1]至存储单元100[m,n]中的任一个或多个。

[0058] 导电体262、导电体242及导电体246被用作布线。当将半导体装置10用作存储装置时,导电体262延伸的方向与导电体246延伸的方向优选不同,更优选彼此正交。另外,导电体242延伸的方向与导电体246延伸的方向优选不同,更优选彼此正交。

[0059] [存储单元100]

图2A至图2D是说明本发明的一个方式的半导体装置所包括的存储单元的结构例子的俯视图及截面图。图2A是存储单元100的俯视图。图2B是存储单元100的截面图,也是沿着图2A中的点划线A1-A2的部分的截面图。图2C是存储单元100的截面图,也是沿着图2A中的点划线B1-B2的部分的截面图。图2D是存储单元100的截面图,也是沿着图2A中的点划线

B3-B4的部分的截面图。注意,在图2A的俯视图中,为了明确起见,省略一部分构成要素。

[0060] 存储单元100[1,1]至存储单元100[m,n]具有相同结构,所以在图2A等中它们都被记作存储单元100,而不附加用于识别的符号。

[0061] 如图2A至图2D所示,本发明的一个方式的半导体装置包括衬底(未图示)上的绝缘体212、绝缘体212上的存储单元100、绝缘体212上的绝缘体270、绝缘体270上的绝缘体272以及绝缘体272上的绝缘体274。

[0062] 另外,图2A至图2D所示的存储单元100包括晶体管200a以及晶体管200b。晶体管200a及晶体管200b设置在绝缘体212上。

[0063] 晶体管200a包括氧化物230a、绝缘体250a、导电体244、导电体244上的导电体262以及导电体262上的导电体246。绝缘体272具有位于导电体244和导电体262之间的区域,绝缘体274具有位于导电体262和导电体246之间的区域。

[0064] 绝缘体272、导电体262及绝缘体274中设置有到达导电体244的第一开口。第一开口具有从平面看时与导电体244重叠的区域。可以说第一开口包括绝缘体272中的开口、导电体262中的开口以及绝缘体274中的开口。另外,可以说导电体262具有从平面看时与导电体244重叠的开口。

[0065] 第一开口的内侧配置有绝缘体250a及氧化物230a。绝缘体250a具有与第一开口中的导电体262的侧面接触的区域。另外,绝缘体250a具有与第一开口中的绝缘体272的侧面接触的区域以及与第一开口中的绝缘体274的侧面接触的区域。绝缘体250a具有与氧化物230a的侧面接触的区域、与导电体262的侧面接触的区域、与绝缘体272的侧面的至少一部分接触的区域以及与绝缘体274的侧面的至少一部分接触的区域。可以说绝缘体250a具有设置有空心部的圆筒形状。氧化物230a以隔着绝缘体250a嵌入第一开口中的方式设置。氧化物230a具有与绝缘体250a的侧面接触的区域、与导电体244的顶面的至少一部分接触的区域以及与导电体246的底面的至少一部分接触的区域。氧化物230a具有隔着绝缘体250a与导电体262相对的区域。

[0066] 注意,在图2A中,设置氧化物230a及绝缘体250a的第一开口的顶面形状呈圆形,但本发明不局限于此。例如,第一开口的顶面形状可以为椭圆形、多角形状或带圆角的多角形状。在此,多角形状是指三角形、四角形、五角形及六角形等。

[0067] 导电体262具有用作晶体管200a的栅电极的区域。绝缘体250a具有用作晶体管200a的栅极绝缘体的区域。有时将栅极绝缘体称为栅极绝缘层或栅极绝缘膜。导电体244具有用作晶体管200a的源电极和漏电极中的一个的区域。导电体246具有用作晶体管200a的源电极和漏电极中的一个的区域。氧化物230a的隔着绝缘体250a与导电体262相对的区域被用作晶体管200a的沟道形成区域。

[0068] 晶体管200b包括氧化物230b、绝缘体250b、导电体242、导电体242上的导电体260以及导电体260上的导电体246。绝缘体270具有位于导电体242和导电体260之间的区域,绝缘体272及绝缘体274具有位于导电体260和导电体246之间的区域。

[0069] 绝缘体270、导电体260、绝缘体272及绝缘体274中设置有到达导电体242的第二开口。从平面看时第二开口具有与导电体242重叠的区域。可以说第二开口包括绝缘体270中的开口、导电体260中的开口、绝缘体272中的开口以及绝缘体274中的开口。另外,可以说导电体260具有从平面看时与导电体242重叠的开口。

[0070] 第二开口的内侧配置有绝缘体250b及氧化物230b。绝缘体250b具有与第二开口中的导电体260的侧面接触的区域。另外,绝缘体250b具有与第二开口中的绝缘体270的侧面接触的区域、与第二开口中的绝缘体272接触的区域以及与第二开口中的绝缘体274的侧面接触的区域。绝缘体250b具有与氧化物230b的侧面接触的区域、与导电体260的侧面接触的区域、与绝缘体270的侧面的至少一部分接触的区域、与绝缘体272的侧面的至少一部分接触的区域以及与绝缘体274的侧面的至少一部分接触的区域。可以说绝缘体250b具有设置有空心部的圆筒形状。氧化物230b以隔着绝缘体250b嵌入第二开口的方式设置。氧化物230b具有与绝缘体250b的侧面接触的区域、与导电体242的顶面的至少一部分接触的区域以及与导电体246的底面的至少一部分接触的区域。氧化物230b具有隔着绝缘体250b与导电体260相对的区域。

[0071] 注意,在图2A中,设置氧化物230b及绝缘体250b的第二开口的顶面形状呈圆形,但本发明不局限于此。例如,该开口的顶面形状可以为椭圆形、多角形状或带圆角的多角形状。

[0072] 导电体260具有用作晶体管200b的栅电极的区域。绝缘体250b具有用作晶体管200b的栅极绝缘体的区域。导电体242具有用作晶体管200b的源电极和漏电极中的一个的区域。导电体246具有用作晶体管200b的源电极和漏电极中的一个的区域。氧化物230b的隔着绝缘体250b与导电体260相对的区域被用作晶体管200b的沟道形成区域。

[0073] 以下,在说明用字母进行区别的构成要素之间共同的内容时,有时用省略字母的符号进行说明。例如,在说明晶体管200a和晶体管200b之间共同的内容时,有时记载为晶体管200。另外,在说明氧化物230a和氧化物230b之间共同的内容时,有时记载为氧化物230。另外,在说明绝缘体250a和绝缘体250b之间共同的内容时,有时记载为绝缘体250。

[0074] 晶体管200是所谓的纵向晶体管,其中源电极和漏电极中的一个位于沟道形成区域的下方且源电极和漏电极中的另一个位于沟道形成区域的上方,由此电流在纵向上流过。另外,晶体管200具有栅电极围绕沟道形成区域的结构。因此,可以说晶体管200是GAA (Gate-All-Around:全环绕栅极) 结构的晶体管或纵向GAA (Vertical GAA) 结构的晶体管。

[0075] 注意,晶体管200的沟道长度是指在截面中半导体(或在晶体管处于开启状态时,在半导体中电流流过的部分)和栅电极互相相对的区域长度或者沟道形成区域中的源极(源极区域或源电极)和漏极(漏极区域或漏电极)之间的距离。

[0076] 晶体管200a的沟道长度相当于氧化物230a的Z方向的长度,氧化物230a的Z方向的长度与设置氧化物230a的第一开口的深度(Z方向的长度)一致或大致一致。因此,晶体管200a的沟道长度可以根据第一开口的深度(Z方向的长度)调节。注意,当导电体244的与第一开口重叠的区域中没有凹部时,有时可以将晶体管200a的沟道长度视为从截面看时的导电体244的顶面至导电体246的底面的最短距离。换言之,第一开口的深度(Z方向的长度)与绝缘体272的重叠于导电体244的区域的膜厚度和绝缘体274的膜厚度的总和一致或大致一致。就是说,晶体管200a的沟道长度可以根据绝缘体272的膜厚度、导电体262的膜厚度及绝缘体274的膜厚度调节。例如,通过减小绝缘体272及绝缘体274的膜厚度,可以制造沟道长度小的晶体管200a。

[0077] 晶体管200b的沟道长度相当于氧化物230b的Z方向的长度,氧化物230b的Z方向的长度与设置氧化物230b的第二开口的深度(Z方向的长度)一致或大致一致。因此,晶体管

200b的沟道长度可以根据第二开口的深度(Z方向的长度)调节。注意,当导电体242的与第二开口重叠的区域中没有凹部时,有时可以将晶体管200b的沟道长度视为从截面看时的导电体242的顶面至导电体246的底面的最短距离。换言之,第二开口的深度(Z方向的长度)与绝缘体270的重叠于导电体242的区域的膜厚度、绝缘体272的膜厚度和绝缘体274的膜厚度的总和一致或大致一致。就是说,晶体管200b的沟道长度可以利用绝缘体270的膜厚度、绝缘体272的膜厚度及绝缘体274的膜厚度调节。例如,通过减小绝缘体270、绝缘体272及绝缘体274的膜厚度,可以制造沟道长度小的晶体管200b。

[0078] 因为0S晶体管的关态电流极小,所以即使沟道长度小也可以减小晶体管200的关态电流。

[0079] 另一方面,当使晶体管在饱和区域中工作时,有时为了提高饱和区域中的电特性加长晶体管的沟道长度。晶体管200为纵向晶体管,所以晶体管200的从平面看时的占有面积不依赖于上述膜厚度。因此,晶体管200也可以具有大沟道长度。

[0080] 由此,晶体管200的沟道长度为10nm以上且200nm以下,优选为20nm以上且150nm以下,更优选为30nm以上且100nm以下。

[0081] 另外,晶体管200的沟道宽度是指从平面看时半导体(或在晶体管处于开启状态时,在半导体中电流流过的部分)和栅电极相对的区域长度或者沟道形成区域中的垂直于沟道长度方向(Z方向)上的沟道形成区域的长度。就是说,晶体管200的沟道宽度相当于从平面看时的氧化物230的外周。另外,在一个晶体管中,沟道宽度不一定在所有的区域中成为相同的值。也就是说,一个晶体管的沟道宽度有时不限于一个值。例如,如在后面说明,在从晶体管的截面看时,氧化物230的侧面具有锥形形状。因此,在本说明书等中,沟道宽度是沟道形成区域中的任一个值、最大值、最小值或平均值。

[0082] 注意,沟道长度及沟道宽度的值例如可以通过截面TEM图像分析等决定。

[0083] 当使用第一晶体管及第二晶体管构成存储单元时,需要连接第一晶体管的源电极和漏电极中的一个与第二晶体管的栅电极。当设置用来连接第一晶体管的源电极和漏电极中的一个与第二晶体管的栅电极的电极(也称为连接电极)时,通过设置用来配置连接电极的区域,有可能存储单元的占有面积增大并且存储单元的集成度降低。

[0084] 在本发明的一个方式中,导电体244具有与导电体260接触的区域。例如,导电体244具有与导电体260的顶面接触的区域。由于导电体244具有与导电体260接触的区域,使晶体管200a的源电极和漏电极中的一个与晶体管200b的栅电极直接连接。因此,不需要设置用来连接晶体管200a的源电极和漏电极中的一个与晶体管200b的栅电极的电极,可以在没有降低晶体管密度的状态下形成存储单元。因此,可以提高存储单元的集成度来增大存储容量。另外,可以减少半导体装置的制造工序中的工序数。

[0085] 另外,如图2B所示,氧化物230b的Z方向的长度以与导电体242重叠的区域的绝缘体270的厚度、导电体260的膜厚度及导电体244的膜厚度的部分比氧化物230a的Z方向的长度大。通过增加晶体管200b的沟道长度,用作读出晶体管的晶体管200b的阈值电压(V_{th})的不均匀得到减小。因此,可以实现读出精度高的存储单元及半导体装置。另外,通过缩小用作写入晶体管的晶体管200a的沟道长度,可以实现写入速度快的存储单元及半导体装置。

[0086] 如图2A所示,导电体262及导电体242在X方向上延伸而设置。就是说,导电体262延伸的方向平行于导电体242延伸的方向。另外,导电体246在Y方向上延伸而设置。就是说,导

[0095] 具体而言,作为氧化物230可以使用具有如下组成的金属氧化物: $\text{In:M:Zn}=1:1:1$ [原子个数比]或其附近的组成; $\text{In:M:Zn}=1:1:1.2$ [原子个数比]或其附近的组成; $\text{In:M:Zn}=1:1:2$ [原子个数比]或其附近的组成;或者 $\text{In:M:Zn}=4:2:3$ [原子个数比]或其附近的组成。注意,附近的组成包括所希望的原子个数比的 $\pm 30\%$ 的范围。另外,作为元素M优选使用镓。

[0096] 如上所述,根据用于氧化物230的金属氧化物的组成而晶体管的电特性及可靠性不同。因此,通过根据晶体管所需的电特性及可靠性使金属氧化物的组成不同,可以实现兼具优异的电特性及高可靠性的半导体装置。

[0097] 在将硅用于沟道长度小的晶体管的沟道形成区域的情况下,由于产生浮体效应导致晶体管的电特性变得不稳定。另一方面,IGZO、IAZO及IAGZO等金属氧化物的空穴有效质量大。因此,通过将该金属氧化物用于沟道形成区域,可以抑制空穴积累在沟道形成区域中,由此可以制造受浮体效应影响小或实质上没有受到影响的晶体管。就是说,在晶体管的沟道长度小的情况下,通过将上述金属氧化物用于沟道形成区域,可以使晶体管具有稳定的电特性。因此,可以提供具有优异电特性的晶体管以及包括该晶体管的半导体装置。另外,可以提供电特性不均匀小的晶体管以及包括该晶体管的半导体装置。

[0098] 在使用氧化物半导体的晶体管中,当氧化物半导体的沟道形成区域中存在杂质及氧空位时,电特性容易变动而可能使可靠性下降。此外,氧空位附近的氢形成氢进入氧空位中的缺陷(下面有时称为 $V_{\text{O}}\text{H}$)而可能会产生成为载流子的电子。因此,当在氧化物半导体的沟道形成区域中包含氧空位时,晶体管会具有常开启特性(即使不对栅电极施加电压也存在沟道而在晶体管中电流流过的特性)。由此,在氧化物半导体的沟道形成区域中,优选尽量减少杂质、氧空位及 $V_{\text{O}}\text{H}$ 。

[0099] 相对于此,通过在氧化物半导体附近设置包含通过加热脱离的氧(以下,有时称为过剩氧)的绝缘体而进行热处理,可以从该绝缘体向氧化物半导体供应氧而减少氧空位及 $V_{\text{O}}\text{H}$ 。

[0100] 为了使晶体管的电特性稳定,降低氧化物230中的杂质浓度是有效的。为了降低氧化物230中的杂质浓度,优选还降低附近膜中的杂质浓度。

[0101] 氧化物230优选使用具有结晶性的氧化物半导体。作为具有结晶性的氧化物半导体,可以举出CAAC-OS(c-axis aligned crystalline oxide semiconductor:c轴取向晶体氧化物半导体)、nc-OS(nanocrystalline oxide semiconductor:纳米晶氧化物半导体)、多晶氧化物半导体、单晶氧化物半导体等。作为氧化物230优选使用CAAC-OS或nc-OS,特别优选使用CAAC-OS。

[0102] CAAC-OS具有结晶性高的致密结构且是杂质及缺陷(例如,氧空位)少的金属氧化物。尤其是,通过在形成金属氧化物后以金属氧化物不被多晶化的温度(例如,400℃以上且600℃以下)进行热处理,可以使CAAC-OS具有结晶性更高的致密结构。如此,通过进一步提高CAAC-OS的密度,可以进一步降低该CAAC-OS中的杂质或氧的扩散。

[0103] 此外,在CAAC-OS中不容易观察明确的晶界,因此不容易发生起因于晶界的电子迁移率的下降。因此,包含CAAC-OS的金属氧化物的物理性质稳定。因此,具有CAAC-OS的金属氧化物具有耐热性且可靠性高。

[0104] 此外,当作为氧化物230使用CAAC-OS等具有结晶性的氧化物时,可以抑制导电体

242、导电体244、导电体246、导电体260及导电体262从氧化物230抽出氧。因此,即使进行热处理也可以抑制氧从氧化物230被抽出,所以晶体管对制造工序中的高温(所谓热积存: thermal budget)也很稳定。另外,可以抑制导电体242、导电体244、导电体246、导电体260及导电体262的导电率下降。

[0105] 在nc-OS中,微小的区域(例如1nm以上且10nm以下的区域,特别是1nm以上且3nm以下的区域)中的原子排列具有周期性。换言之,nc-OS具有微小的结晶(也称为纳米晶)。此外,nc-OS在不同的纳米晶之间观察不到晶体取向的规律性,因此在膜整体中观察不到取向性。就是说,当作为氧化物230使用nc-OS时,无论氧化物230中的载流子流动方向如何氧化物230的膜特性都固定,因此晶体管的电特性很稳定。

[0106] 氧化物半导体具有各种结构及各种特性。氧化物230也可以包含CAAC-OS、nc-OS、a-like OS(amorphous-like oxide semiconductor)、非晶氧化物半导体、多晶氧化物半导体和CAC-OS(cloud-aligned composite oxide semiconductor)中的两种以上。

[0107] 例如,当对CAAC-OS膜使用XRD装置进行结构分析时,在使用 $\theta/2\theta$ 扫描的Out-of-plane XRD测量中,在 $2\theta=31^\circ$ 或其附近检测出表示c轴取向的峰。注意,表示c轴取向的峰的位置(2θ 值)有时根据构成CAAC-OS的金属元素的种类、组成等变动。例如,在CAAC-OS膜的电子衍射图案中观察到多个亮点(斑点)。此外,在以透过样品的入射电子束的斑点(也称为直接斑点)为对称中心时,某一个斑点和其他斑点被观察在点对称的位置。

[0108] 另一方面,在对nc-OS膜进行使用其束径等于或小于纳米晶的尺寸(例如1nm以上且30nm以下)的电子束的电子衍射(也称为纳米束电子衍射)的情况下,有时得到在以直接斑点为中心的环状区域内观察到多个斑点的电子衍射图案。

[0109] 可以将氧化物230换称为包括晶体管200的沟道形成区域的半导体层。可用于该半导体层的材料不局限于用作半导体的金属氧化物(氧化物半导体)。例如,作为该半导体层也可以使用单晶硅、多晶硅或非晶硅等半导体,例如也可以使用低温多晶硅(LTPS:Low Temperature Poly Silicon)。

[0110] 或者,作为上述半导体层,例如可以使用用作半导体的过渡金属硫族化物,例如也可以使用硫化钼(典型的是 MoS_2)、硒化钼(典型的是 MoSe_2)、碲化钼(典型的是 MoTe_2)、硫化钨(典型的是 WS_2)、硒化钨(典型的是 WSe_2)、碲化钨(典型的是 WTe_2)、硫化铪(典型的是 HfS_2)、硒化铪(典型的是 HfSe_2)、硫化锆(典型的是 ZrS_2)、硒化锆(典型的是 ZrSe_2)等。

[0111] 绝缘体250既可以具有单层结构,又可以具有叠层结构。

[0112] 绝缘体250例如可以使用氧化硅、氧氮化硅、添加有氟的氧化硅、添加有碳的氧化硅、添加有碳及氮的氧化硅、具有空孔的氧化硅等。尤其是,氧化硅及氧氮化硅具有热稳定性,所以是优选的。此时,绝缘体250至少包含氧及硅。

[0113] 绝缘体250中的水及氢等杂质的浓度优选得到降低。

[0114] 将在后面进行详细的说明,绝缘体250a及绝缘体250b以相同工序形成。因此,绝缘体250a包含与绝缘体250b相同的绝缘材料。另外,绝缘体250a的膜厚度与绝缘体250b的膜厚度相等。

[0115] 此外,也可以在绝缘体250与氧化物230间设置具有氧阻挡性的绝缘体。该绝缘体以与绝缘体250的侧面及氧化物230的侧面接触的方式设置。通过使该绝缘体具有氧阻挡性,可以抑制在将绝缘体250中的氧供应到沟道形成区域时沟道形成区域被过度供应该绝

缘体250中的氧。因此,可以抑制在进行热处理等时从氧化物230脱离氧,从而可以抑制在氧化物230中形成氧空位。由此,可以提高晶体管200的电特性而可以提高可靠性。

[0116] 作为具有氧阻挡性的绝缘体优选使用包含铝和钪中的一方或双方的氧化物的绝缘体。作为该绝缘体,可以使用氧化铝、氧化钪、包含铝及钪的氧化物(铝酸钪)、包含钪及硅的氧化物(硅酸钪)等。在作为上述绝缘体更优选使用氧化铝。此时,上述绝缘体至少包含氧及铝。上述绝缘体例如与绝缘体250相比不容易透过氧即可。另外,作为上述绝缘体例如使用与绝缘体250相比不容易透过氧的材料即可。另外,作为上述绝缘体例如也可以使用氧化镁、氧化镓、镓锌氧化物或铟镓锌氧化物等。

[0117] 为了将氧化物230及绝缘体250形成在绝缘体272及绝缘体274等中的开口内,优选利用原子层沉积(ALD:Atomic Layer Deposition)法进行沉积。ALD法有只利用热能使前驱物及反应物起反应的热ALD(Thermal ALD)法、使用受到等离子体激发的反应物的PEALD(Plasma Enhanced ALD)法等。在PEALD法中,通过利用等离子体可以在更低温下进行沉积,所以有时是优选的。

[0118] ALD法可以沉积每一层的原子,从而发挥能够沉积极薄的膜、能够对纵横比高的结构进行沉积、能够以针孔等的缺陷少的方式进行沉积、能够进行覆盖性优良的沉积及能够在低温下进行沉积等的效果。因此,可以在绝缘体272及绝缘体274等中的开口的侧面等以高覆盖性沉积氧化物230及绝缘体250。

[0119] 有的ALD法中使用的前驱物例如包含碳。因此,利用ALD法形成的膜有时与利用其它的沉积方法形成的膜相比包含更多的碳等杂质。此外,杂质的定量可以利用二次离子质谱分析(SIMS:Secondary Ion Mass Spectrometry)、X射线光电子能谱(XPS:X-ray Photoelectron Spectroscopy)或俄歇电子能谱(AES:Auger Electron Spectroscopy)进行。

[0120] 导体242设置在绝缘体212上。导体244设置在导体260上。导体246设置在绝缘体274上。

[0121] 作为导体242、导体244及导体246,优选使用不容易氧化的导电材料或者具有抑制氧扩散的功能的导电材料。作为该导电材料例如可以举出包含氮的导电材料及包含氧的导电材料。通过使用该导电材料,可以抑制导体242、导体244及导体246的导电率降低。在作为导体242、导体244及导体246使用包含金属及氮的导电材料时,导体242、导体244及导体246都至少包含金属及氮。

[0122] 作为导体242、导体244及导体246例如优选使用包含钽的氮化物、包含钛的氮化物、包含钼的氮化物、包含钨的氮化物、包含钽及铝的氮化物、包含钛及铝的氮化物等。在本发明的一个方式中,尤其优选采用包含钽的氮化物。此外,例如也可以使用氧化钪、氮化钪、包含锶和钪的氧化物或包含镧和镍的氧化物等。这些材料是不容易氧化的导电材料或者即使吸收氧仍保持导电性的材料,所以是优选的。

[0123] 图2B至图2D示出导体242、导体244及导体246都是单层的结构。注意,导体242、导体244和导体246中的一个或多个也可以具有两层以上的叠层结构。

[0124] 例如,导体242及导体246也可以都具有第一导体和第二导体的两层结构。此时,作为与氧化物230接触的导体242及导体246的第一导体优选使用不容易氧化的导电材料或具有抑制氧扩散的功能的导电材料。由此,可以抑制导体242及导体

246的导电率下降。

[0125] 另外,导体242及导体246因为还被用作布线所以优选使用导电性高的导体。于是,位于不与氧化物230接触一侧的导体242及导体246的第二导体优选具有比导体242及导体246的第一导体高的导电性。例如,导体242及导体246的第二导体可以使用以钨、铜或铝为主要成分的导电材料。另外,导体242及导体246的第二导体的膜厚度优选比导体242及导体246的第一导体的膜厚度大。

[0126] 例如,作为导体242及导体246的第一导体可以使用氮化钽或氮化钛,作为导体242及导体246的第二导体可以使用钨。注意,当导体244具有叠层结构时,也可以采用与导体242及导体246的叠层结构同样的结构。

[0127] 图2B及图2C示出导体244的与设置氧化物230a及绝缘体250a的第一开口重叠的区域中没有凹部的结构。注意,本发明不局限于此。导体244的与第一开口重叠的区域中也可以具有凹部。换言之,导体244的与第一开口重叠的区域的顶面的一部分也可以被去除。

[0128] 同样地,图2B及图2D示出导体242的与设置氧化物230b及绝缘体250b的第二开口重叠的区域中没有凹部的结构。注意,本发明不局限于此。导体242的与第二开口重叠的区域中也可以具有凹部。换言之,导体242的与第二开口重叠的区域的顶面的一部分也可以被去除。

[0129] 导体260设置在绝缘体270上。导体262设置在绝缘体272上。

[0130] 导体260及导体262优选使用导电性高的导体。例如,导体260及导体262可以使用以钨、铜或铝为主要成分的导电材料。

[0131] 虽然图2B至图2D示出导体260及导体262为单层的结构,但是本发明不局限于此。导体260和导体262中的一方或双方也可以具有两层以上的叠层结构。

[0132] 绝缘体212优选被用作抑制水、氢等杂质从衬底一侧扩散到晶体管的阻挡绝缘膜。因此,作为绝缘体212优选使用具有抑制氢原子、氢分子、水分子、氮原子、氮分子、氧化氮分子(N_2O 、 NO 、 NO_2 等)、铜原子等杂质的扩散的功能(不容易使上述杂质透过)的绝缘材料。或者,优选使用具有抑制氧(例如,氧原子、氧分子等中的至少一个)的扩散的功能(不容易使上述氧透过)的绝缘材料。

[0133] 绝缘体212优选包含具有抑制水、氢等杂质及氧的扩散的功能的绝缘体,例如可以使用氧化铝、氧化镁、氧化钪、氧化镓、铟镓锌氧化物、氮化硅或氮氧化硅等。例如,作为绝缘体212,优选使用氢阻挡性更高的氮化硅等。此外,例如,绝缘体212优选包含俘获并固定氢的性能高的氧化铝或氧化镁等。由此,可以抑制水、氢等杂质经过绝缘体212从衬底一侧扩散到晶体管。或者,可以抑制包含在绝缘体270等中的氧扩散到衬底一侧。

[0134] 此外,在本说明书等中,阻挡绝缘膜是指具有阻挡性的绝缘膜。在本说明书等中,阻挡性是指抑制所对应的物质的扩散的功能(也可以说透过性低)。或者,是指俘获并固定所对应的物质(也称为吸杂)的功能。

[0135] 绝缘体270设置在绝缘体212及导体242上。绝缘体272设置在绝缘体270、导体260及导体244上。绝缘体274设置在绝缘体272及导体262上。

[0136] 作为包括配置绝缘体250及氧化物230的开口的绝缘体270、绝缘体272及绝缘体274,优选使用包含过剩氧的绝缘体。绝缘体270、绝缘体272及绝缘体274例如优选使用氧化

硅、氮化硅、添加有氟的氧化硅、添加有碳的氧化硅、添加有碳及氮的氧化硅、具有空孔的氧化硅等包含硅的氧化物。尤其是,氧化硅及氮化硅具有热稳定性,所以是优选的。因为氧化硅、氮化硅、具有空孔的氧化硅等材料容易形成包含过剩氧的区域,所以是优选的。通过在氧化物230附近设置包含过剩氧的绝缘体而进行热处理,可以从该绝缘体向氧化物230供应氧来减少氧空位及 V_oH 。

[0137] 另外,绝缘体270、绝缘体272及绝缘体274中的水及氢等杂质的浓度优选得到降低。例如,绝缘体270、绝缘体272及绝缘体274优选包含氧化硅或氮化硅等包含硅的氧化物。

[0138] 绝缘体270、绝缘体272及绝缘体274被用作层间膜。绝缘体270、绝缘体272及绝缘体274的介电常数优选比绝缘体212低。通过将介电常数低的材料用于层间膜,可以减少产生在布线之间的寄生电容。

[0139] 例如,绝缘体270、绝缘体272及绝缘体274优选包含氧化硅、氮化硅、添加有氟的氧化硅、添加有碳的氧化硅、添加有碳及氮的氧化硅、具有空孔的氧化硅中的一种或多种。

[0140] 另外,绝缘体270、绝缘体272及绝缘体274的顶面也可以被平坦化。

[0141] 可以将包括存储单元100的半导体装置用作存储装置。图2E示出将包括存储单元100的半导体装置用作存储装置时的电路图。存储单元100包括晶体管200a及晶体管200b。

[0142] 如图2E所示,晶体管200a的栅极与布线WOL电连接,晶体管200a的源极和漏极中的一个与晶体管200b的栅极电连接,晶体管200b的源极和漏极中的另一个与布线BIL电连接。晶体管200b的源极和漏极中的一个与布线SL电连接,晶体管200b的源极和漏极中的另一个与布线BIL电连接。

[0143] 布线WOL被用作字线,布线BIL被用作位线,布线SL被用作选择线。

[0144] 布线WOL对应于导体262,布线BIL对应于导体246,布线SL对应于导体242。就是说,导体262具有用作字线的区域,导体246具有用作位线的区域,导体242具有用作选择线的区域。

[0145] 在实施方式2中将说明存储单元的结构及包括存储单元的存储装置。

[0146] 如图2B至图2D所示,导体260中的开口的侧面与绝缘体250b接触。此时,有时在导体260和绝缘体250b之间形成绝缘体。另外,导体262中的开口的侧面与绝缘体250a接触。此时,有时在导体262和绝缘体250a之间形成绝缘体。

[0147] 图3A是存储单元100的俯视图。图3B是存储单元100的截面图,也是沿着图3A中的点划线A1-A2的部分的截面图。图3C是存储单元100的截面图,也是沿着图3A中的点划线B1-B2的部分的截面图。图3D是存储单元100的截面图,也是沿着图3A中的点划线B3-B4的部分的截面图。注意,在图3A的俯视图中,为了明确起见,省略一部分构成要素。

[0148] 在图3A至图3D所示的存储单元100中,导体260和绝缘体250b之间设置有绝缘体261,导体262和绝缘体250a之间设置有绝缘体263。

[0149] 绝缘体261被用作晶体管200b的栅极绝缘体。因此,优选在考虑绝缘体261的A1-A2方向的尺寸的同时,根据晶体管200b被要求的特性适当地设定绝缘体250b的膜厚度、设置绝缘体250b的第二开口的尺寸等。另外,绝缘体263被用作晶体管200a的栅极绝缘体。因此,优选在考虑绝缘体263的A1-A2方向的尺寸的同时,根据晶体管200a被要求的特性适当地设定绝缘体250a的膜厚度、设置绝缘体250a的第一开口的尺寸等。

[0150] 绝缘体261包含导体260所包含的元素、以及氧。同样地,绝缘体263包含导体262所包含的元素、以及氧。例如,当作为导体260及导体262使用包含金属元素的材料时,绝缘体261及绝缘体263包含该金属元素、以及氧。另外,例如当作为导体260及导体262使用包含金属元素及氮的导电材料时,绝缘体261及绝缘体263包含该金属元素、氧、氮。

[0151] 在图2B至图2D中,设置氧化物230及绝缘体250的开口部的侧壁垂直于衬底面(未图示),但是本发明不局限于此。该开口部的侧壁也可以相对于衬底面具有锥形形状。注意,在本说明书等中,开口部的侧壁是指设置有该开口的构成要素的该开口中的侧面。因此,可以将本说明书等中的“开口部的侧壁”的记载换称为设置有开口的构成要素的该开口中的侧面。例如,可以将第一开口部的侧壁换称为第一开口中的绝缘体272、导体262及绝缘体274中的至少一个的侧面。另外,例如,可以将第二开口部的侧壁换称为第二开口中的绝缘体270、导体260、绝缘体272及绝缘体274中的至少一个的侧面。另外,有时将本说明书等中的“开口部的侧壁”的记载换称为“开口的侧壁”。

[0152] 在本说明书等中,锥形形状是指构成要素的侧面的至少一部分相对于衬底面或被形成面倾斜地设置的形状。例如是指具有倾斜的侧面和衬底面或被形成面所形成的角度(也称为锥角)小于90度的区域的形状。注意,构成要素的侧面及衬底面不一定需要为完全的平坦,也可以为具有微小曲率的近似平面状或具有微细凹凸的近似平面状。

[0153] 图4A是存储单元100的俯视图。图4B是存储单元100的截面图,也是沿着图4A中的点划线A1-A2的部分的截面图。图4C是存储单元100的截面图,也是沿着图4A中的点划线B1-B2的部分的截面图。图4D是存储单元100的截面图,也是沿着图4A中的点划线B3-B4的部分的截面图。注意,在图4A的俯视图中,为了明确起见,省略一部分构成要素。

[0154] 如图4B及图4D所示,从截面看时,设置在绝缘体270、导体260、绝缘体272及绝缘体274中的第二开口部的侧壁也可以具有锥角 θ 的锥形形状。在此,锥角 θ 为第二开口部的侧壁与衬底面所形成的角度。注意,从锥角 θ 的顶点延伸的两边中的一方不局限于衬底面,也可以为导体242的顶面。就是说,锥角 θ 也可以为第二开口部的侧壁与导体242的顶面所形成的角度。

[0155] 当第二开口部的侧壁具有锥形形状时,设置在第二开口内侧的绝缘体250b的覆盖性得到提高,可以减少空洞等缺陷。另外,设置在绝缘体250b上的氧化物230b的覆盖性得到提高,可以减少空洞等缺陷。

[0156] 当采用上述结构时,从截面看时,设置在绝缘体272、导体262及绝缘体274中的第一开口部的侧壁具有锥形形状。另外,第一开口部的侧壁与衬底面所形成的角度与锥角 θ 一致或大致一致。注意,根据用于绝缘体270的材料和用于绝缘体272的材料的组合等,第一开口部的侧壁与衬底面所形成的角度与锥角 θ 有时不一致。

[0157] 当第一开口部的侧壁具有锥形形状时,设置在第一开口内侧的绝缘体250a的覆盖性得到提高,可以减少空洞等缺陷。另外,设置在绝缘体250a上的氧化物230a的覆盖性得到提高,可以减少空洞等缺陷。

[0158] 锥角 θ 越接近90度,越可以减小晶体管200的占有面积。例如,锥角 θ 可以为80度以上、85度以上或87度以上且小于90度。

[0159] [存储单元100的变形例子]

以下,使用图5A至图8A说明图2A至图2D所示的存储单元100的变形例子。

[0160] 图5A至图5D示出图2A至图2D所示的存储单元100的变形例子。图5A是存储单元100的俯视图。图5B是存储单元100的截面图,也是沿着图5A中的点划线A1-A2的部分的截面图。图5C是存储单元100的截面图,也是沿着图5A中的点划线B1-B2的部分的截面图。图5D是存储单元100的截面图,也是沿着图5A中的点划线B3-B4的部分的截面图。注意,在图5A的俯视图中,为了明确起见,省略一部分构成要素。

[0161] 在图5A至图5D所示的存储单元100中设置氧化物230a及绝缘体250a的第一开口的尺寸与设置氧化物230b及绝缘体250b的第二开口的尺寸不同,在这一点上与图2A至图2B所示的存储单元100不同。

[0162] 如图5B所示,设置氧化物230a及绝缘体250a的第一开口(设置在绝缘体272、导体262及绝缘体274中的第一开口)的宽度为宽度R1,设置氧化物230b及绝缘体250b的第二开口(设置在绝缘体270、导体260、绝缘体272及绝缘体274中的第二开口)的宽度为宽度R2。宽度R1可以说是从平面看时的第一开口之径的尺寸。另外,宽度R2可以说是从平面看时的第二开口之径的尺寸。

[0163] 宽度R2优选比宽度R1大。将后面进行详细的说明,绝缘体250a及绝缘体250b使用同一绝缘膜形成,因此其膜厚度一致。因此,在宽度R2比宽度R1大时,氧化物230b的宽度比氧化物230a的宽度大。就是说,可以使晶体管200b的沟道宽度比晶体管200a的沟道宽度大。通过增大沟道宽度可以增大通态电流。例如,通过增大宽度R2,用作读出晶体管的晶体管200b的通态电流变大,可以实现读出速度快的存储单元及半导体装置。

[0164] 在图5A至图5D所示的结构中,根据将成为绝缘体250a及绝缘体250b的绝缘膜的厚度、将成为氧化物230a及氧化物230b的氧化膜的厚度,设置氧化物230b及绝缘体250b的第二开口有时不被填充。另外,氧化物230b有时具有反映着第二开口的形状的凹部。此时,优选在氧化物230b与导体246之间的区域中设置绝缘体。

[0165] 图6A至图6D示出图5A至图5D所示的存储单元100的变形例子。图6A是存储单元100的俯视图。图6B是存储单元100的截面图,也是沿着图6A中的点划线A1-A2的部分的截面图。图6C是存储单元100的截面图,也是沿着图6A中的点划线B1-B2的部分的截面图。图6D是存储单元100的截面图,也是沿着图6A中的点划线B3-B4的部分的截面图。注意,在图6A的俯视图中,为了明确起见,省略一部分构成要素。

[0166] 在图6A至图6D所示的存储单元100中,由氧化物230b和导体246围绕的区域中设置有绝缘体275。另外,绝缘体275以填充氧化物230b的凹部的方式设置。另外,绝缘体275具有与氧化物230b的顶面接触的区域。绝缘体275可以使用可用于绝缘体212或绝缘体250等的绝缘材料。通过设置绝缘体275,可以抑制导体246形成在氧化物230b的凹部中。

[0167] 注意,根据氧化物230b的凹部的宽度(A1-A2方向的长度)、导体246的形成方法等,有时在氧化物230b的凹部中没有设置绝缘体275也在氧化物230b的凹部中没有形成导体246。例如,氧化物230b的凹部的宽度(A1-A2方向的长度)小。此时,氧化物230b和导体246之间的区域为空隙。该空隙例如包含选自空气、氮、氧、二氧化碳和第18族元素(典型的是氦、氖、氩、氙及氡等)中的一个或多个。

[0168] 图7A至图7D示出图2A至图2D所示的存储单元100的其他变形例子。图7A是存储单元100的俯视图。图7B是存储单元100的截面图,也是沿着图7A中的点划线A1-A2的部分的截面图。图7C是存储单元100的截面图,也是沿着图7A中的点划线B1-B2的部分的截面图。图7D

是存储单元100的截面图,也是沿着图7A中的点划线B3-B4的部分的截面图。注意,在图7A的俯视图中,为了明确起见,省略一部分构成要素。

[0169] 如图7B及图7C所示,优选在导电体262和绝缘体250a之间设置具有氧阻挡性的绝缘体254a。通过设置绝缘体254a,可以抑制绝缘体250a中的氧扩散到导电体262。就是说,可以抑制供应到氧化物230a的氧量减少。另外,可以抑制绝缘体250a中的氧导致导电体262的氧化。另外,可以抑制形成图3B及图3C所示的绝缘体263。

[0170] 如图7B及图7D所示,优选在导电体260和绝缘体250b之间设置具有氧阻挡性的绝缘体254b。通过设置绝缘体254b,可以抑制绝缘体250b中的氧扩散到导电体260。就是说,可以抑制供应到氧化物230b的氧量减少。另外,可以抑制绝缘体250b中的氧导致导电体260的氧化。另外,可以抑制形成图3B及图3D所示的绝缘体261。

[0171] 绝缘体254a及绝缘体254b优选使用上述具有氧阻挡性的绝缘体。绝缘体254a和绝缘体254b以相同工序形成。因此,绝缘体254a包含与绝缘体254b相同的绝缘材料。另外,绝缘体254a的膜厚度与绝缘体254b的膜厚度相等。

[0172] 另外,优选在导电体和包含氧的绝缘体之间设置上述具有氧阻挡性的绝缘体。通过在导电体和包含氧的绝缘体之间设置具有氧阻挡性的绝缘体,可以抑制绝缘体中的氧扩散到导电体。就是说,可以抑制供应到氧化物230的氧量减少。另外,可以抑制绝缘体中的氧导致导电体的氧化。

[0173] 例如,在图7A至图7D所示的存储单元100中,导电体242和绝缘体270之间设置有绝缘体281。另外,导电体260和绝缘体270之间设置有绝缘体282。另外,导电体244及导电体260和绝缘体272之间设置有绝缘体283。另外,导电体262和绝缘体272之间设置有绝缘体284。另外,导电体262和绝缘体274之间设置有绝缘体285。另外,导电体246和绝缘体274之间设置有绝缘体286。绝缘体281至绝缘体286是具有氧阻挡性的绝缘体。

[0174] 注意,在存储单元100中也可以不设置绝缘体281至绝缘体286的全部。例如,作为存储单元100中的导电体使用不容易氧化的导电材料或具有抑制氧扩散的功能的导电材料。因此,可以设置绝缘体281至绝缘体286中的一个或多个。

[0175] 在图2A中,导电体246在Y方向上延伸。只要导电体246延伸的方向与导电体262及导电体242延伸的方向不同,本发明就不局限于此。

[0176] 图8A示出图2A所示的存储单元100的其他变形例子。图8A是包括存储单元100的半导体装置的俯视图。注意,图8A示出包括存储单元100[i, j]、存储单元100[i+1, j]、存储单元100[i, j+1]及存储单元100[i+1, j+1]的区域。

[0177] 例如,如图8A所示,导电体262及导电体242也可以在X方向上延伸且导电体246也可以在X方向上倾斜地延伸。此时,从平面看时,连接一个存储单元100中的晶体管200a和晶体管200b的线段与导电体246延伸的方向平行。换言之,从平面看时,连接一个存储单元100中的第一开口的中心和第二开口的中心的线段与导电体246延伸的方向平行。就是说,连接到一个存储单元100的导电体246的个数是一个。

[0178] 另外,如图8A所示,晶体管200沿着Y方向配置为锯齿形。例如,存储单元100[i, j]中的晶体管200a及晶体管200b以及存储单元100[i+1, j]中的晶体管200a及晶体管200b沿着Y方向配置为锯齿形。

[0179] 通过采用图8A所示的结构,有时可以进一步提高半导体装置的存储密度。

[0180] 此外,也可以将[存储单元100]及[存储单元100的变形例子]中说明的结构的一部分用于后面说明的存储单元。

[0181] [存储单元100A]

图8B及图9A至图9D示出与上述存储单元100不同的结构例子。注意,在以下所示的存储单元中,对具有与构成上述存储单元100的构成要素相同的功能的构成要素附上同一符号。另外,以下主要说明与上述存储单元100不同的部分,省略重复部分的说明。

[0182] 图8B是包括存储单元100A的半导体装置的俯视图。图8B示出包括存储单元100A [i, j]、存储单元100A [i+1, j]、存储单元100A [i, j+1]及存储单元100A [i+1, j+1]的区域。

[0183] 在存储单元100A中连接晶体管200a和晶体管200b的线段不与导电体246延伸的方向平行,在这一点上与图8A所示的存储单元100不同。换言之,连接到一个存储单元100A的导电体246的个数为两个,在这一点上与图8A所示的存储单元100不同。

[0184] 如图8B所示,存储单元100A [i, j]与导电体246 [j]及导电体246 [j+1]连接。具体而言,存储单元100A [i, j]中的晶体管200a与导电体246 [j+1]连接,存储单元100A [i, j]中的晶体管200b与导电体246 [j]连接。就是说,连接到晶体管200a的导电体246与连接到晶体管200b的导电体246不同。

[0185] 图9A是存储单元100A的俯视图。图9B是存储单元100A的截面图,也是沿着图9A中的点划线A1-A2的部分的截面图。图9C是存储单元100A的截面图,也是沿着图9A中的点划线B1-B2的部分的截面图。图9D是存储单元100A的截面图,也是沿着图9A中的点划线B3-B4的部分的截面图。注意,在图9A的俯视图中,为了明确起见,省略一部分构成要素。

[0186] 存储单元100A的与图2A至图2D所示的存储单元100不同之处在于包括导电体246a及导电体246b代替导电体246。

[0187] 导电体246a与氧化物230a电连接,导电体246b与氧化物230b电连接。具体而言,导电体246a具有与氧化物230a的顶面接触的区域,导电体246b具有与氧化物230b的顶面接触的区域。另外,导电体246a延伸的方向与导电体246b延伸的方向平行。另外,导电体246a延伸的方向与导电体262延伸的方向不同。另外,导电体246b延伸的方向与导电体242延伸的方向不同。

[0188] 导电体246a被用作晶体管200a的源电极和漏电极中的另一个,并被用作布线。导电体246b被用作晶体管200b的源电极和漏电极中的另一个,并被用作布线。

[0189] 如图9B所示,导电体246a与导电体246b优选设置在同一层中。导电体246a优选以与导电体246b相同的材料及相同的工序形成。此时,导电体246a包含与导电体246b相同的导电材料。通过以与导电体246b相同的材料及相同的工序形成导电体246a,可以在没有增加工序数的状态下制造包括存储单元100A的半导体装置。

[0190] 例如,当图8B所示的导电体246 [j+1]为导电体246a时,导电体246b对应于图8B所示的导电体246 [j]。另外,例如当图8B所示的导电体246 [j+1]为导电体246b时,导电体246b对应于图8B所示的导电体246 [j+2]。

[0191] 可以将包括存储单元100A的半导体装置用作存储装置。图9E示出将包括存储单元100A的半导体装置用作存储装置时的电路图。存储单元100A包括晶体管200a及晶体管200b。

[0192] 如图9E所示,晶体管200a的栅极与布线W0L电连接,晶体管200a的源极和漏极中的

一个与晶体管200b的栅极电连接,晶体管200a的源极和漏极中的另一个与布线WBL电连接。晶体管200b的源极和漏极中的一个与布线SL电连接,晶体管200b的源极和漏极中的另一个与布线RBL电连接。

[0193] 布线WBL被用作写入位线,布线RBL被用作读出位线。

[0194] 布线WOL对应于导电体262,布线WBL对应于导电体246a,布线RBL对应于导电体246b,布线SL对应于导电体242。就是说,导电体262具有用作字线的区域,导电体246a具有用作写入位线的区域,导电体246b具有用作读出位线的区域,导电体242具有用作选择线的区域。

[0195] 注意,晶体管200b的源极和漏极中的一个也可以与布线RBL电连接,晶体管200b的源极和漏极中的另一个也可以与布线SL电连接。此时,布线RBL对应于导电体242,布线SL对应于导电体246b。就是说,导电体242具有用作读出位线的区域,导电体246b具有用作选择线的区域。

[0196] 通过采用上述结构,可以使存储单元的写入位线和读出位线单独存在。

[0197] 在实施方式2中将说明存储单元的结构及包括存储单元的存储装置。

[0198] [存储单元100B]

图10A至图10D示出与上述存储单元100不同的结构例子。注意,在以下所示的存储单元中,对具有与构成上述存储单元100的构成要素相同的功能的构成要素附上同一符号。另外,以下主要说明与上述存储单元100不同的部分,省略重复部分的说明。

[0199] 图10A是存储单元100B的俯视图。图10B是存储单元100B的截面图,也是沿着图10A中的点划线A1-A2的部分的截面图。图10C是存储单元100B的截面图,也是沿着图10A中的点划线B1-B2的部分的截面图。图10D是存储单元100B的截面图,也是沿着图10A中的点划线B3-B4的部分的截面图。注意,在图10A的俯视图中,为了明确起见,省略一部分构成要素。

[0200] 存储单元100B的与图2A至图2D所示的存储单元100不同之处在于在晶体管200a的下方包括电容器201。存储单元100B包括晶体管200a、晶体管200b及电容器201。

[0201] 另外,存储单元100B的与图2A至图2D所示的存储单元100不同之处在于包括导电体242c。在图10A至图10D中,对用作晶体管200b的源电极和漏电极中的一个的导电体242附上用于识别的符号。具体而言,将用作晶体管200b的源电极和漏电极中的一个的导电体记载为导电体242b。因此,导电体242b可以参照在以上的[存储单元100]中说明的导电体242的记载。

[0202] 电容器201包括导电体242c、导电体242c上的绝缘体270以及绝缘体270上的导电体260。导电体242c具有用作电容器201的一个电极的区域,导电体260具有用作电容器201的另一个电极的区域,绝缘体270具有用作电容器201的电介质的区域。电容器201构成MIM (Metal-Insulator-Metal:金属-绝缘体-金属)电容器。

[0203] 导电体242c设置在绝缘体212上。导电体242c具有隔着绝缘体270与导电体260重叠的区域。导电体242c在X方向上延伸。就是说,导电体242c延伸的方向与导电体242b延伸的方向平行。导电体242c被用作布线。

[0204] 如图10B所示,导电体242c与导电体242b优选设置在同一层中。导电体242c优选以与导电体242b相同的材料及相同的工序形成。此时,导电体242c包含与导电体242b相同的导电材料。通过以与导电体242b相同的材料及相同的工序形成导电体242c,可以在没有增

加工序数的状态下制造电容器。

[0205] 如上所述,晶体管200b的沟道长度比晶体管200a的沟道长度大。因此,晶体管200b的沟道电容(栅电极和沟道形成区域之间的电容)比晶体管200a大。因此,电容器201的电容也可以小。

[0206] 可以将包括存储单元100B的半导体装置用作存储装置。图10E示出将包括存储单元100B的半导体装置用作存储装置时的电路图。存储单元100B包括晶体管200a、晶体管200b及电容器201。就是说,可以说存储单元100B是由两个晶体管和一个电容器构成的存储单元。将由两个晶体管和一个电容器构成的存储单元还称为2Tr1C型存储单元。因此,存储单元100B是2Tr1C型存储单元。

[0207] 如图10E所示,晶体管200a的栅极与布线W0L电连接,晶体管200a的源极和漏极中的一个与电容器201的一个电极电连接,晶体管200a的源极和漏极中的另一个与布线B1L电连接。晶体管200b的栅极与电容器201的一个电极电连接,晶体管200b的源极和漏极中的一个与布线S1L电连接,晶体管200b的源极和漏极中的另一个与布线B1L电连接。电容器201的另一个电极与布线C1L电连接。

[0208] 布线C1L被用作电容线。

[0209] 布线W0L对应于导体262,布线B1L对应于导体246,布线S1L对应于导体242b,布线C1L对应于导体242c。就是说,导体262具有用作字线的区域,导体246具有用作位线的区域,导体242b具有用作选择线的区域,导体242c具有用作电容线的区域。

[0210] 在实施方式2中将说明存储单元的结构及包括存储单元的存储装置。

[0211] 在此,图11A至图11D示出图10A至图10D所示的存储单元100B的变形例子。图11A是存储单元100B的俯视图。图11B是存储单元100B的截面图,也是沿着图11A中的点划线A1-A2的部分的截面图。

图11C是存储单元100B的截面图,也是沿着图11A中的点划线B1-B2的部分的截面图。图11D是存储单元100B的截面图,也是沿着图11A中的点划线B3-B4的部分的截面图。注意,在图11A的俯视图中,为了明确起见,省略一部分构成要素。

[0212] 如图11A至图11D所示,存储单元100B也可以还包括导体243。导体243设置在导体242c上,并具有与导体260重叠的区域。此时,导体243被用作电容器201的一个电极,导体242c被用作布线。通过设置导体243,可以缩短电容器201的一对电极间的距离。因此,可以增大电容器201的电容。另外,通过使用作电容器201的一个电极的导体和用作布线的导体分离,可以使用适合于各导体的材料来制造半导体装置。

[0213] 图11B示出导体243的Y方向的端部与导体242的Y方向的端部一致的结构。注意,本发明不局限于此。例如,导体243的Y方向的端部也可以位于导体242的Y方向的端部的内侧。

[0214] 图11C示出导体243的X方向的端部与导体260的X方向的端部一致的结构。注意,本发明不局限于此。例如,导体243的X方向的端部既可以位于导体260的X方向的端部的内侧,又可以位于导体260的X方向的端部的外侧。

[0215] 另外,如图11B至图11D所示,也可以在绝缘体270上设置绝缘体271。绝缘体271设置在电容器201的一对电极之间,并具有用作电容器201的电介质的区域。在图11B至图11D中,绝缘体271设置在导体243和导体260之间。

[0216] 作为绝缘体271,优选使用高介电常数(high-k)材料(相对介电常数较高的材料)。例如,作为高介电常数材料(high-k),可以举出包含选自铝、铪、锆以及镱等中的一种以上的金属元素的氧化物、氧氮化物、氮氧化物及氮化物。此外,上述氧化物、氧氮化物、氮氧化物或氮化物也可以包含硅。此外,也可以层叠由上述材料构成的绝缘体。

[0217] 例如,作为高介电常数(high-k)材料,具体而言,可以举出使用氧化铝、氧化铪、氧化锆、包含铝及铪的氧化物、包含铝及铪的氧氮化物、包含硅及铪的氧化物、包含硅及铪的氧氮化物、包含硅及锆的氧化物、包含硅及锆的氧氮化物、包含铪及锆的氧化物、包含铪及锆的氧氮化物。通过使用由这种high-k材料构成的绝缘体,可以将绝缘体271的厚度增加到能够抑制泄漏电流的程度,并可以充分确保电容器201的静电容量。

[0218] 此外,优选层叠由上述材料构成的绝缘体,优选使用高介电常数材料(high-k)与其绝缘耐性高于该高介电常数材料(high-k)的绝缘耐性的材料的叠层结构。例如,作为绝缘体271,可以使用依次层叠有氧化锆、氧化铝以及氧化锆的绝缘体。此外,例如可以使用依次层叠有氧化锆、氧化铝、氧化锆以及氧化铝的绝缘体。此外,例如可以使用依次层叠有铪锆氧化物、氧化铝、铪锆氧化物以及氧化铝的绝缘膜。通过层叠使用如氧化铝等绝缘耐性比较高的绝缘体,可以提高绝缘耐性来抑制电容器201的静电破坏。

[0219] 图11A至图11D示出设置导体243及绝缘体271的结构,但是本发明不局限于此。存储单元100B也可以包括导体243和绝缘体271中的一个。

[0220] [存储单元100C]

图12A至图12D示出与上述存储单元100A及存储单元100B不同的结构例子。注意,在以下所示的存储单元中,对具有与构成上述存储单元100A或存储单元100B的构成要素相同的功能的构成要素附上同一符号。另外,以下主要说明与上述存储单元100A或存储单元100B不同的部分,省略重复部分的说明。

[0221] 图12A是存储单元100C的俯视图。图12B是存储单元100C的截面图,也是沿着图12A中的点划线A1-A2的部分的截面图。图12C是存储单元100C的截面图,也是沿着图12A中的点划线B1-B2的部分的截面图。图12D是存储单元100C的截面图,也是沿着图12A中的点划线B3-B4的部分的截面图。注意,在图12A的俯视图中,为了明确起见,省略一部分构成要素。

[0222] 存储单元100C的与图9A至图9D所示的存储单元100A不同之处在于在晶体管200a的下方包括电容器201。因此,可以说存储单元100C是图9A至图9D所示的存储单元100A的变形例子。存储单元100C包括晶体管200a、晶体管200b及电容器201。因此,存储单元100C是2Tr1C型存储单元。

[0223] 存储单元100C的与图10A至图10D所示的存储单元100B不同之处在于包括导体246a及导体246b代替导体246。因此,可以说存储单元100C是图10A至图10D所示的存储单元100B的变形例子。

[0224] 晶体管200a及晶体管200b的结构例子的详细内容可以参照以上的[存储单元100A]的记载。另外,电容器201的结构例子的详细内容可以参照以上的[存储单元100B]的记载。

[0225] 可以将包括存储单元100C的半导体装置用作存储装置。图12E示出将包括存储单元100C的半导体装置用作存储装置时的电路图。存储单元100C包括晶体管200a、晶体管200b及电容器201。

[0226] 如图12E所示,晶体管200a的栅极与布线W0L电连接,晶体管200a的源极和漏极中的一个与电容器201的一个电极电连接,晶体管200a的源极和漏极中的另一个与布线WBL电连接。晶体管200b的栅极与电容器201的一个电极电连接,晶体管200b的源极和漏极中的一个与布线SL电连接,晶体管200b的源极和漏极中的另一个与布线RBL电连接。电容器201的另一个电极与布线CAL电连接。

[0227] 布线W0L对应于导体262,布线WBL对应于导体246a,布线RBL对应于导体246b,布线SL对应于导体242b,布线CAL对应于导体242c。就是说,导体262具有用作字线的区域,导体246a具有用作写入位线的区域,导体246b具有用作读出位线的区域,导体242b具有用作选择线的区域,导体242c具有用作电容线的区域。

[0228] 注意,晶体管200b的源极和漏极中的一个也可以与布线RBL电连接,晶体管200b的源极和漏极中的另一个也可以与布线SL电连接。此时,布线RBL对应于导体242,布线SL对应于导体246b。就是说,导体242具有用作读出位线的区域,导体246b具有用作选择线的区域。

[0229] 在实施方式2中将说明存储单元的结构及包括存储单元的存储装置。

[0230] [存储单元100D]

图13A至图13D示出与上述存储单元100B不同的结构例子。注意,在以下所示的存储单元中,对具有与构成上述存储单元100B的构成要素相同的功能的构成要素附上同一符号。另外,以下主要说明与上述存储单元100B不同的部分,省略重复部分的说明。

[0231] 图13A是存储单元100D的俯视图。图13B是存储单元100D的截面图,也是沿着图13A中的点划线A1-A2的部分的截面图。图13C是存储单元100D的截面图,也是沿着图13A中的点划线B1-B2的部分的截面图。图13D是存储单元100D的截面图,也是沿着图13A中的点划线B3-B4的部分的截面图。注意,在图13A的俯视图中,为了明确起见,省略一部分构成要素。

[0232] 存储单元100D的与图10A至图10D所示的存储单元100B不同之处在于包括晶体管200c代替晶体管200b。存储单元100D包括晶体管200a、晶体管200c及电容器201。

[0233] 另外,存储单元100D的与图10A至图10D所示的存储单元100B不同之处在于在导体260和导体246之间包括导体262c。在图13A至图13D中,对用作晶体管200a的栅电极的导体262附上用于识别的符号。具体而言,将用作晶体管200a的栅电极的导体记载为导体262a。因此,导体262a可以参照在以上的[存储单元100]中说明的导体262的记载。

[0234] 晶体管200c包括导体242、导体242的上方的导体260、导体260的上方的导体262c、导体262c的上方的导体246、氧化物230b以及绝缘体250b。绝缘体272具有位于导体260和导体262c之间的区域,绝缘体274具有位于导体262c和导体246之间的区域。

[0235] 绝缘体270、导体260、绝缘体272、导体262c及绝缘体274中设置有到达导体242的开口。该开口的内侧配置有绝缘体250b及氧化物230b。绝缘体250b具有与氧化物230b的侧面接触的区域、与导体260的侧面接触的区域、与导体262c的侧面接触的区域、与绝缘体270的侧面的至少一部分接触的区域、与绝缘体272的侧面的至少一部分接触的区域以及绝缘体274的侧面的至少一部分接触的区域。氧化物230b具有与绝缘体250b的侧面接触的区域、与导体242的顶面的至少一部分接触的区域以及与导体246的底面的至少

一部分接触的区域。

[0236] 导电体260具有用作晶体管200c的第一栅电极的区域。导电体262c具有用作晶体管200c的第二栅电极的区域。绝缘体250b具有用作晶体管200c的栅极绝缘体的区域。导电体242具有用作晶体管200c的源电极和漏电极中的一个的区域。导电体246具有用作晶体管200c的源电极和漏电极中的另一个的区域。氧化物230b的隔着绝缘体250b与导电体260相对的区域以及氧化物230b的隔着绝缘体250b与导电体262c相对的区域用作晶体管200c的沟道形成区域。

[0237] 另外,也可以使导电体260和导电体262c电连接来使导电体262c和导电体260具有同一电位。此时,可以说晶体管200c是双栅晶体管。在本说明书等中,双栅晶体管是指包括两个栅极并且该两个栅极电连接的晶体管。通过使用双栅晶体管,可以使更多的电流流过。因此,用作读出晶体管的晶体管200c的通态电流增大,可以实现读出速度快的存储单元及半导体装置。

[0238] 注意,当在图13A至图13D所示的结构中电连接导电体260和导电体262c时,优选设置图10A至图10D所示的导电体242b及导电体242c代替导电体242。由此,可以构成具有图10E所示的电路结构的存储单元。此时,图10E所示的晶体管200b为双栅晶体管。

[0239] 鉴于上述结构,也可以设置图13A至图13D所示的导电体262a及导电体262c代替图10A至图10D所示的存储单元100B的导电体262。在该结构中,通过电连接导电体260和导电体262c,可以构成包括具有双栅结构的晶体管200b的存储单元100B。

[0240] 或者,也可以独立地改变导电体262c的电位而不使其与导电体260的电位联动。此时,可以说晶体管200c具有两个晶体管串联连接的结构。就是说,可以说存储单元100D是由三个晶体管和一个电容器构成的存储单元。将由三个晶体管和一个电容器构成的存储单元称为3Tr1C型存储单元。因此,存储单元100D是3Tr1C型存储单元。

[0241] 当独立地改变导电体262c的电位而不使其与导电体260的电位联动时,导电体262c具有用作布线的区域。此时,导电体262c延伸的方向与导电体246延伸的方向优选不同,更优选彼此正交。另外,导电体262a延伸的方向与导电体262c延伸的方向不同。

[0242] 如图13B所示,导电体262c与导电体262a优选设置在同一层中。导电体262c优选以与导电体262a相同的材料及相同的工序形成。此时,导电体262c包含与导电体262a相同的导电材料。通过以与导电体262a相同的材料及相同的工序形成导电体262c,可以在没有增加工序数的状态下形成第二栅电极。

[0243] 可以将包括存储单元100D的半导体装置用作存储装置。图13E示出将包括存储单元100D的半导体装置用作存储装置时的电路图。存储单元100D包括晶体管200a、晶体管200c及电容器201。注意,晶体管200c由串联连接的晶体管200c1及晶体管200c2构成。

[0244] 当晶体管200c由串联连接的晶体管200c1及晶体管200c2构成时,导电体260具有用作晶体管200c1的栅电极的区域,导电体262c具有用作晶体管200c2的栅电极的区域。另外,绝缘体250b具有用作晶体管200c1的栅极绝缘体的区域以及用作晶体管200c2的栅极绝缘体的区域。另外,导电体242具有用作晶体管200c1的源电极和漏电极中的一个的区域,导电体246具有用作晶体管200c2的源电极和漏电极中的另一个的区域。

[0245] 如图13E所示,晶体管200a的栅极与布线WWL电连接,晶体管200a的源极和漏极中的一个与电容器201的一个电极电连接,晶体管200a的源极和漏极中的另一个与布线BIL电

连接。晶体管200c1的栅极与电容器201的一个电极电连接,晶体管200c1的源极和漏极中的一个与布线GNDL电连接,晶体管200c1的源极和漏极中的另一个与晶体管200c2的源极和漏极中的一个电连接。晶体管200c2的栅极与布线RWL电连接,晶体管200c2的源极和漏极中的另一个与布线BIL电连接。电容器201的另一个电极与布线GNDL电连接。

[0246] 布线WWL被用作写入字线,布线RWL被用作读出字线,布线GNDL被用作供应低电平电位的布线。

[0247] 布线WWL对应于导体262a,布线RWL对应于导体262c,布线BIL对应于导体246,布线GNDL对应于导体242。就是说,导体262a具有用作写入字线的区域,导体262c具有用作读出字线的区域,导体246具有用作位线的区域,导体242具有用作供应低电平电位的布线的区域。

[0248] 在实施方式2中将说明存储单元的结构及包括存储单元的存储装置。

[0249] [半导体装置的构成材料]

以下,说明可用于半导体装置的构成材料。

[0250] <<衬底>>

作为形成晶体管200的衬底例如可以使用绝缘体衬底、半导体衬底或导体衬底。作为绝缘体衬底,例如可以举出玻璃衬底、石英衬底、蓝宝石衬底、稳定氧化锆衬底(氧化钇稳定氧化锆衬底等)、树脂衬底等。此外,作为半导体衬底,例如可以举出以硅或锗等为材料的半导体衬底、或者由碳化硅、硅锗、砷化镓、磷化铟、氧化锌或氧化镓构成的化合物半导体衬底等。并且,还可以举出在上述半导体衬底内部具有绝缘体区域的半导体衬底,例如为SOI(Silicon On Insulator:绝缘体上硅)衬底等。作为导体衬底,可以举出石墨衬底、金属衬底、合金衬底、导电树脂衬底等。或者,可以举出包含金属氮化物的衬底、包含金属氧化物的衬底等。此外,还可以举出设置有导体或半导体的绝缘体衬底、设置有导体或绝缘体的半导体衬底、设置有半导体或绝缘体的导体衬底等。或者,也可以使用在这些衬底上设置有元件的衬底。作为设置在衬底上的元件,有电容器、电阻器、开关元件、发光元件、存储元件等。

[0251] <<绝缘体>>

作为绝缘体,有具有绝缘性的氧化物、氮化物、氧氮化物、氮氧化物、金属氧化物、金属氧氮化物、金属氮氧化物等。

[0252] 例如,当进行晶体管的微型化及高集成化时,由于栅极绝缘体的薄膜化,有时发生泄漏电流等问题。通过作为被用作栅极绝缘体的绝缘体使用high-k材料,可以在保持物理厚度的同时实现晶体管工作时的低电压化。另一方面,通过将相对介电常数较低的材料用于被用作层间膜的绝缘体,可以减少产生在布线之间的寄生电容。因此,优选根据绝缘体的功能选择材料。

[0253] 作为相对介电常数较高的绝缘体,有氧化镓、氧化铅、氧化锆、含有铝及铅的氧化物、含有铝及铅的氧氮化物、含有硅及铅的氧化物、含有硅及铅的氧氮化物或者含有硅及铅的氮化物等。

[0254] 作为相对介电常数较低的绝缘体,有氧化硅、氧氮化硅、氮氧化硅、氮化硅、添加有氟的氧化硅、添加有碳的氧化硅、添加有碳及氮的氧化硅、具有空孔的氧化硅或树脂等。

[0255] 此外,通过使用具有抑制氢等杂质及氧的透过的功能的绝缘体围绕使用金属氧化

体的半导体材料可以适当地使用镀敷法、溅射法、CVD法、MBE法、PLD法或ALD法等沉积。

[0264] 作为溅射法,有将高频电源用于溅射用电源的RF溅射法及利用直流电源的DC溅射法。作为DC溅射法,还有以脉冲方式改变施加到电极的电压的脉冲DC溅射法。RF溅射法主要在沉积绝缘膜时使用,DC溅射法主要在沉积金属导电膜时使用。此外,脉冲DC溅射法主要在利用反应性溅射法沉积氧化物、氮化物、碳化物等化合物时使用。

[0265] 注意,CVD法可以分为利用等离子体的等离子体增强CVD(PECVD)法、利用热的热CVD(TCVD:Thermal CVD)法或利用光的光CVD(Photo CVD)法等。再者,可以根据使用的源气体分类为金属CVD(MCVD:Metal CVD)法或有机金属CVD(MOCVD:Metal Organic CVD)法。

[0266] 通过利用等离子体CVD法,可以以较低的温度得到高品质的膜。此外,因为在热CVD法中不使用等离子体,所以能够减少对被处理物造成的等离子体损伤。例如,包括在半导体装置中的布线、电极及元件(晶体管及电容器等)等有时因从等离子体接收电荷而会产生电荷积聚(charge up)。此时,有时由于所累积的电荷而使包括在半导体装置中的布线、电极及元件等受损伤。另一方面,因为在不使用等离子体的热CVD法的情况下不产生上述等离子体损伤,所以能够提高半导体装置的成品率。此外,在热CVD法中,不产生沉积时的等离子体损伤,因此能够得到缺陷较少的膜。

[0267] 作为ALD法,可以采用热ALD法或PEALD法等。

[0268] CVD法及ALD法不同于从靶材等中被释放的粒子沉积的溅射法。因此,CVD法及ALD法是不易受被处理物的形状的影响而具有良好的台阶覆盖性的沉积方法。尤其是,ALD法具有良好的台阶覆盖性和厚度均匀性,所以适合于覆盖纵横比高的开口部的表面的情况等。但是,ALD法的沉积速率比较慢,所以有时优选与沉积速度快的CVD法等其他沉积方法组合而使用。

[0269] 此外,当使用CVD法时,可以根据源气体的流量比沉积任意组成的膜。例如,当使用CVD法时,可以通过在进行沉积的同时改变源气体的流量比来沉积其组成连续变化的膜。当在改变源气体的流量比的同时进行沉积时,因为不需要传送或调整压力所需的时间,所以与使用多个沉积室进行沉积的情况相比可以缩短沉积时间。因此,有时可以提高半导体装置的生产率。

[0270] 当使用ALD法时,通过同时导入不同的多种前驱物,可以沉积任意组成的膜。或者,在导入不同的多种前驱物时,通过控制各前驱物的循环次数可以沉积任意组成的膜。

[0271] 首先,准备衬底(未图示),在该衬底上沉积绝缘体212。

[0272] 在绝缘体212上形成导电体242,在导电体242及绝缘体212上形成绝缘体270。绝缘体270的顶面优选平坦。例如,优选在沉积绝缘体270之后进行CMP处理来使绝缘体270的顶面平坦化。

[0273] 在绝缘体270上形成导电体260,在导电体260上形成导电体244,在导电体260、导电体244及绝缘体270上形成绝缘体272(图14A及图14B)。绝缘体272的顶面优选平坦。例如,优选在沉积绝缘体272之后进行CMP处理来使绝缘体272的顶面平坦化。

[0274] 在绝缘体272上形成导电体262,在导电体262及绝缘体272上形成绝缘体274(图14C及图14D)。绝缘体274的顶面优选平坦。例如,优选在沉积绝缘体274之后进行CMP处理来使绝缘体274的顶面平坦化。

[0275] 接着,利用光刻法及蚀刻法对绝缘体270、导电体260、绝缘体272、导电体262及绝

缘体274进行加工来形成到达导体244的开口258a以及到达导体242的开口258b(图14E及图14F)。开口258a对应于上述第一开口,开口258b对应于上述第二开口。在形成开口258a及开口258b时,也可以使用湿蚀刻,但是对微型加工来说使用干蚀刻是优选的。

[0276] 优选的是,导体244使用与导体260不同的材料,选择它们的蚀刻速率的选择比高的蚀刻方法。通过增高导体244和导体260的蚀刻选择性,在形成开口258a及开口258b时可以将导体244用作蚀刻停止膜。因此,可以抑制开口258a过深。

[0277] 并且,优选的是,导体244使用与导体262不同的材料,选择它们的蚀刻速率的选择比高的蚀刻方法。优选的是,导体242使用与导体260不同的材料,选择它们的蚀刻速率的选择比高的蚀刻方法。由此,可以在同一条件下形成开口258a及开口258b。因此,可以简化半导体装置的制造工序而提高生产率。

[0278] 接着,沉积绝缘膜250A(图15A及图15B)。绝缘膜250A优选利用ALD法沉积。绝缘体250优选以较小的膜厚度形成,优选以膜厚度的不均匀小的方式形成。ALD法是交替地导入先驱物及反应物(例如,氧化剂)进行的沉积方法,由于膜厚度可以根据反复该循环的次数进行调整,所以可以精密地调整膜厚度。另外,如图15B所示,绝缘膜250A优选以较高的覆盖性沉积在开口258a及开口258b的底面及侧面。通过利用ALD法,在开口258a及开口258b的底面及侧面上沉积每一层的原子层。因此,在开口258a及开口258b中以较高的覆盖性分别形成绝缘体250a及绝缘体250b。

[0279] 另外,当利用ALD法沉积绝缘膜250A时,作为氧化剂可以使用臭氧(O_3)、氧(O_2)、水(H_2O)等。通过使用不包含氢的臭氧(O_3)或氧(O_2)等作为氧化剂,可以减少扩散到后面形成的氧化物230的氢量。

[0280] 接着,对绝缘膜250A进行各向异性蚀刻,以与绝缘体272、导体262及绝缘体274各自的开口258a中的侧面接触的方式形成绝缘体250a,并且以与绝缘体270、导体260、绝缘体272及绝缘体274各自的开口258b中的侧面接触的方式形成绝缘体250b(图15C及图15D)。作为绝缘膜250A的各向异性蚀刻,例如可以使用干蚀刻法。通过对绝缘膜250A进行各向异性蚀刻,可以使导体242的顶面的一部分及导体244的顶面的一部分露出。

[0281] 当形成图7B所示的绝缘体254a及绝缘体254b时,优选在形成开口258a及开口258b之后依次沉积将成为绝缘体254a及绝缘体254b的绝缘膜以及绝缘膜250A,并且进行上述各向异性蚀刻。

[0282] 接着,在绝缘体250a及绝缘体250b上沉积氧化膜230A(图16A及图16B)。氧化膜230A的沉积优选利用ALD法进行。通过利用ALD法,也可以对纵横比大的槽或开口部形成厚度均匀的膜。通过利用PEALD法,与热ALD法相比可以以更低的温度形成氧化膜230A。氧化膜230A的沉积也可以利用溅射法进行。

[0283] 优选在利用ALD法沉积氧化膜之后进行微波处理,更优选在含氧气氛下进行微波处理。

[0284] 通过在含氧气氛下进行微波处理,可以使用微波或RF等高频使氧气体等离子体化而使该氧等离子体作用于氧化膜。此时,也可以将微波或RF等高频照射到氧化膜。换言之,可以使如该微波、RF等高频、氧等离子体等作用于氧化膜。

[0285] 由于高频、氧等离子体等的作用,可以降低氧化膜的杂质浓度。例如,可以使氧化膜中的氢脱离为水分子。另外,例如可以使氧化膜中的碳脱离为碳氧化物(CO 及/或 CO_2)。另

外,通过将氧等离子体中产生的氧自由基供应到氧化膜,可以减少氧化膜中的氧空位、 $V_{\text{O}}\text{H}$ 等。

[0286] 另外,由于高频、氧等离子体等的作用,将微波处理的处理温度以上的能量提供到氧化膜中的原子。因此,氧化膜中的金属原子及氧原子的重新排列被促进,可以提高氧化膜的结晶性。注意,有如下倾向:氧化膜中的杂质浓度及缺陷(氧空位、 $V_{\text{O}}\text{H}$ 等)量越少,氧化膜的结晶性越容易提高。就是说,含氧气氛下的微波处理实现氧化膜中的杂质浓度及缺陷量的减少以及氧化膜的结晶性的提高。

[0287] 接着,通过进行CMP处理去除氧化膜230A的一部分来使绝缘体274露出。其结果是,以填充开口258a的方式形成氧化物230a,以填充开口258b的方式形成氧化物230b(图16C及图16D)。注意,有时由于该CMP处理绝缘体274的一部分被去除。由此,可以使绝缘体274平坦化。由此,氧化物230a的顶面、氧化物230b的顶面、绝缘体250a的顶面、绝缘体250b的顶面及绝缘体274的顶面的高度都一致。

[0288] 当形成图6B所示的绝缘体275时,优选在沉积氧化膜230A之后沉积将成为绝缘体275的绝缘膜而进行上述CMP处理。

[0289] 此外,也可以在沉积氧化膜230A之后不进行微波处理,在进行上述CMP处理之后进行微波处理。

[0290] 接着,在氧化物230a、氧化物230b、绝缘体250a、绝缘体250b及绝缘体274上形成导电体246。由此,可以制造图2A至图2D所示的存储单元100。另外,可以制造包括图2A至图2D所示的存储单元100的半导体装置。

[0291] 本实施方式可以与其他实施方式适当地组合。此外,在本说明书中,在一个实施方式中示出多个结构例子的情况下,可以适当地组合该结构例子。

[0292] (实施方式2)

在本实施方式中,参照附图对根据本发明的一个方式的存储装置进行说明。本发明的一个方式的存储装置是使用将氧化物用于半导体的晶体管(以下有时称为OS晶体管)的存储装置(以下有时称为OS存储装置)。

[0293] <存储装置的结构例子>

图17A示出OS存储装置的结构的一个例子。存储装置1400包括外围电路1411及存储单元阵列1470。外围电路1411是具有向存储单元阵列1470中的存储单元写入数据以及从存储单元阵列1470中的存储单元读出数据的功能的电路。外围电路1411包括行电路1420、列电路1430、输出电路1440及控制逻辑电路1460。

[0294] 列电路1430例如包括列译码器、预充电电路、读出放大器及写入电路等。预充电电路具有对布线进行预充电的功能。读出放大器具有放大从存储单元读出的数据信号的功能。注意,上述布线是连接到存储单元阵列1470所包括的存储单元的布线,下面描述其详细内容。被放大的数据信号作为数据信号RDATA通过输出电路1440输出到存储装置1400的外部。此外,行电路1420例如包括行译码器、字线驱动器电路等,并可以选择要存取的行。

[0295] 对存储装置1400从外部供应作为电源电压的低电源电压(VSS)、外围电路1411用高电源电压(VDD)及存储单元阵列1470用高电源电压(VIL)。此外,对存储装置1400从外部输入控制信号(CE、WE、RES)、地址信号ADDR及数据信号WDATA。地址信号ADDR被输入到行译码器及列译码器,数据信号WDATA被输入到写入电路。

[0296] 控制逻辑电路1460对从外部输入的控制信号(CE、WE、RES)进行处理来生成行译码器及列译码器的控制信号。控制信号CE是芯片使能信号,控制信号WE是写入使能信号,并且控制信号RES是读出使能信号。控制逻辑电路1460所处理的信号不局限于此,根据需要而输入其他控制信号即可。

[0297] 存储单元阵列1470包括配置为行列状的多个存储单元MC及多个布线。注意,连接存储单元阵列1470和行电路1420的布线的个数取决于存储单元MC的结构、包括在一个列中的存储单元MC的个数等。此外,连接存储单元阵列1470和列电路1430的布线的个数取决于存储单元MC的结构、包括在一个行中的存储单元MC的个数等。

[0298] 此外,虽然在图17A中示出在同一平面上形成外围电路1411和存储单元阵列1470的例子,但是本实施方式不局限于此。例如,如图17B所示,也可以以重叠于外围电路1411的一部分上的方式设置存储单元阵列1470。例如,也可以采用以重叠于存储单元阵列1470下的方式设置读出放大器的结构。

[0299] 参照图18A至图18E说明能够适合于上述存储单元MC的存储单元的结构例子。

[0300] 图18A示出2晶体管的增益单元型存储单元的电路结构例子。图18A所示的存储单元1471包括晶体管M1及晶体管M2。晶体管M1及晶体管M2是单栅晶体管。

[0301] 晶体管M1的第一端子与晶体管M2的栅极连接,晶体管M1的第二端子与布线BIL连接,晶体管M1的栅极与布线WOL连接。晶体管M2的第一端子与布线BIL连接,晶体管M2的第二端子与布线SL连接。

[0302] 布线BIL被用作位线,布线WOL被用作字线,布线SL被用作选择线。

[0303] 在存储单元1471中,将晶体管M2的栅极电容用作存储电容。就是说,也可以将存储单元1471称为无电容存储单元。因此,可以将其称为2晶体管0电容器的增益单元型存储单元。

[0304] 当作为晶体管M1使用0S晶体管时,通过使晶体管M1处于关闭状态,可以保持电连接有晶体管M1的源极和漏极中的一个和晶体管M2的栅极的节点的电荷很长时间。因此,可以实现非易失性存储单元。

[0305] 作为图18A所示的存储单元1471,可以使用图2A至图2D等所示的存储单元100。此时,晶体管M1对应于晶体管200a,晶体管M2对应于晶体管200b。另外,布线BIL对应于导电体246,布线WOL对应于导电体262,布线SL对应于导电体242。

[0306] 图18B示出2晶体管的增益单元型存储单元的电路结构的其他例子。图18B所示的存储单元1472包括晶体管M1及晶体管M2。晶体管M1及晶体管M2是单栅晶体管。

[0307] 晶体管M1的第一端子与晶体管M2的栅极连接,晶体管M1的第二端子与布线WBL连接,晶体管M1的栅极与布线WOL连接。晶体管M2的第一端子与布线RBL连接,晶体管M2的第二端子与布线SL连接。

[0308] 布线WBL被用作写入位线,布线RBL被用作读出位线。

[0309] 与存储单元1471同样,在存储单元1472中,将晶体管M2的栅极电容用作存储电容。当作为晶体管M1使用0S晶体管时,通过使晶体管M1处于关闭状态,可以保持电连接有晶体管M1的源极和漏极中的一个和晶体管M2的栅极的节点的电荷很长时间。因此,可以实现非易失性存储单元。

[0310] 作为图18B所示的存储单元1472,可以使用图9A至图9D所示的存储单元100A。此

时,晶体管M1对应于晶体管200a,晶体管M2对应于晶体管200b。另外,布线WBL对应于导电体246a,布线RBL对应于导电体246b,布线WOL对应于导电体262,布线SL对应于导电体242。

[0311] 另外,存储单元MC不局限于存储单元1471或存储单元1472,也可以适当地改变电路结构。例如,晶体管M1及晶体管M2也可以包括背栅极。当晶体管M1包括背栅极时,背栅极既可以与晶体管M1的栅极电连接,又可以与用来对背栅极供应电位的布线电连接。晶体管M2包括背栅极的情况也同样。

[0312] [NOSRAM]

图18C至图18D示出2晶体管1电容器的增益单元型存储单元的电路结构例子。图18C所示的存储单元1473包括晶体管M3、晶体管M4、电容器CA。此外,晶体管M3及晶体管M4是单栅晶体管。在本说明书等中,有时将包括作为晶体管M3使用0S晶体管的增益单元型存储单元的存储装置称为NOSRAM(Nonvolatile Oxide Semiconductor RAM,非易失性氧化物半导体RAM)。

[0313] 晶体管M3的第一端子与电容器CA的第一端子连接,晶体管M3的第二端子与布线WBL连接,晶体管M3的栅极与布线WOL连接。电容器CA的第二端子与布线CAL连接。晶体管M4的第一端子与布线RBL连接,晶体管M4的第二端子与布线SL连接,晶体管M4的栅极与电容器CA的第一端子连接。

[0314] 布线CAL被用作用来对电容器CA的第二端子施加指定的电位的布线。在写入数据和读出数据时,优选对布线CAL施加高电平电位。另外,在保持数据时,优选对布线CAL施加低电平电位。

[0315] 另外,存储单元MC不局限于存储单元1473,也可以适当地改变电路结构。例如,存储单元MC也可以具有如图18D所示的存储单元1474那样的将布线WBL和布线RBL组合为一个布线BIL的结构。例如,晶体管M3也可以包括背栅极。当晶体管M3包括背栅极时,背栅极既可以与晶体管M3的栅极电连接,又可以与用来对背栅极供应电位的布线电连接。

[0316] 在将上述实施方式所示的半导体装置用于存储单元1473等的情况下,作为晶体管M3可以使用晶体管200。通过作为晶体管M3使用0S晶体管,可以使晶体管M3的泄漏电流为极小。换言之,因为可以由晶体管M3长时间保持写入的数据,所以可以降低存储单元的刷新频率。或者,还可以不进行存储单元的刷新工作。此外,由于泄漏电流极小,因此可以将多值数据或模拟数据保持在存储单元1473中。存储单元1474也是同样的。

[0317] 另外,作为晶体管M4可以使用0S晶体管。例如,作为晶体管M3可以使用晶体管200a,作为晶体管M4可以使用晶体管200b或双栅型的晶体管200c。当作为晶体管M3及晶体管M4使用0S晶体管时,在存储单元阵列1470中只使用n型晶体管构成电路。

[0318] 作为图18C所示的存储单元1473,可以使用图12A至图12D所示的存储单元100C。此时,晶体管M3对应于晶体管200a,晶体管M4对应于晶体管200b。另外,布线WBL对应于导电体246a,布线RBL对应于导电体246b,布线WOL对应于导电体262,布线SL对应于导电体242b,布线CAL对应于导电体242c。

[0319] 作为图18D所示的存储单元1474,可以使用图10A至图10D等所示的存储单元100B。此时,晶体管M3对应于晶体管200a,晶体管M4对应于晶体管200b。另外,布线BIL对应于导电体246,布线WOL对应于导电体262,布线SL对应于导电体242b,布线CAL对应于导电体242c。

[0320] 此外,晶体管M4也可以是在沟道形成区域中包含硅的晶体管(以下有时称为Si晶

极管)。Si晶体管的导电型可以是n沟道型或p沟道型。Si晶体管的场效应迁移率有时比OS晶体管高。因此,作为被用作读出晶体管的晶体管M4,也可以使用Si晶体管。此外,通过将Si晶体管用作晶体管M4,可以层叠于晶体管M4上地设置晶体管M3,从而可以减少存储单元的占有面积,并可以实现存储装置的高集成化。

[0321] 此外,图18E示出3晶体管1电容器的增益单元型存储单元的一个例子。图18E所示的存储单元1475包括晶体管M5至晶体管M7及电容器CB。电容器CB是适当地设置的。存储单元1475与布线BIL、布线RWL、布线WWL及布线GNDL电连接。布线GNDL是供应低电平电位的布线。此外,也可以将存储单元1475电连接到布线RBL、布线WBL,而不与布线BIL电连接。

[0322] 晶体管M5为具有单栅结构的OS晶体管。晶体管M5也可以包括背栅极。当晶体管M5包括背栅极时,背栅极既可以与晶体管M5的栅极电连接,又可以与用来对背栅极供应电位的布线电连接。

[0323] 在将上述实施方式所示的半导体装置用于存储单元1475时,作为晶体管M5可以使用晶体管200。通过作为晶体管M5使用OS晶体管,可以使晶体管M5的泄漏电流为极小。

[0324] 另外,作为晶体管M5至晶体管M7可以使用OS晶体管。例如,作为晶体管M5可以使用晶体管200a,作为晶体管M6及晶体管M7可以使用具有两个晶体管串联连接的结构晶体管200c。此时,在存储单元阵列1470中可以只使用n型晶体管构成电路。晶体管M6及晶体管M7也可以分别为n沟道型Si晶体管或p沟道型Si晶体管。

[0325] 作为图18E所示的存储单元1475,可以使用图13A至图13D所示的存储单元100D。此时,晶体管M5对应于晶体管200a,晶体管M6对应于串联连接的两个晶体管中的一个,晶体管M7对应于串联连接的两个晶体管中的另一个。另外,布线BIL对应于导体246,布线WWL对应于导体262a,布线RWL对应于导体262c,布线GNDL对应于导体242。

[0326] 此外,存储单元MC不局限于存储单元1471至存储单元1475,而可以改变其电路结构。

[0327] 通过作为晶体管M1使用OS晶体管,可以在形成存储装置的布线的BEOL (Back end of line:后段制程) 工序中形成晶体管M1。另外,当在与存储单元阵列1470下重叠的外围电路1411中使用Si晶体管时,可以利用在Si晶管的上方直接形成OS晶体管的技术(将其称为BEOL-Tr技术)。通过利用该技术,可以在保持设计规则不变的情况下构成3D功能电路,并可以以低功耗且低成本实现高功能。

[0328] 图18F是存储装置1400的立体图。存储装置1400包括层1480及层1490。图18G是用来说明存储装置1400的结构的立体图,以分开的方式示出层1480及层1490。

[0329] 层1480是包括晶体管的层。包括该晶体管沟道形成区域的半导体层可以使用单晶半导体、多晶半导体、微晶半导体或非晶半导体等半导体材料中的一种或其组合来形成。作为该半导体材料,例如可以使用硅或锗等。此外,也可以使用硅锗、碳化硅、砷化镓、氧化物半导体及氮化物半导体等化合物半导体。另外,也可以使用可用于HEMT (High Electron Mobility Transistor,高电子迁移率晶体管) 的砷化镓、砷化铝镓、砷化铟镓、氮化镓、磷化铟或硅锗等。

[0330] 层1490是包括晶体管的层。包括该晶体管的沟道形成区域的半导体层可以使用氧化物半导体或硅等能够形成薄膜的半导体材料形成。通过利用BEOL-Tr技术,可以在层1480上设置层1490。因此,可以实现微型化的存储装置1400。

[0331] 例如,假设层1480所包括的晶体管为Si晶体管。此时,可以在层1480中设置外围电路1411。另外,假设层1490所包括的晶体管为0S晶体管。此时,可以在层1480中设置存储单元阵列1470。

[0332] 由此,可以利用BEOL-Tr技术制造存储装置1400。因此,可以减小存储装置1400的占有面积。

[0333] 注意,本实施方式所示的外围电路1411及存储单元阵列1470等的结构不局限于上述结构。此外,也可以根据需要进行改变、去除或追加这些电路及连接到该电路的布线、电路元件等的配置或功能。

[0334] 图19示出图17A所示的存储装置1400的截面结构例子。图19示出图17A所示的存储装置1400的一部分。

[0335] 如图19所示,存储装置1400包括层1480及层1480上的层1490。层1480设置有外围电路1411。就是说,层1480可以说是包括外围电路1411的层。另外,层1490设置有存储单元阵列1470。作为存储单元阵列1470中的存储单元可以使用上述实施方式所示的半导体装置。就是说,层1480位于上述实施方式所示的半导体装置的下方。

[0336] 图19示出层1480所包括的晶体管300。晶体管300被用作上述读出放大器的一部分。此时,可以将层1480看作形成有包括晶体管的半导体电路的衬底。

[0337] 另外,图19示出设置在层1490中的存储单元阵列1470的一部分。具体而言,图19示出设置在层1490中的两个存储单元MC。

[0338] 导电体262对应于布线WOL。另外,导电体244对应于布线BIL。另外,导电体246对应于布线SL。

[0339] 注意,图19示出设置一层包括存储单元阵列1470的层1490的结构,但是本发明不局限于此。例如,也可以设置多层包括存储单元阵列1470的层。

[0340] 图20示出层叠包括存储单元阵列的层1490_1以及包括存储单元阵列的层1490_2的结构。注意,叠层数也可以为三以上。如此,通过作为构成存储单元100的晶体管使用0S晶体管,可以层叠多层存储单元阵列1470。就是说,可以增加单位面积上可储存的数据量。

[0341] <晶体管300>

晶体管300设置在衬底311上,并包括:被用作栅极的导电体316、被用作栅极绝缘体的绝缘体315、由衬底311的一部分构成的半导体区域313、被用作源极区域或漏极区域的低电阻区域314a及低电阻区域314b。晶体管300可以是p沟道型晶体管或n沟道型晶体管。

[0342] 在此,在图19所示的晶体管300中,形成沟道的半导体区域313(衬底311的一部分)具有凸形状。此外,以隔着绝缘体315覆盖半导体区域313的侧面及顶面的方式设置导电体316。此外,导电体316也可以使用调整功函数的材料。因为利用半导体衬底的凸部,所以这种晶体管300也被称为FIN型晶体管。此外,也可以以与凸部的上表面接触的方式具有用来形成凸部的掩模的绝缘体。此外,虽然在此示出对半导体衬底的一部分进行加工来形成凸部的情况,但是也可以对SOI衬底进行加工来形成具有凸形状的半导体膜。

[0343] 注意,图19所示的晶体管300的结构只是一个例子,不局限于上述结构,根据电路结构或驱动方法使用适当的晶体管即可。

[0344] <布线层>

在各结构体之间也可以设置有包括层间膜、布线及插头等的布线层。此外,布线层

[0355] 本实施方式可以与其他实施方式适当地组合。此外,在本说明书中,在一个实施方式中示出多个结构例子的情况下,可以适当地组合该结构例子。

[0356] (实施方式3)

在本实施方式中,说明使用上述实施方式所示的存储装置的半导体装置的应用例子。可以将上述实施方式所示的存储装置应用于存储器卡(例如,SD卡)、USB存储器、SSD(固态硬盘)等各种可移动存储装置。图21A至图21E示意性地示出可移动存储装置的几个结构例子。例如,上述实施方式所示的半导体装置加工为被封装的存储器芯片并用于各种存储装置或可移动存储器。

[0357] 图21A是USB存储器的示意图。USB存储器1100包括外壳1101、盖子1102、USB连接器1103及基板1104。基板1104被容纳在外壳1101中。例如,基板1104上安装有存储器芯片1105及控制器芯片1106。可以将上述实施方式所示的存储装置或半导体装置组装于存储器芯片1105等。

[0358] 图21B是SD卡的外观示意图,图21C是SD卡的内部结构的示意图。SD卡1110包括外壳1111、连接器1112及基板1113。基板1113被容纳在外壳1111中。例如,基板1113上安装有存储器芯片1114及控制器芯片1115。通过在基板1113的背面一侧也设置存储器芯片1114,可以增大SD卡1110的容量。此外,也可以将具有无线通信功能的无线芯片设置于基板1113。由此,通过主机装置与SD卡1110之间的无线通信,可以进行存储器芯片1114的数据的读出及写入。可以将上述实施方式所示的存储装置或半导体装置组装于存储器芯片1114等。

[0359] 图21D是SSD的外观示意图,图21E是SSD的内部结构的示意图。SSD1150包括外壳1151、连接器1152及基板1153。基板1153被容纳在外壳1151中。例如,基板1153上安装有存储器芯片1154、存储器芯片1155及控制器芯片1156。存储器芯片1155为控制器芯片1156的工作存储器,例如,可以使用DOSRAM芯片。通过在基板1153的背面一侧也设置存储器芯片1154,可以增大SSD1150的容量。可以将上述实施方式所示的存储装置或半导体装置组装于存储器芯片1154等。

[0360] 本实施方式可以与其他实施方式等所记载的结构适当地组合而实施。

[0361] (实施方式4)

在本实施方式中,说明在沟道形成区域中包含氧化物半导体的晶体管(OS晶体管)。此外,在OS晶体管的说明中,简单地说明与在沟道形成区域中包含硅的晶体管(也称为Si晶体管)的对比。

[0362] [OS晶体管]

优选将载流子浓度低的氧化物半导体用于OS晶体管。例如,氧化物半导体的沟道形成区域的载流子浓度为 $1 \times 10^{18} \text{cm}^{-3}$ 以下,优选低于 $1 \times 10^{17} \text{cm}^{-3}$,更优选低于 $1 \times 10^{16} \text{cm}^{-3}$,进一步优选低于 $1 \times 10^{13} \text{cm}^{-3}$,还进一步优选低于 $1 \times 10^{10} \text{cm}^{-3}$,且为 $1 \times 10^{-9} \text{cm}^{-3}$ 以上。在以降低氧化物半导体膜的载流子浓度为目的的情况下,可以降低氧化物半导体膜中的杂质浓度以降低缺陷态密度。在本说明书等中,将杂质浓度低且缺陷态密度低的状态称为高纯度本征或实质上高纯度本征。此外,有时将载流子浓度低的氧化物半导体称为高纯度本征或实质上高纯度本征的氧化物半导体。

[0363] 因为高纯度本征或实质上高纯度本征的氧化物半导体具有较低的缺陷态密度,所以有时具有较低的陷阱态密度。此外,被氧化物半导体的陷阱态俘获的电荷到消失需要较

长的时间,有时像固定电荷那样动作。因此,有时在陷阱态密度高的氧化物半导体中形成沟道形成区域的晶体管的电特性不稳定。

[0364] 因此,为了使晶体管的电特性稳定,降低氧化物半导体中的杂质浓度是有效的。为了降低氧化物半导体中的杂质浓度,优选还降低附近膜中的杂质浓度。作为杂质可以举出氢、氮等。注意,氧化物半导体中的杂质例如是指构成氧化物半导体的主要成分之外的元素。例如,浓度低于0.1原子%的元素可以说是杂质。

[0365] 在OS晶体管中,当氧化物半导体的沟道形成区域中存在杂质及氧空位时,电特性容易变动而可能使可靠性下降。此外,在OS晶体管中,氢进入氧化物半导体中的氧空位而形成缺陷(下面有时称为 V_OH),可能会产生成为载流子的电子。另外,当在沟道形成区域中形成 V_OH 时,有时沟道形成区域中的供体浓度增加。随着沟道形成区域中的供体浓度增加,有时阈值电压不均匀。因此,当在氧化物半导体的沟道形成区域中包含氧空位时,晶体管会具有常开启特性(即使不对栅电极施加电压也存在沟道而在晶体管中电流流过的特性)。由此,在氧化物半导体的沟道形成区域中,优选尽量减少杂质、氧空位及 V_OH 。

[0366] 另外,氧化物半导体的带隙优选比硅的带隙(典型的是1.1eV)大,优选为2eV以上,更优选为2.5eV以上,更优选为3.0eV以上。通过使用具有比硅大的带隙的氧化物半导体,可以减少晶体管的关态电流(也称为 I_{off})。

[0367] 例如,在Si晶体管中,随着晶体管的微型化发展,出现短沟道效应(Short Channel Effect;也称为SCE)。因此,Si晶体管的微型化很困难。作为出现短沟道效应的原因之一可以举出硅的带隙较小。另一方面,在OS晶体管中,使用作为带隙大的半导体材料的氧化物半导体,因此可以抑制短沟道效应。换言之,OS晶体管是没有短沟道效应或短沟道效应极少的晶体管。

[0368] 短沟道效应是指随着晶体管的微型化(沟道长度的缩小)出现的电特性的下降。作为短沟道效应的具体例子,有阈值电压的降低、亚阈值摆幅值(有时记载为S值)的增大、泄漏电流的增大等。在此,S值是指:以固定的漏极电压使漏极电流的值变化一个位数的亚阈值区域中的栅极电压的变化量。

[0369] 作为对短沟道效应的耐性的指标,广泛地使用特征长度(Characteristic Length)。特征长度是指沟道形成区域的势的弯曲性指标。特征长度越小,势越急剧上升,因此可以说抗短沟道效应能力高。

[0370] OS晶体管为积累型晶体管,Si晶体管为反型晶体管。因此,与Si晶体管相比,OS晶体管中的源极区域-沟道形成区域间的特征长度及漏极区域-沟道形成区域间的特征长度小。因此,OS晶体管的抗短沟道效应能力比Si晶体管高。就是说,当想要制造沟道长度小的晶体管时,OS晶体管比Si晶体管更合适。

[0371] 即使在将氧化物半导体的载流子浓度降低到沟道形成区域被i型化或实质上被i型化的情况下,在短沟道晶体管中由于Conduction-Band-Lowering(CBL,导带降低)效应而沟道形成区域的导带底也变低,因此源极区域或漏极区域与沟道形成区域之间的导带底的能量差有可能减小到0.1eV以上且0.2eV以下。由此,可以将OS晶体管看作具有 $n^+/n^-/n^+$ 的积累型无结晶体管结构或 $n^+/n^-/n^+$ 的积累型non-junction晶体管结构,其中沟道形成区域为 n^- 型区域,源极区域及漏极区为 n^+ 型区域。

[0372] 当作为OS晶体管采用上述结构时,即便使半导体装置微型化或高集成化也可以实

现良好的电特性。例如,即使OS晶体管的栅极长度为20nm以下、15nm以下、10nm以下、7nm以下或6nm以下且1nm以上、3nm以上或5nm以上,也可以得到良好的电特性。另一方面,在Si晶体管中,因为出现短沟道效应所以有时难以具有20nm以下或15nm以下的栅极长度。因此,与Si晶体管相比,OS晶体管更适合用作沟道长度小的晶体管。栅极长度是晶体管工作时载流子移动沟道形成区域内部的方向上的栅电极的长度。

[0373] 此外,通过使OS晶体管微型化可以提高晶体管的高频特性。具体而言,可以提高晶体管的截止频率。当OS晶体管的栅极长度在于上述范围内时,例如在室温环境下,晶体管的截止频率可以为50GHz以上,优选为100GHz以上,更优选为150GHz以上。

[0374] 如以上的说明那样,OS晶体管具有比Si晶体管优异的效果,诸如关态电流小以及可以制造沟道长度小的晶体管。

[0375] 本实施方式所示的构成、结构、方法等可以与其他实施方式等所示的构成、结构、方法等适当地组合而使用。

[0376] (实施方式5)

在本实施方式中,说明可以使用在上述实施方式中说明的半导体装置的电子构件、电子设备、大型计算机、太空设备及数据中心(Data Center;也称为DC)。使用本发明的一个方式的半导体装置的电子构件、电子设备、大型计算机、太空设备及数据中心对低功耗等高性能的实现很有效。

[0377] [电子构件]

图22A示出安装有电子构件700的基板(电路板704)的立体图。图22A所示的电子构件700在模子711内包括半导体装置710。在图22A中,省略电子构件700的一部分记载以表示其内部。电子构件700在模子711的外侧包括连接盘(land)712。连接盘712电连接于电极焊盘713,电极焊盘713通过引线714电连接于半导体装置710。电子构件700例如安装于印刷电路板702上。通过组合多个该电子构件并使其分别在印刷电路板702上电连接,由此完成电路板704。

[0378] 另外,半导体装置710包括驱动电路层715及存储层716。存储层716具有层叠有多个存储单元阵列的结构。层叠有驱动电路层715及存储层716的结构可以采用单片叠层的结构。在单片叠层的结构中,可以不用TSV(Through Silicon Via:硅通孔)等贯通电极技术及Cu-Cu直接接合等接合技术而连接各层间。当以单片的方式层叠驱动电路层715和存储层716时,例如,可以实现在处理器上直接形成存储器的所谓的片上存储器的结构。通过采用片上存储器的结构,可以实现处理器与存储器的接口部分的高速工作。

[0379] 另外,通过采用片上存储器的结构,与使用TSV等贯通电极的技术相比,可以缩小连接布线等的尺寸,因此可以增加引脚数量。通过增加引脚数量可以进行并联工作,由此可以提高存储器的带宽度(也称为存储器带宽)。

[0380] 另外,优选的是,使用OS晶体管形成存储层716中的多个存储单元阵列,以单片的方式层叠该多个存储单元阵列。当多个存储单元阵列采用单片叠层时,可以提高存储器的带宽度和存储器的访问延迟中的任一方或双方。带宽度是指单位时间的数据传输量,访问延迟是指访问和开始数据的交换之间的时间。当在存储层716中使用Si晶体管时,与OS晶体管相比,实现单片叠层的结构更困难。因此,在单片叠层的结构中,OS晶体管比Si晶体管优异。

[0381] 另外,可以将半导体装置710称为裸片。在本说明书等中,裸片是指在半导体芯片的制造工序中例如在圆盘状的衬底(也称为晶圆)等上形成电路图案,切割成矩形小片而得的芯片。作为可用于裸片的半导体材料,例如可以举出硅(Si)、碳化硅(SiC)或氮化镓(GaN)等。例如,有时将从硅衬底(也称为硅晶圆)得到的裸片称为硅片。

[0382] 接着,图22B示出电子构件730的立体图。电子构件730是SiP(System in Package:系统封装)或MCM(Multi Chip Module:多芯片模块)的一个例子。在电子构件730中,封装衬底732(印刷电路板)上设置有插板(interposer)731,插板731上设置有半导体装置735及多个半导体装置710。

[0383] 电子构件730示出将半导体装置710用作高带宽存储器(HBM:High Bandwidth Memory)的例子。此外,半导体装置735可以用于CPU、GPU(Graphics Processing Unit:图形处理器)或FPGA(Field Programmable Gate Array:现场可编程门阵列)等集成电路。

[0384] 封装衬底732例如可以使用陶瓷衬底、塑料衬底或玻璃环氧衬底。插板731例如可以使用硅插板或树脂插板。

[0385] 插板731具有多个布线并具有电连接端子间距不同的多个集成电路的功能。多个布线由单层或多层构成。此外,插板731具有将设置于插板731上的集成电路与设置于封装衬底732上的电极电连接的功能。因此,有时将插板也称为“重布线衬底(rewiring substrate)”或“中间衬底”。此外,有时通过在插板731中设置贯通电极,通过该贯通电极使集成电路与封装衬底732电连接。此外,在使用硅插板的情况下,也可以使用TSV作为贯通电极。

[0386] 在HBM中,为了实现宽存储器带宽需要连接许多布线。为此,要求安装HBM的插板上能够高密度地形成微细的布线。因此,作为安装HBM的插板优选使用硅插板。

[0387] 此外,在使用硅插板的SiP及MCM等中,不容易发生因集成电路与插板间的膨胀系数的不同而导致的可靠性下降。此外,由于硅插板的表面平坦性高,所以设置在硅插板上的集成电路与硅插板间不容易产生连接不良。尤其优选将硅插板用于2.5D封装(2.5D安装),其中多个集成电路横着排放并配置于插板上。

[0388] 另一方面,当利用硅插板及TSV等使端子间距不同的多个集成电路电连接时,需要该端子间距的宽度等的空间。因此,当想要缩小电子构件730的尺寸时,上述端子间距的宽度成为问题,有时难以设置为实现较宽的存储器带宽需要的较多的布线。于是,如上所述,使用OS晶体管的单片叠层的结构是优选的。另外,也可以采用组合利用TSV层叠的存储单元阵列与以单片的方式层叠的存储单元阵列的复合结构。

[0389] 此外,也可以与电子构件730重叠地设置散热器(散热板)。在设置散热器的情况下,优选使设置于插板731上的集成电路的高度一致。例如,在本实施方式所示的电子构件730中,优选使半导体装置710与半导体装置735的高度一致。

[0390] 为了将电子构件730安装在其他衬底上,也可以在封装衬底732的底部设置电极733。图22B示出用焊球形成电极733的例子。通过在封装衬底732的底部以矩阵状设置焊球,可以实现BGA(Ball Grid Array:球栅阵列)的安装。此外,电极733也可以使用导电针形成。通过在封装衬底732的底部以矩阵状设置导电针,可以实现PGA(Pin Grid Array:针栅阵列)的安装。

[0391] 电子构件730可以通过各种安装方式安装在其他衬底上,而不局限于BGA及PGA。作

为安装方法例如可以举出SPGA (Staggered Pin Grid Array:交错针栅阵列)、LGA (Land Grid Array:地栅阵列)、QFP (Quad Flat Package:四侧引脚扁平封装)、QFJ (Quad Flat J-leaded package:四侧J形引脚扁平封装)及QFN (Quad Flat Non-leaded package:四侧无引脚扁平封装)。

[0392] [电子设备]

接着,图23A示出电子设备6500的立体图。图23A所示的电子设备6500是可用作智能手机的便携式信息终端。电子设备6500包括外壳6501、显示部6502、电源按钮6503、按钮6504、扬声器6505、麦克风6506、摄像头6507、光源6508及控制装置6509等。控制装置6509例如包括选自CPU、GPU及存储装置中的任一个或多个。可以将本发明的一个方式的半导体装置用于显示部6502、控制装置6509等。

[0393] 图23B所示的电子设备6600是可用作笔记本式个人计算机的信息终端。电子设备6600包括外壳6611、键盘6612、指向装置6613、外部连接端口6614、显示部6615、控制装置6616等。控制装置6616例如包括选自CPU、GPU及存储装置中的任一个或多个。可以将本发明的一个方式的半导体装置用于显示部6615、控制装置6616等。此外,通过将本发明的一个方式的半导体装置用于上述控制装置6509及控制装置6616,可以降低功耗,所以是优选的。

[0394] [大型计算机]

接着,图23C示出大型计算机5600的立体图。在图23C所示的大型计算机5600中,多个机架式计算机5620收纳在机架5610中。此外,也可以将大型计算机5600称为超级计算机。

[0395] 计算机5620例如可以具有图23D所示的立体图的结构。在图23D中,计算机5620包括主板5630,主板5630包括多个插槽5631以及多个连接端子等。插槽5631插入有个人计算机卡5621。并且,个人计算机卡5621包括连接端子5623、连接端子5624、连接端子5625,它们连接到主板5630。

[0396] 图23E所示的个人计算机卡5621是包括CPU、GPU、存储装置等的处理板的一个例子。个人计算机卡5621具有板5622。此外,板5622包括连接端子5623、连接端子5624、连接端子5625、半导体装置5626、半导体装置5627、半导体装置5628以及连接端子5629。注意,图23E示出半导体装置5626、半导体装置5627以及半导体装置5628以外的半导体装置,关于这些半导体装置的说明,参照以下记载的半导体装置5626、半导体装置5627以及半导体装置5628的说明即可。

[0397] 连接端子5629具有可以插入主板5630的插槽5631的形状,连接端子5629被用作连接个人计算机卡5621与主板5630的接口。作为连接端子5629的规格例如可以举出PCIe等。

[0398] 连接端子5623、连接端子5624、连接端子5625例如可以被用作用来对个人计算机卡5621供电或输入信号等的接口。此外,例如,可以被用作用来进行个人计算机卡5621所计算的信号的输出等的接口。作为连接端子5623、连接端子5624、连接端子5625各自的规格例如可以举出USB (通用串行总线)、SATA (Serial ATA:串行ATA)、SCSI (Small Computer System Interface:小型计算机系统接口)等。此外,当从连接端子5623、连接端子5624、连接端子5625输出视频信号时,作为各规格可以举出HDMI (注册商标)等。

[0399] 半导体装置5626包括进行信号的输入及输出的端子(未图示),通过将该端子插入板5622所包括的插座(未图示),可以电连接半导体装置5626与板5622。

[0400] 半导体装置5627包括多个端子,例如通过将该端子以回流焊方式焊接到板5622所

包括的布线,可以电连接半导体装置5627与板5622。作为半导体装置5627,例如,可以举出FPGA、GPU、CPU等。作为半导体装置5627,例如可以使用电子构件730。

[0401] 半导体装置5628包括多个端子,例如通过将该端子以回流焊方式焊接到板5622所包括的布线,可以电连接半导体装置5628与板5622。作为半导体装置5628,例如,可以举出存储装置等。作为半导体装置5628,例如可以使用电子构件700。

[0402] 大型计算机5600可以用作并行计算机。通过将大型计算机5600用作并行计算机,例如可以进行人工智能的学习及推论所需要的大规模计算。

[0403] [太空设备]

可以将本发明的一个方式的半导体装置适用于处理并储存信息的设备等的太空设备。

[0404] 本发明的一个方式的半导体装置可以包括OS晶体管。该OS晶体管的因被照射辐射线而导致的电特性变动小。换言之,对于辐射线的耐性高,所以在有可能入射辐射线的环境下也可以适当地使用。例如,可以在宇宙空间中使用的情况下适当地使用OS晶体管。

[0405] 在图24中,作为太空设备的一个例子示出人造卫星6800。人造卫星6800包括主体6801、太阳能电池板6802、天线6803、二次电池6805以及控制装置6807。另外,图24示出在宇宙空间有行星6804的例子。注意,宇宙空间例如是指高度100km以上,但是本说明书所示的宇宙空间也可以包括热层、中间层及平流层。

[0406] 另外,虽然图24中未图示,但是也可以将电池管理系统(也称为BMS)或电池控制电路设置到二次电池6805。当将OS晶体管用于上述电池管理系统或电池控制电路时,功耗低,并且即使在宇宙空间也实现高可靠性,所以是优选的。

[0407] 另外,宇宙空间是其辐射剂量为地面的100倍以上的环境。作为辐射线,例如可以举出:以X射线及 γ 射线为代表的电磁波(电磁辐射线);以及以 α 射线、 β 射线、中子射线、质子射线、重离子射线、介子射线等为代表的粒子辐射线。

[0408] 在阳光照射到太阳能电池板6802时产生人造卫星6800进行工作所需的电力。然而,例如在阳光不照射到太阳能电池板的情况或者在照射到太阳能电池板的阳光量较少的情况下,所产生的电力量减少。因此,有可能不会产生人造卫星6800进行工作所需的电力。为了在所产生的电力较少的情况下也使人造卫星6800工作,优选在人造卫星6800中设置二次电池6805。另外,有时将太阳能电池板称为太阳能电池模块。

[0409] 人造卫星6800可以生成信号。该信号通过天线6803传送,例如地面上的接收机或其他人造卫星可以接收该信号。通过接收人造卫星6800所传送的信号,可以测量接收该信号的接收机的位置。由此,人造卫星6800可以构成卫星定位系统。

[0410] 另外,控制装置6807具有控制人造卫星6800的功能。控制装置6807例如使用选自CPU、GPU和存储装置中的任一个或多个构成。另外,优选将本发明的一个方式的OS晶体管用于控制装置6807。与Si晶体管相比,OS晶体管的因被照射辐射线而导致的电特性变动小。也就是说,OS晶体管在有可能入射辐射线的环境下也具有高可靠性且可以适当地使用。

[0411] 另外,人造卫星6800可以包括传感器。例如通过包括可见光传感器,人造卫星6800可以具有检测地面上的物体反射的阳光的功能。或者,通过包括热红外线传感器,人造卫星6800可以具有检测从地表释放的热红外线的功能。由此,人造卫星6800例如可以被用作地球观测卫星。

[0412] 注意,在本实施方式中,作为太空设备的一个例子示出人造卫星,但是不局限于此。例如,本发明的一个方式的半导体装置可以适当地应用于宇宙飞船、太空舱、太空探测器等太空设备。

[0413] 如以上的说明那样,与Si晶体管相比,0S晶体管具有优异的效果,诸如可以实现较宽的存储器带宽、耐辐射线高。

[0414] [数据中心]

例如,可以将本发明的一个方式的半导体装置适用于数据中心等采用的存储系统。数据中心被要求保证数据不变性等进行数据的长期管理。在进行数据的长期管理时需要使设施大型化,诸如设置用来储存庞大的数据的存储及服务器、确保稳定的电源以保持数据或者确保在数据的保持中需要的冷却设备等。

[0415] 通过将本发明的一个方式的半导体装置用于数据中心采用的存储系统,可以实现数据保持所需的功率的降低、保持数据的半导体装置小型化。因此,可以实现存储系统的小型化、用来保持数据的电源的小型化、冷却设备规模的缩小等。由此,可以实现数据中心的省空间。

[0416] 此外,本发明的一个方式的半导体装置的功耗少,因此可以降低电路发热。由此,可以减少因该发热而给电路本身、外围电路及模块带来的负面影响。此外,通过使用本发明的一个方式的半导体装置,可以实现高温环境下也稳定工作的数据中心。因此,可以提高数据中心的可靠性。

[0417] 图25示出可用于数据中心的存储系统。图25所示的存储系统7000作为主机7001(图示为主计算机)包括多个服务器7001sb。另外,作为存储7003(图示为存储)包括多个存储装置7003md。示出主机7001和存储7003通过存储区域网络7004(图示为SAN:Storage Area Network)及存储控制电路7002(图示为存储控制器)连接的形态。

[0418] 主机7001相当于访问储存在存储7003中的数据的计算机。主机7001彼此也可以通过网络连接。

[0419] 在存储7003中,通过使用快闪存储器缩短数据的访问速度,即缩短数据的存储及输出所需要的时间,但是该时间比可用作存储中的高速缓冲存储器的DRAM所需要的时间长得多。在存储系统中,为了解决存储7003的访问速度较长的问题,一般在存储中设置高速缓冲存储器来缩短数据的存储及输出所需要的时间。

[0420] 在存储控制电路7002及存储7003中使用上述高速缓冲存储器。主机7001和存储7003交换的数据在储存在存储控制电路7002及存储7003中的该高速缓冲存储器之后输出到主机7001或存储7003。

[0421] 当作为用来储存上述高速缓冲存储器的数据的晶体管使用0S晶体管来保持对应于数据的电位时,可以减少刷新频率来降低功耗。此外,通过层叠存储单元阵列可以实现小型化。

[0422] 注意,通过将本发明的一个方式的半导体装置用于选自电子构件、电子设备、大型计算机、太空设备和数据中心中的任一个或多个,可期待功耗降低的效果。因此,目前被认为随着半导体装置的高性能化或高集成化能量需求增加,通过使用本发明的一个方式的半导体装置,也可以减少以二氧化碳(CO₂)为代表的温室气体的排放量。另外,本发明的一个方式的半导体装置具有低功耗,因此作为全球变暖的措施也有效。

[0423] 本实施方式所示的构成、结构、方法等可以与其他实施方式等所示的构成、结构、方法等适当地组合而使用。

[0424] [符号说明]

ADDR地址信号

BIL:布线、CA:电容器、CAL:布线、CB:电容器、CE:控制信号、GNDL:布线、MC:存储单元、RBL:布线、RDATA:数据信号、RES:控制信号、RWL:布线、SL:布线、WBL:布线、WDATA:数据信号、WE:控制信号、WOL:布线、WWL:布线、10:半导体装置、100A:存储单元、100B:存储单元、100C:存储单元、100D:存储单元、100:存储单元、200a:晶体管、200b:晶体管、200c:晶体管、200c1:晶体管、200c2:晶体管、200:晶体管、201:电容器、212:绝缘体、230a:氧化物、230A:氧化膜、230b:氧化物、230:氧化物、242b:导电体、242c:导电体、242:导电体、243:导电体、244:导电体、246a:导电体、246b:导电体、246:导电体、250a:绝缘体、250A:绝缘膜、250b:绝缘体、250:绝缘体、254a:绝缘体、254b:绝缘体、258a:开口、258b:开口、260:导电体、261:绝缘体、262a:导电体、262c:导电体、262:导电体、263:绝缘体、270:绝缘体、271:绝缘体、272:绝缘体、274:绝缘体、275:绝缘体、281:绝缘体、282:绝缘体、283:绝缘体、284:绝缘体、285:绝缘体、286:绝缘体、300:晶体管、311:衬底、313:半导体区域、314a:低电阻区域、314b:低电阻区域、315:绝缘体、316:导电体、320:绝缘体、322:绝缘体、324:绝缘体、326:绝缘体、328:导电体、330:导电体、350:绝缘体、352:绝缘体、354:绝缘体、356:导电体、700:电子构件、702:印刷电路板、704:电路板、710:半导体装置、711:模子、712:连接盘、713:电极焊盘、714:引线、715:驱动电路层、716:存储层、730:电子构件、731:插板、732:封装衬底、733:电极、735:半导体装置、1100:USB存储器、1101:外壳、1102:盖子、1103:USB连接器、1104:基板、1105:存储器芯片、1106:控制器芯片、1110:SD卡、1111:外壳、1112:连接器、1113:基板、1114:存储器芯片、1115:控制器芯片、1150:SSD、1151:外壳、1152:连接器、1153:基板、1154:存储器芯片、1155:存储器芯片、1156:控制器芯片、1400:存储装置、1411:外围电路、1420:行电路、1430:列电路、1440:输出电路、1460:控制逻辑电路、1470:存储单元阵列、1471:存储单元、1472:存储单元、1473:存储单元、1474:存储单元、1475:存储单元、1480:层、1490_1:层、1490_2:层、1490:层、5600:大型计算机、5610:机架、5620:计算机、5621:计算机卡、5622:板、5623:连接端子、5624:连接端子、5625:连接端子、5626:半导体装置、5627:半导体装置、5628:半导体装置、5629:连接端子、5630:母板、5631:插槽、6500:电子设备、6501:外壳、6502:显示部、6503:电源按钮、6504:按钮、6505:扬声器、6506:麦克风、6507:摄像头、6508:光源、6509:控制装置、6600:电子设备、6611:外壳、6612:键盘、6613:指向装置、6614:外部连接端口、6615:显示部、6616:控制装置、6800:人造卫星、6801:主体、6802:太阳能电池板、6803:天线、6804:行星、6805:二次电池、6807:控制装置、7000:存储系统、7001sb:服务器、7001:主机、7002:存储控制电路、7003md:存储装置、7003:存储。

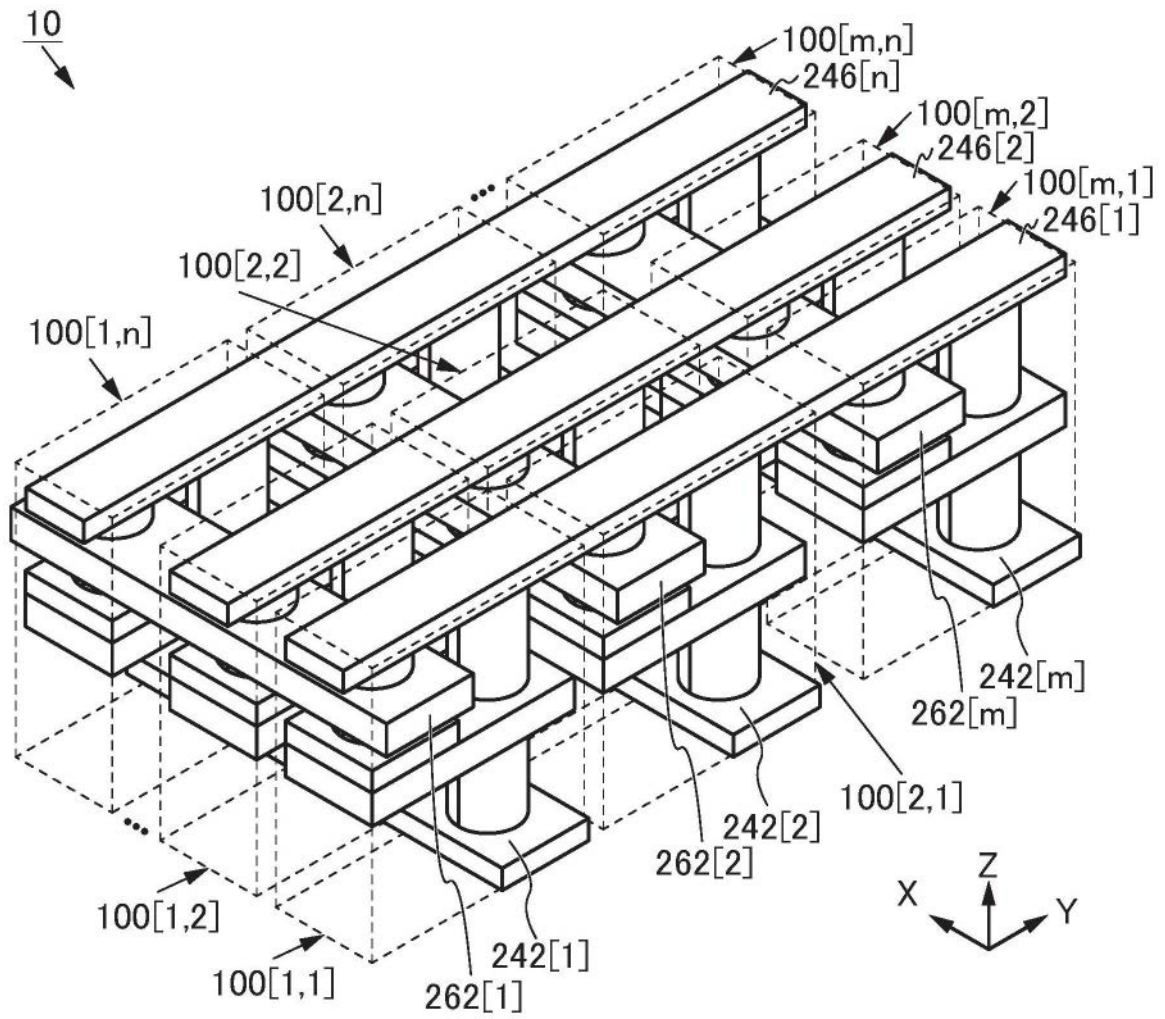


图1A

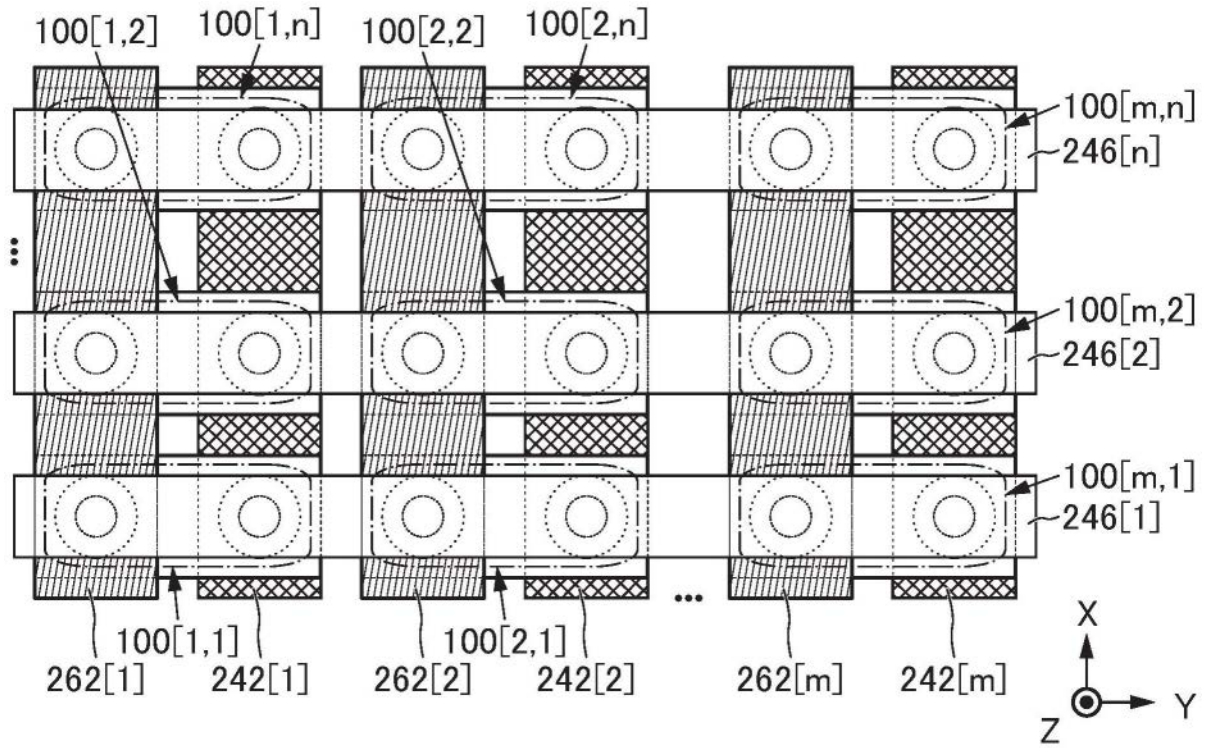


图1B

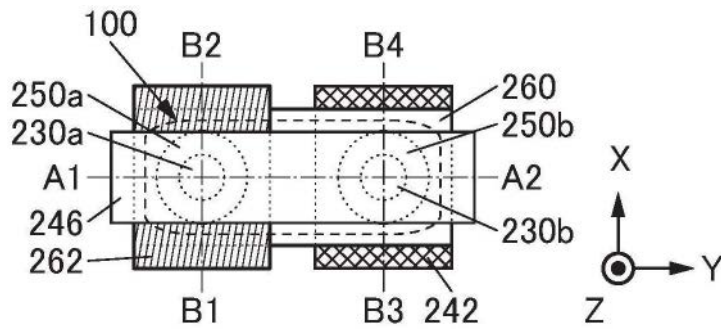


图2A

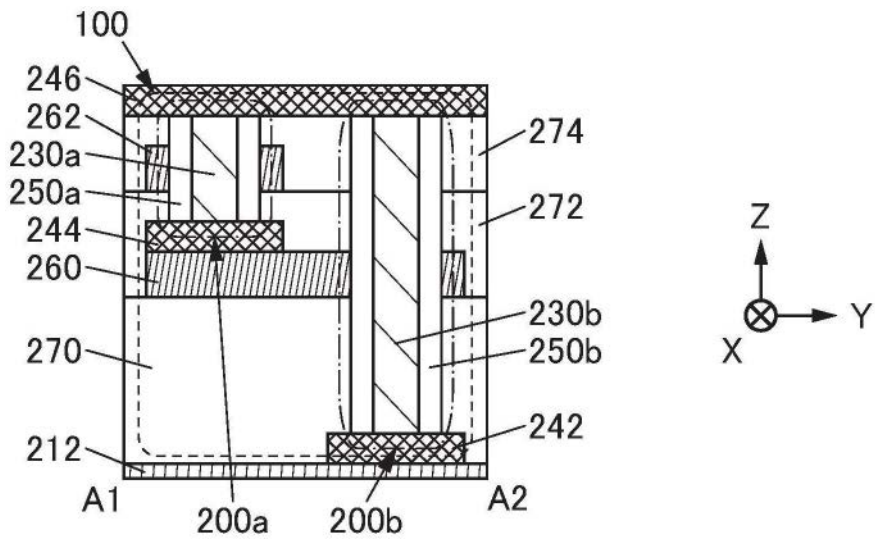


图2B

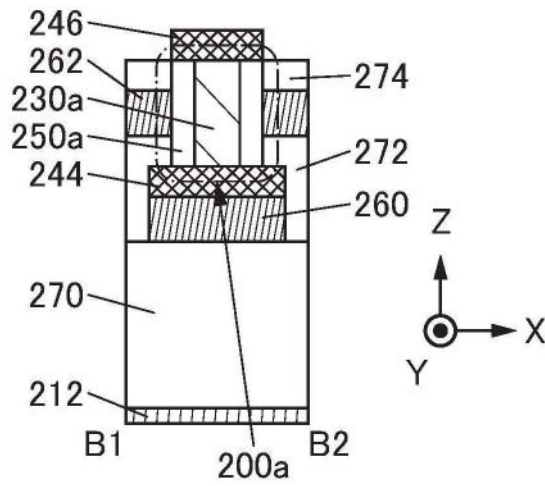


图2C

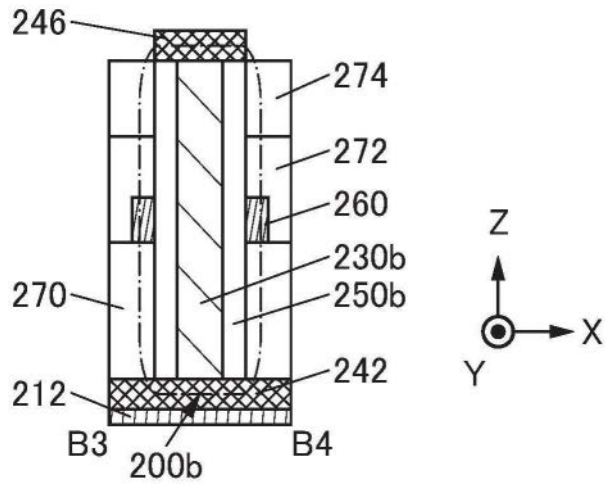


图2D

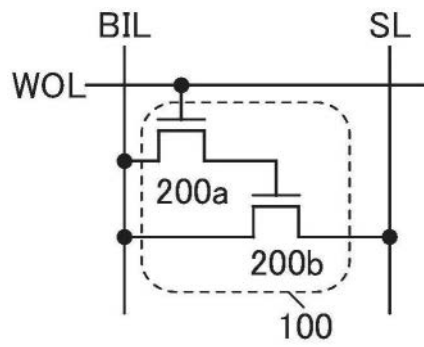


图2E

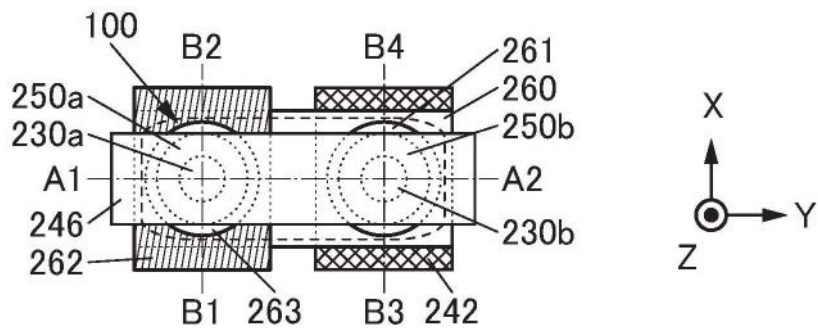


图3A

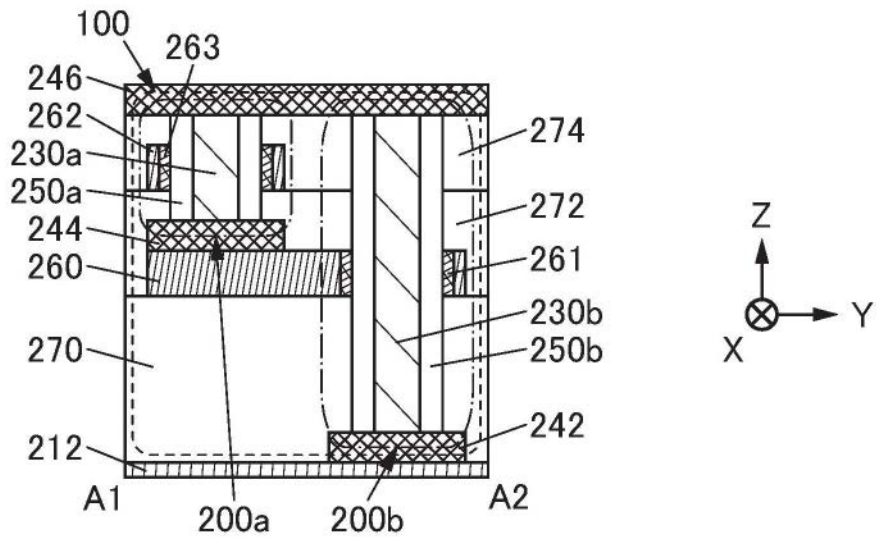


图3B

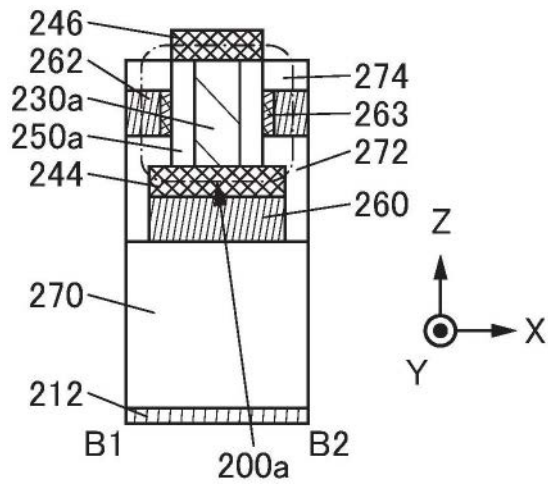


图3C

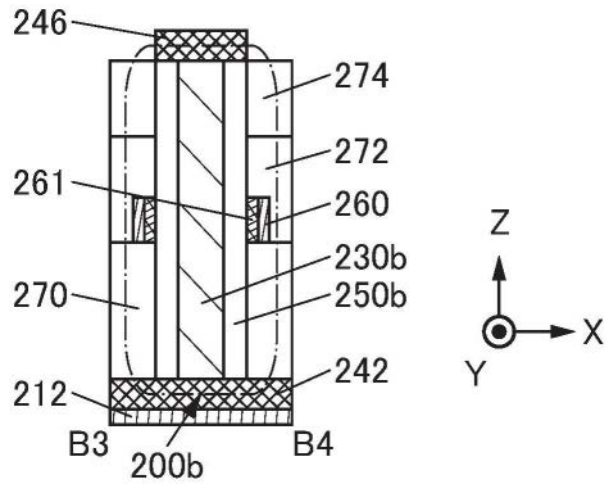


图3D

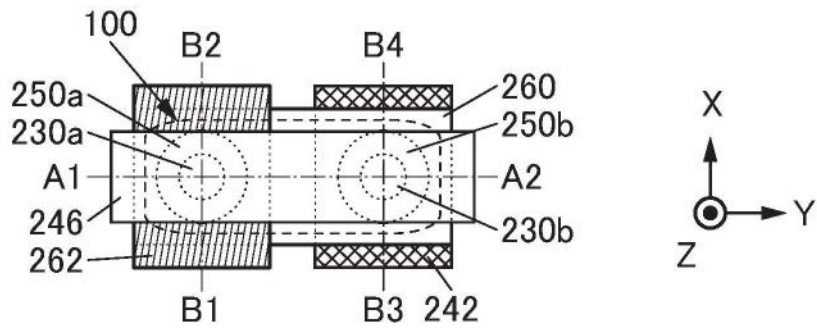


图4A

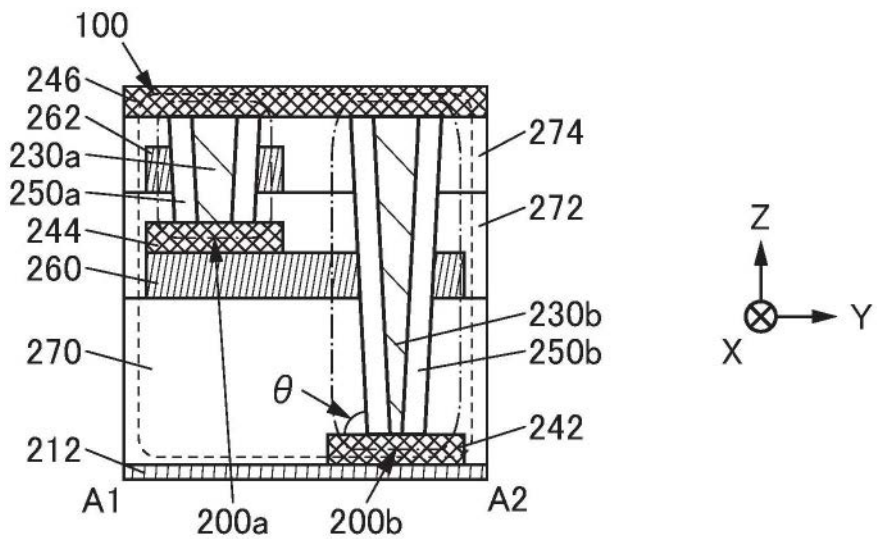


图4B

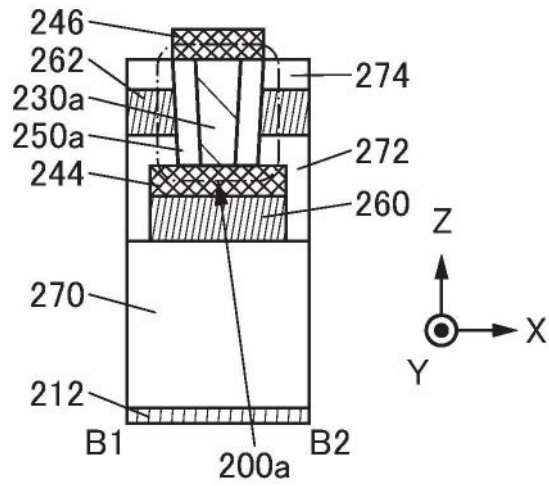


图4C

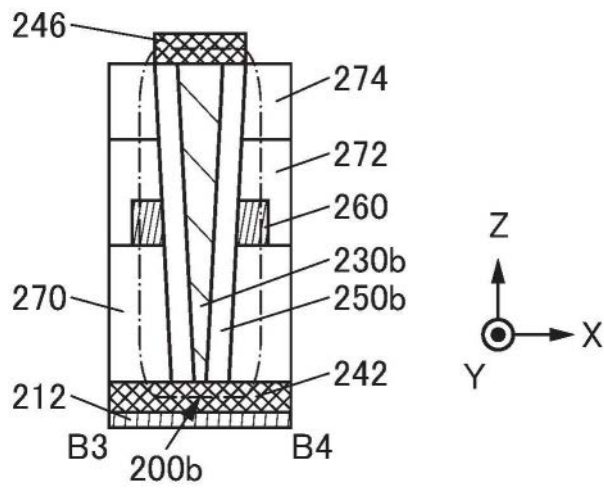


图4D

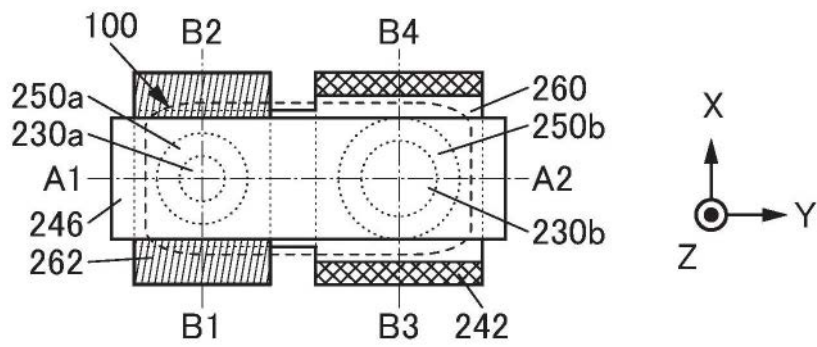


图5A

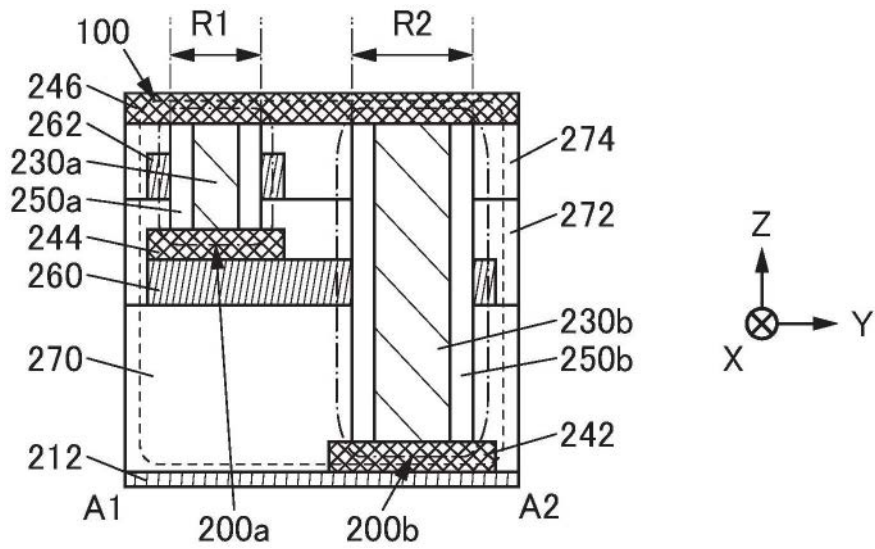


图5B

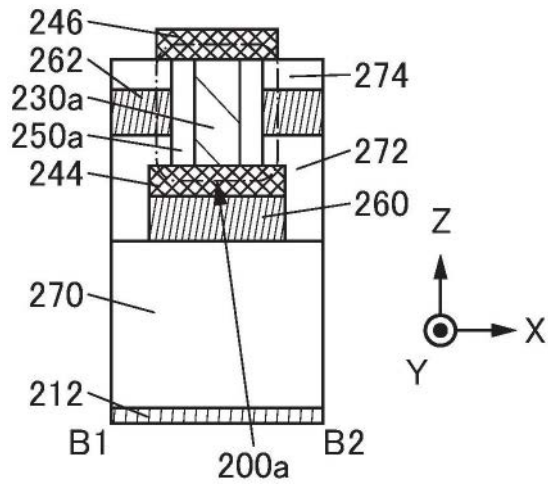


图5C

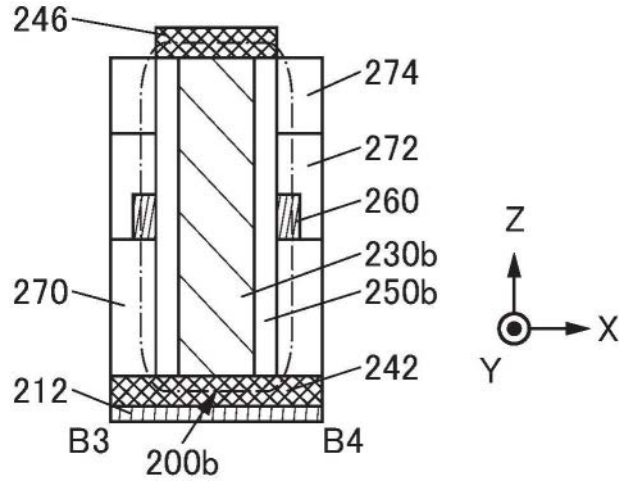


图5D

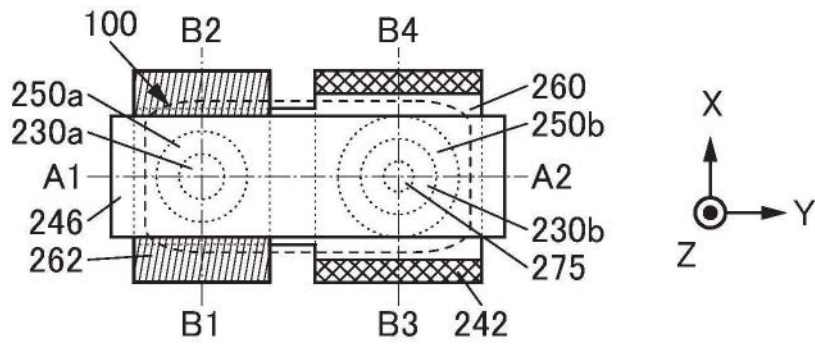


图6A

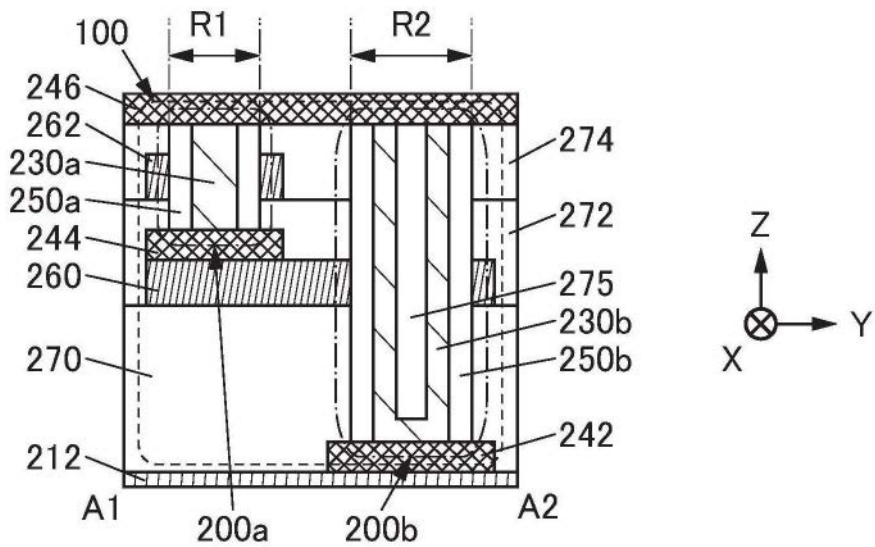


图6B

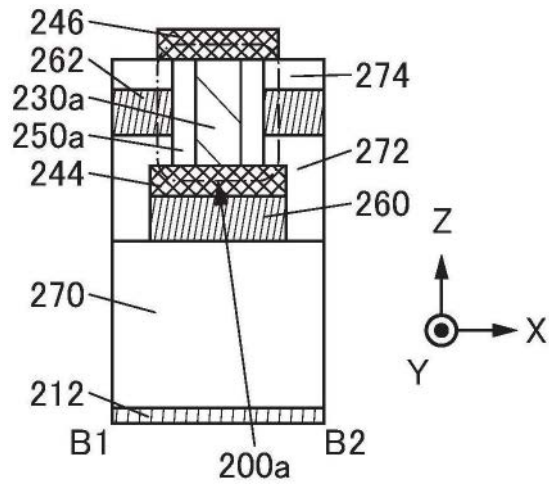


图6C

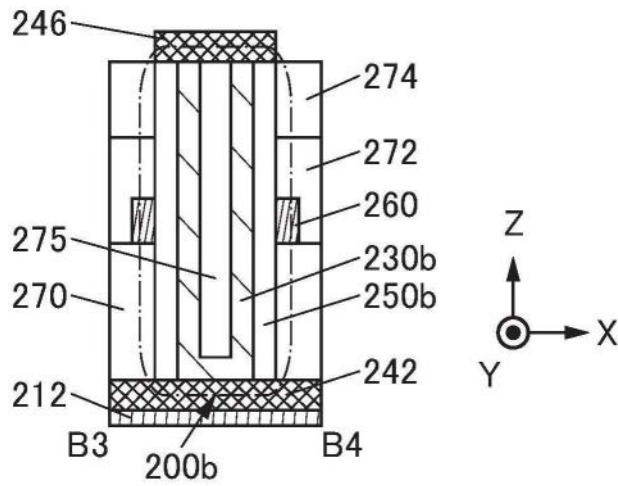


图6D

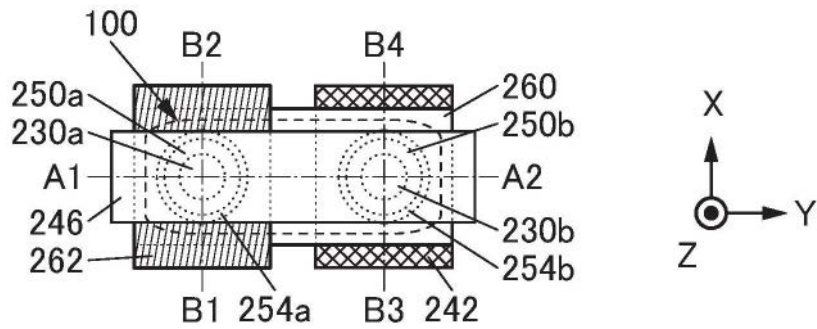


图7A

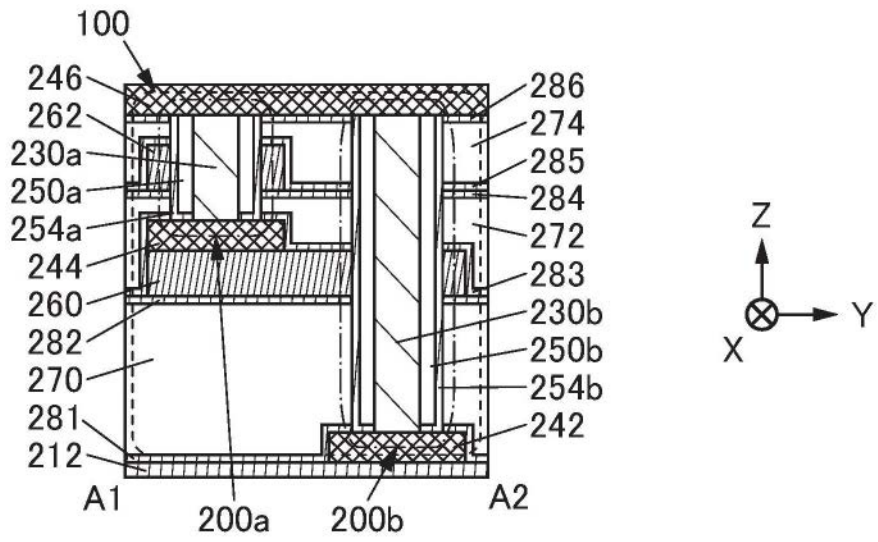


图7B

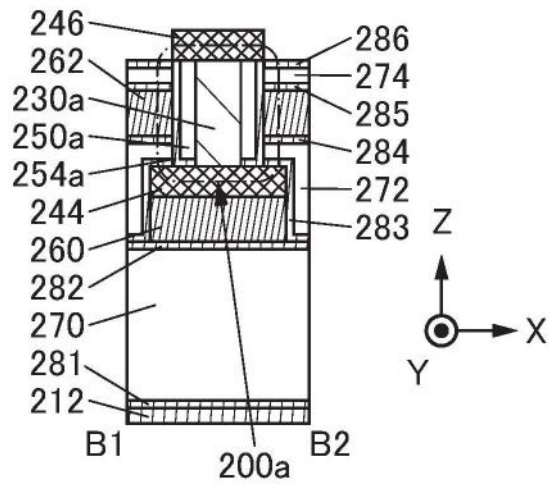


图7C

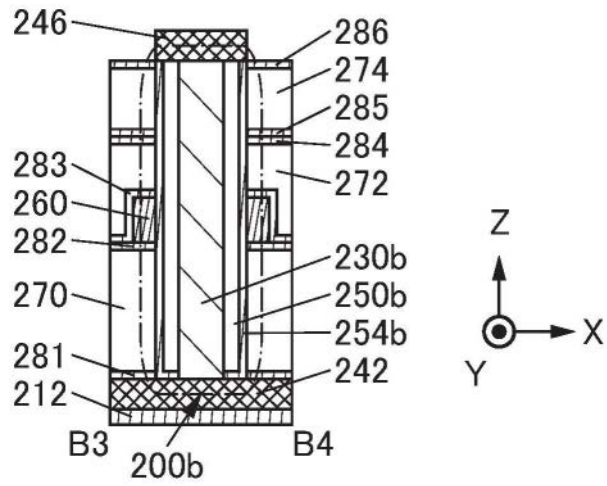


图7D

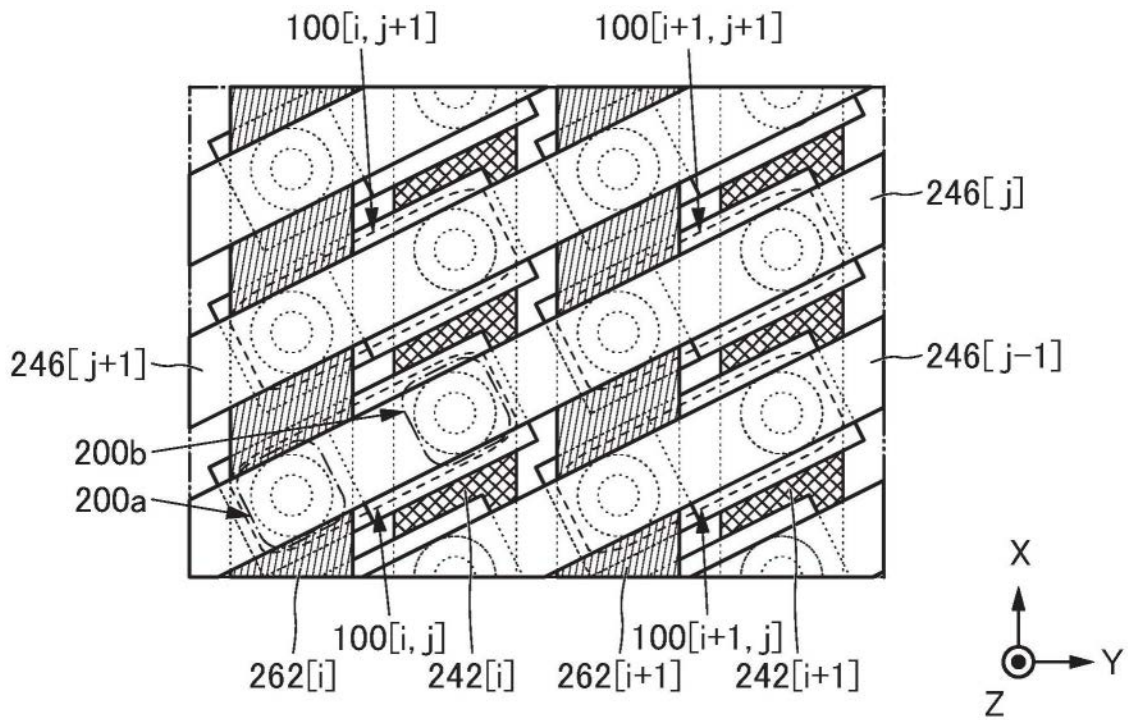


图8A

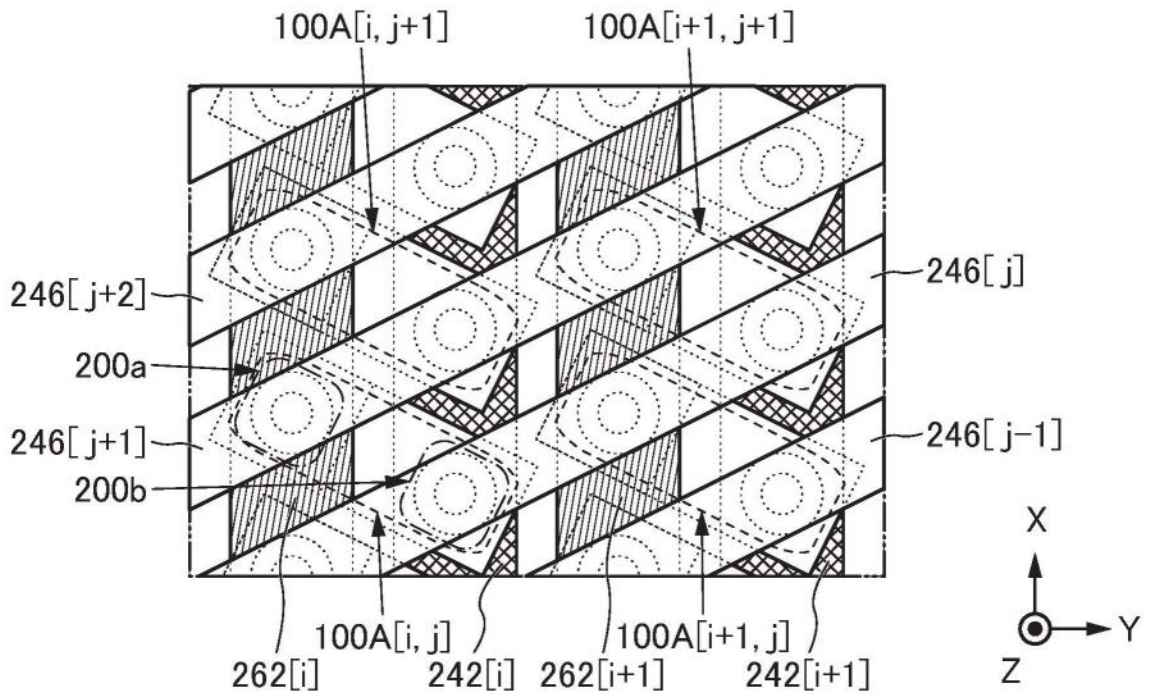


图8B

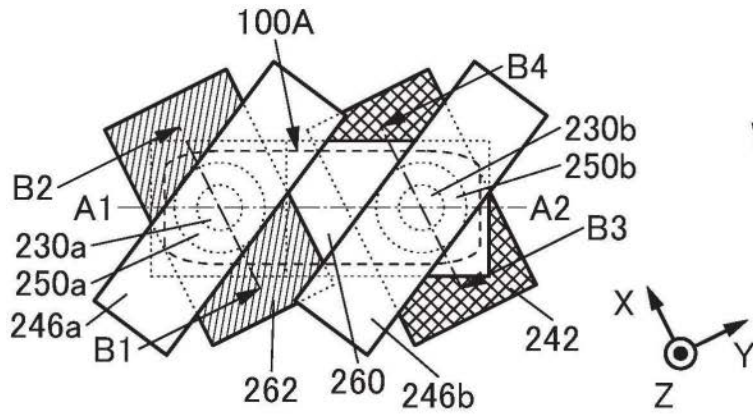


图9A

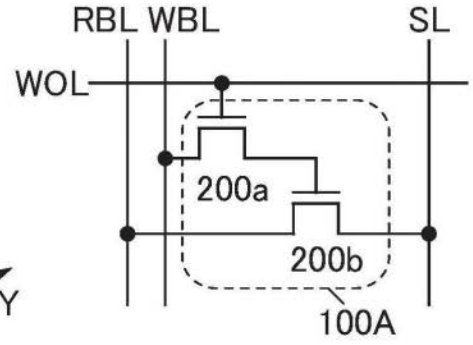


图9E

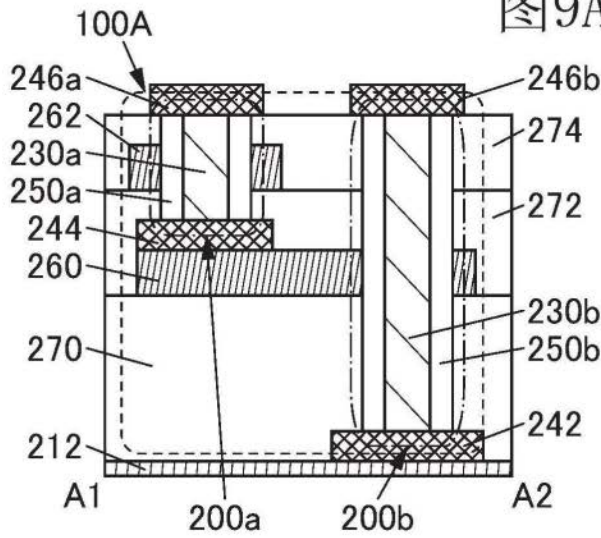


图9B

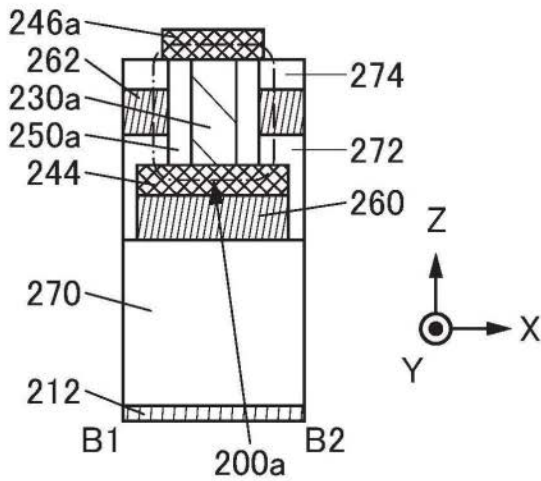


图9C

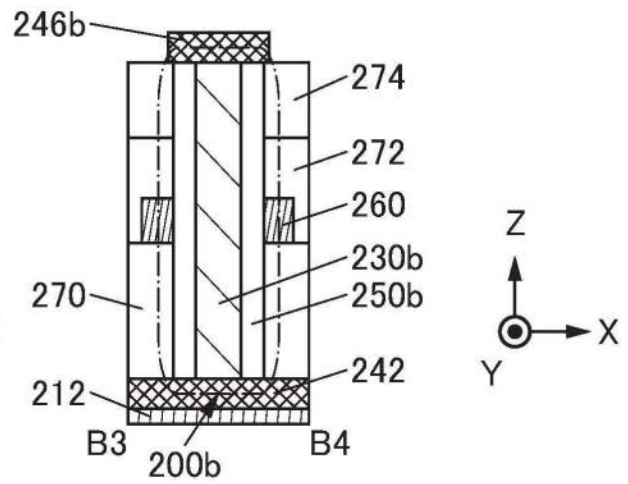


图9D

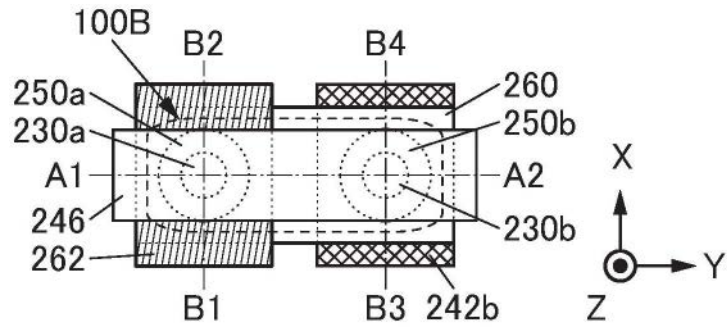


图10A

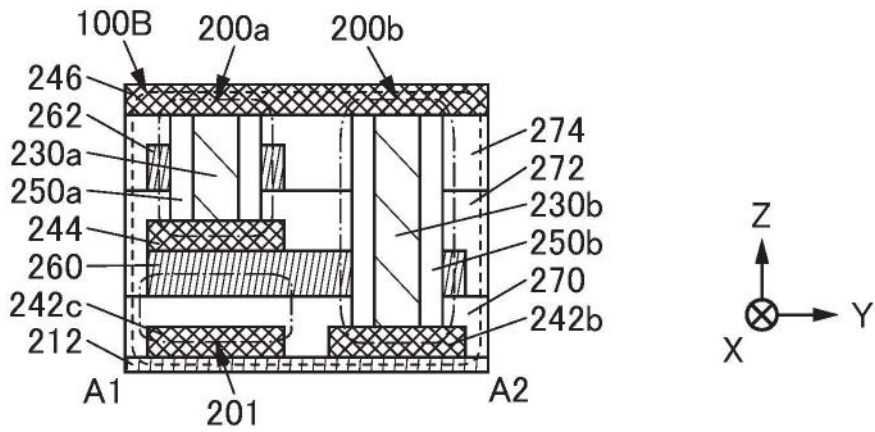


图10B

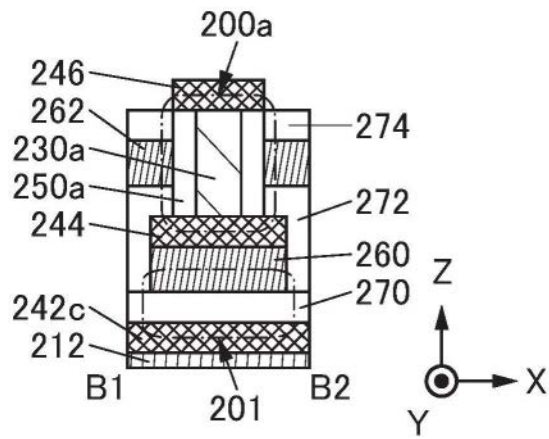


图10C

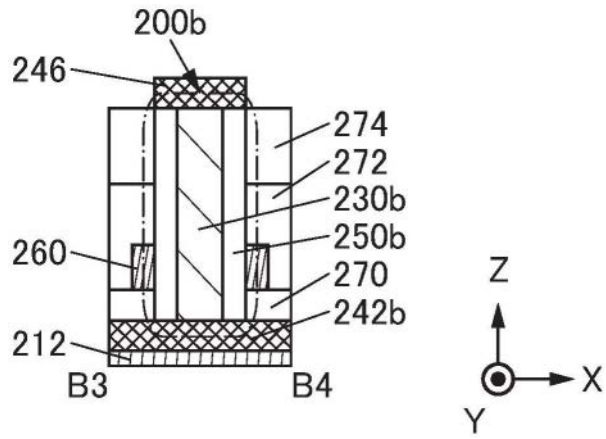


图10D

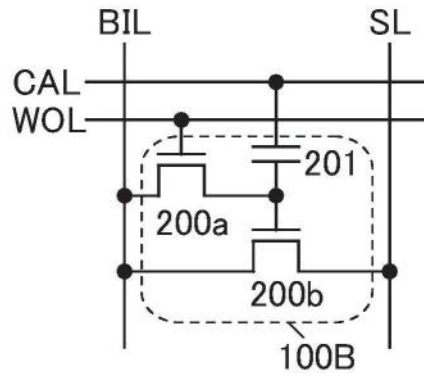


图10E

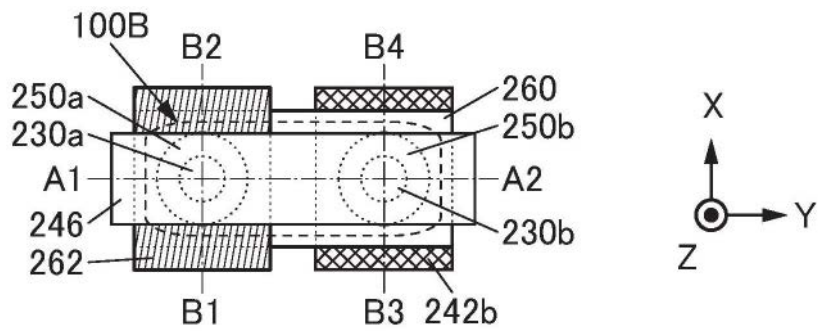


图11A

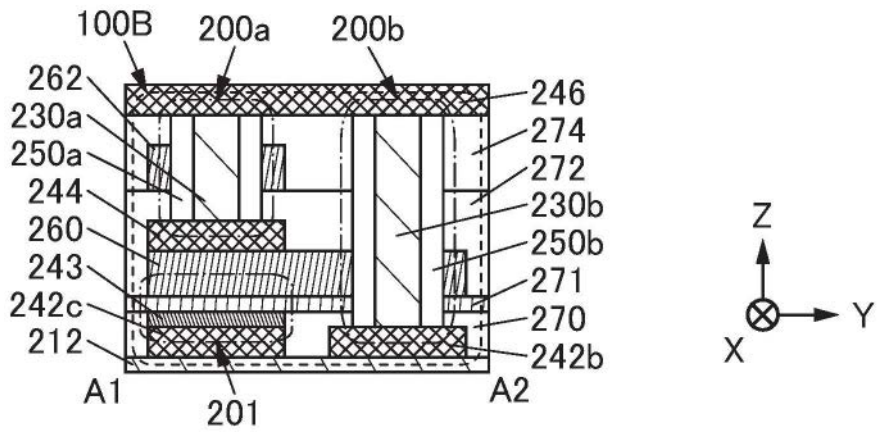


图11B

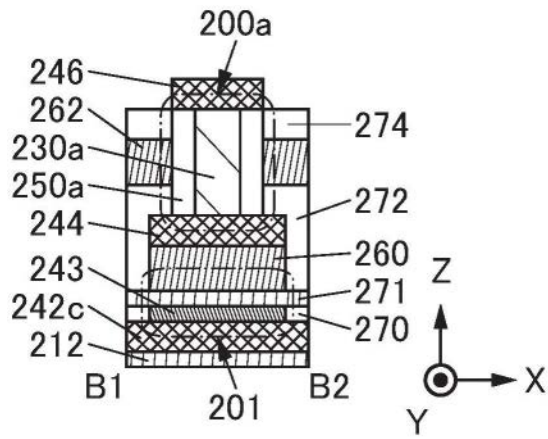


图11C

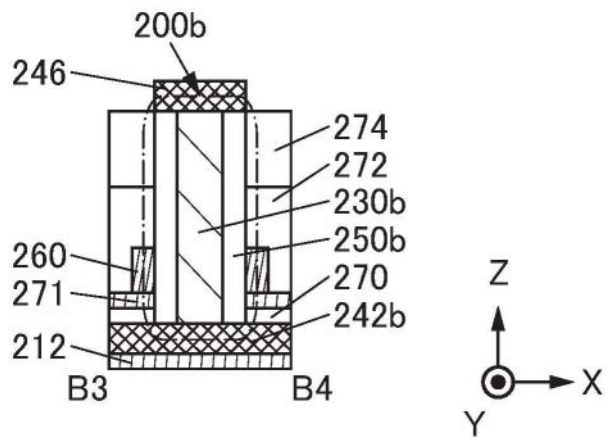


图11D

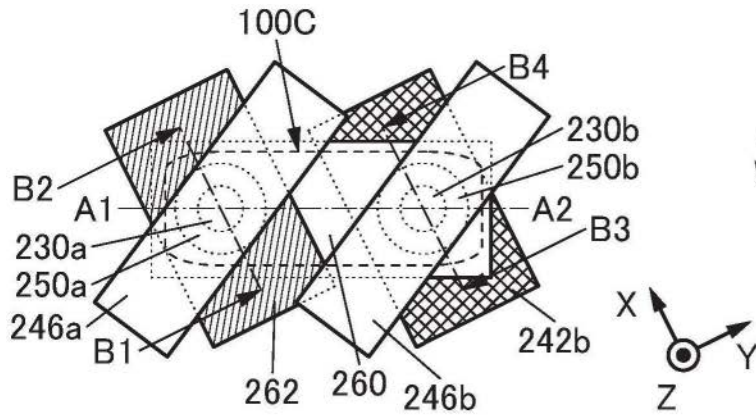


图12A

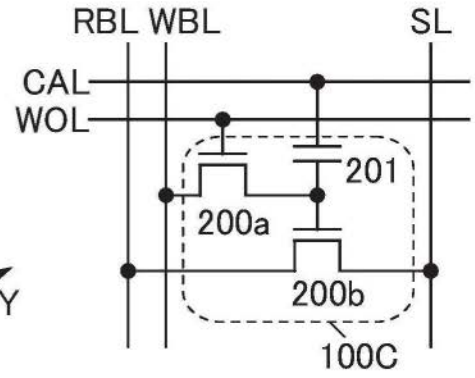


图12E

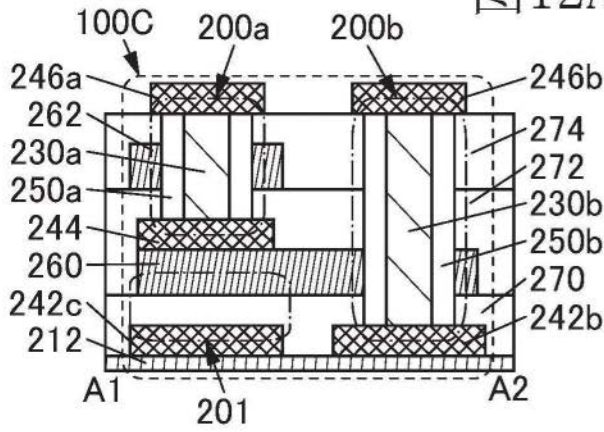


图12B

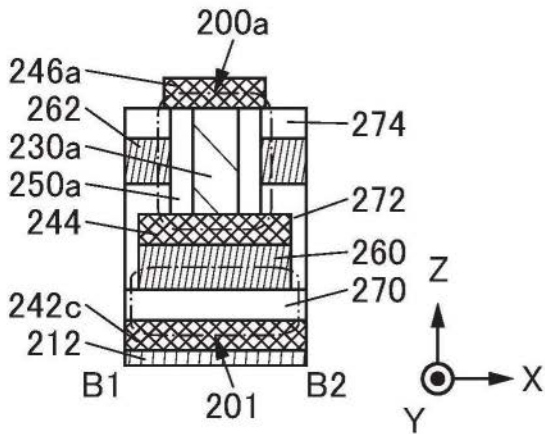


图12C

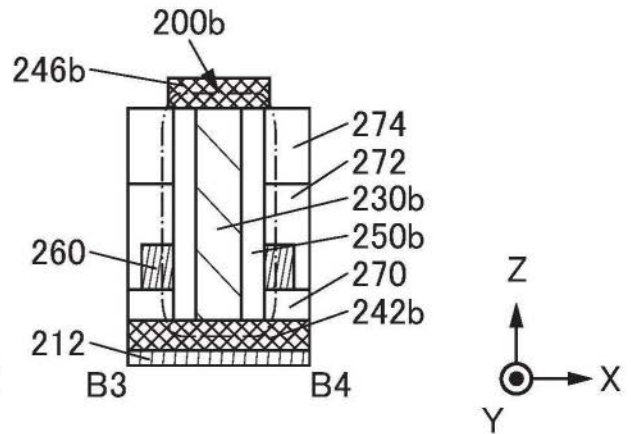


图12D

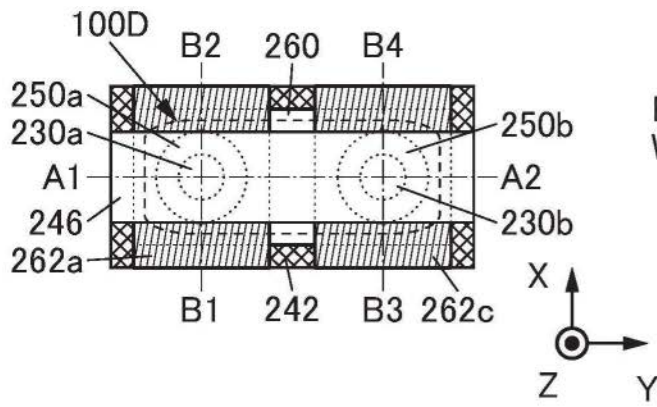


图13A

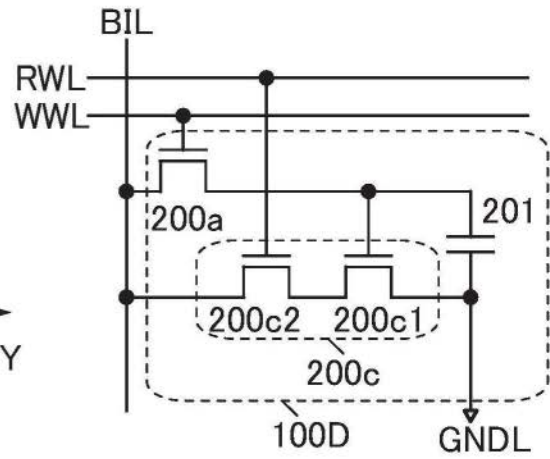


图13E

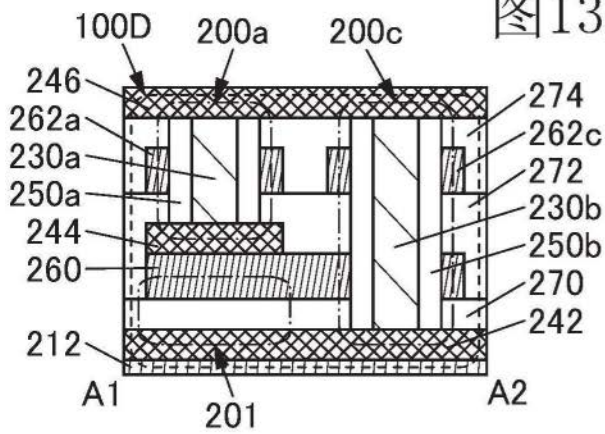


图13B

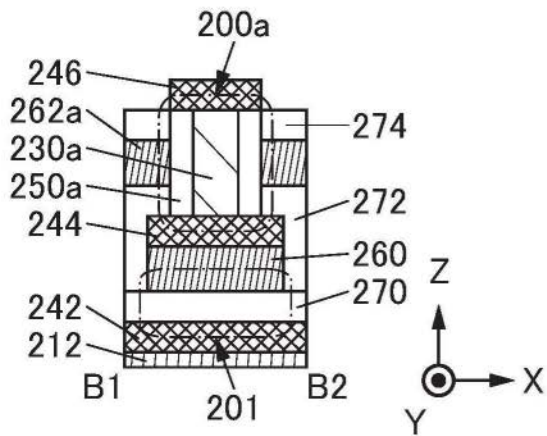


图13C

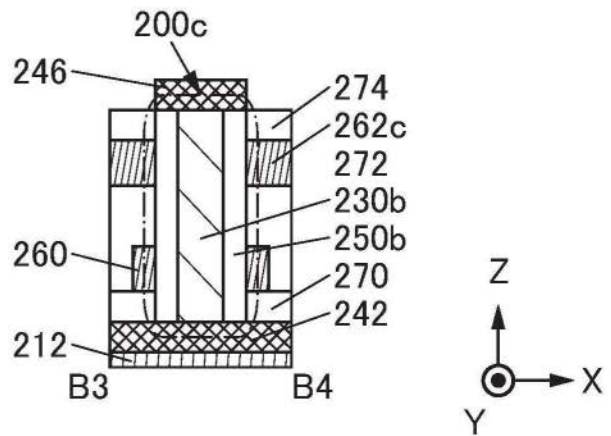


图13D

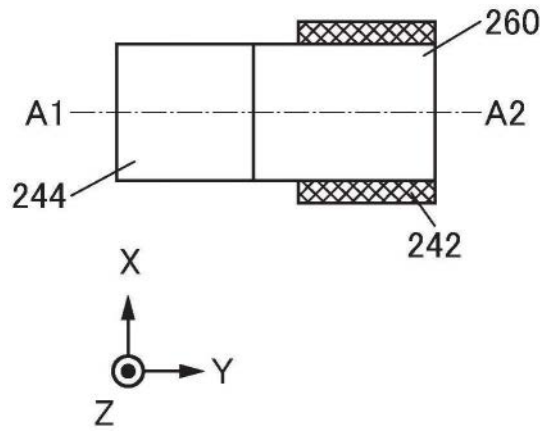


图14A

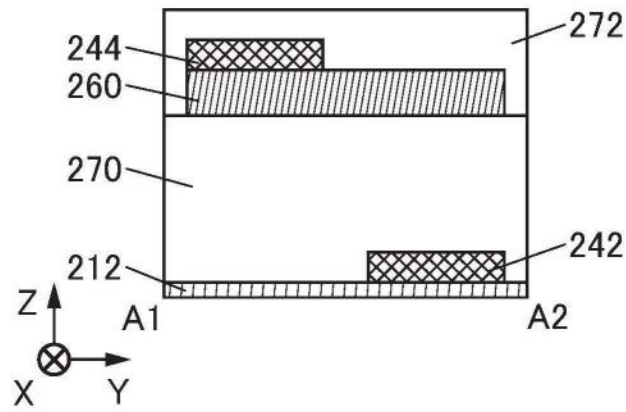


图14B

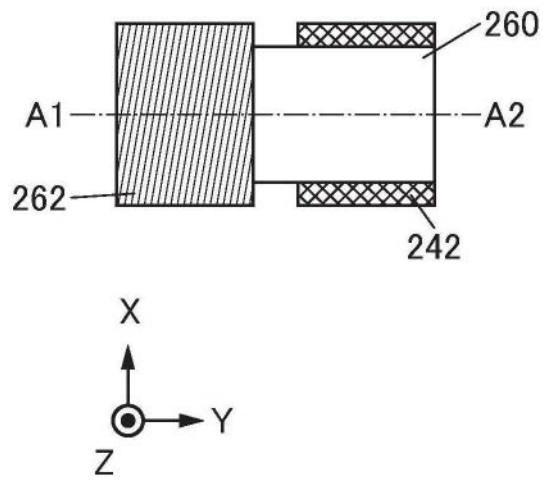


图14C

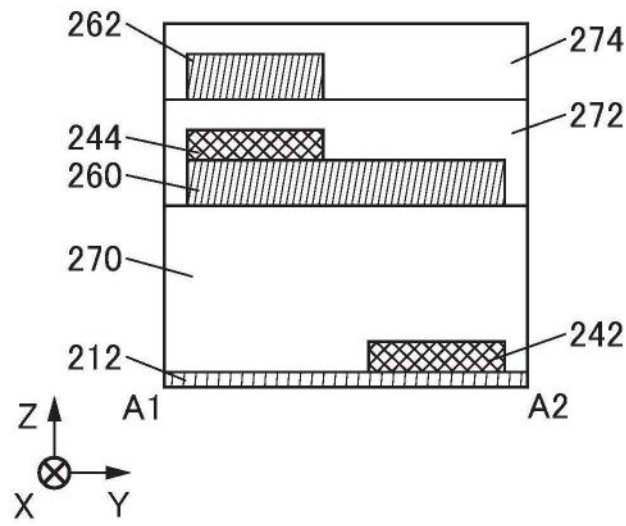


图14D

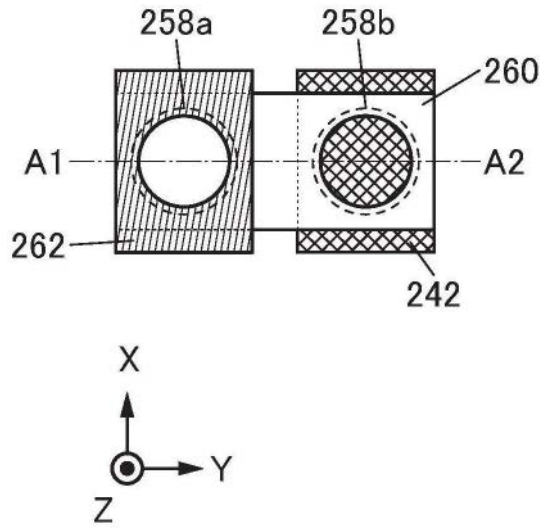


图14E

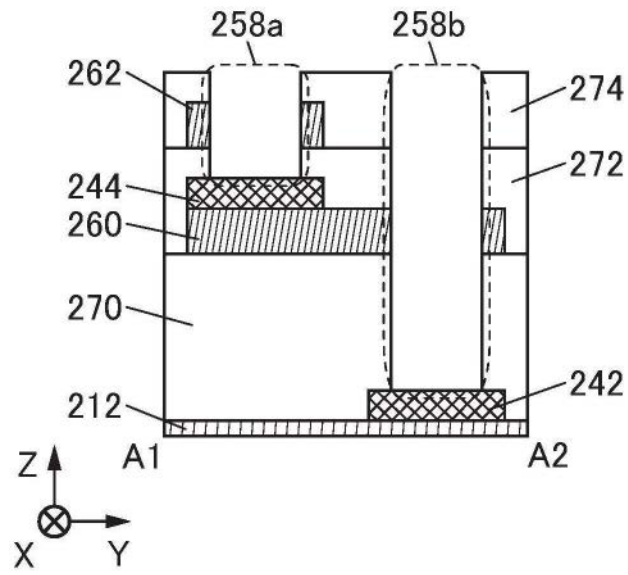


图14F

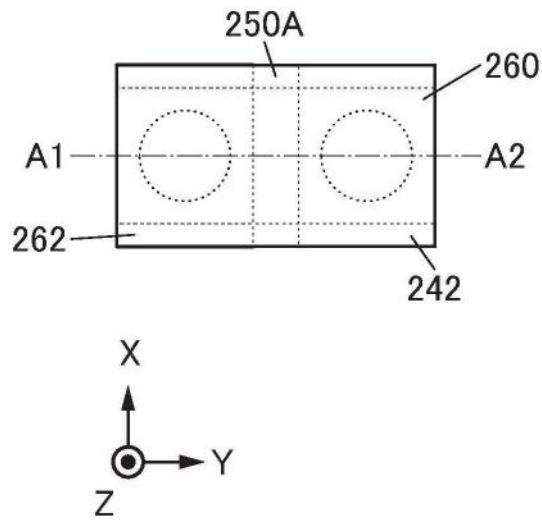


图15A

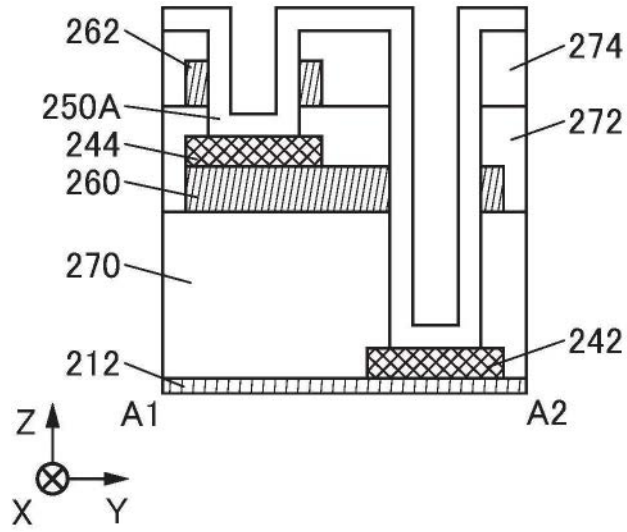


图15B

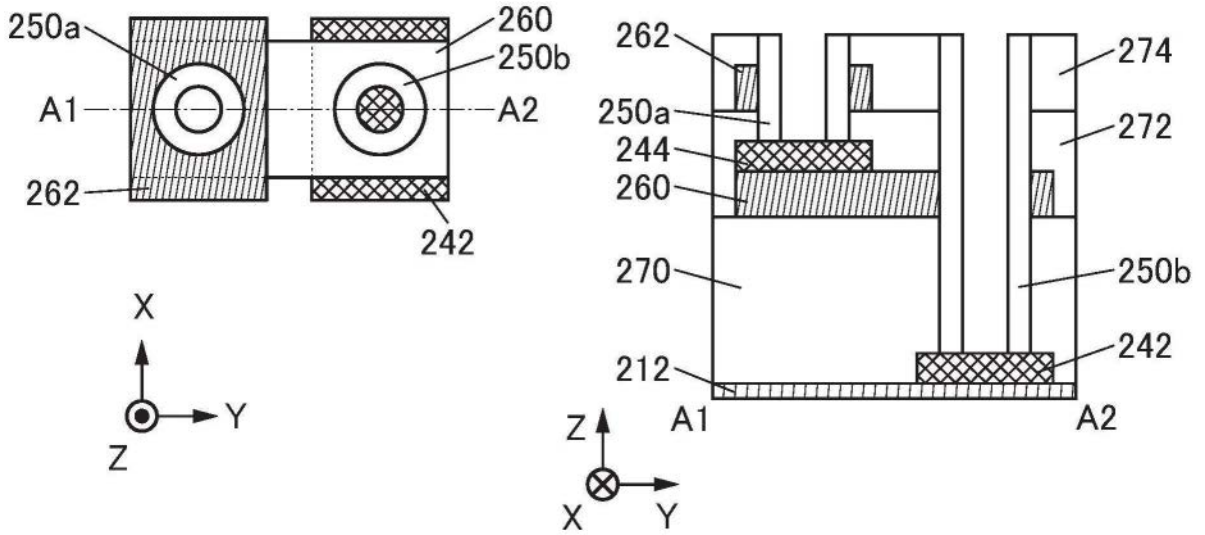


图15C

图15D

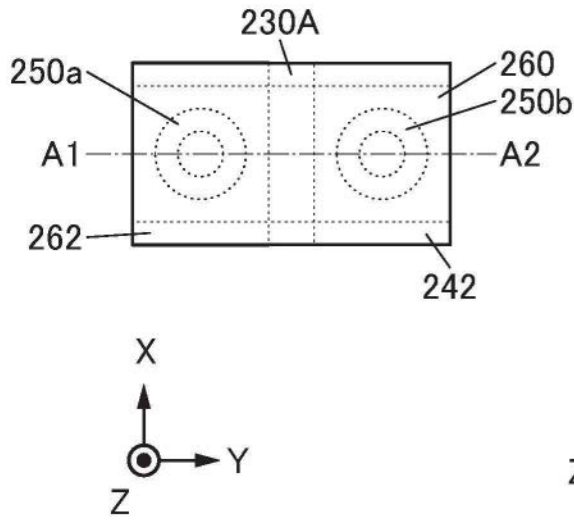


图16A

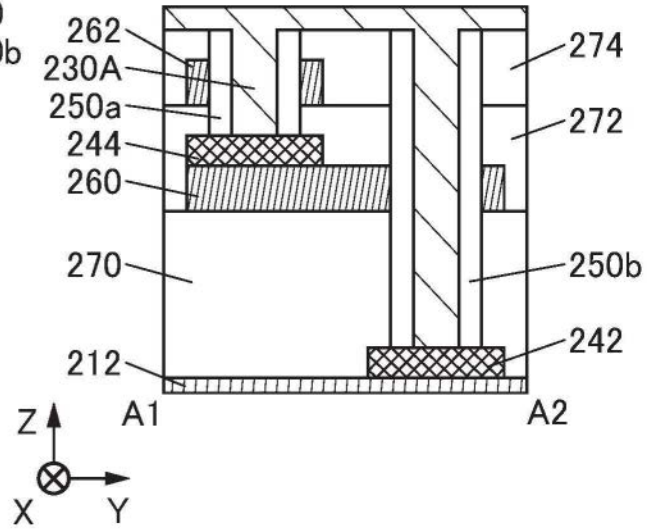


图16B

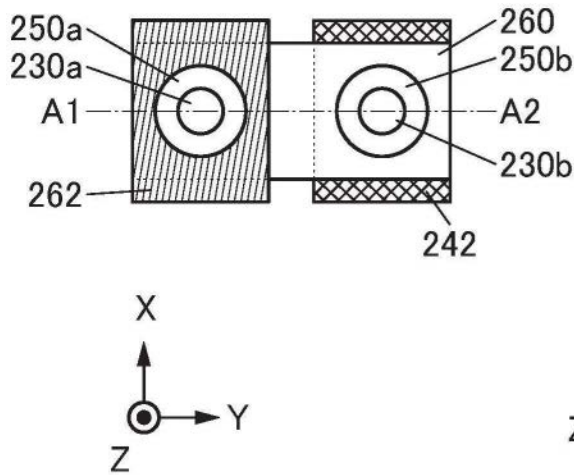


图16C

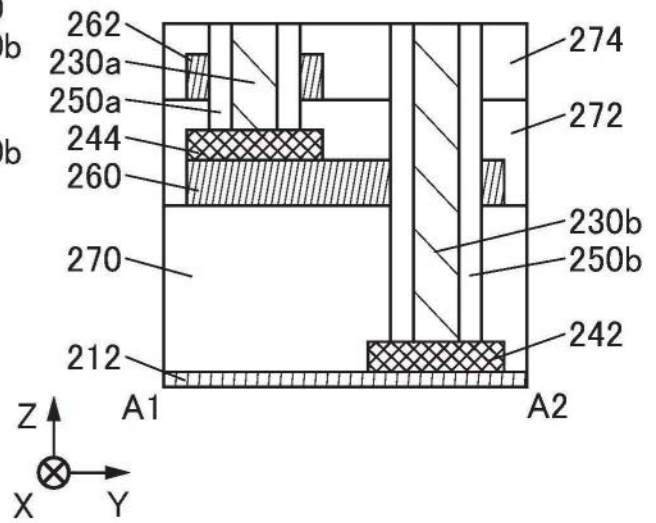


图16D

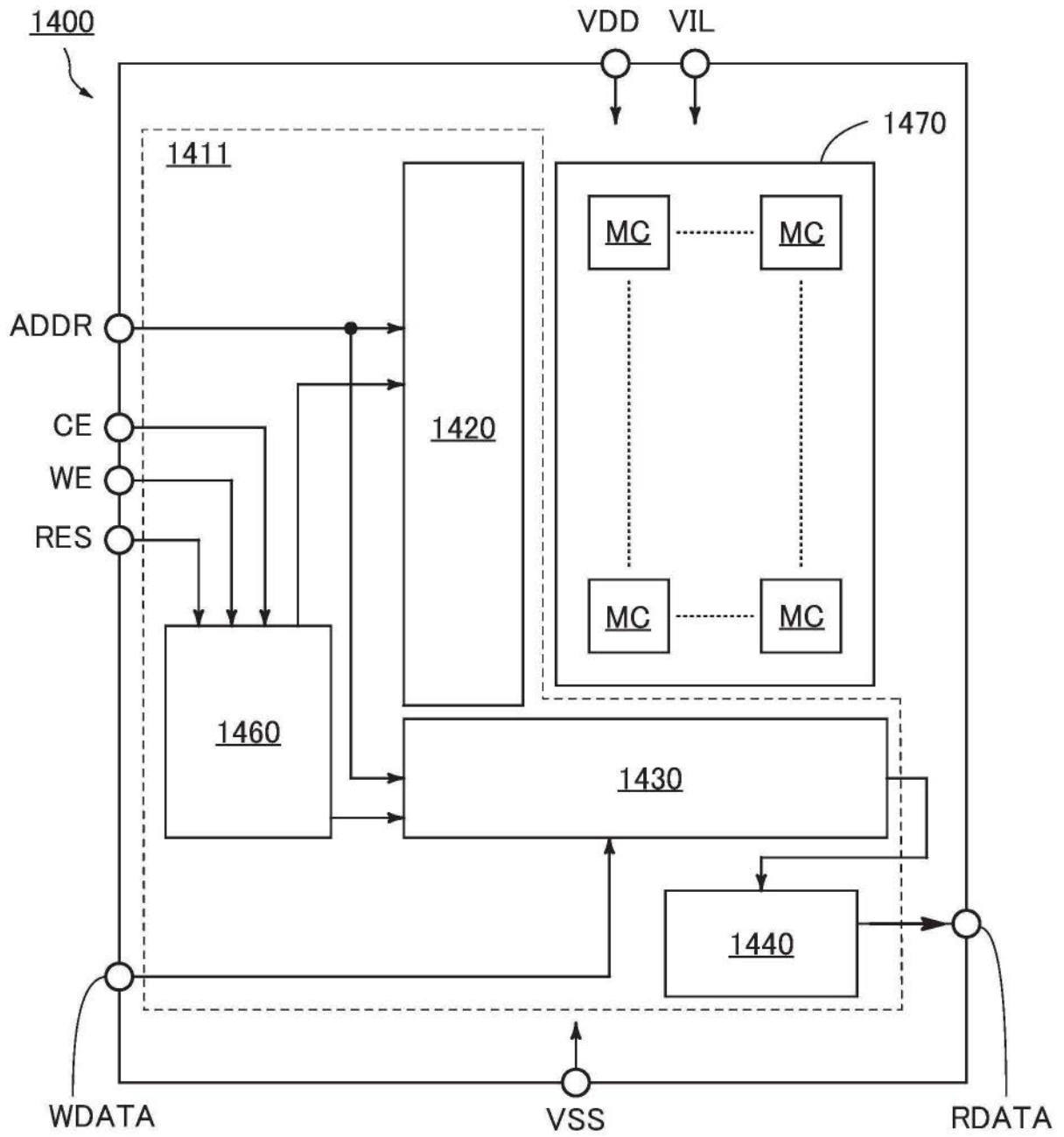


图17A

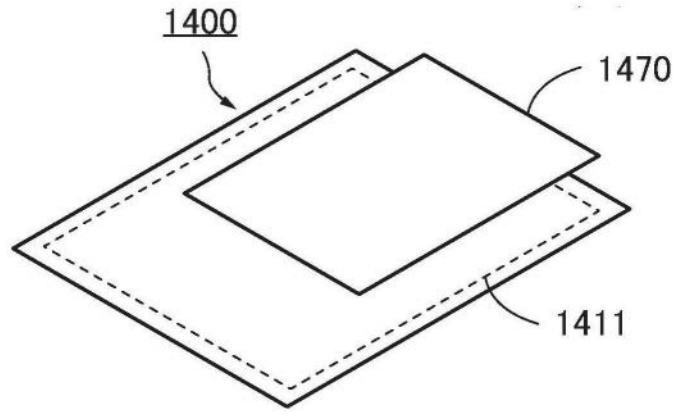


图17B

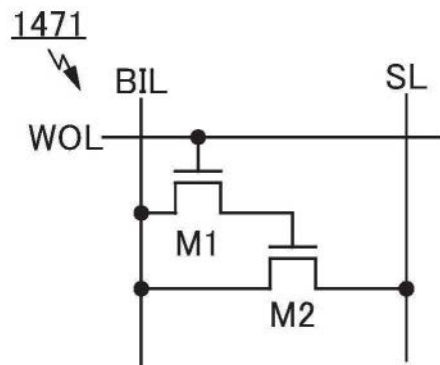


图18A

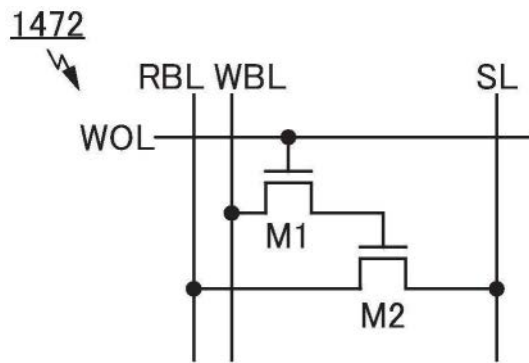


图18B

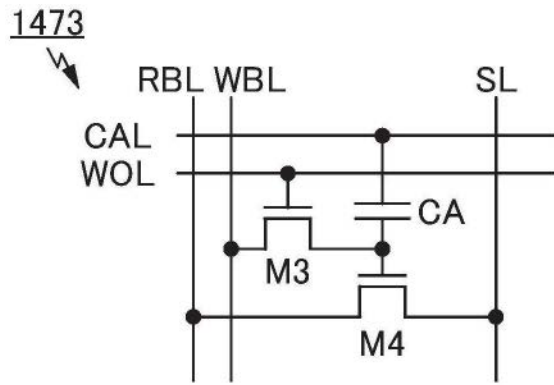


图18C

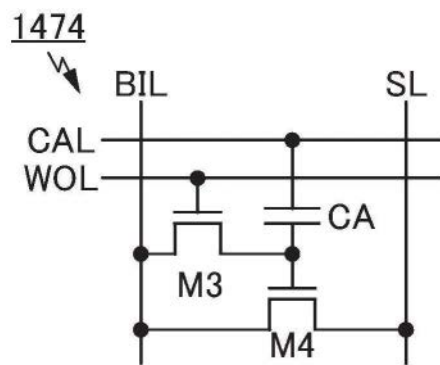


图18D

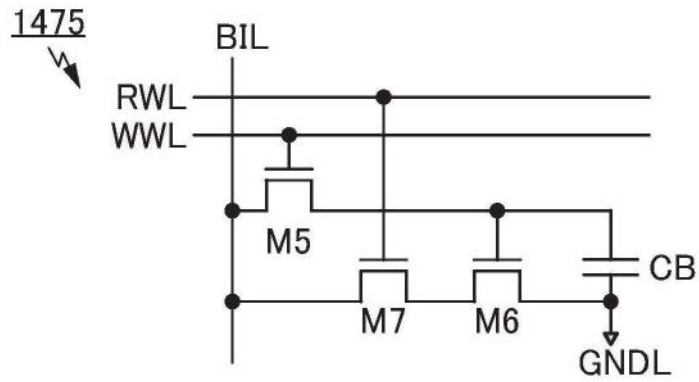


图18E

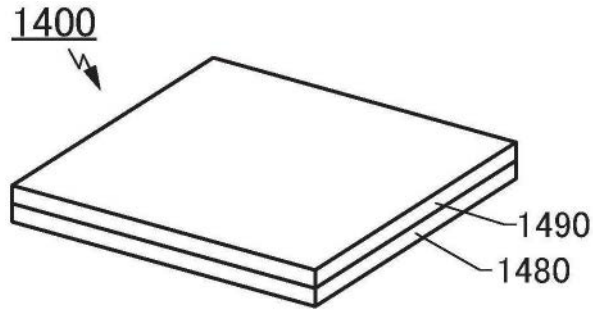


图18F

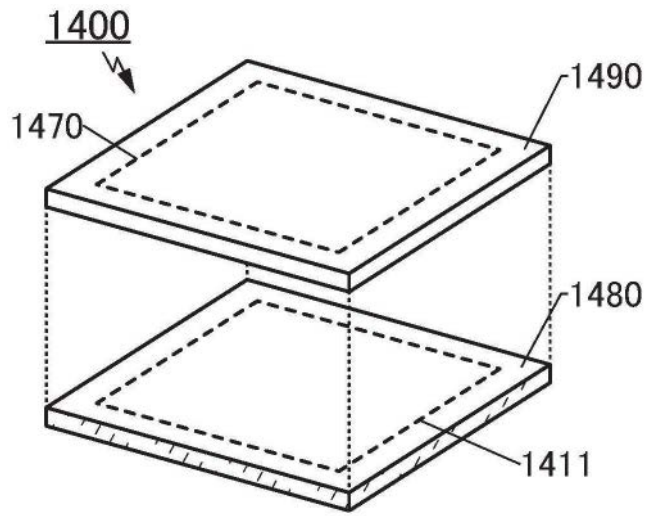


图18G

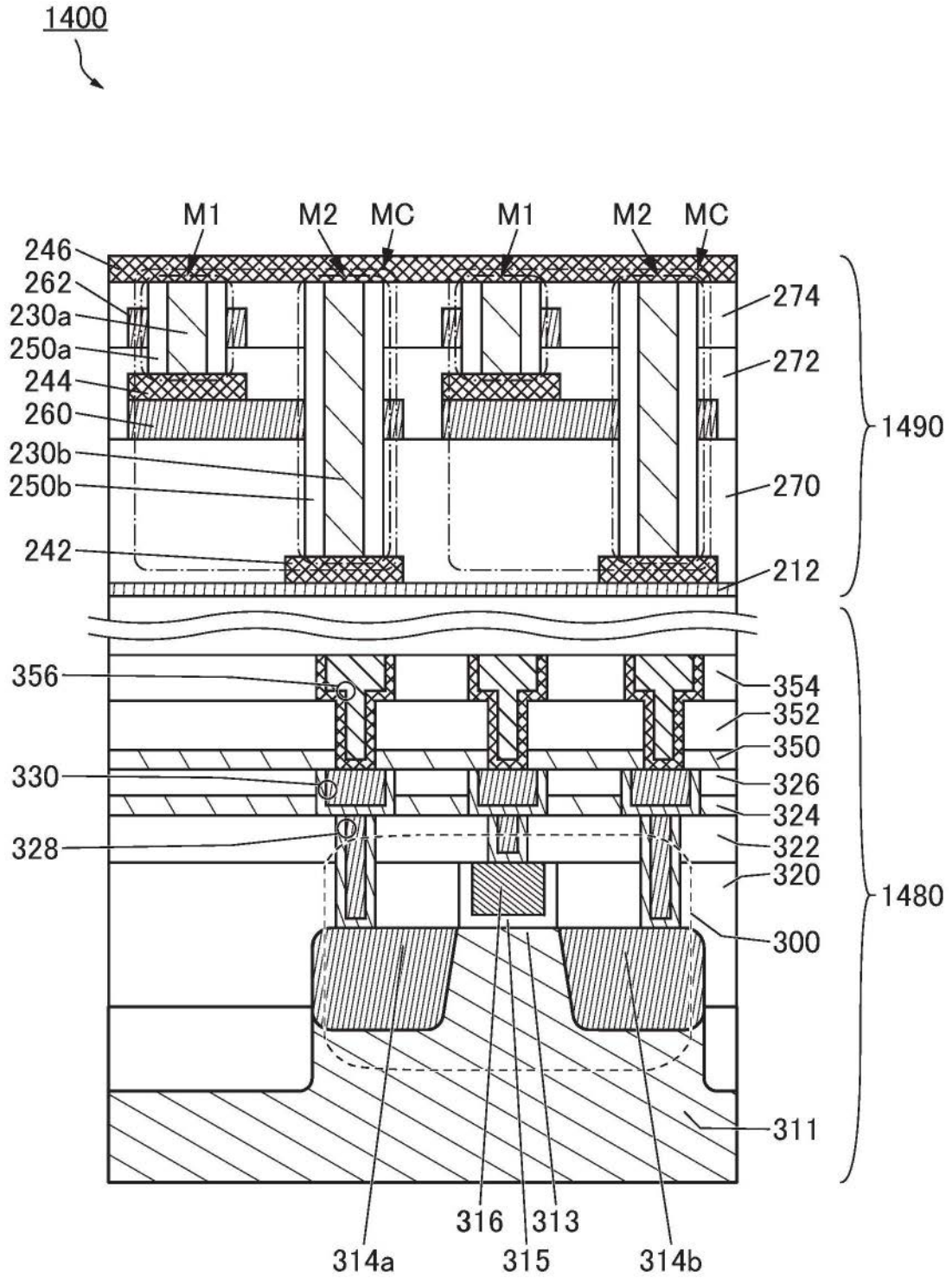


图19

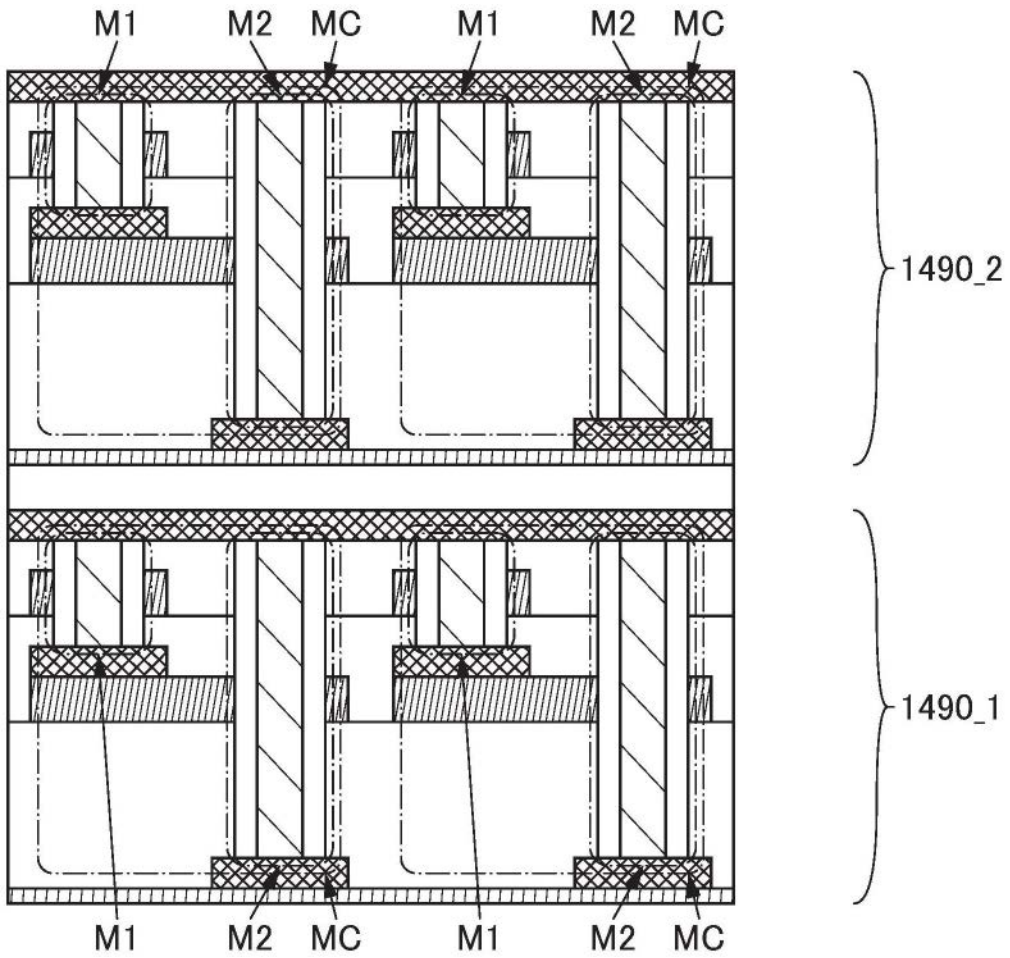


图20

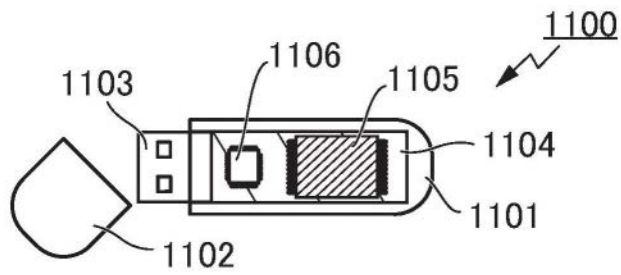


图21A

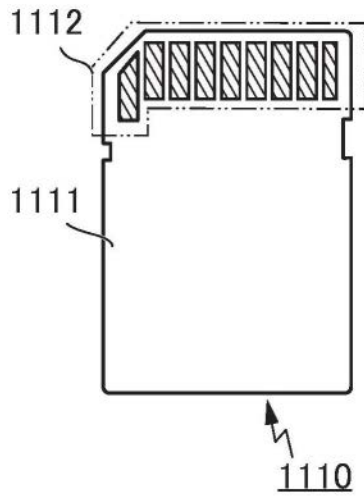


图21B

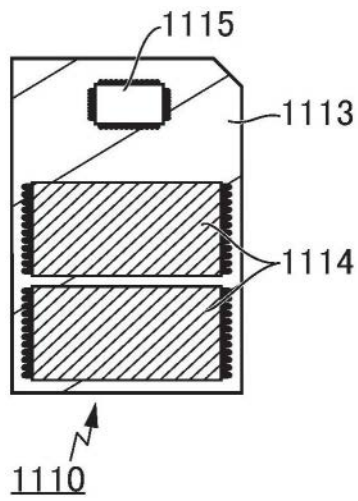


图21C

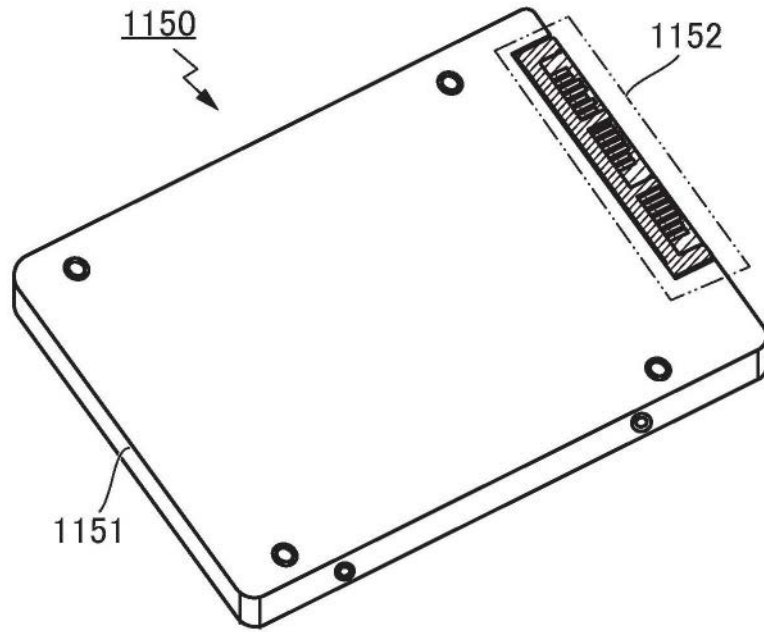


图21D

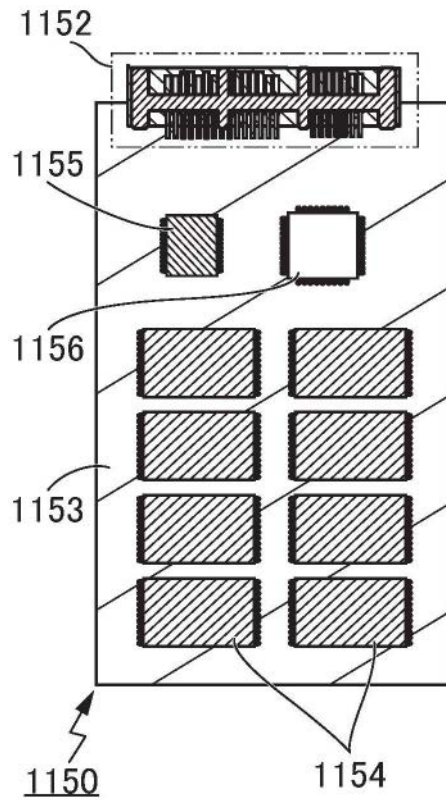


图21E

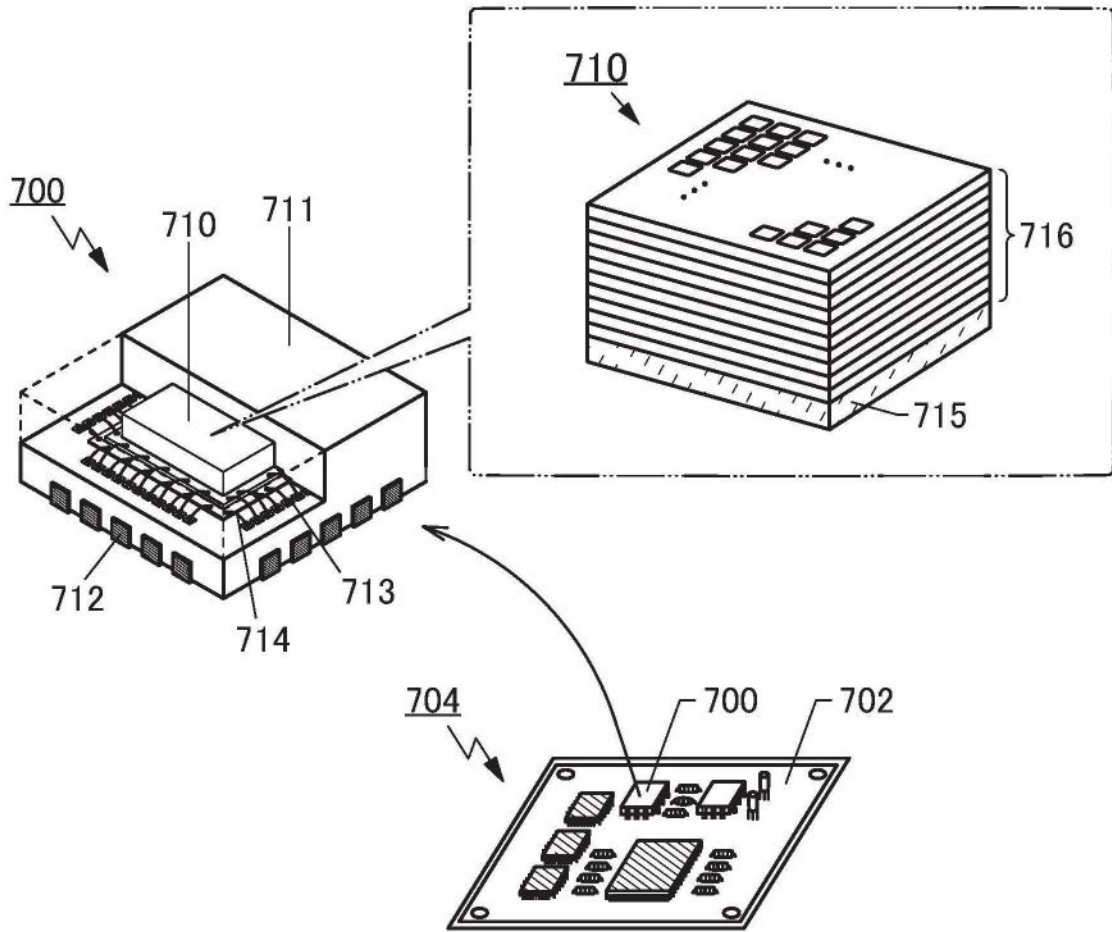


图22A

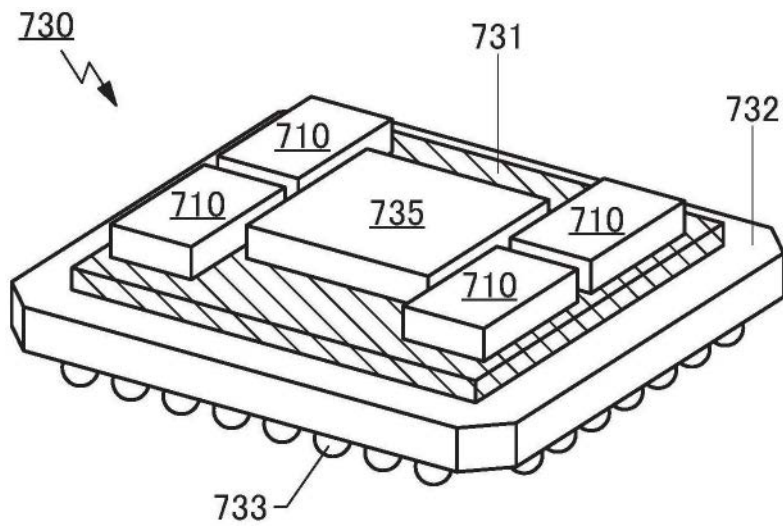


图22B

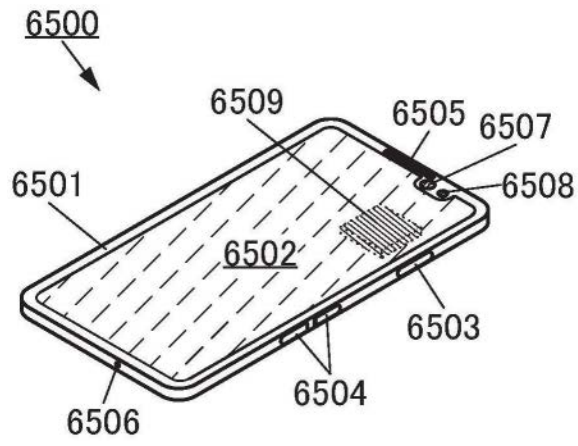


图23A

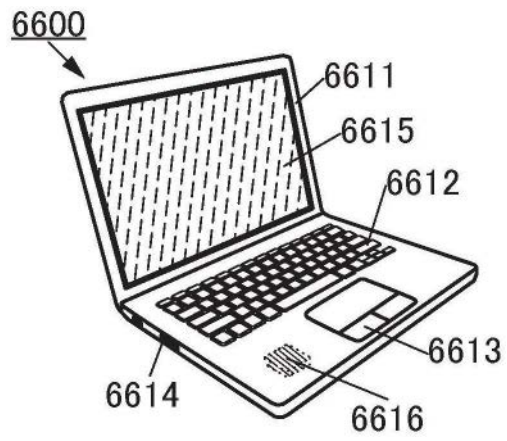


图23B

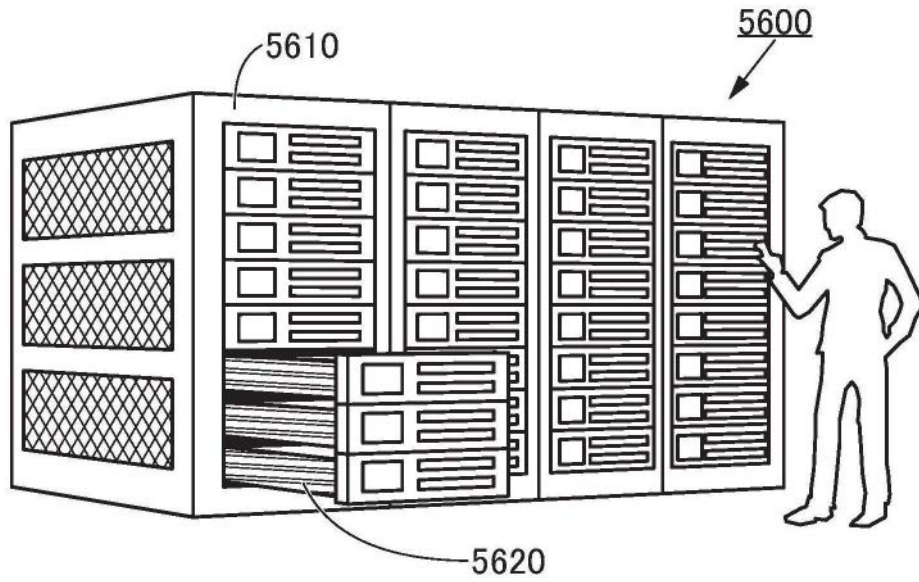


图23C

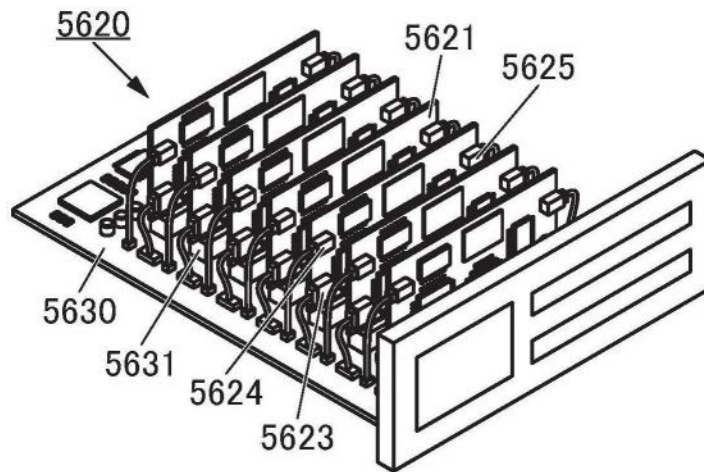


图23D

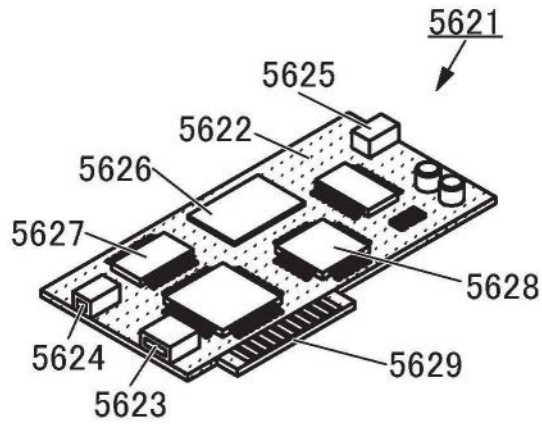


图23E

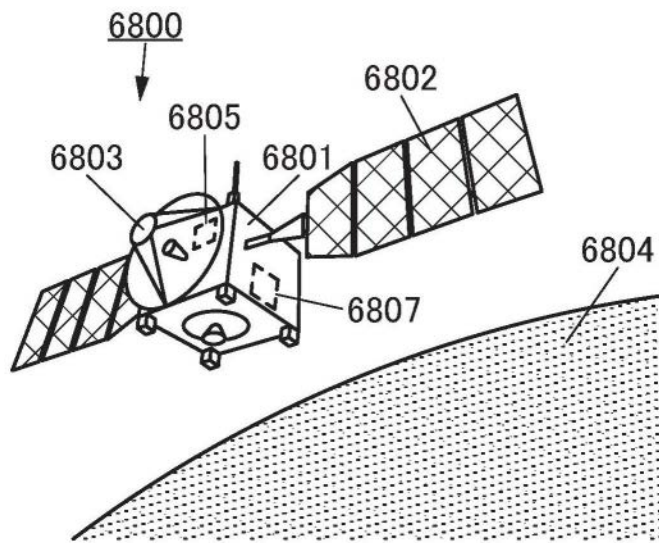


图24

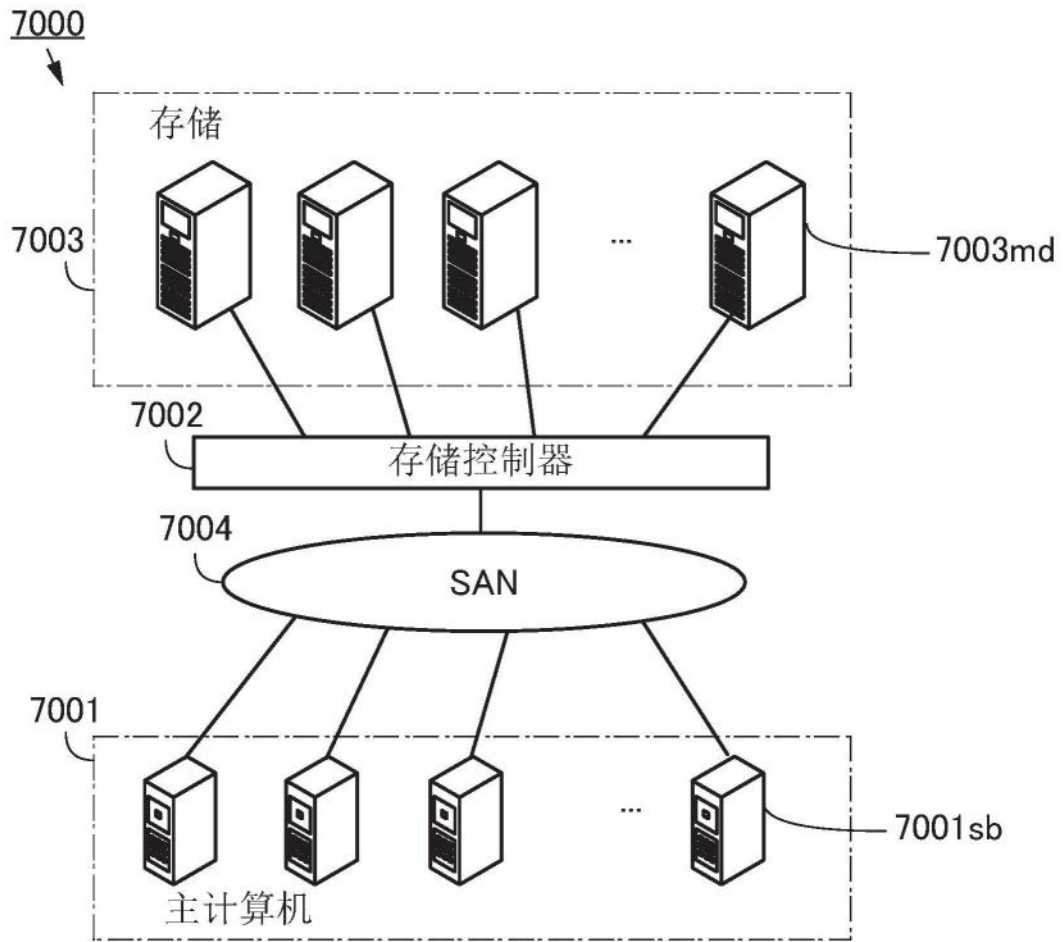


图25